(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4877722号
(P4877722)

(45)発行日　平成24年2月15日(2012.2.15)　(24)登録日　平成23年12月9日(2011.12.9)

(51)Int.Cl.　　F I
H01L 23/52 (2006.01)　　H01L 21/88 R
H01L 21/3205 (2006.01)　　H01L 21/90 N
H01L 23/522 (2006.01)　　H01L 21/288 Z
H01L 21/768 (2006.01)
H01L 21/288 (2006.01)

請求項の数 15　(全 22 頁)

(21)出願番号　特願2005-337897 (P2005-337897)
(22)出願日　平成17年11月23日 (2005.11.23)
(65)公開番号　特開2006-186328 (P2006-186328A)
(43)公開日　平成18年7月13日 (2006.7.13)
審査請求日　平成20年11月12日 (2008.11.12)
(31)優先権主張番号　特願2004-347898 (P2004-347898)
(32)優先日　平成16年11月30日 (2004.11.30)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(74)代理人　100110858
弁理士　柳瀬　睦肇
(72)発明者　伊佐　敏行
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　青鹿　喜芳

最終頁に続く

(54)【発明の名称】半導体装置およびその作製方法

(57)【特許請求の範囲】
【請求項１】
集積回路と複数の配線層を有する半導体装置において、
多孔質絶縁膜と、前記多孔質絶縁膜に形成された配線溝および接続孔の内壁に接する第１導電層と、
前記第１導電層上に接して形成された第２導電層と、
前記第２導電層上及び前記第１導電層に接して形成された第３導電層との積層からなる配線層とを有し、
前記第２導電層は、前記第１導電層と前記第３導電層とで囲まれており、前記多孔質絶縁膜の上面を含む第１面と、前記第３導電層の上面を含む第２面との間に段差を有し、
前記第１導電層は、前記多孔質絶縁膜の孔が転写された孔を有し、
前記第２導電層は前記転写された孔に入り込み、
前記第２導電層の原料は金属粒子を含むペーストであることを特徴とする半導体装置。
【請求項２】
請求項１において、前記多孔質絶縁膜は、酸化シリコンを含む材料であることを特徴とする半導体装置。
【請求項３】
請求項１または請求項２において、前記第１導電層は、Ｗ、Ｍｏ、Ｔｉ、Ｃｒ、またはＴａから選ばれる一種または複数種を含む材料であることを特徴とする半導体装置。
【請求項４】

請求項１乃至請求項３のいずれか一項において、前記第３導電層は、Ｗ、Ｍｏ、Ｔｉ、Ｃｒ、またはＴａから選ばれる一種または複数種を含む材料であることを特徴とする半導体装置。

【請求項５】

請求項１乃至請求項４のいずれか一項において、前記第２導電層は、銀を含む材料であることを特徴とする半導体装置。

【請求項６】

請求項１乃至請求項５のいずれか一項において、前記第２導電層は、樹脂を含む材料であることを特徴とする半導体装置。

【請求項７】

請求項１乃至請求項６のいずれか一項において、前記集積回路は、コントローラ、ＣＰＵ、またはメモリのうち少なくとも一つを含むことを特徴とする半導体装置。

【請求項８】

多孔質絶縁膜を形成する工程と、

前記多孔質絶縁膜上にマスクを形成する工程と、

選択的にエッチングして前記多孔質絶縁膜に開口部を形成する工程と、

前記マスク上および前記開口部に第１導電膜を形成する工程と、

液滴吐出法により前記開口部の前記第１導電膜上に導電材料を含む液滴を滴下する工程と、

レーザー光を選択的に照射して前記導電材料を加熱して第２導電層を形成する工程と、

前記マスク上および前記第２導電層上に第３導電膜を形成する工程と、

前記マスクを除去すると同時に前記マスク上に形成された前記第１導電膜および前記第３導電膜を除去し、第１導電層および第３導電層を形成する工程とを有する半導体装置の作製方法であって、

前記第１導電膜は、前記多孔質絶縁膜の孔が転写された孔を有し、

前記第２導電層は前記転写された孔に入り込み、

前記導電材料は金属粒子を含むペーストであることを特徴とする半導体装置の作製方法。

【請求項９】

多孔質絶縁膜を形成する工程と、

選択的にエッチングして前記多孔質絶縁膜に開口部を形成する工程と、

前記多孔質絶縁膜上および前記開口部に第１導電膜を形成する工程と、

液滴吐出法により前記開口部および前記開口部周辺の前記第１導電膜上に導電材料を含む液滴を滴下し、焼成して第２導電膜を形成する工程と、

前記第２導電膜を選択的にエッチングして第２導電層を形成する工程と、

前記第１導電膜上および前記第２導電層上に第３導電膜を形成する工程と、

前記第１導電膜及び前記第３導電膜を同じマスクを用いてエッチングして第１導電層と第３導電層を形成する工程とを有する半導体装置の作製方法であって、

前記液滴を滴下する前に前記液滴の接触角を小さくする表面処理を前記開口部および前記開口部周辺の前記第１導電膜に行い、

前記第１導電膜は、前記多孔質絶縁膜の孔が転写された孔を有し、

前記第２導電層は前記転写された孔に入り込み、

前記導電材料は金属粒子を含むペーストであることを特徴とする半導体装置の作製方法。

【請求項１０】

多孔質絶縁膜を形成する工程と、

前記多孔質絶縁膜上にマスクを形成する工程と、

選択的にエッチングして前記多孔質絶縁膜に開口部を形成する工程と、

前記マスク上および前記開口部に第１導電膜を形成する工程と、

液滴吐出法により前記開口部の前記第１導電膜上に導電材料を含む液滴を滴下する工程

と、
レーザー光を選択的に照射して前記導電材料を加熱して第２導電層を形成する工程と、
前記マスク上および前記第２導電層上に第３導電膜を形成する工程と、
前記マスクを除去すると同時に前記マスク上に形成された前記第１導電膜および前記第３導電膜を除去し、第１導電層および第３導電層を形成する工程とを有する半導体装置の作製方法であって、
前記液滴を滴下する前に前記液滴の接触角を小さくする表面処理を前記開口部および前記開口部周辺の前記第１導電膜に行い、
前記第１導電膜は、前記多孔質絶縁膜の孔が転写された孔を有し、
前記第２導電層は前記転写された孔に入り込み、
前記導電材料は金属粒子を含むペーストであることを特徴とする半導体装置の作製方法。
【請求項１１】
請求項９または請求項１０において、前記表面処理は紫外線照射、または酸素、アルゴン、水素、ヘリウムのガスを用いたプラズマ処理もしくはコロナ放電処理であることを特徴とする半導体装置の作製方法。
【請求項１２】
請求項８乃至請求項１１のいずれか一項において、前記絶縁膜は、酸化シリコンを含む材料からなることを特徴とする半導体装置の作製方法。
【請求項１３】
請求項８乃至請求項１２のいずれか一項において、前記第１導電層と前記第３導電層は、スパッタ法により得られるＷ、Ｍｏ、Ｔｉ、Ｃｒ、またはＴａから選ばれる一種または複数種を含む層であることを特徴とする半導体装置の作製方法。
【請求項１４】
請求項８乃至請求項１３のいずれか一項において、前記第２導電層は、銀を含む材料であることを特徴とする半導体装置の作製方法。
【請求項１５】
請求項８乃至請求項１４のいずれか一項において、前記第２導電層は、樹脂を含む材料であることを特徴とする半導体装置の作製方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は集積回路を有する半導体装置およびその作製方法に関する。特に埋込配線を有する半導体素子を部品として搭載した電子機器に関する。
【０００２】
なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。
【背景技術】
【０００３】
近年、半導体素子に多層配線を形成する場合、配線を積層することにより、上層になるほど段差が増大し、配線の加工が困難となっている。そこで、一般的に絶縁膜に形成された配線溝や孔等のような配線開口部内にダマシン法と称する配線形成技術によって、配線材料を埋め込んでいる。
【０００４】
ダマシン法とは、金属配線を形成するために、まず、絶縁膜に溝を形成し、全面に金属材料を塗布し、次にＣＭＰ（化学的機械研磨）法などで、全面研磨をすることである。この際、金属配線の下方に、さらに下層の金属配線や半導体領域とのコンタクトを取るための孔を形成しておくことを含めたものをデュアルダマシン法と呼んでいる。デュアルダマシン法は、下層配線との接続孔と配線溝とを形成した後、配線材料を堆積し、ＣＭＰ法により配線部分以外の配線材料を除去する工程などを含んでいる。

【発明の開示】
【発明が解決しようとする課題】
【０００５】
デュアルダマシン法を用いた金属配線は、電解めっき法による銅（Ｃｕ）が多く用いられている。電解めっき法では接続孔に銅（Ｃｕ）を完全に埋め込むため、めっき液や、印加する電界を複雑に調整する必要がある。また、銅（Ｃｕ）はエッチャントやエッチングガスを用いたエッチングプロセスで加工することが困難であり、銅（Ｃｕ）の加工には研磨を行うための特殊なＣＭＰ法が必要とされている。
【０００６】
電解めっき法やＣＭＰ法は、配線形成にかかる製造コストの増加を招くという問題があった。
【０００７】
また、高速動作が可能で高性能な半導体デバイスを実現するために、銅よりも電気抵抗率の低い配線材料とし、さらに配線開口部が形成される絶縁膜の材料として誘電率の低い絶縁膜を使用する構造が今後さらに求められる。
【０００８】
そこで、本発明者らは、銅よりも電気抵抗率の低い銀や銀を主成分とする合金を配線とするため、銀のナノ粒子を用いることを検討している。ところが、従来の層間絶縁膜に用いられている二酸化シリコン膜や窒化シリコン膜では、膜が緻密なため、銀のナノ粒子との接触面積が小さく、密着性が乏しいという課題を本発明者らは見いだした。
【０００９】
また、従来の層間絶縁膜に用いられている二酸化シリコン膜（ε＝４．１～３．７）では比誘電率が高く、さらに誘電率の低い絶縁膜が求められている。
【００１０】
そこで、本発明ではこのような実情に鑑みて提案されたものであり、半導体デバイスの更なる高速化に必要な電気抵抗率の低い配線と、比誘電率の低い層間絶縁膜とを有した半導体デバイスの作製方法を提供する事を課題としている。
【課題を解決するための手段】
【００１１】
本発明の半導体装置の作製方法は、層間絶縁膜の接続孔を介して層間絶縁膜の下方に形成された配線に導通する銀配線を層間絶縁膜に埋め込むように形成するものである。その形成工程は、下層配線上に層間絶縁膜を形成する工程と、下層配線に接続する接続孔及び配線溝を層間絶縁膜に形成するとともに、上層配線の形成のための配線溝を層間絶縁膜に形成するパターニング工程と、液滴吐出法（代表的にはインクジェット法）により液状の導電物質（代表的にはＡｇ）を接続孔及び配線溝に滴下する工程と、滴下された導電物質を選択的に焼成して第１導電層とする焼成工程と、第１導電層の導電物質の拡散を防ぐために第１導電層上面を覆う第２導電層を形成して第１導電層と第２導電層からなる上層配線を形成する工程と、を少なくとも有することを特徴の一つとしている。
【００１２】
即ち、本明細書で開示する半導体装置の作製方法に関する発明の構成１は、複数の配線層を有する半導体装置の作製方法であり、絶縁膜を形成する工程と、選択的にエッチングして前記絶縁膜に開口部（接続孔及び配線溝）を形成する工程と、液滴吐出法により開口部に導電材料を含む液滴を滴下する工程と、レーザー光を選択的に照射して開口部の導電材料を加熱して前記絶縁膜の開口部に埋め込まれた第１の導電層を形成する工程と、前記第１の導電層上面を覆う第２の導電層を形成する工程と、を有することを特徴とする半導体装置の作製方法である。
【００１３】
上記構成１において、第１導電層の導電物質の拡散を防ぐためのバリア膜として機能する前記第２導電層は、スパッタ法により得られるＷ、Ｍｏ、Ｔｉ、Ｃｒ、またはＴａから選ばれる一種または複数種を含む金属層であることを特徴としている。

【００１４】
また、液滴吐出法により開口部（接続孔及び配線溝）に導電材料を含む液滴を滴下する前に導電物質（Ａｇ）の拡散を防ぐためのバリア膜を形成することが望ましく、半導体装置の作製方法に関する本発明の他の構成２は、集積回路と複数の配線層を有する半導体装置の作製方法であり、絶縁膜を形成する工程と、前記絶縁膜上にマスクを形成する工程と、選択的にエッチングして前記絶縁膜に開口部（接続孔及び配線溝）を形成する工程と、前記マスクおよび前記開口部に第１導電層を形成する工程と、
液滴吐出法により開口部に導電材料を含む液滴を滴下する工程と、レーザー光を選択的に照射して開口部の導電材料を加熱して前記絶縁膜の開口部に埋め込まれた第２導電層を形成する工程と、前記マスクおよび前記第２導電層上に第３導電層を形成する工程と、前記マスクを除去すると同時に前記マスク上に形成された第１導電層および第３導電層を除去して開口部に形成された第３導電層を残存させる工程と、を有することを特徴とする半導体装置の作製方法である。
【００１５】
また、上記構成２において、比誘電率の低い層間絶縁膜とするために、前記絶縁膜を多孔質絶縁膜とすることが好ましい。本明細書中で多孔質絶縁膜とは、膜中に微細な空孔を有した絶縁膜を指しており、好ましくは空孔率が２０％以上９０％未満の範囲の無機絶縁膜、有機絶縁膜、または有機無機複合体膜から選ばれる膜である。この空孔率の範囲より小さいと誘電率を十分に低減することができない。また、この空孔率の範囲より大きいと膜の機械的強度が不足する。
【００１６】
また、本発明は、レーザー光で選択的に導電層を焼成することに限定されず、半導体装置の作製方法に関する本発明の他の構成３は、集積回路と複数の配線層を有する半導体装置の作製方法であり、絶縁膜を形成する工程と、選択的にエッチングして前記絶縁膜に開口部（接続孔及び配線溝）を形成する工程と、第１導電膜を形成する工程と、液滴吐出法により開口部および開口部周辺に導電材料を含む液滴を滴下し、焼成して導電膜を形成する工程と、該導電膜を選択的にエッチングして第２導電層を形成する工程と、前記第２導電層上に第３導電膜を形成する工程と、前記第１導電膜及び前記第３導電膜を同じマスクを用いてエッチングして第１導電層と第３導電層を形成する工程と、を有し、前記液滴を滴下する前に滴下する液滴の接触角を小さくする表面処理を前記第１導電膜表面に行うことを特徴とする半導体装置の作製方法である。
【００１７】
表面処理を行った領域は、接触角が小さい領域となり、ぬれ性の高い領域（以下、高ぬれ性領域ともいう）となる。接触角が大きいと、流動性を有する液状の組成物は、領域表面上で広がらず、組成物をはじくので、表面をぬらさないが、接触角が小さいと、表面上で流動性を有する組成物は広がり、よく表面をぬらす。本発明においては、ぬれ性の高い領域の接触角は１０度以下であるとよい。この表面処理としては、例えば、光により選択的にぬれ性を高める処理を行えばよい。具体的には、パターンの被形成領域近傍にぬれ性が低い物質を形成し、ぬれ性が低い物質が分解する程度の光を照射し、処理領域のぬれ性が低い物質を分解、除去することにより、処理領域のぬれ性を向上させ、高ぬれ性領域を形成する。
【００１８】
上記構成３のように表面処理を行うことで、導電材料を含む液滴を滴下した際に、接続孔や配線溝をぬれ広がるようにして満たすことができる。ぬれ広がるようにして導電材料を含む液滴を滴下する事により、表面処理を行わずにインクジェット法を用いて接続孔や配線溝をなぞりながら塗布する方法と比較して、塗布工程のタクトタイムを短縮させる事が可能となる。また、スピンオンコート法で塗布する方式よりも材料の消費を少なくする事が可能となる。
【００１９】
また、上記構成２の作製方法により得られる半導体デバイスも本発明の一つであり、そ

の構成４は、集積回路と複数の配線層を有する半導体装置であり、多孔質絶縁膜と、前記多孔質絶縁膜に形成された配線溝またはコンタクトホール（接続孔とも呼ぶ）の底面及び内壁に接する第１導電層と、該第１導電層上に接する第２導電層と、該第２導電層の上面及び前記第１導電層に接する第３導電層との積層からなる配線層とを有し、前記第２導電層は、前記第１導電層と前記第３導電層とで囲まれており、前記多孔質絶縁膜の上面を含む第１面と、前記第３導電層の上面を含む第２面との間に段差を有することを特徴とする半導体装置である。

【００２０】

また、上記構成４において、前記多孔質絶縁膜は、酸化シリコンを含む材料であることを特徴としている。

【００２１】

また、本発明は、多孔質絶縁膜に特に限定されず、その構成５は、集積回路と複数の配線層を有する半導体装置であり、絶縁膜と、前記絶縁膜に形成された配線溝またはコンタクトホールの底面及び内壁に接する第１導電層と、該第１導電層上に接する第２導電層と、該第２導電層の上面及び前記第１導電層に接する第３導電層との積層からなる配線層とを有し、前記第２導電層は、前記第１導電層と前記第３導電層とで囲まれており、前記絶縁膜の上面を含む第１面と、前記第３導電層の上面を含む第２面との間に段差を有することを特徴とする半導体装置である。

【００２２】

また、上記構成２乃至５のいずれか一において、前記集積回路は、コントローラ、ＣＰＵ、またはメモリのうち少なくとも一つを含むことを特徴の一つとしている。さらにはアンテナを有していてもよい。

【００２３】

また、上記構成２乃至５のいずれか一において、前記第１導電層と前記第３導電層は、スパッタ法により得られるＷ、Ｍｏ、Ｔｉ、Ｃｒ、またはＴａから選ばれる一種または複数種を含む金属層であることを特徴の一つとしている。なお、前記第１導電層と前記第３導電層は同じ材料を用いてもよいし、異なる材料を用いてもよい。

【００２４】

また、上記構成２乃至５のいずれか一に前記第２導電層は、銀を含む材料であることを特徴の一つとしている。液滴吐出法を用いて導電層などのパターン形成方法では、粒子状に加工されたパターン形成材料を吐出し、焼成によって融合や融着接合させ固化することでパターンを形成する。よって、そのパターンは、スパッタ法などで形成したパターンが、多くは柱状構造を示すのに対し、多くの粒界を有する多結晶状態を示すことが多い。

【００２５】

また、上記構成２乃至５のいずれか一に前記第２導電層は、樹脂を含む材料であることを特徴の一つとしている。この樹脂は導電材料を含む液滴に含まれるバインダーなどの材料であり、この樹脂と、溶媒と、銀のナノ粒子とを混合させることによってインクジェット法で吐出可能なものとしている。

【発明の効果】

【００２６】

本発明により、選択的に配線を形成することで従来よりも工程数を減らし、さらに液状の導電物質を利用する事で、高アスペクト比を有する層間絶縁膜に対して、導電膜を完全に埋め込むことが可能である。

【００２７】

また、本発明により、層間絶縁膜に多孔質絶縁膜を用いる事で、層間絶縁膜の比誘電率を低減させるとともに、Ａｇを含むペーストとの密着性を向上させることができる。

【発明を実施するための最良の形態】

【００２８】

本発明の実施形態について、以下に説明する。

【００２９】

（実施の形態１）

本実施の形態では、層間絶縁膜に埋め込まれた銀配線を形成する本発明の一形態について図１（Ａ）～図１（Ｅ）、および図２（Ａ）～図２（Ｃ）を用いて説明する。ここでは簡略化のため、半導体素子や集積回路は図示せず、埋め込まれた銀配線と下層配線の接続部分のみを図示することとする。

【００３０】

まず、トランジスタ等の素子（図示せず）が形成された半導体基板上に設けられた絶縁膜１０１上に１層目の配線（下層配線）１０２を形成し、この配線１０２を覆うように層間絶縁膜１０３を形成する（図１（Ａ））。

【００３１】

半導体基板は、単結晶シリコン基板または化合物半導体基板であり、代表的には、Ｎ型またはＰ型の単結晶シリコン基板、ＧａＡｓ基板、ＩｎＰ基板、ＧａＮ基板、ＳｉＣ基板、サファイヤ基板、又はＺｎＳｅ基板である。また、絶縁層と単結晶半導体層とが積層されたＳＯＩ（ｓｉｌｉｃｏｎ　ｏｎ　ｉｎｓｕｌａｔｏｒ）基板を用いてもよい。ＳＯＩ基板としては、例えば、ＳＩＭＯＸ（ｓｅｐａｒａｔｉｏｎ　ｂｙ　ｉｍｐｌａｎｔｅｄ　ｏｘｙｇｅｎ）基板が挙げられる。ＳＩＭＯＸ基板は、単結晶半導体層の表面からわずかに深い部分に酸素分子を埋め込み、それを高熱で酸化させることにより、絶縁層とその絶縁層上に単結晶半導体層を作製した基板であり、第１の単結晶半導体層と、絶縁層と、第２の単結晶半導体層とが積層された基板である。

【００３２】

層間絶縁膜１０３には静電容量による信号の遅延を防ぐため、比誘電率の低いものが選ばれる。層間絶縁膜１０３として、多孔質絶縁膜を用いる事で上記の目的を達成する事ができる。本実施の形態では層間絶縁膜１０３に多孔質絶縁膜を使用することで低誘電率化と、後に形成する配線材料との密着性を向上させている。ポーラス低誘電率層間絶縁膜と配線材料との密着性が向上する理由については後述して説明する。

【００３３】

層間絶縁膜１０３を形成した後、フォトリソグラフィーによりパターニングを行い、フォトレジストからなる第１のマスク１０４ａを形成する。その後、層間絶縁膜１０３を異方性エッチングして、図１（Ｂ）に示すように第１の開口部（トレンチとも呼ぶ）１０５を形成する。

【００３４】

第１のマスク１０４ａを除去した後、新たにマスクを形成するため、フォトリソグラフィーによりパターニングを行う。こうして、図１（Ｃ）に示すようにフォトレジストからなる第２のマスク１０４ｂを形成する。その後、再び層間絶縁膜１０３を異方性エッチングし、接続孔１０６ａと配線溝１０６ｂとからなる第２の開口部を形成する。

【００３５】

その後、フォトレジストからなる第２のマスク１０４ｂを除去することなく、図１（Ｄ）に示すようにスパッタリング法によってバリア膜１０７を全面に形成する。図１（Ｄ）に示すように、接続孔１０６ａの内壁および配線溝１０６ｂの内壁にも薄く形成されるが、膜厚の厚い第２のマスク１０４ｂの内壁にはほとんど形成されないように形成することが望ましい。

【００３６】

ここでは、バリア膜１０７としてＴｉＮ膜を用いる。なお、バリア膜１０７は第１の導電層と呼べる。バリア膜１０７は後に液滴吐出法で吐出する配線材料が層間絶縁膜１０３の内部にまで拡散しておこるリークなどの不良を抑制するための拡散防止膜として用いる。なお、バリア膜１０７の成膜はスパッタリング法によるものだけとは限らず、ＣＶＤ法で成膜する事も可能である。

【００３７】

次に、図１（Ｅ）に示すようにＡｇを含むペースト１０８をインクジェット法により開口部のみに滴下する。インクジェット法では吐出された液滴が基板に着弾したとき、着弾

した液滴の位置精度が低いため（例えば±１０μｍ）本実施の形態ではフォトレジストからなる第２のマスク１０４ｂを隔壁として用いる事で着弾精度を補っている。これにより、１０μｍ以下のプロセスルールでもインクジェット法を用いる事ができる。

【００３８】

インクジェットで吐出するＡｇを含むペースト１０８はＡｇのナノ粒子が含まれており、従来の配線材料として用いられるＣｕよりも抵抗率を低減する事が可能である。また、液状であるため下地がどのような形状であっても被覆することができ、下地の形状にとらわれない配線の形成が可能となる。

【００３９】

また、Ａｇを含むペースト１０８のＡｇのナノ粒子の大きさは３ｎｍ～５ｎｍ程度である。よって、Ａｇを含むペーストを多孔質絶縁膜の層間絶縁膜１０３上あるいは層間絶縁膜１０３上に成膜されたバリア膜１０７上に塗布すると、Ａｇ粒子が層間絶縁膜１０３の空孔や凹部あるいは層間絶縁膜１０３の上に成膜されたバリア膜１０７の凹部に入り込み、いわゆるアンカー効果によって密着力が強化される。

【００４０】

Ａｇを含むペースト１０８は３００℃程度の焼成を行わなければ、十分な導電率を得る事ができない。そのため、本実施の形態ではレーザー装置を用いてＡｇを含むペースト１０８のみを選択的に加熱焼成する。ここで、レーザー装置を用いる理由は後述して説明する。

【００４１】

なお、本実施の形態では、Ａｇを含むペーストを焼成した後の形成物もＡｇを含むペースト１０８と呼んでいる。実際は、焼成によって融合や融着接合させ固化された導電体であり、第２の導電層とも呼べる。

【００４２】

次に、図２（Ａ）に示すように、Ａｇを含むペースト１０８を覆うように、スパッタリング法によって導電膜１０９を全面に形成する。図２（Ａ）に示すように、膜厚の厚い第２のマスク１０４ｂの内壁にはほとんど形成されないように形成することが望ましい。なお、図２（Ａ）では、接続孔１０６ａの内壁および配線溝１０６ｂの内壁にも形成されないようにしているが、成膜してもよい。導電膜１０９はＡｇを含むペースト１０８が焼成された後、Ａｇを含むペースト１０８が層間絶縁膜１０３へ拡散しておこるリークなどのデバイス不良を防ぐためのバリアとして用いる。

【００４３】

また、Ａｇを含むペースト１０８はエッチングガスにより腐食し、導電率が低下する問題がある。図２（Ｃ）のような構造を製作する場合を想定して説明する。この構造では層間絶縁膜１１２に接続孔１１４形成し、導電性Ａｇペースト１１１と上部電極１１３が導通している。接続孔１１４を形成するにあたりドライエッチングで層間絶縁膜１１２をエッチングすると、励起されたエッチングガスが導電性Ａｇペースト１１１を腐食させ、導電率を著しく低下させてしまう。

【００４４】

このような腐食を防ぐためには、図２（Ａ）に示すように導電膜１０９を用いてバリアすることが有効である。なお、導電膜１０９は、第３の導電層とも呼べる。

【００４５】

以上のような理由から、導電膜１０９は低抵抗であること、導電性Ａｇペースト１０８の拡散を抑えるバリア性があること、ドライエッチングにおいて珪素系層間絶縁膜との選択比が十分大きいこと、を少なくとも備えた材料である事が好ましい。例えば導電膜１０９はW、Ｍｏ、Ｔｉ、Ｃｒ、Ｔａから選ばれる１種または複数種を含む材料を用いればよい。

【００４６】

上記導電膜１０９を成膜した後、図２（Ｂ）に示すようにフォトレジストとして機能する第２のマスク１０４ｂを除去する。このときフォトレジストからなる第２のマスク１０

４ｂ上に堆積しているバリア膜１０７及び導電膜１０９はフォトレジストからなる第２のマスク１０４ｂとともに除去され、層間絶縁膜１０３に埋め込まれた配線１１０を形成することができる。埋め込まれた配線１１０は、バリア膜１０７と導電膜１０９によってＡｇを囲んでいる構造となっている。

【００４７】

ここで、上記導電性Ａｇペースト１０８の焼成にレーザー装置を使用する理由を説明する。フォトレジスト上の堆積物をフォトレジストごと除去する方法をリフトオフ法という。この方法を用いるためにはフォトレジストが基板から剥離できること、フォトレジスト上の堆積物と基板上の堆積物が断絶していること等が必要条件となる。本発明の作製工程において、もし、オーブン等の加熱器具を用いた場合、基板全体が加熱されるとともにレジストも数百度に加熱される。通常フォトレジストは高温で加熱されると剥離性が低下するため、リフトオフ法を用いる事ができなくなる。このため、本実施の形態では配線焼成工程後にリフトオフ法を用いる事を可能とするため、レーザー装置を用いて配線を選択的に焼成するものである。

【００４８】

また、トランジスタ等の素子が形成された半導体基板上に設けられた絶縁膜１０１を用いた例を示したが、特に限定されず、ガラス基板上に設けられた絶縁膜でもよく、例えば、ガラス基板上に設けられたＴＦＴの層間絶縁膜上に下層配線を形成し、該下層配線と接続する埋め込み配線を形成してもよい。

【００４９】

（実施の形態２）

本実施の形態では、上述した実施の形態１とは工程が一部異なる本発明の一形態について図３（Ａ）～図３（Ｆ）を用いて説明する。ここでも簡略化のため、半導体素子や集積回路は図示せず、埋め込まれた銀配線と下層配線の接続部分のみを図示することとする。

【００５０】

まず、実施の形態１と同様にして、図１（Ａ）から図１（Ｃ）の工程までを行う。そしてマスクを除去して図３（Ａ）の状態を得る。図３（Ａ）では、トランジスタ等の素子（図示せず）が形成された半導体基板上に設けられた絶縁膜２０１上に形成された下層配線２０２と、層間絶縁膜２０３と、層間絶縁膜に設けられた接続孔２０４ａ及び配線溝２０４ｂが示されている。

【００５１】

次いで、図３（Ｂ）に示すようにスパッタ法あるいはＣＶＤ法によりバリア膜２０５を全面に形成する。なお、開口部の内壁にもバリア膜を形成する。また、バリア膜２０５は第１の導電層と呼べる。

【００５２】

次いで、後に滴下する液滴のぬれ性向上のため、紫外線照射によりバリア膜２０５の表面処理を行う。ここで、ぬれ性向上のための表面処理とは、液滴との接触角が１０°以下になるような処理を行うことで、紫外線照射のほかに酸素、アルゴン、水素、ヘリウム、等のガスを用いたプラズマ処理あるいはコロナ放電処理がある。

【００５３】

次に、図３（Ｃ）に示すようにインクジェット法を用いて接続孔２０４ａと配線溝２０４ｂをＡｇを含むペースト２０６で満たす。ここで、上記の表面改質処理によりＡｇを含むペースト２０６は塗れ広がる。接続孔２０４ａと配線溝２０４ｂから溢れ出たＡｇを含むペースト２０６は、接続孔２０４ａと配線溝２０４ｂの周辺に形成された隣接する接続孔や配線溝などの開口部（図示せず）にも塗れ広がるようにして満たす。

【００５４】

上記のように、塗れ広がるようにしてＡｇを含むペースト２０６を滴下することにより、同じようにインクジェット法を用いて接続孔２０４ａや配線溝２０４ｂをなぞりながら滴下する方法と比較して、滴下工程のタクトタイムを短縮させることが可能となる。また、スピンオンコート法で塗布する方式よりも材料の消費を少なくすることが可能となる。

【００５５】
次に、オーブン等の加熱装置を用いて３００℃、１時間の焼成を行う。なお、本実施の形態では、Ａｇを含むペーストを焼成して含まれる溶媒を気化させた後の形成物もＡｇを含むペースト２０６と呼んでいる。実際は、焼成によって融合や融着接合させ固化された導電体であり、第２の導電層とも呼べる。
【００５６】
次に、図３（Ｄ）に示すようにフォトリソグラフィーを用いてパターニングを行い、シュウ酸とリン酸と酢酸との混酸水溶液によりウェットエッチングを施し、Ａｇ配線２０７を形成する。
【００５７】
次に、図３（Ｅ）に示すように、導電膜２０８をスパッタ法により形成する。なお、導電膜２０８は、第３の導電層とも呼べる。
【００５８】
次に、図３（Ｆ）に示すように、バリア膜２０５と導電膜２０８を異方性エッチングによりエッチングする。こうして層間絶縁膜２０３に埋め込まれた配線を得ることができる。埋め込まれた配線は、バリア膜２０５と導電膜２０８によってＡｇを囲んでいる構造となっている。
【００５９】
また、本実施の形態は、実施の形態１と自由に組み合わせることができる。
【００６０】
以上の構成でなる本発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。
【実施例１】
【００６１】
以下に本発明を用いたＦＥＴの作製手順を簡略に図４を用いて示す。ここではＦＥＴの不純物領域に接続された配線を下層配線として、下層配線を覆う多孔質絶縁膜に埋め込み配線を形成する例を示す。
【００６２】
まず、単結晶シリコンからなるシリコン基板３０１を用意する。そして、シリコン基板の主面（素子形成面または回路形成面）の第１の素子形成領域にｎ型ウェル３０２を、第２の素子形成領域にｐ型ウェル３０３をそれぞれ選択的に形成する。
【００６３】
次いで、第１の素子形成領域と第２の素子形成領域とを区画するための素子分離領域となるフィールド酸化膜３０６を形成する。フィールド酸化膜３０６は厚い熱酸化膜であり、公知のＬＯＣＯＳ法を用いて形成すればよい。なお、素子分離法は、ＬＯＣＯＳ法に限定されず、例えば素子分離領域はトレンチ分離法を用いてトレンチ構造を有していてもよいし、ＬＯＣＯＳ構造とトレンチ構造の組み合わせであってもよい。
【００６４】
次いで、シリコン基板の表面を、例えば熱酸化させることによってゲート絶縁膜を形成する。ゲート絶縁膜は、ＣＶＤ法を用いて形成してもよく、酸化窒化珪素膜や酸化珪素膜や窒化珪素膜やそれらの積層膜を用いることができる。例えば、熱酸化により得られる膜厚５ｎｍの酸化珪素膜とＣＶＤ法で得られる膜厚１０ｎｍ～１５ｎｍの酸化窒化珪素膜の積層膜を形成する。
【００６５】
次いで、ポリシリコン層３１１ａ、３１７ａとシリサイド層３１１ｂ、３１７ｂとの積層膜を全面に形成し、リソグラフィ技術およびドライエッチング技術に基づき積層膜をパターニングすることによってゲート絶縁膜上にポリサイド構造を有するゲート電極３１１、３１７を形成する。ポリシリコン層３１１ａ、３１７ａは低抵抗化するために予め、10^{21}／cm^3程度の濃度でリン（Ｐ）をドープしておいても良いし、ポリシリコン膜を形成した後で濃いｎ型不純物を拡散させても良い。また、シリサイド層３１１ｂ、３１７

ｂを形成する材料はモリブデンシリサイド（ＭｏＳｉｘ）、タングステンシリサイド（ＷＳｉｘ）、タンタルシリサイド（ＴａＳｉｘ）、チタンシリサイド（ＴｉＳｉｘ）などを適用することが可能であり、公知の方法に従い形成すれば良い。

【００６６】

次いで、エクステンション領域を形成するために、ゲート絶縁膜を介してシリコン半導体基板にイオン注入を行う。本実施例においては、各ソース領域およびドレイン領域とチャネル形成領域との間に形成された不純物領域をエクステンション領域と呼ぶ。エクステンション領域３０７、３１３の不純物濃度は、ソース領域およびドレイン領域の不純物濃度よりも低い場合もあるし、同等の場合もあるし、高い場合もある。即ち、エクステンション領域の不純物濃度は、半導体装置に要求される特性に基づいて決定すればよい。

【００６７】

本実施例は、ＣＭＯＳを製造する場合であるので、ｐチャネル型ＦＥＴを形成すべき第１の素子形成領域をレジスト材料で被覆し、ゲート電極３１７をマスクとして用いてｎ型不純物であるヒ素（Ａｓ）やリン（Ｐ）をシリコン基板に注入する。また、ｎチャネル型ＦＥＴを形成すべき第２の素子形成領域をレジスト材料で被覆し、ゲート電極をマスクとして用いてｐ型不純物であるボロン（Ｂ）をシリコン基板に注入する。

【００６８】

次いで、イオン注入された不純物の活性化および、イオン注入によって発生したシリコン基板における結晶欠陥を回復するために、第１回目の活性化処理を行う。

【００６９】

次いで、ゲート電極の側壁にサイドウォール３１２、３１８を形成する。例えば酸化珪素からなる絶縁材料層を全面にＣＶＤ法にて堆積させ、かかる絶縁材料層をエッチバックすることによってサイドウォールを形成すればよい。サイドウォールを形成することにより、絶縁膜３３１の被覆性を向上させ、不純物領域を形成する際にマスクとして用いることができる。また、エッチバックの際に自己整合的にゲート絶縁膜を選択的に除去してもよい。また、エッチバック後にゲート絶縁膜のエッチングを行ってもよい。こうして、ゲート電極の幅と、そのゲート電極の側壁の両側に設けられたサイドウォールの幅とを合計した幅を有するゲート絶縁膜３１０、３１６が形成される。ゲート絶縁膜を選択的に除去することにより、後にコンタクトホールを形成することが容易になり、また、絶縁膜３３１の接する表面積が増大するので、密着性を向上することができる。

【００７０】

次いで、ソース領域およびドレイン領域を形成するために、露出したシリコン基板にイオン注入を行う。ＣＭＯＳを製造する場合であるので、ｐチャネル型ＦＥＴを形成すべき第１の素子形成領域をレジスト材料で被覆し、ゲート電極３１７、サイドウォール３１８をマスクとして用いてｎ型不純物であるヒ素（Ａｓ）やリン（Ｐ）をシリコン基板に注入してソース領域３１４及びドレイン領域３１５を形成する。また、ｎチャネル型ＦＥＴを形成すべき第２の素子形成領域をレジスト材料で被覆し、ゲート電極３１１、サイドウォール３１２をマスクとして用いてｐ型不純物であるボロン（Ｂ）をシリコン基板に注入してソース領域３０８及びドレイン領域３０９を形成する。

【００７１】

次いで、イオン注入された不純物の活性化および、イオン注入によって発生したシリコン基板における結晶欠陥を回復するために、第２回目の活性化処理を行う。

【００７２】

そして、活性化後に層間絶縁膜やプラグ電極やメタル配線等を形成する。第１の層間絶縁膜３３１は、プラズマＣＶＤ法や減圧ＣＶＤ法を用いて酸化シリコン膜や酸化窒化シリコン膜などで１００～２０００ｎｍの厚さに形成する。さらにその上にリンガラス（ＰＳＧ）、あるいはボロンガラス（ＢＳＧ）、もしくはリンボロンガラス（ＰＢＳＧ）の第２の層間絶縁膜３３２が形成する。第２の層間絶縁膜３３２は、平坦性を上げるため、スピンコート法や常圧ＣＶＤ法で作製する。

【００７３】

ソース電極３３３、３３５、及びドレイン電極３３４、３３６は、第１の層間絶縁膜３３１および第２の層間絶縁膜３３２にそれぞれのＦＥＴのソース領域及びドレイン領域に達するコンタクトホールを形成した後に形成するもので、低抵抗材料として通常良く用いられるアルミニウム（Ａｌ）を用いると良い。また、ＡｌとチタンＴｉ）の積層構造としても良い。

【００７４】

また、ここでは図示していないが、第１の層間絶縁膜３３１および第２の層間絶縁膜３３２にゲート電極に達するコンタクトホールが設けられ、第２の層間絶縁膜上に設けられている配線と電気的に接続する電極が第１の層間絶縁膜上に形成される。

【００７５】

次いで、第３の層間絶縁膜となる多孔質絶縁膜３４２を形成する。多孔質絶縁膜３４２は、膜中に孤立した微小な空孔が均一に分布している絶縁膜であり、プラズマ反応を含めたＣＶＤ法またはスピン塗布法によって得ることができる。

【００７６】

次いで、実施の形態１に示した埋め込み配線形成方法に従って、マスクを用いてエッチングを行い、ソース電極３３３、３３５に達する接続孔および配線溝を形成する。

【００７７】

次いで、第１の導電層３５０となるバリア膜を形成し、インクジェット法でＡｇを含むペーストを吐出する。そして、選択的にレーザ光を照射してＡｇを含むペーストを焼成して第２の導電層３５１を形成する。そして第２の導電層３５１の上面を覆うように第３の導電層３５２を形成する。そして、マスクを除去することによって、マスク上に設けられたバリア膜と第３導電膜も除去して埋め込み配線を形成する。こうして形成された埋め込み配線は、第３の導電層３５２の上面を含む面と、多孔質絶縁膜３４２の上面を含む面とで段差を有している。また、その段差部には第３の導電層３５２よりも突出した第１の導電層３５０が設けられている。

【００７８】

次いで、第４の層間絶縁膜３４３を形成する。第４の層間絶縁膜３４３は有機樹脂材料で１μｍ～２μｍの厚さに形成する。有機樹脂材料として、ポリイミド、ポリアミド、アクリル、ベンゾシクロブテン（ＢＣＢ）などを用いることができる。有機樹脂膜を用いることの利点は、膜の形成方法が簡単である点や、比誘電率が低いので寄生容量を低減できる点、平坦化するのに適している点などがある。勿論、上述した以外の有機樹脂膜を用いても良い。

【００７９】

次いで、第３の導電層３５２に達するコンタクトホールを形成し、スパッタ法で導電膜の成膜を行った後、パターニングを行って電極３５３を形成する。

【００８０】

最後に、電極３５３を覆うパッシベーション膜３４４を形成し、図４の状態を得る。図４において向かって左側がｐチャネル型ＦＥＴ４０１であり、右側がｎチャネル型ＦＥＴ４０２である。これらのＦＥＴを相補的に組み合わせればＣＭＯＳ回路を形成することができる。

【００８１】

ＣＭＯＳ回路は、インバータ回路、ＮＡＮＤ回路、ＡＮＤ回路、ＮＯＲ回路、ＯＲ回路、シフトレジスタ回路、サンプリング回路、Ｄ／Ａコンバータ回路、Ａ／Ｄコンバータ回路、ラッチ回路、バッファ回路などを構成することができる。加えて、これらのＣＭＯＳ回路を組み合わせることによってＳＲＡＭやＤＲＡＭなどのメモリ素子や、ＣＰＵや、コントローラ回路や、その他の集積回路を構成することができる。

【００８２】

また、パッシベーション膜３４４は、プラズマＣＶＤ法で窒化シリコン膜、または酸化シリコン膜、あるいは窒化酸化シリコン膜で形成されている。

【００８３】

なお、本実施例ではＦＥＴの構造としてトップゲート型の例を示したが、特にＦＥＴの構造は限定されず、例えば順スタガ型のＦＥＴであってもよい。

【００８４】

本発明により、銅よりも電気抵抗率の低い銀を配線材料とし、且つ、配線開口部が形成される絶縁膜の材料として誘電率の低い多孔質絶縁膜を使用する構造を実現することができる。従って、本発明により、高速動作が可能で高性能な半導体デバイスを実現することができる。

【００８５】

また、本発明は、電解めっき法やＣＭＰ法を用いることなく埋め込み配線を形成することによって、配線形成にかかる製造コストを低減させることができる。

【００８６】

なお、本実施例では、多層配線の一部の配線を埋め込み配線として低抵抗化を図った例を示したが、さらに多くの層に埋め込み配線を設けてもよい。

【００８７】

また、本実施例は、実施の形態１または実施の形態２と自由に組み合わせることができる。

【実施例２】

【００８８】

実施例１に示したＦＥＴを有する集積回路は、半導体基板に多数形成され、個々に分離してチップを形成する。チップを個々に分離するためにダイシングを行う。ついで、ウェーハからチップを一つずつピックアップし、リードフレームに搭載する。そして、チップの電極端子とリードフレームのインナリードとの間を、直径約２０～３０μｍの金ワイヤーで電気的導通できるように繋ぐ。次いで、取り扱いが容易になるようにモールド樹脂層で封止する。次いで、リードをはんだメッキして錆を防ぐ。次いで、リードフレームから個々のパッケージに切り離し、リードを成形する。こうして、パッケージを行う。

【００８９】

図５に、パッケージが行われたデバイスの断面構造を表す斜視図を示す。図５に示す構造は、ワイヤボンディング法でチップ７０２がリードフレーム７０１に接続されている。また、チップ７０２は、モールド樹脂層７０３によって封止されている。また、チップ７０２はリードフレーム７０１上に、マウント用の接着剤７０４によりマウントされている。

【００９０】

また、リードフレーム７０１は、ソルダーボール７０５が設けられたボールグリッドアレイ型である。ソルダーボール７０５は、リードフレーム７０１のチップ７０２がマウントされている側とは反対の側に設けられている。そしてリードフレーム７０１に設けられた配線７０６は、リードフレームに設けられたコンタクトホールを介して、ソルダーボール７０５と電気的に接続している。

【００９１】

なお、本実施例では、チップ７０２とソルダーボール７０５との電気的な接続をするための配線７０６を、リードフレーム７０１のチップがマウントされている面上に設けているが、リードフレームはこれに限定されない。例えば、リードフレームの内部において配線が多層化されて設けられていても良い。

【００９２】

そして、図４では、チップ７０２と配線７０６とが、金ワイヤー７０７によって電気的に接続されている。チップ７０２には半導体素子が設けられており、またチップ７０２のリードフレーム７０１が設けられている側とは反対側に、パッドが設けられている。パッドは該半導体素子と電気的に接続されている。そしてパッドは、リードフレーム７０１に設けられた配線７０６と、金ワイヤー７０７によって接続されている。

【００９３】

また、本実施例は実施の形態１、実施の形態２、または実施例１と自由に組み合わせる

ことができる。

【実施例３】

【００９４】

本発明の埋め込み配線を用いて集積した回路を作り込んだＩＣチップを搭載し、様々な電子機器を完成させることができる。また、ＦＥＴをスイッチング素子とし、該スイッチング素子に接続する反射電極を設けることによって反射型のアクティブマトリクス基板として電子機器の表示部を構成し、様々な電子機器を完成させることができる。

【００９５】

例えば、ＦＥＴをスイッチング素子とし、該スイッチング素子に接続する画素電極と、液晶層と、対向電極とを設けて液晶素子を設けることによってアクティブマトリクス型の液晶表示装置として電子機器の表示部を構成し、様々な電子機器を完成させることもできる。

【００９６】

例えば、ＦＥＴをスイッチング素子とし、該スイッチング素子に接続する第１の電極と、有機化合物を含む層と、第２の電極とを積層させて発光素子を設けることによってアクティブマトリクス型の発光装置として電子機器の表示部を構成し、様々な電子機器を完成させることもできる。

【００９７】

そのような電子機器としては、パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、ビデオカメラ、デジタルカメラ、反射型プロジェクター、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、記録媒体を備えた画像再生装置（具体的にはＤｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうるディスプレイとＩＣチップを備えた装置）などが挙げられる。

【００９８】

本発明の電子機器の１つである携帯電話を例に挙げ、パッケージが実際に電子機器に実装されている様子を図６（Ａ）に示す。

【００９９】

図６（Ａ）に示す携帯電話のモジュールは、プリント配線基板８１６に、メモリ上に積層されたＣＰＵ８１１、８０２、電源回路８０３、音声処理回路８２９に積層されたコントローラ８０１、送受信回路８０４や、その他、抵抗、バッファ、容量素子等の素子が実装されている。また、パネル８００がＦＰＣ８０８によってプリント配線基板８１６に実装されている。パネル８００には、画素部８０５と、該画素部８０５が有する画素を選択する走査線駆動回路８０６と、選択された画素にビデオ信号を供給する信号線駆動回路８０７とが設けられている。

【０１００】

プリント配線基板８１６への電源電圧及びキーボードなどから入力された各種信号は、複数の入力端子が配置されたプリント配線基板用のインターフェース部８０９を介して供給される。また、アンテナとの間の信号の送受信を行なうためのアンテナ用ポート８１０が、プリント配線基板８１６に設けられている。

【０１０１】

なお、図６（Ａ）ではパネル８００にプリント配線基板８１６がＦＰＣを用いて実装されているが、必ずしもこの構成に限定されない。ＣＯＧ（Ｃｈｉｐ　ｏｎ　Ｇｌａｓｓ）方式を用い、コントローラ８０１、音声処理回路８２９、メモリ８１１、ＣＰＵ８０２または電源回路８０３をパネル８００に直接実装させるようにしても良い。

【０１０２】

また、プリント配線基板８１６において、引きまわしの配線間に形成される容量や配線自体が有する抵抗等によって、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることがある。そこで、プリント配線基板８１６に容量素子、バッファ等の各種素子を設けることで、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍った

りするのを防ぐことができる。

【０１０３】

また、図６（Ｂ）は、ＦＰＣ上に搭載された集積回路が備えられたモジュールの例を示している。

【０１０４】

図６（Ｂ）に示すように、ＦＰＣ９０８上には、集積回路（コントローラ９０１、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　ｕｎｉｔ）９０２、メモリ９０３）が搭載されている。パネル９００には、画素部９０５、および駆動回路（信号線駆動回路９０７、走査線駆動回路９０６）が設けられており、これらと外部に設けられた外部電源等（図示せず）を電気的に接続するためのＦＰＣ９０８が、接着剤９０９によりパネル９００上に貼り付けられている。ＦＰＣ９０８上に半導体基板を用いた集積回路（コントローラ９０１、ＣＰＵ９０２、メモリ９０３）を設けることで、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりするのを防いでいる。

【０１０５】

また、本実施例は実施の形態１、実施の形態２、実施例１、または実施例２と自由に組み合わせることができる。

【実施例４】

【０１０６】

本発明の埋め込み配線を用いて集積した回路を作り込んだＩＣチップを薄膜集積回路、または非接触型薄膜集積回路装置（無線ＩＣタグ、ＲＦＩＤ（無線認証、Ｒａｄｉｏ　Ｆｒｅｑｕｅｎｃｙ　Ｉｄｅｎｔｉｆｉｃａｔｉｏｎ）とも呼ばれる）として用いることもできる。

【０１０７】

アンテナとして機能する導電層１５１７が設けられたカード状基板１５１８に本発明のＩＣチップ１５１６を貼り付けたＩＤカードの例を図７に示す。このように、本発明のＩＣチップ１５１６は、小型、薄型、軽量であり、多種多様の用途が実現し、物品に貼り付けても、その物品のデザイン性を損なうことがない。

【０１０８】

なお、本発明のＩＣチップ１５１６は、カード状基板１５１８に貼り付ける形態に制約されず、曲面や様々な形状の物品に貼り付けることもできる。例えば、ＩＣチップを紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等）、包装用容器類（包装紙やボトル等）、記録媒体（ＤＶＤソフトやビデオテープ等）、乗物類（自転車等）、身の回り品（鞄や眼鏡等）、食品類、衣類、生活用品類等に設けて使用することができる。

【０１０９】

また、本実施の形態は実施の形態１、実施の形態２、実施例１、実施例２、または実施例３と自由に組み合わせることができる。

【実施例５】

【０１１０】

本発明の埋め込み配線を用いて集積した回路を作り込んだＩＣチップを搭載し、様々な電子機器を完成させることができる。その具体例を図８を用いて説明する。

【０１１１】

図８（Ａ）は表示装置であり、筐体１９０１、支持台１９０２、表示部１９０３、スピーカー部１９０４、ビデオ入力端子１９０５などを含む。この表示装置は、他の実施例で示した作製方法により形成したＦＥＴを駆動ＩＣに用いることにより作製される。なお、表示装置には液晶表示装置、発光装置などがあり、具体的にはコンピュータ用、テレビ受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【０１１２】

図８（Ｂ）はコンピュータであり、筐体１９１１、表示部１９１２、キーボード１９１３、外部接続ポート１９１４、ポインティングマウス１９１５などを含む。上述した実施

の形態で示した作製方法を用いることにより、表示部の駆動ＩＣや、本体内部のＣＰＵ、メモリなどにも適用が可能である。

【０１１３】

また、図８（Ｃ）は携帯電話であり、携帯情報端末の１つの代表例である。この携帯電話は筐体１９２１、表示部１９２２、センサ部１９２４、操作キー１９２３などを含む。センサ部１９２４は、光センサ素子を有しており、センサ部１９２４で得られる照度に合わせて表示部１９２２の輝度コントロールを行ったり、センサ部１９２４で得られる照度に合わせて操作キー１９２３の照明制御を行うことで携帯電話の消費電流を抑えることができる。また、ＣＣＤなどの撮像機能を有する携帯電話であれば、光学ファインダーの近くに設けられたセンサ部１９２４のセンサ受光量が変化することで撮影者が光学ファインダーを覗いたか否かを検出する。撮影者が光学ファインダーを覗いている場合には、表示部１９２２をオフとすることで消費電力を抑えることができる。

【０１１４】

上記の携帯電話を初めとして、ＰＤＡ（Ｐｅｒｓｏｎａｌ　Ｄｉｇｉｔａｌ　Ａｓｓｉｓｔａｎｔｓ、情報携帯端末）、デジタルカメラ、小型ゲーム機などの電子機器は携帯情報端末であるため、表示画面が小さい。従って、上述した実施の形態で示したＦＥＴを用いてＣＰＵ、メモリ、センサなどの機能回路を形成して、小型・軽量化を図ることができる。

【０１１５】

また、ＩＣタグを様々な電子機器に貼り付けることにより、電子機器の流通経路などを明確にすることができる。図８（Ｄ）は、パスポート１９４１に無線ＩＣタグ１９４２を付けている状態を示している。また、パスポート１９４１に無線ＩＣタグを埋め込んでもよい。同様にして、運転免許証、クレジットカード、紙幣、硬貨、証券、商品券、チケット、トラベラーズチェック（Ｔ／Ｃ）、健康保険証、住民票、戸籍謄本などに無線ＩＣタグを付けたり埋め込むことができる。この場合、本物であることを示す情報のみを無線ＩＣタグに入力しておき、不正に情報を読み取ったり書き込んだりできないようにアクセス権を設定する。これは、他の実施例で示したメモリを用いることにより実現できる。このようにタグとして利用することによって、偽造されたものと区別することが可能になる。

【０１１６】

このほかに、無線ＩＣタグをメモリとして用いることも可能である。図８（Ｅ）は無線ＩＣタグ１９５１を野菜の包装に貼り付けるラベルに用いた場合の例を示している。また、包装そのものに無線ＩＣタグを貼り付けたり埋め込んだりしても構わない。無線ＩＣタグ１９５１には、生産地、生産者、製造年月日、加工方法などの生産段階のプロセスや、商品の流通プロセス、価格、数量、用途、形状、重量、賞味期限、各種認証情報などを記録することが可能になる。無線ＩＣタグ１９５１からの情報は、リーダ１９５２のアンテナ部１９５３で受信して読み取り、リーダ１９５２の表示部１９５４に表示することによって、卸売業者、小売業者、消費者が把握することが容易になる。また、生産者、取引業者、消費者のそれぞれに対してアクセス権を設定することによって、アクセス権を有しない場合は読み込み、書き込み、書き換え、消去ができない仕組みになっている。

【０１１７】

また、無線ＩＣタグは以下のように用いることができる。会計の際に無線ＩＣタグに会計を済ませたことを記入し、出口にチェック手段を設け、会計済みであることを無線ＩＣタグに書き込まれているかをチェックする。会計を済ませていないで店を出ようとすると、警報が鳴る。この方法によって、会計のし忘れや万引きを予防することができる。

【０１１８】

さらに、顧客のプライバシー保護を考慮すると、次のような方法にすることも可能である。レジで会計をする段階で、（１）無線ＩＣタグに入力されているデータを暗証番号などでロックする、（２）無線ＩＣタグに入力されているデータそのものを暗号化する、（３）無線ＩＣタグに入力されているデータを消去する、（４）無線ＩＣタグに入力されているデータを破壊する、のいずれかを行う。これらは他の実施例にて挙げたメモリを用いる

ことによって実現することができる。そして、出口にチェック手段を設け、（１）～（４）のいずれかの処理が行われたか、または無線ＩＣタグのデータに何も処理が行われていない状態であるかをチェックすることによって、会計の有無をチェックする。このようにすると、店内では会計の有無を確認することが可能であり、店外では所有者の意志に反して無線ＩＣタグの情報を読み取られることを防止することができる。

【０１１９】

本発明を用いることによって、銅よりも電気抵抗率の低い銀を配線材料とし、且つ、配線開口部が形成される絶縁膜の材料として誘電率の低い多孔質絶縁膜を使用する構造を実現することができ、無線ＩＣタグに設けられたＩＣチップの小型化を実現できる。ＩＣチップはサイズが小さくなればなるほど耐衝撃強度が増すため、信頼性が向上する。また、本発明の埋め込み配線は、電解めっき法やＣＭＰ法を用いることなく埋め込み配線を形成することによって、無線ＩＣタグにかかる製造コストを低減することができる。

【０１２０】

以上のように、本発明により作製された半導体装置の適用範囲は極めて広く、本発明により作製された半導体装置を様々な分野の電子機器に用いることができる。

【０１２１】

また、本実施例は、実施の形態１、実施の形態２、実施例１、実施例２、実施例３、または実施例４と自由に組み合わせることができる。

【産業上の利用可能性】

【０１２２】

本発明を半導体デバイスの多層配線の形成に適用する事により、半導体デバイスの多層配線の微細化及び多層化をさらに進める事が可能になり、半導体デバイスの更なる高集積化を図る事ができる。

【０１２３】

また、本発明は、電界メッキ法やＣＭＰ法などを用いずに埋め込み配線を実現することができるため、半導体デバイスの製造コストの低減を実現できる。

【図面の簡単な説明】

【０１２４】

【図１】本発明の作製工程を示す図。（実施の形態１）
【図２】本発明の作製工程を示す図。（実施の形態１）
【図３】本発明の作製工程を示す図。（実施の形態２）
【図４】本発明のＦＥＴの作製工程の断面図である。
【図５】パッケージが行われたデバイスの断面構造を表す斜視図。
【図６】パネルモジュールに搭載した例を示す上面図。
【図７】カードに搭載した例を示す上面図。
【図８】電子機器の一例を示す図。

【符号の説明】

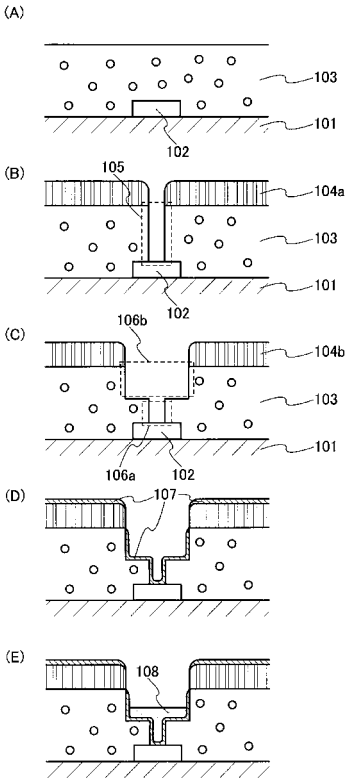
【０１２５】

１０３　層間絶縁膜
１０５　開口部（トレンチ）
１０７　バリア膜
１０８　導電性Ａｇペースト
１０９　導電膜
１１０　配線
１１１　導電性Ａｇペースト
１１２　層間絶縁膜
１１３　上部電極
１１４　接続孔
２０１　絶縁膜
２０２　下層配線

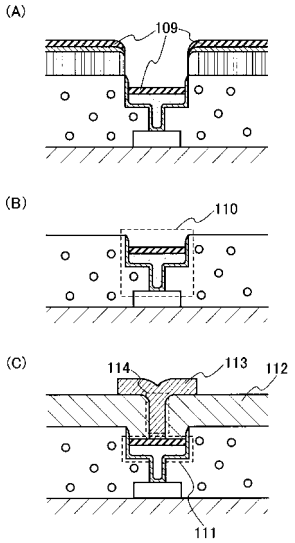
２０３　層間絶縁膜
２０５　バリア膜
２０６　導電性Ａｇペースト
２０７　Ａｇ配線
２０８　導電膜
３０１　シリコン基板
３０２　ｎ型ウェル
３０３　ｐ型ウェル
３０６　フィールド酸化膜
３０７　エクステンション領域
３０８　ソース領域
３０９　ドレイン領域
３１０　ゲート絶縁膜
３１１　ゲート電極
３１２　サイドウォール
３１４　ソース領域
３１５　ドレイン領域
３２４　多孔質絶縁膜
３３１　層間絶縁膜
３３２　層間絶縁膜
３３３　ソース電極
３３４　ドレイン電極
３４１　パッシベーション膜
３４２　多孔質絶縁膜
３４３　層間絶縁膜
３４４　パッシベーション膜
３５０　導電層
３５１　導電層
３５２　導電層
３５３　電極
４０１　ｐチャネル型ＦＥＴ
４０２　ｎチャネル型ＦＥＴ
７０１　リードフレーム
７０２　チップ
７０３　モールド樹脂層
７０４　接着剤
７０５　ソルダーボール
７０６　配線
７０７　金ワイヤー
８００　パネル
８０１　コントローラ
８０２　ＣＰＵ
８０３　電源回路
８０４　送受信回路
８０５　画素部
８０６　走査線駆動回路
８０７　信号線駆動回路
８０８　ＦＰＣ
８０９　インターフェース部
８１０　アンテナ用ポート

８１１　メモリ
８１６　プリント配線基板
８２９　音声処理回路
９００　パネル
９０１　集積回路（コントローラ）
９０２　ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　ｕｎｉｔ）
９０３　メモリ
９０５　画素部
９０６　走査線駆動回路
９０７　駆動回路（信号線駆動回路）
９０８　ＦＰＣ
９０９　接着剤
１０４ａ　マスク
１０４ｂ　マスク
１０６ａ　接続孔
１０６ｂ　配線溝
１５１６　ＩＣチップ
１５１７　導電層
１５１８　カード状基板
１９０１　筐体
１９０２　支持台
１９０３　表示部
１９０４　スピーカー部
１９０５　ビデオ入力端子
１９１１　筐体
１９１２　表示部
１９１３　キーボード
１９１４　外部接続ポート
１９１５　ポインティングマウス
１９２１　筐体
１９２２　表示部
１９２３　操作キー
１９２４　センサ部
１９４１　パスポート
１９４２　無線ＩＣタグ
１９５１　無線ＩＣタグ
１９５２　リーダ
１９５３　アンテナ部
１９５４　表示部
２０４ａ　接続孔
２０４ｂ　配線溝
３１１ａ　ポリシリコン層
３１１ｂ　シリサイド層

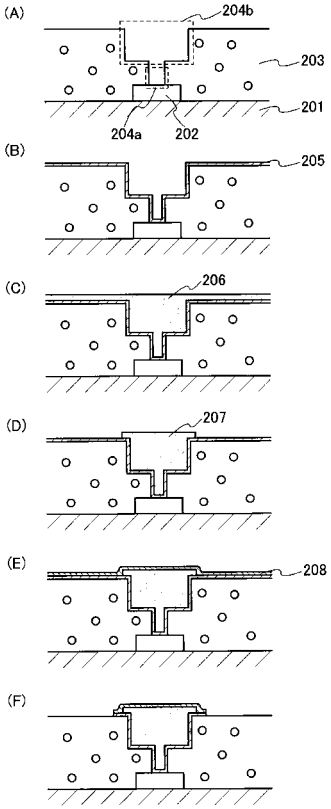
【図１】



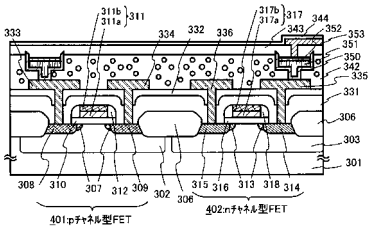
【図２】



【図３】

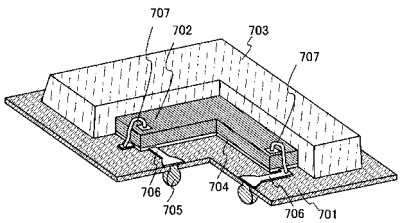


【図４】

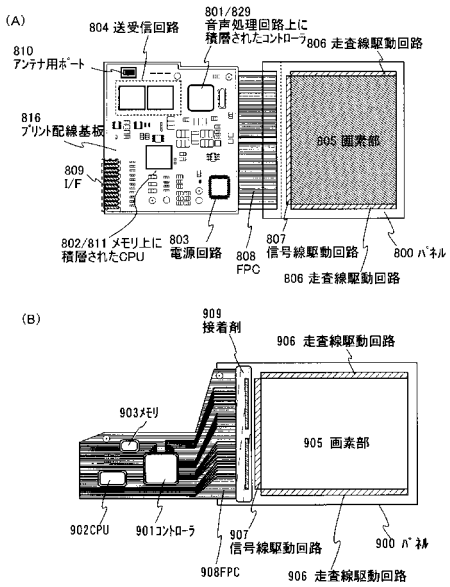


301:基板、302:n型ウェル、303:p型ウェル、306:フィールド酸化膜、
307:エクステンション領域、308:ソース領域(p)、309:ドレイン領域(p)、
313:エクステンション領域、314:ソース領域(n)、315:ドレイン領域(n)、310,316:ゲート絶縁膜、
311,317:ゲート電極、312,318:サイドウォール、331:第1層間絶縁膜、332:第2層間絶縁膜、
333,335:ソース電極、334,336:ドレイン電極、344:パッシベーション膜、342:第3層間絶縁膜

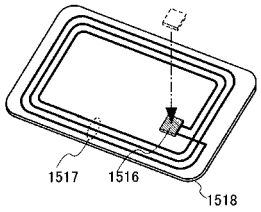
【図５】



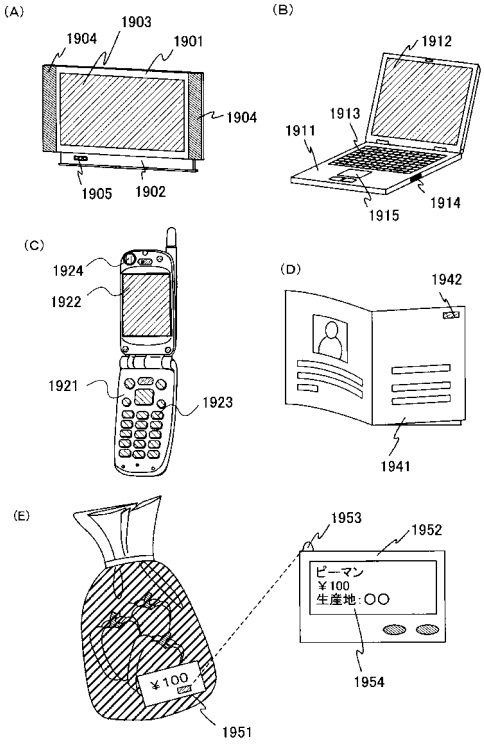
【図６】


(A)
804 送受信回路
801/829
音声処理回路上に
積層されたコントローラ
806 走査線駆動回路
810
アンテナ用ポート
816
プリント配線基板
805 画素部
809
I/F
802/811 メモリ上に
積層されたCPU
803
電源回路
808
FPC
807
信号線駆動回路
800 パネル
806 走査線駆動回路
(B)
909
接着剤
906 走査線駆動回路
903メモリ
905 画素部
902CPU
901コントローラ
907
信号線駆動回路
900 パネル
908FPC
906 走査線駆動回路

【図７】


1517
1516
1518

【図８】


(A)
1903
1904
1901
1904
1905
1902
(B)
1912
1913
1911
1914
1915
(C)
1924
1922
1921
1923
(D)
1942
1941
(E)
1953
1952
ビーマン
¥100
生産地:○○
¥100
1954
1951

フロントページの続き

(56)参考文献 特開２０００－３２３４７９（ＪＰ，Ａ）
特開２００４－３０４０２１（ＪＰ，Ａ）
特開２００３－２７３０４１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２１／３２０５
Ｈ０１Ｌ　２１／３２１３
Ｈ０１Ｌ　２１／７６８
Ｈ０１Ｌ　２１／２８８