

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6110889号
(P6110889)

(45) 発行日 平成29年4月5日(2017.4.5)

(24) 登録日 平成29年3月17日(2017.3.17)

(51) Int. Cl.	F I
HO 1 L 27/14 (2006.01)	HO 1 L 27/14 D
HO 1 L 23/02 (2006.01)	HO 1 L 23/02 B
HO 4 N 5/335 (2011.01)	HO 4 N 5/335

請求項の数 17 (全 15 頁)

(21) 出願番号	特願2015-79123 (P2015-79123)	(73) 特許権者	509144683
(22) 出願日	平成27年4月8日(2015.4.8)		精材科技股▲ふん▼有限公司
(62) 分割の表示	特願2012-554209 (P2012-554209) の分割		台湾桃園市中▲り▼区中▲り▼工業区吉林 路23號9F
原出願日	平成23年2月25日(2011.2.25)	(74) 代理人	110001807
(65) 公開番号	特開2015-133520 (P2015-133520A)		特許業務法人磯野国際特許商標事務所
(43) 公開日	平成27年7月23日(2015.7.23)	(74) 代理人	100064414
審査請求日	平成27年4月8日(2015.4.8)		弁理士 磯野 道造
(31) 優先権主張番号	61/308,855	(72) 発明者	黄玉龍
(32) 優先日	平成22年2月26日(2010.2.26)		台湾桃園縣大溪鎮員林路二段303巷12 號
(33) 優先権主張国	米国 (US)	(72) 発明者	劉滄宇
			台湾新竹縣竹北市嘉仁街118號7樓
		審査官	安田 雅彦

最終頁に続く

(54) 【発明の名称】 チップパッケージおよびその製造方法

(57) 【特許請求の範囲】

【請求項1】

デバイス領域を有する半導体基板と、
前記半導体基板上に配置されたパッケージ層と、
前記半導体基板と前記パッケージ層との間に配置され、前記デバイス領域を囲む間隔層と、

前記間隔層内に形成されると共に前記間隔層を貫通する中空パターンと、前記半導体基板と前記パッケージ層との間に配置されると共に前記間隔層と前記デバイス領域との間に配置された実体パターンと、を含み、

前記間隔層と前記デバイス領域との間には、領域が挟設され、前記領域は、広い領域と狭い領域を含み、

前記広い領域における前記間隔層と前記デバイス領域との間の距離は、前記狭い領域における前記間隔層と前記デバイス領域との間の距離よりも大きく、

且つ、

前記実体パターンは、前記広い領域と前記狭い領域とに配置されると共に互いに離されている複数の柱状構造を含み、且つ、前記広い領域に配置された柱状構造の列数は、前記狭い領域に配置された柱状構造の列数よりも大きいチップパッケージ。

【請求項2】

前記広い領域と前記狭い領域は、前記デバイス領域の相対する両側に配置されている請求項1に記載のチップパッケージ。

10

20

【請求項 3】

前記中空パターンは、円形、半円形、楕円形、三角形、正方形、長方形、多角形、又は、それらの組み合わせを有する請求項 1 に記載のチップパッケージ。

【請求項 4】

前記実体パターンは、円形、半円形、楕円形、三角形、正方形、長方形、多角形、又は、それらの組み合わせを有する請求項 1 に記載のチップパッケージ。

【請求項 5】

前記間隔層と前記半導体基板との間、又は、前記間隔層と前記パッケージ層との間に配置された接着層を更に含み、前記接着層の少なくとも一部は、前記中空パターン内に充填されている請求項 1 に記載のチップパッケージ。

10

【請求項 6】

前記間隔層は、感光性絶縁材料を含む請求項 1 に記載のチップパッケージ。

【請求項 7】

前記間隔層及び前記実体パターンは、同じ材料で形成されている請求項 1 に記載のチップパッケージ。

【請求項 8】

前記半導体基板は、前記デバイス領域を囲む周囲ボンディングパッド領域、及び、前記周囲ボンディングパッド領域内に配置された導電パッドを更に含む請求項 1 に記載のチップパッケージ。

【請求項 9】

前記半導体基板の表面上に配置され、前記導電パッドを露出するスルーホールであって、前記半導体基板は、前記パッケージ層と向き合う前側と、この前側に対して反対の後側とを有し、前記半導体基板の表面は前記半導体基板の後側にあるスルーホールと、

20

前記半導体基板の前記表面上に配置され、前記スルーホールの側壁にまで延伸する絶縁層と、

前記絶縁層上に配置されて前記スルーホールの底部にまで延伸し、前記導電パッドに電氣的接続する導電トレース層と、

前記導電トレース層及び前記絶縁層を覆い、前記導電トレース層を露出する開口を有する保護層と、

前記保護層の開口内に配置され、前記導電トレース層と電氣的接続する導電性バンブと

30

を更に含む請求項 8 に記載のチップパッケージ。

【請求項 10】

パッケージ層を提供するステップと、

前記パッケージ層上に間隔材料コーティングを形成するステップと、

前記間隔材料コーティングをパターンニングし、間隔層及び補助パターンを形成するステップと、

複数のデバイス領域、及び、任意の 2 つの隣接する前記デバイス領域間のけがき線を含む半導体ウエハを提供するステップと、

前記パッケージ層を前記半導体ウエハに接合するステップであり、そのとき、前記間隔層は前記半導体ウエハの前記デバイス領域を囲み、且つ、前記補助パターンは、前記間隔層内に形成されると共に前記間隔層を貫通する中空パターンと、前記けがき線上に配置された中空パターンと、前記間隔層と前記デバイス領域との間に配置された実体パターンとを含むステップと、

40

前記けがき線に沿って前記半導体ウエハを切断し、複数のチップパッケージを形成するステップと、を含み、

前記間隔層と前記デバイス領域との間には、領域が挟設され、前記領域は、広い領域と狭い領域を含み、

前記広い領域における前記間隔層と前記デバイス領域との間の距離は、前記狭い領域における前記間隔層と前記デバイス領域との間の距離よりも大きく、

50

且つ、

前記実体パターンは、前記広い領域と前記狭い領域とに配置されると共に互いに離されている複数の柱状構造を含み、且つ、前記広い領域に配置された柱状構造の列数は、前記狭い領域に配置された柱状構造の列数よりも大きいチップパッケージの製造方法。

【請求項 1 1】

前記広い領域と前記狭い領域は、前記デバイス領域の相対する両側に配置されている請求項 1 0 に記載のチップパッケージの製造方法。

【請求項 1 2】

前記中空パターンは、円形、三角形、正方形、楕円形、長方形、多角形、又は、それらの組み合わせの形状であり、

前記実体パターンは、円形、三角形、正方形、楕円形、長方形、多角形、又は、それらの組み合わせの形状を含む請求項 1 0 に記載のチップパッケージの製造方法。

【請求項 1 3】

前記間隔層と前記半導体基板との間、又は、前記間隔層と前記パッケージ層との間に接着層を形成するステップを更に含み、

前記接着層の少なくとも一部は、前記中空パターン内に充填されている請求項 1 0 に記載のチップパッケージの製造方法。

【請求項 1 4】

前記間隔層は、感光性絶縁材料を含む請求項 1 0 に記載のチップパッケージの製造方法。

【請求項 1 5】

前記間隔層及び前記実体パターンは、同じ材料で形成されている請求項 1 0 に記載のチップパッケージの製造方法。

【請求項 1 6】

前記半導体基板は、前記デバイス領域を囲む周囲ボンディングパッド領域、及び前記周囲ボンディングパッド領域内に配置された導電パッドを更に含む請求項 1 0 に記載のチップパッケージの製造方法。

【請求項 1 7】

前記半導体ウエハは、

前記半導体基板の表面上に配置され、前記導電パッドを露出するスルーホールであって、前記半導体基板は、前記パッケージ層と向き合う前側と、この前側に対して反対の後側とを有し、前記半導体基板の表面はこの後側にあるスルーホールと、

前記半導体基板の前記表面上に配置され、前記スルーホールの側壁にまで延伸する絶縁層と、

前記絶縁層上に配置されて前記スルーホールの底部にまで延伸し、前記導電パッドに電氣的接続する導電トレース層と、

前記導電トレース層及び前記絶縁層を覆い、前記導電トレース層を露出する開口を有する保護層と、

前記保護層の開口内に配置され、前記導電トレース層と電氣的接続する導電性バンブと、を更に含む請求項 1 6 に記載のチップパッケージの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チップパッケージ技術に関し、特に、チップパッケージおよびその製造方法に関するものである。

【背景技術】

【0002】

チップパッケージのためのウエハレベルパッケージングの技術が開発されている。半導体ウエハは、通常、その間の間隔層を有するガラス基板に接合されている。ウエハレベルパッケージングのプロセスが完了した後、ダイシングプロセスがチップ間で実行され、分

10

20

30

40

50

割したチップパッケージを形成する。

【0003】

半導体基板、間隔層、およびガラス基板の間の熱膨張係数（CTE）の不一致は、信頼性の問題や、或いは、更に、間隔層が半導体基板および/またはガラス基板に緊密に接合することができないことにより、チップパッケージの層間剥離の問題を生じさせる。その結果、湿気または空気がチップパッケージ内に入り、その電氣的性能に悪影響を及ぼす。

【0004】

よって、上述の問題を克服できるチップパッケージを提供し、チップパッケージの信頼性を高めることが望ましい。

【発明の概要】

【課題を解決するための手段】

【0005】

本発明の実施形態は、デバイス領域を有する半導体基板と、前記半導体基板上に配置されたパッケージ層と、前記半導体基板と前記パッケージ層との間に配置され、前記デバイス領域を囲む間隔層と、前記間隔層に形成された中空パターン、前記間隔層と前記デバイス領域との間に配置された実体パターン、またはそれらの組み合わせを含む補助パターンと、を含むチップパッケージを提供する。

【0006】

本発明の実施形態は、パッケージ層を提供するステップ、前記パッケージ層上に間隔材料コーティングを形成するステップ、前記間隔材料コーティングをパターンニングし、間隔層および補助パターンを形成するステップ、複数のデバイス領域および任意の2つの隣接の前記デバイス領域間のけがき線（スクライブ線）を含む半導体ウエハを提供するステップ、前記パッケージ層を前記半導体ウエハに接合し、その中の前記間隔層は前記半導体ウエハのデバイス領域を囲み、かつ、前記補助パターンは、前記間隔層に形成された中空パターン、前記けがき線に配置される中空パターン、前記間隔層と前記デバイス領域との間に配置される実体パターン、またはそれらの組み合わせを含むステップ、ならびに、前記けがき線に沿って前記半導体ウエハを切断し、複数のチップパッケージを形成するステップ、を含むチップパッケージを製造する方法を更に提供する。

【0007】

詳細な説明は、添付の図面を参照して以下の実施形態で説明される。

【図面の簡単な説明】

【0008】

本発明は、添付の図面を参照して以下の詳細な説明と実施例を解釈することによって、より十分に理解することができる。

【図1】本発明の実施形態に基づくチップパッケージを表す断面図である。

【図2】図1に示すチップパッケージを表す平面図である。

【図3】本発明の他の実施形態に係るチップパッケージを表す平面図である。

【図4】本発明の他の実施形態に係るチップパッケージを表す平面図である。

【図5】本発明の他の実施形態に係るチップパッケージを表す平面図である。

【図6】本発明の他の実施形態に係るチップパッケージを表す平面図である。

【図7】本発明の他の実施形態に係るチップパッケージを表す平面図である。

【図8】本発明の実施形態に基づくチップパッケージを形成するステップを説明する断面図である。

【図9】図8に示すステップに続くチップパッケージを形成するステップを説明する断面図である。

【図10】図9に示すステップに続くチップパッケージを形成するステップを説明する断面図である。

【図11】図10に示すステップに続くチップパッケージを形成するステップを説明する断面図である。

【図12】図11に示すステップに続くチップパッケージを形成するステップを説明する

10

20

30

40

50

断面図である。

【図 1 3】本発明の他の実施形態に基づくチップパッケージを表す断面図である。

【図 1 4】図 1 3 に示すチップパッケージを表す平面図である。

【図 1 5】本発明の更なる実施形態に基づく、異なる実体パターンを有するチップパッケージを表す平面図である。

【図 1 6】本発明の更なる実施形態に基づく、異なる実体パターンを有するチップパッケージを表す平面図である。

【図 1 7】本発明の更なる実施形態に基づく、異なる実体パターンを有するチップパッケージを表す平面図である。

【図 1 8】本発明の更なる実施形態に基づく、異なる実体パターンを有するチップパッケージを表す平面図である。

10

【発明を実施するための形態】

【0009】

本発明は、添付の図面を参照して詳細に説明される。図または説明において、同様の、または同一の符号は、同様の、または同一の要素を指定するのに用いられる。また、図に表される実施形態の形状または厚さは、簡易化のために、または符号付けを容易にするために拡大されている場合がある。また、図に示された各要素が説明される。注意する点は、ここに示されない、または説明されないどの要素も従来技術に知られるどの種類の要素であってもよいことである。また、本実施形態は、本発明を実施するための特定の実施例に過ぎず、本発明の範囲を限定するものではない。

20

【0010】

本発明の実施形態では、画像センサパッケージの製造方法が例に用いられる。即ち、本発明の実施形態のチップパッケージが、能動素子もしくは受動素子、または、デジタル回路もしくはアナログ回路を有する電子部品、例えば、光電素子、微小電気機械システム(MEMS)、マイクロ流体システム、および、熱、光もしくは圧力を検出する物理センサなどに用いることができるのは、当業者にとって当然である。特に、ウエハスケールパッケージ(WSP)プロセスは、例えば、画像センサデバイス、発光ダイオード(LED)、太陽電池、RF回路、アクセラレータ、ジャイロスコープ、マイクロアクチュエータ、弾性表面波デバイス、圧力センサ、または、インクジェットプリンターヘッドなどの半導体チップをパッケージするのに用いられることができる。

30

【0011】

上述のウエハスケールパッケージプロセスは、主に、ウエハステージでパッケージプロセスが完了した後、チップを有するウエハはカットされ、別々の独立のパッケージを得ることを意味する。しかしながら、特定の実施形態では、別々の独立のチップは、支持ウエハ(supporting wafer)上に再分布され、次いでパッケージされることができ、それはウエハスケールパッケージプロセスとも呼ばれることができる。また、上述のウエハスケールパッケージプロセスは、集積回路を有する複数のウエハを堆積することで多層集積回路デバイスのチップパッケージを形成するように用いられることもできる。

【0012】

本発明の実施形態では、補助パターンは、間隔層と半導体基板/ガラス基板間の応力を低下させ、かつ(または)空洞(cavity)への支持力を増加させるのに用いられる。本発明の好ましい実施形態は、図 1 ~ 図 1 4 を参照しながら以下に詳細に説明される。

40

【0013】

図 1 を参照すると、本発明の実施形態のチップパッケージの断面図が表されている。半導体基板 100 は、例えばチップを含む半導体ウエハをカットすることで形成される。半導体基板 100 は、デバイス領域 100 A およびデバイス領域 100 A を囲む周囲ボンディングパッド領域 100 B を有する。デバイス領域 100 A は、画像センサデバイス、または微小電気機械構造などの半導体デバイスを有する。本実施形態では、マイクロレンズアレイ 117 は、デバイス領域 100 A に形成され、光を画像センサデバイスに導く。この場合、デバイス領域 100 A は、画像センサ領域と見なされることができ。

50

【0014】

導電パッド104およびシールリング106は、半導体基板100の周囲ボンディングパッド領域100Bに配置される。導電パッド104、例えば、ボンディングパッドは、金属トレース(図示されていない)によってチップの内部に接続する。シールリング106は、チップの最外縁に配置され、ダイシングプロセスの間、半導体ウエハの亀裂がチップ内に進行することを防ぐ。シールリング106は、チップの内部と電氣的絶縁される。

【0015】

半導体基板100の背面102は、導電パッド104を露出するスルーホール118を有する。絶縁層120は、半導体基板の背面102に配置され、スルーホール118の側壁にまで延伸する。導電トレース層122は、絶縁層120上に配置されてスルーホール118の底部にまで延伸し、導電パッド104に電氣的接続する。保護層124は、導電トレース層122および絶縁層120を覆い、導電トレース層122の一部を露出する開口126を有する。導電性パンプ128は、保護層124の開口126内に配置され、導電トレース層122と電氣的接続する。

10

【0016】

半導体基板100の前面101は、パッケージ層114に接合され、間隔層110は、その間に配置される。間隔層110は、デバイス領域100Aを囲み、半導体基板100とパッケージ層114との間の空洞116を規定する。パッケージ層114は、ガラス基板、石英基板、オパール基板、プラスチック基板、または、光を通過させる任意の他の透明基板などの透明基板であることができる。フィルターおよび/または反射防止層は、パッケージ層114上に選択的に形成されることができる。非感光性デバイスチップ(device chip)の実施形態では、パッケージ層114は、例えばシリコンの被覆層などの半導体材料層であることができる。

20

【0017】

本実施形態では、間隔層110は、まずパッケージ層114上に形成され、接着層112によって半導体基板100に接合され、接着層112が間隔層110と半導体基板100との間に配置される。他の実施形態では、間隔層110は、まず半導体基板100上に形成され、接着層によってパッケージ層114に接合され、接着層が間隔層110とパッケージ層114との間に配置される。さらに他の実施形態では、間隔層110は、接着層を用いることなく、半導体ウエハ(半導体基板)100とパッケージ層114に直接接合される。

30

【0018】

本発明では、パッケージ層114と半導体基板100間の補足的な補助パターンは、チップパッケージの信頼性を向上させるように設計されている。1つの実施形態では、補助パターンは、間隔層110内に形成された中空パターン111Aである(この平面図は、図2に表されている)。中空パターン111Aは、間隔層110と基板/パッケージ層との間の応力を緩和し、チップパッケージの信頼性を向上させることができる。また、圧縮力は、ボンディングプロセス中、パッケージにかかるはずである。仮にかけられた圧縮力が充分でないとき、間隔層と基板/パッケージ層との間の境界に、ボイド(void)が存在する可能性があり、パッケージの信頼性が低くなる。中空パターン111Aは、間隔層110の表面積を減少させるため、一定の圧縮力での間隔層110への圧力を増し、間隔層110の材料が基板/パッケージ層と緊密に接合されることで、チップパッケージプロセスの収率およびパッケージの信頼性を向上させることができる。注意する点は、図2に示された中空パターン111Aは円形開口部であるが、本発明がこれに限定されないことである。本発明では、中空パターンは、他の形状、例えば、半円形、楕円形、三角形、正方形、長方形、多角形、またはそれらの組み合わせでもよい。また、中空パターンは、間隔層内に非対称に配置されることもできる。接着層を用いた1つの実施形態では、接着層112の少なくとも一部が中空パターン111Aに充填される。

40

【0019】

図3~6は、本発明の他の実施形態のチップパッケージの平面図を更に表している。本

50

発明の補助パターンは、間隔層 110 とデバイス領域 100 A との間の実体パターンであってもよい。本発明において、“間隔層”という用語は、デバイス領域の最外部を囲む単一の連続構造を指す。また、“実体パターン (material pattern)” は、間隔層とデバイス領域との間のソリッド (solid) のパターンまたは非ソリッド (non-solid) のパターンのいずれかを指す。図 3 では、実体パターン 111 B は、互いに分離された柱状構造で形成される。図 4 では、実体パターン 111 C は、デバイス領域 100 A を囲む連続的パターンである。図 5 では、補助パターンは、柱状構造で形成される実体パターン 111 B およびデバイス領域 100 A を囲む連続的パターン (実体パターン) 111 C の両方を含む。図 6 では、補助パターン (実体パターン) 111 D は、中空構造 111 1 を有する連続的パターンである。実体パターンおよび上述の間隔層は、同じ材料で形成される。

10

【0020】

上述の実体パターンは、パッケージ層に補足的な支持力を提供し、大型チップ (> 7 × 7 mm) のウエハレベルパッケージを得る。また、実体パターンは、半導体ウエハの薄化プロセス中に補足的な支持力を提供し、半導体基板の厚さを減少することができる。また、デバイス領域の側の実体パターンは、マスク層となり、デバイス領域内の画像センサデバイスのノイズを低下させることもできる。

【0021】

当然わかることであるが、図 3 に表されている実体パターン 111 B は、円形状の柱状構造で形成されているが、本発明はこれに限定されない。逆に、本発明の実体パターンは、他の形状、例えば、半円形、楕円形、三角形、正方形、長方形、多角形、またはそれらの組み合わせでもよい。また、デバイス領域は、必ずしも空洞の中央にあるとは限らず (図 3 参照)、上述の実体パターンは、デバイス領域に対して、非対称的な方式で配置することができる。例えば、図 3 では、実体パターン 111 B は、より広い領域 (即ちデバイス領域 100 A の右側) 内でより高いパターン密度を有し、より狭い領域 (即ちデバイス領域 100 A の左側) でより低いパターン密度を有する。

20

【0022】

図 7 は、本発明の他の実施形態のチップパッケージを表しており、チップパッケージの補助パターンは、間隔層 110 内に形成された中空パターン 111 A、および、間隔層 110 とデバイス領域 100 A との間の実体パターン 111 B の両方を含む。

【0023】

本発明の他の実施形態に基づき、補助パターンは、けがき線上に配置することもできる。この場合、補助パターンは、ダイシングプロセス後、分離されたチップパッケージ内に表されず、よって、この実施形態は以下の製造方法に詳述される。

30

【0024】

図 8 を参照すると、本発明の実施形態の製造方法に基づいて、パッケージ層 114 がまず提供され、間隔材料コーティング (Spacing material coating) 108 がパッケージ層 114 上に形成される。パッケージ層 114 は、例えば、ガラス基板または他の無地のシリコンウエハである。間隔材料コーティング 108 は、感光性絶縁材料 (例えば、エポキシ材料、はんだマスク材料など) であることができ、好適な塗布手段によって形成される。

40

【0025】

図 9 を参照すると、間隔材料コーティング 108 は、パターンニングされて、間隔層 110 および補助パターンを形成する。パターンニングプロセスのステップは、露光プロセスおよび現像プロセスを含むことができる。補助パターンは、中空パターン 111 A であるが、例として、当業者は他のタイプの補助パターンも同様の方式で形成してもよいことが理解できるであろう。

【0026】

次いで、図 10 に示されるように、補助パターンおよび間隔層を有するパッケージ層 114 は、半導体ウエハ 100 に接合され、間隔層 110 は、パッケージ層 114 を半導体ウエハ 100 から分離させる。同時に、間隔層 110 によって囲まれた空洞 116 が形成

50

される。上述のように、本実施形態では、間隔層 110 は、まずパッケージ層 114 上に形成され、接着層 112 によって半導体基板 100 に接合される。他の実施形態では、また、間隔層 110 がまず半導体基板 100 上に形成され、接着層によって、または接着層を用いることなく、パッケージ層 114 に接合される。上述の接着層は、スクリーン印刷によって間隔層 110 上に塗布され、接着層のパターンは、間隔層 110 のパターンと実質的に同じである。

【0027】

複数のチップを含む半導体ウエハ 100 は、通常、シリコンウエハであり、前面 101 および背面 102 を有する。半導体ウエハ 100 は、デバイス領域 100A およびデバイス領域 100A を囲む周囲ボンディングパッド領域 100B から構成される。デバイス領域 100A は、画像センサデバイス、または微小電気機械構造などの半導体デバイスを有する。本実施形態では、マイクロレンズアレイ 117 は、デバイス領域 100A 上に形成され、光を画像センサデバイス上に導く。この場合、デバイス領域 100A は、画像センサ領域と見なされることができる。

10

【0028】

半導体ウエハ 100 は、周囲ボンディングパッド領域 100B の周囲に導電パッド 104 およびシールリング 106 を更に有する。導電パッド 104 およびシールリング 106 は、金属間誘電体 (IMD) 層 103 内に形成される金属層およびビアで形成されている。シールリング 106 は、導電パッド 104 およびデバイス領域 100A を囲む。けがき線 SL は、任意の 2 つの隣接のシールリング 106 の間に定義される。

20

【0029】

次いで、図 11 を参照すると、スルーホール 118 は、半導体ウエハ 100 の背面 102 上に形成されて導電パッド 104 を露出する。そのスルーホール 118 の形成前、ウエハは、研磨、エッチングなどによって背面から薄化することができる。スルーホール 118 は、フォトリソグラフィおよびエッチングプロセスまたはレーザー穴あけ (laser drilling) によって形成され得る。そして、絶縁層 120 は、半導体ウエハ 100 の背面上およびスルーホール 118 の側壁上に形成される。絶縁層 120 は、非感光性絶縁材料、例えば、酸化ケイ素、窒化ケイ素、またはオキシ窒化ケイ素で形成されることができる。絶縁材料は、熱酸化、化学蒸着、または物理蒸着を用いることで、半導体ウエハのスルーホール 118 の背面、側壁および底部上に適合して形成される。次いで、スルーホール 118 の底部上の絶縁層の一部は、フォトリソグラフィおよびエッチングプロセスによって除去され、図 11 に示される絶縁層 120 を形成する。

30

【0030】

次いで、導電トレース層 122 を、絶縁層 120 上に配置してスルーホール 118 の底部にまで延伸させ、導電パッド 104 に電氣的接続する。例えば、銅、アルミニウム、またはニッケルで形成された導電材料層は、例えば、スパッタリング、蒸着、または電気めっきプロセスによって、絶縁層 120 上、かつスルーホール 118 内に配置される。次いで、導電材料層は、フォトリソグラフィおよびエッチングプロセスによってパターンニングして、上述の導電トレース層 122 を形成する。

【0031】

図 12 に示されるように、保護層 124 (例えばはんだマスク) は、絶縁層 120 および導電トレース層 122 に塗布され、導電トレース層 122 を覆う。次いで、保護層 124 は、パターンニングされて開口 126 を形成し、導電トレース層 122 の一部を露出する。次いで、はんだを保護層 124 の開口 126 内に塗布し、リフロープロセスをはんだに対して行い、はんだボールまたははんだペーストであることができる導電性バンプ 128 を形成する。

40

【0032】

次いで、半導体ウエハ 100 は、図 1 に表されるように、ダイシングブレードを用いてけがき線 SL に沿って切断され、チップパッケージを形成する。

【0033】

50

図13は、本発明の実施形態に基づく、けがき線に配置された補助パターンを表している。本発明に基づき、図9のパターンニングプロセス中、中空パターン111Eは、けがき線SLに対応して形成され、作製されたパッケージ層は、半導体ウエハ100に接合されて図13に表されている構造を形成する。図14は、本実施形態の平面図を表しており、中空パターン111Eは、複数の円形開口、または他の形状（例えば長方形）の開口を有する。けがき線SL上の中空パターン111Eは、ボンディングプロセス中のハーメチック（気密封止）パッケージを得るのに必要な作用力を低下させることができ、必要ならば、予備の間隔材料を収容する余分のスペースを提供することができ、切断プロセス中、完全に除去されることができる。

【0034】

また、本発明の実施形態の材料パターンは、他のバリエーションを有してもよい。図15～18は、本発明の実施形態の異なる材料パターンを有するチップパッケージを表している。図15では、材料パターン（実体パターン）111Fは、間隔層110によって囲まれた領域100C全域にわたるバーパターン（bar pattern）を含む。デバイス領域100Aは、材料パターン111Fの片側に配置される。図16では、材料パターン（実体パターン）111Gは、領域100C全域にわたる2つのバーパターン（bar pattern）Bを含み、2つのバーパターンBは、平行であっても平行でなくてもよい。本実施形態では、デバイス領域100Aは、2つのバーパターンBの間に配置される。もう1つの実施形態では、デバイス領域100Aは、2つのバーパターンBの同じ側に配置される。図17では、材料パターン（実体パターン）111Hは、3つのバーパターンB1、B2、B3を含む。バーパターンB1は、領域100C全域にわたる。バーパターンB2、B3は、一端にあるバーパターンB1およびもう一端にある間隔層110と接続する。バーパターンB2、B3は、それぞれ、バーパターンB1を挟んで反対側にある。図18では、材料パターン（実体パターン）111Iは、間隔層110によって囲まれた領域100Cの全域にわたる線（例えば図に表されている点線）に沿って配列された複数の柱状構造Pを含む。

【0035】

これに鑑みて、本発明の実施形態は、補助パターンを用いることで少なくとも次の利点を提供する。

【0036】

1．中空パターンは、間隔層と基板/パッケージ層との間の応力を緩和し、チップパッケージの信頼性を向上させることができる。

【0037】

2．実体パターンは、補足的な支持力を提供し、大型チップのウエハレベルパッケージを得て、ウエハの厚さを減少することができる。

【0038】

3．デバイス領域と間隔層との間の実体パターンは、マスク層となり、画像センサデバイスのノイズを低下させることができる。

【0039】

本発明は、実施例の方法及び望ましい実施の形態によって記述されているが、それらの実施形態に限定されるものではないことは理解される。逆に、本発明は、種々の変更及び同様の配置をカバーするものである（当業者には明白なように）。よって、添付の請求の範囲は、最も広義な解釈が与えられ、全てのこのような変更及び同様の配置を含むべきである。

【符号の説明】

【0040】

- 100 半導体基板
- 100A デバイス領域
- 100B 周囲ボンディングパッド領域
- 100C 領域

10

20

30

40

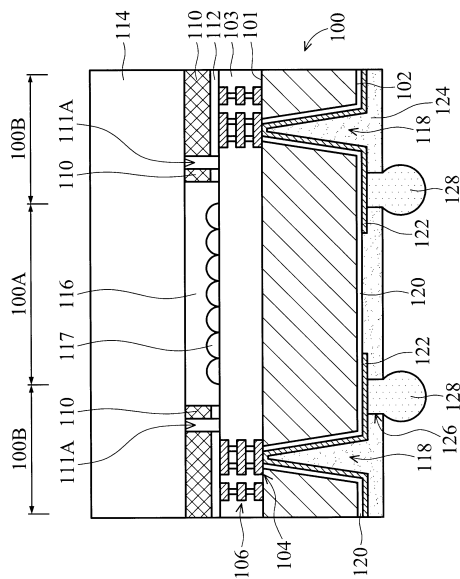
50

- 101 前面
 - 102 背面
 - 103 金属間誘電体 (IMD) 層
 - 104 導電パッド
 - 106 シールリング
 - 108 間隔材料コーティング
 - 110 間隔層
 - 111 A、111 E 中空パターン
 - 111 B、111 C、111 D、111 F、111 G、111 H、111 I 実体パター
- ン
- 1111 中空構造
 - 112 接着層
 - 114 パッケージ層
 - 116 空洞
 - 117 マイクロレンズアレイ
 - 118 スルーホール
 - 120 絶縁層
 - 122 導電トレース層
 - 124 保護層
 - 126 開口
 - 128 導電性バンプ
- B、B1、B2、B3 パーパターン
- P 柱状構造
- SL けがき線

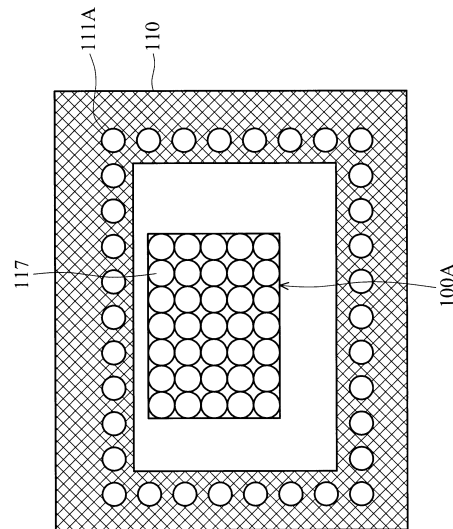
10

20

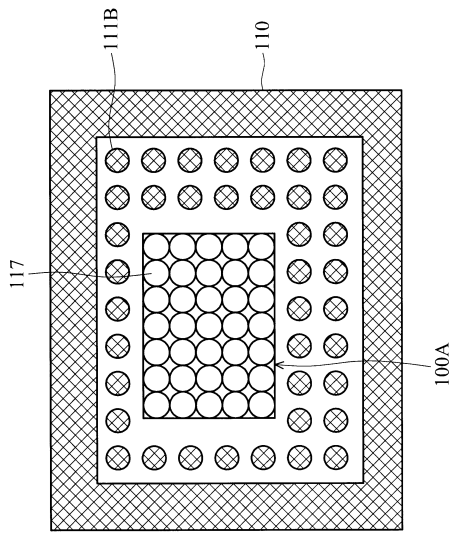
【図1】



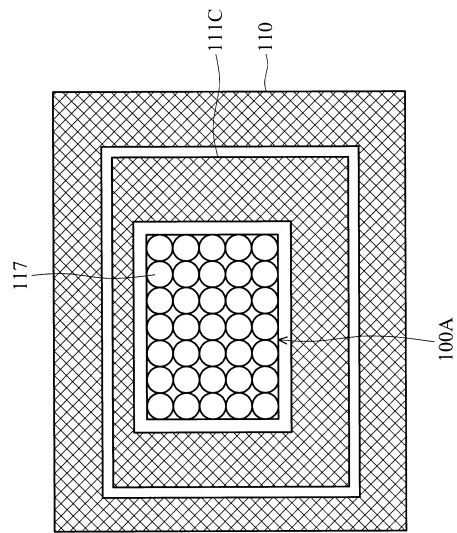
【図2】



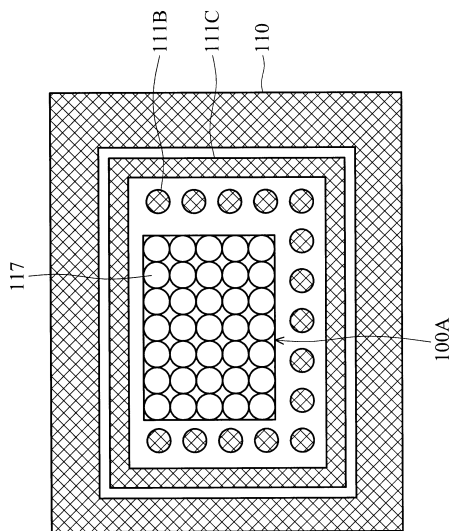
【図3】



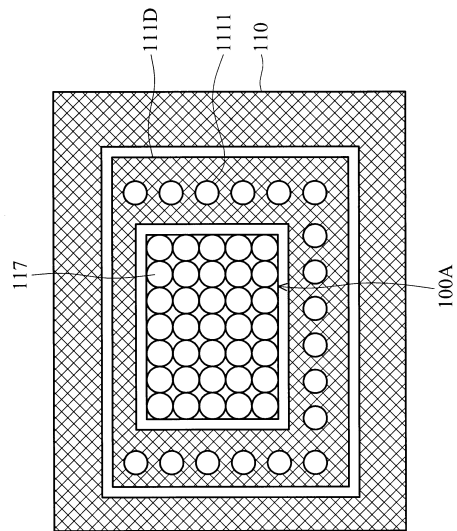
【図4】



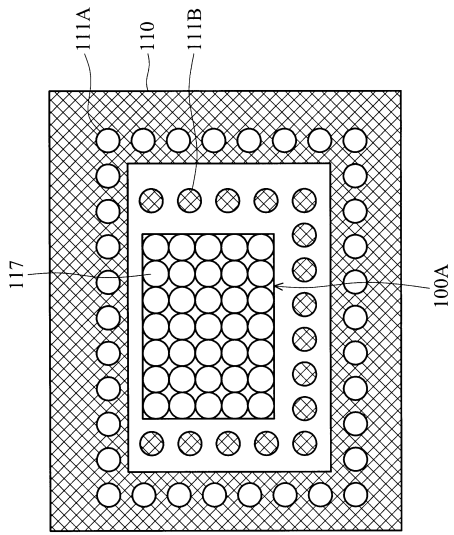
【図5】



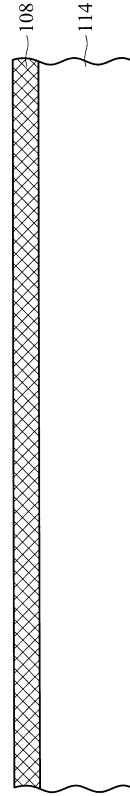
【図6】



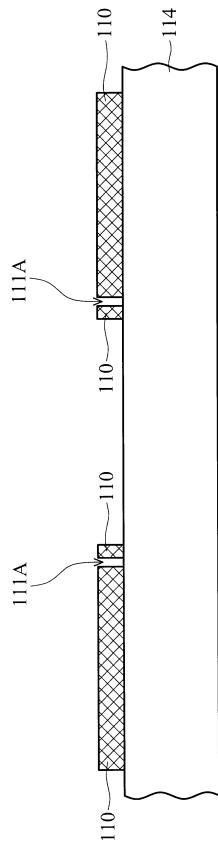
【 図 7 】



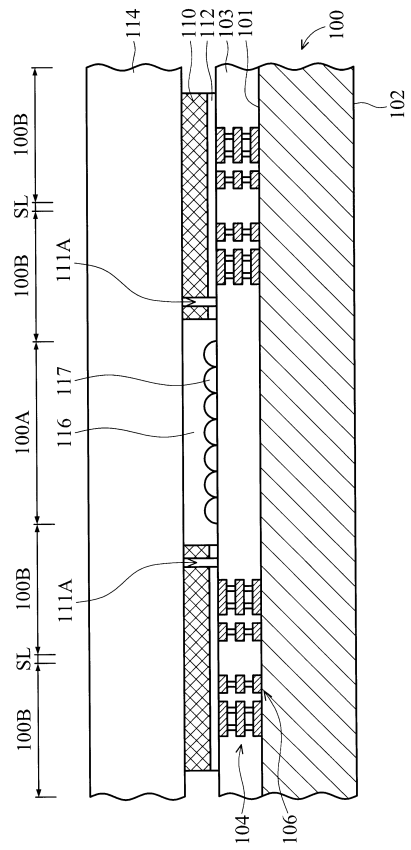
【 図 8 】



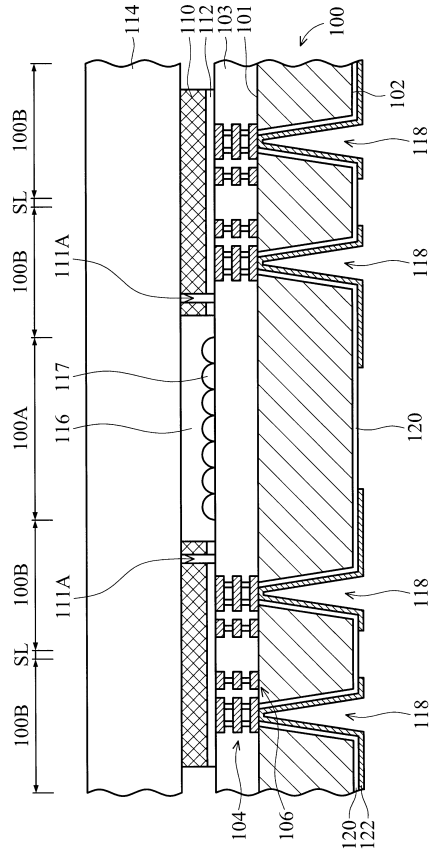
【 図 9 】



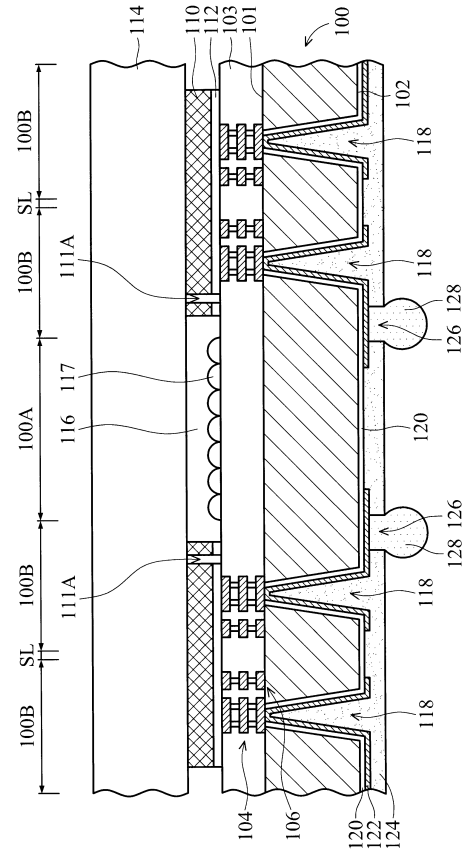
【 図 10 】



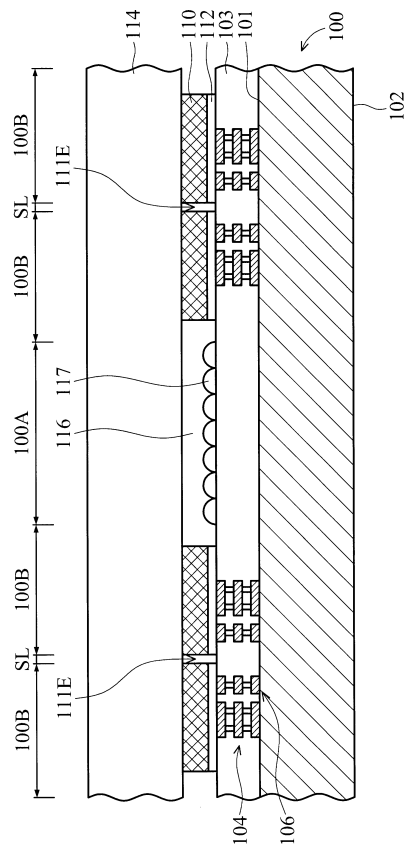
【図 1 1】



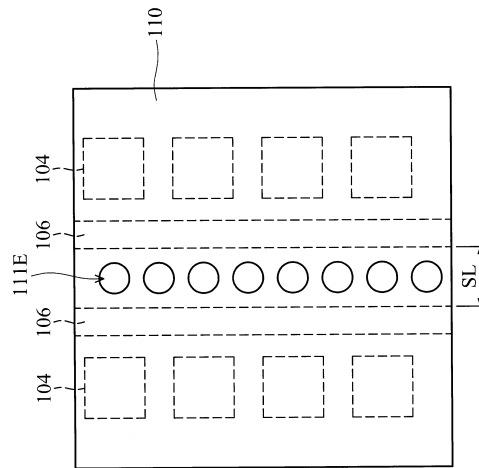
【図 1 2】



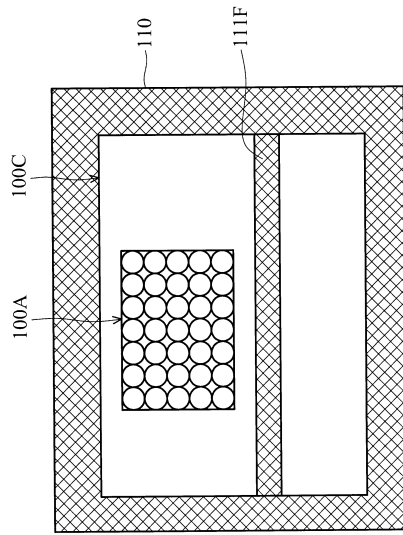
【図 1 3】



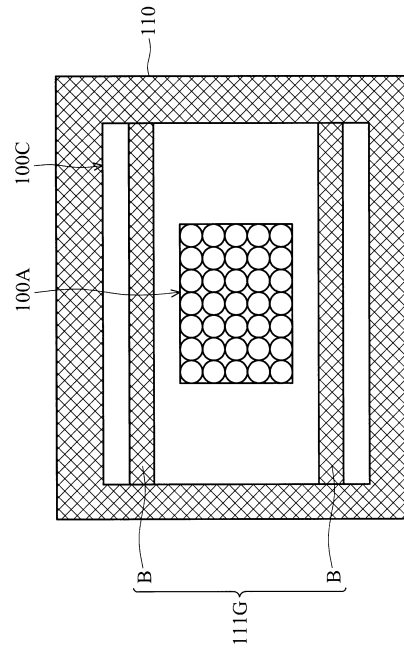
【図 1 4】



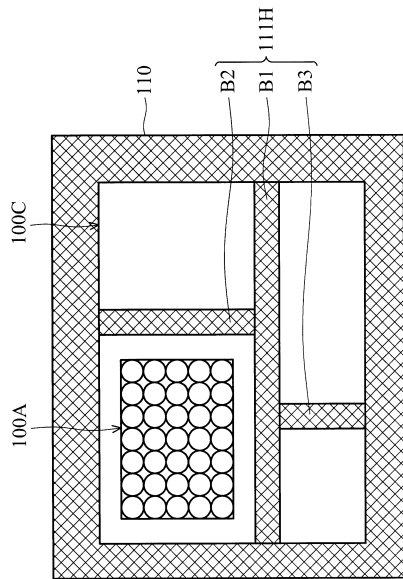
【図 15】



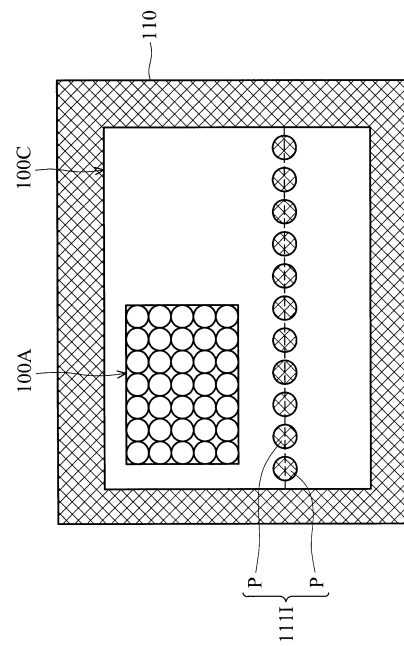
【図 16】



【図 17】



【図 18】



フロントページの続き

- (56)参考文献 特開2009-176955(JP,A)
特開2006-228837(JP,A)
特開2001-257334(JP,A)
特開2008-311423(JP,A)
国際公開第2009/123308(WO,A1)
特開平06-070242(JP,A)
米国特許出願公開第2006/0211173(US,A1)
米国特許出願公開第2009/0102005(US,A1)

(58)調査した分野(Int.Cl., DB名)

- H01L 27/14-148
H04N 5/335-378
H01L 23/02-10