

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】令和2年4月2日(2020.4.2)

【公表番号】特表2019-510332(P2019-510332A)

【公表日】平成31年4月11日(2019.4.11)

【年通号数】公開・登録公報2019-014

【出願番号】特願2018-550525(P2018-550525)

【国際特許分類】

G 1 1 C 11/419 (2006.01)

G 1 1 C 7/06 (2006.01)

G 1 1 C 7/08 (2006.01)

G 1 1 C 11/412 (2006.01)

【F I】

G 1 1 C 11/419 1 2 0

G 1 1 C 7/06 1 3 0

G 1 1 C 7/08

G 1 1 C 11/412 1 2 0

【手続補正書】

【提出日】令和2年2月17日(2020.2.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリビットセルに対する動的読取り回路内の遅延キーパー回路のアクティブ化を制御するための漏れ認識アクティブ化制御回路であって、

動的読取り回路内の少なくとも1つのN型電界効果トランジスタ(NFET)の漏れ電流を示すNFET漏れインジケータを生成するように構成されたNFET漏れ回路と、

前記動的読取り回路内の少なくとも1つのP型電界効果トランジスタ(PFET)の漏れ電流を示すPFET漏れインジケータを生成するように構成されたPFET漏れ回路と、

比較器回路であって、

前記NFET漏れインジケータおよび前記PFET漏れインジケータを受け取り、

前記NFET漏れインジケータを前記PFET漏れインジケータと比較し、

前記NFET漏れインジケータと前記PFET漏れインジケータの前記比較に基づいてFET漏れ信号を生成するように構成された比較器回路と、

遅延キーパー回路のアクティブ化タイミングを制御するために前記FET漏れ信号に基づいて少なくとも1つの制御信号を適応的に生成するように構成された制御信号生成器とを備える漏れ認識アクティブ化制御回路。

【請求項2】

前記NFET漏れ回路は、前記動的読取り回路の動作中に前記動的読取り回路内の前記少なくとも1つのNFETの前記漏れ電流を示す前記NFET漏れインジケータを動的に生成するように構成され、

前記PFET漏れ回路は、前記動的読取り回路の動作中に前記動的読取り回路内の前記少なくとも1つのPFETの前記漏れ電流を示す前記PFET漏れインジケータを動的に生成するように構成される、請求項1に記載の漏れ認識アクティブ化制御回路。

【請求項3】

前記NFET漏れ回路は、NFET漏れを判定するように構成されたNFET漏れセンサーを備え、
前記NFET漏れセンサーは、前記動的読取り回路内の前記判定されたNFET漏れに基づいて
前記少なくとも1つのNFETの前記漏れ電流を示す前記NFET漏れインジケータを生成するよ
うに構成され、

前記PFET漏れ回路は、PFET漏れを判定するように構成されたPFET漏れセンサーを備え、
前記PFET漏れセンサーは、前記動的読取り回路内の前記判定されたPFET漏れに基づいて
前記少なくとも1つのPFETの前記漏れ電流を示す前記PFET漏れインジケータを生成するよ
うに構成される、請求項1に記載の漏れ認識アクティブ化制御回路。

【請求項4】

前記NFET漏れセンサーは、前記少なくとも1つのNFETの前記漏れ電流を示すNFET漏れ電
流を生成するように構成された少なくとも1つの非アクティブ化されたNFETから構成され
、

前記PFET漏れセンサーは、前記少なくとも1つのPFETの前記漏れ電流を示すPFET漏れ電
流を生成するように構成された少なくとも1つの非アクティブ化されたPFETから構成され
る、請求項3に記載の漏れ認識アクティブ化制御回路。

【請求項5】

前記NFET漏れセンサーは、リング発振器内で結合された複数の第1のバッファ回路を備
えるNFETリング発振器回路からさらに構成され、前記複数の第1のバッファ回路の各々が
、前記少なくとも1つの非アクティブ化されたNFETのうちの前記少なくとも1つのNFETの前
記漏れ電流を示す前記NFET漏れ電流によってアクティブ化されるように構成され、前記NF
ETリング発振器回路が、前記生成されたNFET漏れ電流に基づいて前記NFET漏れインジケ
ータを更新するように構成され、

前記PFET漏れセンサーは、リング発振器内で結合された複数の第2のバッファ回路を備
えるPFETリング発振器回路からさらに構成され、前記複数の第2のバッファ回路の各々が
、前記少なくとも1つの非アクティブ化されたPFETのうちの前記少なくとも1つのPFETの前
記漏れ電流を示す前記PFET漏れ電流によってアクティブ化されるように構成され、前記PF
ETリング発振器回路が、前記生成されたPFET漏れ電流に基づいて前記PFET漏れインジケ
ータを更新するように構成される、請求項4に記載の漏れ認識アクティブ化制御回路。

【請求項6】

前記NFET漏れ回路は、NFET漏れ周波数カウンタを記憶するように構成されたNFET漏れ周
波数カウンタをさらに備え、

前記NFET漏れ回路は、前記少なくとも1つのNFETの判定された漏れ電流の関数として、
前記NFET漏れ周波数カウンタを更新するように前記NFET漏れ周波数カウンタを制御するよ
うに構成され、

前記PFET漏れ回路は、PFET漏れ周波数カウンタを記憶するように構成されたPFET漏れ周
波数カウンタをさらに備え、

前記PFET漏れ回路は、前記少なくとも1つのPFETの前記判定された漏れ電流の関数とし
て、前記PFET漏れ周波数カウンタを更新するように前記PFET漏れ周波数カウンタを制御す
るよう構成される、請求項1に記載の漏れ認識アクティブ化制御回路。

【請求項7】

前記比較器回路は、前記NFET漏れインジケータと前記PFET漏れインジケータの前記比較
に基づいてFET漏れ制御信号を含むFET漏れ信号を生成するように構成され、

前記制御信号生成器は、前記遅延キープ回路の前記アクティブ化タイミングを制御す
るために前記FET漏れ制御信号に基づいてFET漏れ制御ワードを含む少なくとも1つの制御
信号を適応的に生成するように構成される、請求項1に記載の漏れ認識アクティブ化制御
回路。

【請求項8】

前記比較器回路は、

少なくとも1つのPFET漏れ比較器回路であって、

前記NFET漏れインジケータおよび前記PFET漏れインジケータを受け取り、

前記NFET漏れインジケータを前記PFET漏れインジケータと比較し、

前記NFET漏れインジケータと前記PFET漏れインジケータとの前記比較に基づいて前記少なくとも1つのPFETの前記漏れ電流が前記少なくとも1つのNFETの前記漏れ電流を超えているか否かを示すように前記FET漏れ制御信号を制御するように構成される少なくとも1つのPFET漏れ比較器回路と、

少なくとも1つのNFET漏れ比較器回路であって、

前記NFET漏れインジケータおよび前記PFET漏れインジケータを受け取り、

前記NFET漏れインジケータを前記PFET漏れインジケータと比較し、

前記NFET漏れインジケータと前記PFET漏れインジケータとの前記比較に基づいて前記少なくとも1つのNFETの前記漏れ電流が前記少なくとも1つのPFETの前記漏れ電流を超えているか否かを示すように前記FET漏れ制御信号を制御するように構成される少なくとも1つのNFET漏れ比較器回路とを備える、請求項7に記載の漏れ認識アクティブ化制御回路。

【請求項 9】

前記比較器回路は、

少なくとも1つのPFET低速漏れ比較器回路であって、

前記PFET漏れインジケータを受け取り、

PFET低速漏れ限界を示す既定のPFET低速漏れインジケータを受け取り、

前記既定のPFET漏れインジケータを前記既定のPFET低速漏れインジケータと比較し、

前記PFET漏れインジケータと前記既定のPFET低速漏れインジケータとの前記比較に基づいて、前記少なくとも1つのPFETの前記漏れ電流が前記PFET低速漏れ限界未満である場合にPFET低速漏れ電流を示すように前記FET漏れ制御信号を制御するように構成された少なくとも1つのPFET低速漏れ比較器回路と、

少なくとも1つのNFET低速漏れ比較器回路であって、

前記NFET漏れインジケータを受け取り、

NFET低速漏れ限界を示す既定のNFET低速漏れインジケータを受け取り、

前記既定のNFET漏れインジケータを前記既定のNFET低速漏れインジケータと比較し、

前記NFET漏れインジケータと前記既定のNFET低速漏れインジケータとの前記比較に基づいて、前記少なくとも1つのNFETの前記漏れ電流が前記NFET低速漏れ限界未満である場合にNFET低速漏れ電流を示すように前記FET漏れ制御信号を制御するように構成された少なくとも1つのNFET低速漏れ比較器回路とをさらに備える、請求項8に記載の漏れ認識アクティブ化制御回路。

【請求項 10】

前記比較器回路は、

少なくとも1つのPFET高速漏れ比較器回路であって、

前記PFET漏れインジケータを受け取り、

PFET高速漏れ限界を示す既定のPFET高速漏れインジケータを受け取り、

前記PFET漏れインジケータを前記既定のPFET高速漏れインジケータと比較し、

前記PFET漏れインジケータと前記既定のPFET高速漏れインジケータとの前記比較に基づいて、前記少なくとも1つのPFETの前記漏れ電流が前記PFET高速漏れ限界よりも大きい場合にPFET高速漏れ電流を示すように前記FET漏れ制御信号を制御するように構成された少なくとも1つのPFET高速漏れ比較器回路と、

少なくとも1つのNFET高速漏れ比較器回路であって、

前記NFET漏れインジケータを受け取り、

NFET高速漏れ限界を示す既定のNFET高速漏れインジケータを受け取り、

前記NFET漏れインジケータを前記既定のNFET高速漏れインジケータと比較し、

前記NFET漏れインジケータと前記既定のNFET高速漏れインジケータとの前記比較に基づいて、前記少なくとも1つのNFETの前記漏れ電流が前記NFET高速漏れ限界よりも大きい場合にNFET高速漏れ電流を示すように前記FET漏れ制御信号を制御するように構成された少なくとも1つのNFET高速漏れ比較器回路とをさらに備える、請求項8に記載の漏れ認識アクティブ化制御回路。

【請求項 1 1】

前記制御信号生成器は、前記遅延キーパー回路のアクティブ化タイミングを制御するために前記FET漏れ制御信号を前記FET漏れ制御ワードに復号するように構成されたデコーダ回路を備える、請求項7に記載の漏れ認識アクティブ化制御回路。

【請求項 1 2】

前記制御信号生成器は、前記NFET漏れインジケータと前記PFET漏れインジケータとの前記比較に基づいて、前記遅延キーパー回路の前記アクティブ化タイミングを制御するように構成されたパルス発生器によって生成されたパルスのパルス幅の制御タイミングに基づいて前記少なくとも1つの制御信号を適応的に生成するように構成される、請求項1に記載の漏れ認識アクティブ化制御回路。

【請求項 1 3】

システムオンチップ(SoC)に組み込まれ、および/または
セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、
スマートフォン、セルラーフォン、スマートフォン、タブレット、ファブレット、サーバ
、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、携帯情報端末(P
DA)、モニタ、コンピュータモニタ、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレー
ーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオ
プレーヤ、デジタルビデオディスク(DVD)プレーヤ、ポータブルデジタルビデオプレー
ヤ、および自動車からなるグループから選択されるデバイスに組み込まれた、請求項1に
記載の漏れ認識アクティブ化制御回路。

【請求項 1 4】

メモリビットセルに対する動的読取り回路内の遅延キーパー回路のアクティブ化を制御するための方法であって、

動的読取り回路内の少なくとも1つのN型電界効果トランジスタ(NFET)の漏れ電流を判定するステップと、

前記動的読取り回路内の少なくとも1つのP型FET(PFET)の漏れ電流を判定するステップと、

前記少なくとも1つのNFETの前記判定された漏れ電流を前記少なくとも1つのPFETの前記判定された漏れ電流と比較するステップと、

前記少なくとも1つのNFETの前記判定された漏れ電流と前記少なくとも1つのPFETの前記判定された漏れ電流との前記比較に基づいて遅延キーパー回路に対する少なくとも1つの制御信号を適応的に生成するステップとを含む方法。

【請求項 1 5】

メモリシステムであって、

メモリビットセルであって、

補完電圧を記憶するように構成された記憶回路と、

前記記憶回路に結合され、読取り動作に応答して動的ノード上で前記補完電圧を生成するように構成された読取りポート回路とを備えるメモリビットセルと、

動的読取り回路であって、

前記動的ノードと、

評価フェーズの外側で前記動的ノード上に前記補完電圧を維持するためにパルスに
応答してアクティブ化されるように構成され、前記読取り動作の前記評価フェーズに
応答して、前記パルスに
応答して非アクティブ化されるように構成された遅延キーパー回路とを
備える動的読取り回路と、

漏れ認識アクティブ化制御回路であって、

N型FET(NFET)漏れインジケータとP型FET(PFET)漏れインジケータとの比較に基づいて
FET漏れ信号を生成するように構成された漏れ回路であって、前記NFET漏れインジケータ
が、少なくとも1つのNFETの漏れ電流に基づき生成され、前記PFET漏れインジケータが、
少なくとも1つのPFETの漏れ電流の基づき生成される、漏れ回路と、

前記遅延キーパー回路のアクティブ化タイミングを制御するために前記FET漏れ信号に基づいて少なくとも1つの制御信号を適応的に生成するように構成された制御信号生成器とを備える漏れ認識アクティブ化制御回路と、

前記少なくとも1つの制御信号に応答して前記遅延キーパー回路のアクティブ化および非アクティブ化のための制御アクティブ化タイミングに基づくパルス幅を有する前記パルスを生成するように構成されたパルス発生器とを備えるメモリシステム。