



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0085674
(43) 공개일자 2018년07월27일

(51) 국제특허분류(Int. Cl.)
H01L 29/732 (2006.01) H01L 21/768 (2006.01)
H01L 29/423 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/732 (2013.01)
H01L 21/76859 (2013.01)
(21) 출원번호 10-2017-0163070
(22) 출원일자 2017년11월30일
심사청구일자 없음
(30) 우선권주장
JP-P-2017-007552 2017년01월19일 일본(JP)

(71) 출원인
에이블릭 가부시킴가이샤
일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지
(72) 발명자
오스가 유키
일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지 에스아이아이 세미컨덕터 가부시킴가이샤 내
하라다 히로후미
일본국 치바켄 치바시 미하마구 나카세 1쵸메 8반지 에스아이아이 세미컨덕터 가부시킴가이샤 내
(74) 대리인
한양특허법인

전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

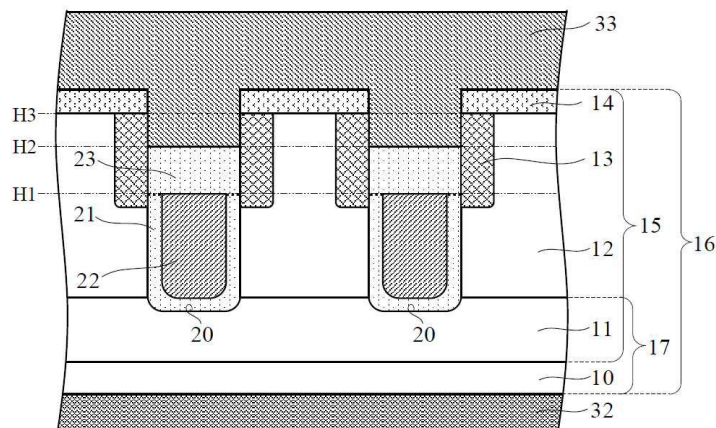
(57) 요약

사이즈를 작게 하면서 유효 채널 영역을 손실시키지 않는 반도체 장치 및 그 제조 방법을 제공한다.

기판과, 기판의 이면측에 설치된 드레인 영역과, 드레인 영역으로부터 기판 표면 사이에 설치된 베이스층과, 기판 표면으로부터 드레인 영역에 이르는 트렌치와, 트렌치의 저면으로부터 제1 높이까지의 트렌치 내측을 덮는 게이트 절연막과, 게이트 절연막을 통하여 같은 높이까지 트렌치 내에 매설된 게이트 전극과, 제1 높이보다 높은 제2 높이까지 트렌치 내에 매설된 절연막과, 트렌치 내의 나머지 부분에 매설된 소스 전극과, 기판의 표면으로부터 제2 높이보다 얇게 설치된, 한쪽측면이 소스 전극에 접하는 베이스 콘택트 영역과, 상면이 베이스 콘택트 영역의 저면의 일부에 접하고, 한쪽측면이 트렌치의 측면에 접함과 함께 일부가 소스 전극에 접하는 소스 영역과, 기판의 이면 상의 드레인 전극을 구비한다.

대표도 - 도1

100



(52) CPC특허분류

H01L 29/4236 (2013.01)

H01L 29/66666 (2013.01)

명세서

청구범위

청구항 1

기관과,

상기 기관의 이면으로부터 소정의 두께를 갖고 상기 기관에 설치된 제1 도전형의 드레인 영역과,

상기 기관의 표면으로부터 상기 드레인 영역의 상면에 이르는 트렌치와,

상기 트렌치에 인접해서 상기 드레인 영역 상에 설치된 제2 도전형의 베이스층과,

상기 트렌치의 내측의 저면 및 측면을 덮고, 상단부가 상기 트렌치의 저면으로부터 제1 높이에 위치하는 게이트 절연막과,

상기 트렌치 내에 상기 게이트 절연막을 통하여 상기 제1 높이까지 매설된 게이트 전극과,

상기 트렌치 내의 상기 게이트 절연막 및 상기 게이트 전극 상에 상기 제1 높이보다 높은 제2 높이까지 매설된 제1 절연막과,

상기 트렌치 내의 상기 제1 절연막 상의 나머지 부분에 매설된 소스 전극과,

상기 기관의 표면으로부터, 상기 제2 높이보다 높고 상기 트렌치의 상부보다 낮은 제3 높이까지의 깊이를 갖고, 한쪽의 측면이 상기 소스 전극에 접해 설치된 상기 베이스층보다 고농도의 제2 도전형의 베이스 콘택트 영역과,

상면이 상기 베이스 콘택트 영역의 저면의 일부에 접하고, 한쪽의 측면이 상기 트렌치의 외측면에 접함과 함께 그 한쪽의 측면의 적어도 일부가 상기 소스 전극에 접하며, 저면으로부터 상기 드레인 영역까지의 상기 트렌치의 외측면을 따른 상기 베이스층이 채널 영역이 되도록 설치된 제2 도전형의 소스 영역과,

상기 기관의 이면 상에 상기 드레인 영역에 접해 설치된 드레인 전극을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2

청구항 1에 있어서,

상기 베이스 콘택트 영역은, 저면의 일부가 상기 베이스층에 접해 있는 것을 특징으로 하는 반도체 장치.

청구항 3

청구항 1에 있어서,

상기 베이스 콘택트 영역은, 다른쪽의 측면이 상기 베이스층에 접해 있는 것을 특징으로 하는 반도체 장치.

청구항 4

청구항 1 내지 청구항 3 중 어느 한 항에 있어서,

상기 베이스 콘택트 영역 상에 설치되며, 상기 트렌치의 상부에 연결되는 개구를 가지는 제2 절연막을 더 구비하고, 상기 소스 전극은 상기 개구 내에도 매설되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5

청구항 1에 있어서,

상기 트렌치는, 소정의 방향으로 연장되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6

청구항 1에 있어서,

상기 트렌치는, 상기 베이스층의 주위를 둘러싸고 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제1 도전형의 기판 표면으로부터 기판의 두께보다 얇은 깊이로 제2 도전형의 베이스층을 형성하고, 상기 기판의 나머지 영역을 제1 도전형의 드레인 영역으로서 잔존시키는 공정과,

상기 기판 표면으로부터 상기 드레인 영역에 이르도록 트렌치를 형성하는 공정과,

상기 트렌치의 내측의 저면 및 측면에 게이트 절연막을 형성하는 공정과,

상기 트렌치 내에 상기 게이트 절연막을 통하여 게이트 전극을 매설하는 공정과,

상기 게이트 전극의 상면의 위치가 상기 트렌치의 저면으로부터 제1 높이가 될 때까지 상기 게이트 전극을 에칭하는 공정과,

상기 트렌치의 내측으로부터 불순물을 주입하여, 트렌치의 외측면의 일부에 접하며, 적어도 상기 기판 표면으로부터 상기 제1 높이까지의 깊이를 구비하는 소스 영역을 형성하는 공정과,

상기 게이트 절연막의 상단부가 상기 제1 높이가 될 때까지 상기 게이트 절연막의 상부를 에칭하는 공정과,

상기 트렌치 내의 상기 게이트 절연막 및 상기 게이트 전극 상에 상기 제1 높이보다 높은 제2 높이까지 제1 절연막을 형성하는 공정과,

상기 기판의 표면으로부터, 상기 제2 높이보다 높고 상기 트렌치의 상부보다 낮은 제3 높이까지의 깊이를 갖고, 상기 트렌치의 상기 외측면의 다른 일부와 상기 베이스층 및 상기 소스 영역의 상부에 접하는, 상기 베이스층보다 고농도의 제2 도전형의 베이스 콘택트 영역을 형성하는 공정과,

상기 트렌치 내의 상기 제1 절연막 상의 나머지 부분에, 상기 소스 영역 및 상기 베이스 콘택트 영역과 접하는 소스 전극을 매설하는 공정을 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

청구항 7에 있어서,

상기 소스 영역을 형성하는 공정은, 상기 트렌치 내측면에 대해 불순물을 경사 이온 주입함으로써 행해지는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9

청구항 7 또는 청구항 8에 있어서,

상기 제1 절연막을 형성하는 공정과 베이스 콘택트 영역을 형성하는 공정은, 상기 제1 절연막을 상기 제3 높이까지 형성하는 단계와, 상기 제1 절연막을 마스크로 하여 이온 주입을 행하여 상기 베이스 콘택트 영역을 형성하는 단계와, 그 후, 상기 제1 절연막을 상기 제2 높이까지 에칭하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10

청구항 7에 있어서,

상기 트렌치를 형성하는 공정은, 상기 기판 표면 상에 상기 트렌치가 형성되는 부분에 개구를 가지는 제2 절연막을 형성하는 단계를 포함하며,

상기 베이스 콘택트 영역을 형성하는 공정은, 상기 제2 절연막을 마스크로 하여 불순물을 트렌치 내측면에 대해 경사 이온 주입하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 장치 및 그 제조 방법에 관한 것이며, 특히, 트렌치 게이트를 구비한 중형 MOSFET를 가지는 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 종래의 중형 MOSFET의 하나로서, 예를 들면, 특허 문헌 1에 나타나고 있는 바와 같이, 게이트 전극을 기판에 형성한 트렌치 내의 하부에만 설치하고, 소스 전극과 게이트 전극을 절연하는 층간 절연막을 트렌치내 상부에 매설하고, 또한 그 상면이 기판 표면과 거의 동일한 평면을 이루도록 형성하여, 당해 평면 상에 소스 전극을 형성하는 구성으로 한 것이 제안되어 있다. 이것에 의해, 게이트 전극을 트렌치 상부까지 매설하고, 층간 절연막을 기판 표면 상에 형성한 경우에 필요했던, 층간 절연막 상에 형성하는 소스 전극과 기판 표면의 소스 영역 및 베이스 콘택트 영역을 접속하기 위한 콘택트 개구를 필요로 하지 않아, 장치의 횡방향으로 있어서의 사이즈의 축소를 가능하게 하고 있다.

[0003] 또한, 특허 문헌 1(특히, 도 4, 5를 참조)에는, 스트라이프형상의 트렌치를 따라, 기판 표면에 소스 영역과 베이스 콘택트 영역을 번갈아 배치함으로써, 인접하는 트렌치의 간격을 축소하여, 장치의 사이즈를 더 작게 하는 것도 가능하다는 것이 개시되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본국 특허 제5118270호 명세서

발명의 내용

해결하려는 과제

[0005] 그러나, 특허 문헌 1 등의 종래의 중형 MOSFET에서는, 소스 전극과 소스 영역 및 베이스 콘택트 영역의 접속을 위해, 소스 영역과 베이스 콘택트 영역을 기판 표면에 횡방향으로 늘어놓아 설치할 필요가 있다. 이 때문에, 소스 영역과 베이스 콘택트 영역은, 공정 편차의 영향을 감안하여, 횡방향으로 어느 정도의 여유를 갖게 하여 배치시킬 필요가 있다. 따라서, 한층 더 장치 사이즈의 축소는 곤란하다.

[0006] 또, 또한 특허 문헌 1에 개시된, 스트라이프형상의 트렌치를 따라 기판 표면에 소스 영역과 베이스 콘택트 영역을 번갈아 배치하는 구조에서는, 채널 형성에 필요한 소스 영역을 희생하여 베이스 콘택트 영역을 기판 표면에 형성할 필요가 있어, 베이스 콘택트 영역을 형성한 영역에서 채널이 형성되지 않기 때문에, 채널 밀도가 낮아져 버린다.

[0007] 따라서, 본 발명은, 사이즈를 작게 하면서 채널 밀도의 저하를 억제한 중형 MOSFET를 가지는 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 본 발명의 반도체 장치는, 기판과, 상기 기판의 이면으로부터 소정의 두께를 갖고 상기 기판에 설치된 제1 도전형의 드레인 영역과, 상기 기판의 표면으로부터 상기 드레인 영역의 상면에 이르는 트렌치와, 상기 트렌치에 인접해서 상기 드레인 영역 상에 설치된 제2 도전형의 베이스층과, 상기 트렌치의 내측의 저면 및 측면을 덮고, 상단부가 상기 트렌치의 저면으로부터 제1 높이에 위치하는 게이트 절연막과, 상기 트렌치 내에 상기 게이트 절연막을 통하여 상기 제1 높이까지 매설된 게이트 전극과, 상기 트렌치 내의 상기 게이트 절연막 및 상기 게이트 전극 상에 상기 제1 높이보다 높은 제2 높이까지 매설된 제1 절연막과, 상기 트렌치 내의 상기 제1 절연막 상의 나머지 부분에 매설된 소스 전극과, 상기 기판의 표면으로부터, 상기 제2 높이보다 높고 상기 트렌치의 상부보다 낮은 제3 높이까지의 깊이를 갖고, 한쪽의 측면이 상기 소스 전극에 접해 설치된 상기 베이스층보다 고농도의 제2 도전형의 베이스 콘택트 영역과, 상면이 상기 베이스 콘택트 영역의 저면의 일부에 접하고, 한쪽의 측면이 상기 트렌치의 외측면에 접함과 함께 그 한쪽의 측면의 적어도 일부가 상기 소스 전극에 접하며, 저면으로부터 상기 드레인 영역까지의 상기 트렌치의 외측면을 따른 상기 베이스층이 채널 영역이 되도록 설치된 제2 도전형의 소스 영역과, 상기 기판의 이면 상에 상기 드레인 영역에 접해 설치된 드레인 전극을 구비하는 것을 특징

으로 한다.

[0009] 또, 본 발명의 반도체 장치의 제조 방법은, 제1 도전형의 기판 표면으로부터 기판의 두께보다 얇은 깊이로 제2 도전형의 베이스층을 형성하고, 상기 기판의 나머지 영역을 제1 도전형의 드레인 영역으로서 잔존시키는 공정과, 상기 기판 표면으로부터 상기 드레인 영역에 이르도록 트렌치를 형성하는 공정과, 상기 트렌치의 내측의 저면 및 측면에 게이트 절연막을 형성하는 공정과, 상기 트렌치 내에 상기 게이트 절연막을 통하여 게이트 전극을 매설하는 공정과, 상기 게이트 전극의 상면의 위치가 상기 트렌치의 저면으로부터 제1 높이가 될 때까지 상기 게이트 전극을 에칭하는 공정과, 상기 트렌치의 내측으로부터 불순물을 주입하여, 트렌치의 외측면의 일부에 접하며, 적어도 상기 기판 표면으로부터 상기 제1 높이까지의 깊이를 구비하는 소스 영역을 형성하는 공정과, 상기 게이트 절연막의 상단부가 상기 제1 높이가 될 때까지 상기 게이트 절연막의 상부를 에칭하는 공정과, 상기 트렌치 내의 상기 게이트 절연막 및 상기 게이트 전극 상에 상기 제1 높이보다 높은 제2 높이까지 제1 절연막을 형성하는 공정과, 상기 기판의 표면으로부터, 상기 제2 높이보다 높고 상기 트렌치의 상부보다 낮은 제3 높이까지의 깊이를 갖고, 상기 트렌치의 상기 외측면의 다른 일부와 상기 베이스층 및 상기 소스 영역의 상부에 접하는, 상기 베이스층보다 고농도의 제2 도전형의 베이스 콘택트 영역을 형성하는 공정과, 상기 트렌치 내의 상기 제1 절연막 상의 나머지 부분에, 상기 소스 영역 및 상기 베이스 콘택트 영역과 접하는 소스 전극을 매설하는 공정을 구비하는 것을 특징으로 한다.

[0010] 또한, 상기 「베이스층」, 「베이스 콘택트 영역」은, 각각 「바디 영역」, 「바디 콘택트 영역」 등으로 칭해지기도 하지만, 본 명세서에서는, 「베이스층」, 「베이스 콘택트 영역」이라고 칭한다.

발명의 효과

[0011] 본 발명에 의하면, 트렌치의 측면에서, 소스 영역과 베이스 콘택트 영역을 종방향으로 늘어놓아 배치하고, 트렌치에 매설하는 소스 전극과 소스 영역 및 베이스 콘택트 영역의 콘택트를 취하는 구성으로 하고 있기 때문에, 종래와 같이 소스 영역과 베이스 콘택트 영역을 기판 표면에 횡방향으로 늘어놓아 설치할 필요가 없어져, 그 만큼, 횡방향(수평 방향)의 장치의 사이즈를 작게 할 수 있다. 또, 베이스 콘택트 영역 형성을 위해 채널 형성에 필요한 소스 영역을 희생할 필요가 없고, 유효 채널 영역을 손실시키지 않기 때문에, 채널 밀도의 저하를 방지할 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 제1 실시 형태의 반도체 장치의 구조를 나타내는 단면도이다.
- 도 2는 본 발명의 제1 실시 형태의 반도체 장치의 평면 구조를 나타내는 도이며, (a)는, 제1예의 평면 구조, (b)는, 제2예의 평면 구조를 나타낸다.
- 도 3은 본 발명의 제1 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.
- 도 4는 본 발명의 제1 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.
- 도 5는 본 발명의 제1 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.
- 도 6은 본 발명의 제1 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.
- 도 7은 본 발명의 제1 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.
- 도 8은 본 발명의 제1 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.
- 도 9는 본 발명의 제1 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.
- 도 10은 본 발명의 제1 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.
- 도 11은 본 발명의 제1 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.
- 도 12는 본 발명의 제2 실시 형태의 반도체 장치의 구조를 나타내는 단면도이다.
- 도 13은 본 발명의 제2 실시 형태의 반도체 장치의 평면 구조를 나타내는 도이며, (a)는, 제1예의 평면 구조, (b)는, 제2예의 평면 구조를 나타낸다.
- 도 14는 본 발명의 제2 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.

도 15는 본 발명의 제2 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.
 도 16은 본 발명의 제2 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.
 도 17은 본 발명의 제2 실시 형태의 반도체 장치의 제조 공정을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 도면을 참조하면서 본 발명의 실시 형태에 대해서 상세하게 설명한다.
- [0014] 도 1은, 본 발명의 제1 실시 형태의 종형 MOSFET를 가지는 반도체 장치(100)를 설명하기 위한 단면도이다.
- [0015] 제1 실시 형태의 반도체 장치(100)는, 도 1에 나타내는 바와 같이, N형 불순물이 고농도로 주입된 고농도 반도체 기판(10)과, 고농도 반도체 기판(10) 상에 설치된 에피택셜층(15)을 구비하고 있다. 또한, 이하, 고농도 반도체 기판(10)과 에피택셜층(15)을 합쳐 기판(16)이라고도 한다.
- [0016] 기판(16) 내에는, N형 고농도 반도체 기판(10)과 그 위에 설치된 N형 반도체층(11)으로 이루어지는 드레인 영역(17)과, 드레인 영역(17) 상에 설치된 P형의 베이스층(12)과, 기판(16)(에피택셜층(15))의 표면으로부터 베이스층(12)을 관통하여 드레인 영역(17)의 상면에 이르는 트렌치(20)가 설치되어 있다.
- [0017] 트렌치(20)의 내부에는, 트렌치(20)의 저면 및 저면으로부터 제1 높이(H1)까지의 측면을 덮는 게이트 절연막(21)과, 게이트 절연막(21)을 통하여 제1 높이(H1)까지 매설된 게이트 전극(22)과, 게이트 절연막(21) 및 게이트 전극(22)의 상부에 위치하고, 제1 높이(H1)보다 높은 제2 높이(H2)까지 매설된 층간 절연막(23)과, 트렌치(20)의 나머지 부분을 메우는 소스 전극(33)이 형성되어 있다. 이와 같이, 게이트 전극(22)과 소스 전극(33)은, 층간 절연막(23)에 의해 트렌치(20) 내부에서 절연되어 있다.
- [0018] 기판(16)의 표면의 트렌치(20)를 제외한 영역에는, 제2 높이(H2)보다 높고 기판(16) 표면보다 낮은 제3 높이(H3)까지의 깊이를 갖고, P형 불순물이 고농도로 주입된 베이스 콘택트 영역(14)이 설치되어 있다.
- [0019] 베이스 콘택트 영역(14) 아래에는, 트렌치(20)의 측면에 접하며, 트렌치(20) 측면을 따라 제3 높이(H3)로부터 적어도 제1 높이(H1)까지의 깊이를 갖고, N형 불순물이 고농도로 주입된 소스 영역(13)이 설치되어 있다. 이것에 의해, 소스 영역(13)의 저면으로부터 드레인 영역(17) 상면까지의 트렌치(20)의 외측면을 따른 베이스층(12)이 채널 영역이 된다.
- [0020] 이와 같이, 제1 실시 형태에 의하면, 소스 영역(13)과 베이스 콘택트 영역(14)을 트렌치(20)의 외측면을 따라 종방향으로 늘어놓는 구성으로 하고 있음으로써, 트렌치(20) 측면에서, 소스 영역(13) 및 베이스 콘택트 영역(14)과 소스 전극(33)의 콘택트를 취할 수 있다. 따라서, 기판(16)의 상면에서 소스 영역(13) 및 베이스 콘택트 영역(14)과 소스 전극(33)의 콘택트를 취할 필요가 없기 때문에, 반도체 장치(100)의 횡방향(수평 방향)의 사이즈의 축소가 가능해진다.
- [0021] 또한, 소스 전극(33)은, 상술한 대로, 트렌치(20)의 나머지 부분에 매설함과 함께, 기판(16) 표면 전면에도 설치되어 있다. 또, 기판(16)의 이면 전면, 즉 드레인 영역(17)의 저면 전면에는, 드레인 전극(32)이 설치되어 있다.
- [0022] 여기서, 도 2에, 제1 실시 형태의 반도체 장치(100)의 평면 구조의 예를 나타낸다. 도 2(a)는, 제1예의 평면 구조(100a), 도 2(b)는, 제2예의 평면 구조(100b)를 나타내고 있다. 또한, 도 2(a), (b) 중 어느 것에서도, 소스 전극(33)은 생략되어 있다.
- [0023] 제1예의 평면 구조(100a)는, 도 2(a)에 나타내는 바와 같이, 트렌치(20)가 스트라이프형상으로 형성되어 있으며, 트렌치(20)의 각 측면을 따라 소스 영역(13)도 스트라이프형상으로 형성되어 있다. 또, 베이스 콘택트 영역(14)도, 소스 영역(13) 상에서, 트렌치(20)의 각 측면을 따라, 트렌치(20)를 제외한 기판(16)의 표면 전면 에 스트라이프형상으로 형성되어 있다.
- [0024] 제2예의 평면 구조(100b)는, 도 2(b)에 나타내는 바와 같이, 트렌치(20)가 격자형상으로 형성되어 있다. 그리고, 트렌치(20)에 둘러싸인 각 영역에서, 트렌치(20)의 측면을 따라, 소스 영역(13)이 네모난 링형상으로 형성되어 있다. 또, 베이스 콘택트 영역(14)은, 트렌치(20)에 둘러싸인 각 영역에서, 링형상의 소스 영역(13) 상에, 트렌치(20)의 측면을 따름과 함께, 트렌치(20)를 제외한 기판(16)의 표면 전체에 형성되어 있다.
- [0025] 이와 같이, 트렌치(20)의 평면 구조는, 스트라이프형상, 격자형상 중 어느 것이어도 상관없다. 어느 쪽의 경우에도, 반도체 장치(100)의 사이즈를 횡방향(수평 방향)으로 축소할 수 있어, 소스 영역(13)이 트렌치(20)의 측

면을 따른 영역 전체에 형성되기 때문에, 채널 영역이 감소하지 않고, 채널 밀도를 높게 하는 것이 가능해진다.

- [0026] 다음에, 도 1에 나타내는 제1 실시 형태의 반도체 장치(100)의 제조 방법에 대해서, 도 3 내지 도 11에 나타내는 공정 단면도를 이용하여 설명한다.
- [0027] 도 3에 나타내는 바와 같이, N형 불순물이 고농도로 도포된 고농도 반도체 기판(10) 상에, 에피택셜 성장에 의해, N형 불순물이 도포된 에피택셜층(15)을 형성한다. 이것에 의해, 기판(16)이 형성된다.
- [0028] 그리고, 에피택셜층(15)(기판(16))의 표면으로부터 P형의 불순물을 도포함으로써, 도 4에 나타내는 바와 같이, P형의 베이스층(12)을 형성함과 함께, 베이스층(12) 하에 N형 에피택셜층(15)을 잔존시켜 N형 반도체층(11)을 형성하고, 이것에 의해, N형 고농도 반도체 기판(10)과 N형 반도체층(11)으로 이루어지는 N형의 드레인 영역(17)이 형성된다.
- [0029] 다음에, 도 5에 나타내는 바와 같이, 기판(16) 표면에 절연막(24)을 CVD법 등에 의해 형성한 후, 포토리소그래피에 의해 트렌치(20)(도 1 참조)가 되는 부분을 개구한 포토레지스트의 패턴(도시하지 않음)을 형성한다. 계속해서, 그 레지스트 패턴을 마스크로 하여 절연막(24)을 패터닝하고, 트렌치(20)가 되는 부분에 개구를 형성한다.
- [0030] 다음에, 절연막(24)을 마스크로 하여 베이스층(12)을 에칭함으로써, 도 6에 나타내는 바와 같이, 베이스층(12)을 관통하여 드레인 영역(17)에 이르는 트렌치(20)를 형성한 후, 절연막(24)을 제거한다.
- [0031] 그 후, 도 7에 나타내는 바와 같이, 트렌치(20)의 저면 및 측면을 포함하는 전면에 게이트 절연막(21)을 형성한다. 이 게이트 절연막(21)은, 베이스층(12) 및 드레인 영역(17)의 상면을 열산화시켜 형성하는 것 외에, 유전체를 CVD법 등에 의해 형성해도 된다.
- [0032] 계속해서, 트렌치(20)를 게이트 전극 재료로 상부까지 메운 후에, 도 8에 나타내는 바와 같이, 제1 높이(H1)까지 에치 백함으로써, 게이트 전극(22)을 형성한다.
- [0033] 다음에, 도 8에 나타내는 바와 같이, 트렌치(20)의 상부에 개구를 가지는 포토레지스트(40)의 패턴을 형성하고, 이것을 마스크로 하여 트렌치(20)의 내측면에 대해 N형의 불순물을 경사 이온 주입함으로써, 트렌치(20)의 측면을 따라 소스 영역(13)을 형성한다. 이 때, 소스 영역(13)의 하부는 게이트 전극(22)의 상면인 제1 높이(H1)와 동등 혹은 조금 깊게 형성되기 때문에, 소스 영역(13)과 게이트 전극(22)의 오버랩도 자기 정합적으로 확약된다.
- [0034] 포토레지스트(40) 제거 후, 도 9에 나타내는 바와 같이, 게이트 절연막(21)의 게이트 전극(22)보다 위에 형성된 부분을 제거한 후, 트렌치(20) 내를 절연막으로 메우고, 기판(16) 표면보다 낮고 제1 높이(H1)보다 높은, 제3 높이(H3)까지 에치 백함으로써 층간 절연막(23)을 형성한다.
- [0035] 그 후, 도 10에 나타내는 바와 같이, 층간 절연막(23)을 소스 영역(13)의 마스크로 하여, P형의 불순물을 전면 에 이온 주입함으로써, 기판(16) 표면으로부터 제3 높이(H3)까지의 깊이를 가지는 베이스 콘택트 영역(14)을 형성한다. 또한, 이 때의 이온 주입의 경사는, 특정의 각도에 한정되지 않는다.
- [0036] 그 후, 도 11에 나타내는 바와 같이, 층간 절연막(23)을 제1 높이(H1)보다 높고 제3 높이(H3)보다 낮은 제2 높이(H2)의 깊이까지 다시 에치 백한다. 층간 절연막(23)은, 게이트 전극(22)과 소스 전극(33)(도 1 참조)의 절연을 위해 필요한 두께를 가지고 있다.
- [0037] 마지막으로, 소스 전극(33)을 트렌치(20) 내 및 기판(16) 표면 전면에 형성하여, 소스 전극(33)과 소스 영역(13) 및 베이스 콘택트 영역(14)의 콘택트를 취하고, 또한, 기판(16)의 이면 전면에 드레인 전극(32)을 형성함으로써, 도 1에 나타난 제1 실시 형태의 반도체 장치(100)가 얻어진다.
- [0038] 도 12는, 본 발명의 제2 실시 형태의 중형 MOSFET를 가지는 반도체 장치(200)를 설명하기 위한 단면도이다. 또한, 도 1에 나타내는 제1 실시 형태의 반도체 장치(100)와 동일한 구성 요소에는 동일한 부호를 붙이고, 중복되는 설명은 적당히 생략한다.
- [0039] 제2 실시 형태의 반도체 장치(200)는, 베이스 콘택트 영역(14) 대신에 베이스 콘택트 영역(14₂)이 설치되어 있는 점과, 트렌치(20)를 제외한 기판(16)의 표면 상에 절연막(24₂)이 설치되어 있는 점에서 제1 실시 형태의 반도체 장치(100)와 상이하다.

- [0040] 즉, 반도체 장치(100)에서의 베이스 콘택트 영역(14)은, 트렌치(20)의 각 측면을 따라, 트렌치(20)를 제외한 기관(16)(베이스층)의 표면 전면에 설치되어 있는데 반해, 반도체 장치(200)에서의 베이스 콘택트 영역(14₂)은, 트렌치(20)를 제외한 기관(16)의 표면 중, 트렌치(20)의 측면을 따른 소스 영역(13)의 상부에 설치되고, 기관(16)의 나머지 표면에는 베이스층(12)이 노출되어 있다. 따라서, 베이스 콘택트 영역(14₂)은, 한쪽의 측면이 트렌치(20)의 측면에서 소스 전극(33)에 접하며, 다른쪽의 측면이 베이스층(12)에 접한 구조로 되어 있다.
- [0041] 본 실시 형태에 의하면, 베이스 콘택트 영역(14₂)이 베이스층(12)과 측면에서 접해 있기 때문에, 인접하는 트렌치(20) 간의 간격이 좁아진 경우에도, 베이스층(12)과 소스 전극(33)의 콘택트를 확실히 취하는 것이 가능하다.
- [0042] 여기서, 도 13에, 제2 실시 형태의 반도체 장치(200)의 평면 구조의 예를 나타낸다. 도 13(a)는, 제1예의 평면 구조(200a), 도 13(b)는, 제2예의 평면 구조(200b)를 나타내고 있다. 또한, 도 13(a), (b) 중 어느 것에서도, 소스 전극(33) 및 절연막(24₂)은 생략되어 있다.
- [0043] 이들 평면 구조에 대해서도, 제1 실시 형태의 반도체 장치(100)와 거의 동일하기 때문에, 상이한 점을 중심으로 설명한다.
- [0044] 제1예의 평면 구조(200a)는, 도 13(a)에 나타내는 바와 같이, 스트라이프형상으로 형성된 트렌치(20)의 각 측면을 따라 소스 영역(13)도 스트라이프형상으로 형성되어 있다. 또한, 베이스 콘택트 영역(14₂)도, 소스 영역(13) 상에서, 소스 영역(13)과 대략 동일한 폭을 갖고 트렌치(20)의 각 측면을 따라 스트라이프형상으로 형성되어 있다. 따라서, 인접하는 트렌치(20) 간에서의 베이스 콘택트 영역(14₂) 간의 기관(16) 표면에 베이스층(12)이 노출된 구성으로 되어 있다.
- [0045] 제2예의 평면 구조(200b)는, 도 13(b)에 나타내는 바와 같이, 격자형상으로 형성된 트렌치(20)에 둘러싸인 각 영역에서, 트렌치(20)의 측면을 따라, 소스 영역(13)이 네모난 링형상으로 형성되어 있다. 또한, 베이스 콘택트 영역(14₂)도, 소스 영역(13) 상에서, 소스 영역(13)과 대략 동일한 폭을 갖고 트렌치(20)의 측면을 따라, 네모난 링형상으로 형성되어 있다. 따라서, 트렌치(20)에 둘러싸인 각 영역의 중앙부의 기관(16) 표면에 베이스층(12)이 노출된 구성으로 되어 있다.
- [0046] 이와 같이, 제2 실시 형태의 반도체 장치(200)에서도, 트렌치(20)의 평면 구조는, 스트라이프형상, 격자형상 중 어느 것이어도 상관없다. 어느 쪽의 경우에도, 상술한 제1 실시 형태의 반도체 장치(100)와 동일한 효과를 얻을 수 있다.
- [0047] 다음에, 도 12에 나타내는 제2 실시 형태의 반도체 장치(200)의 제조 방법에 대해서, 도 14 내지 도 17에 나타내는 공정 단면도를 이용하여 설명한다.
- [0048] 제1 실시 형태와 동일하게 하여 도 3 내지 도 5까지의 공정을 거친 후, 도 14와 같이 절연막(24)을 절연막(24₂)으로서 잔존시킨 채로 트렌치의 저면 및 측면에 게이트 절연막(21)을 형성한다.
- [0049] 그 후, 도 15와 같이, 트렌치(20)를 도전성 재료, 예를 들면 폴리실리콘으로 제1 높이(H1)까지 메움으로써 게이트 전극(22)을 형성하고, 절연막(24₂)을 마스크로 하여, 트렌치(20)의 내측면에 대해 불순물을 경사 이온 주입함으로써, 트렌치 측면을 따라 적어도 제1 높이(H1)까지의 깊이를 가지는 소스 영역(13)을 형성한다. 이와 같이, 절연막(24₂)이 이온 주입의 마스크가 되기 때문에, 제1 실시 형태에 대해, 포토리소그래피에 의한 마스크 패턴을 형성하는 공정을 없앨 수 있다.
- [0050] 계속해서, 도 16과 같이, 트렌치(20) 내를 절연막으로 메우고, 제1 높이(H1)보다 높은 제2 높이(H2)까지 에치백함으로써 층간 절연막(23)을 형성한다.
- [0051] 다음에, 도 17과 같이, 절연막(24₂)을 남긴 채인 상태로, 트렌치 측면에 대해 불순물을 경사 이온 주입함으로써, 기관(16) 표면보다 낮고 제2 높이(H2)보다 높은 제3 높이(H3)까지의 깊이를 갖고, 한쪽의 측면이 트렌치(20) 측면에 접하며, 다른쪽의 측면이 베이스층(12)에 접하는 베이스 콘택트 영역(14₂)을 형성한다. 이 때, 절연막(24₂)이 존재함으로써, 소스 영역(13)에 불순물이 주입되는 것을 방지할 수 있다. 즉, 절연막(24₂)은, 소스 영역(13)의 마스크로서 기능한다. 이와 같이 하여 베이스 콘택트 영역(14₂)을 형성함으로써, 본

실시 형태에 의하면, 제1 실시 형태와 같이 층간 절연막(23)을 2회 에치 백할 필요가 없어지고, 또, 절연막(24₂)을 제거하는 공정도 없기 때문에, 제1 실시 형태에 비해 공정을 줄일 수 있다.

[0052] 이상, 본 발명의 실시 형태에 대해서 설명했지만, 본 발명은 상기 실시 형태에 한정되지 않고, 본 발명의 취지를 일탈하지 않는 범위에서 다양한 변경이 가능한 것은 말할 필요도 없다.

[0053] 예를 들면, 상기 실시 형태에서 설명한 반도체 장치의 구성에서, P형과 N형의 구성 요소의 도전형을 모두 반대로 해도 된다.

[0054] 또, 도 2(b) 및 도 13(b)에는, 본 발명의 실시 형태에 의한 반도체 장치의 평면 구조로서, 트렌치(20)에 의해 둘러싸인 각 영역이 사각형인 예를 나타냈지만, 이 영역은 사각형에 한정되지 않고, 사각형의 모서리를 없앤 팔각형이나 원형 등이어도 상관없다.

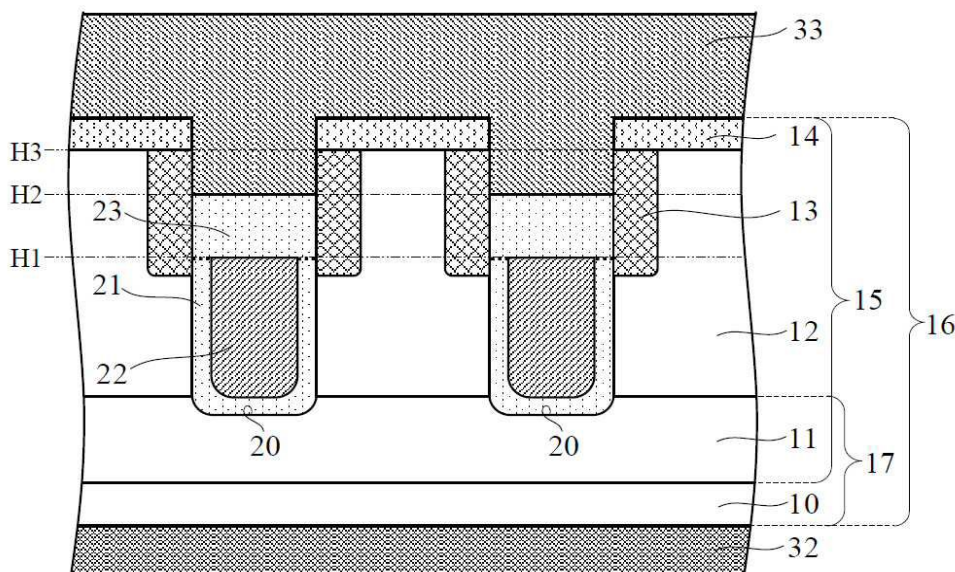
부호의 설명

- [0055] 10: 고농도 반도체 기판 11: 반도체층
- 12: 베이스층 13: 소스 영역
- 14, 14₂: 베이스 콘택트 영역 15: 에피택셜층
- 16: 기판 17: 드레인 영역
- 20: 트렌치 21: 게이트 산화막
- 22: 게이트 전극 23: 층간 절연막
- 24, 24₂: 절연막 32: 드레인 전극
- 33: 소스 전극 40: 포토레지스트
- H1: 제1 높이 H2: 제2 높이
- H3: 제3 높이

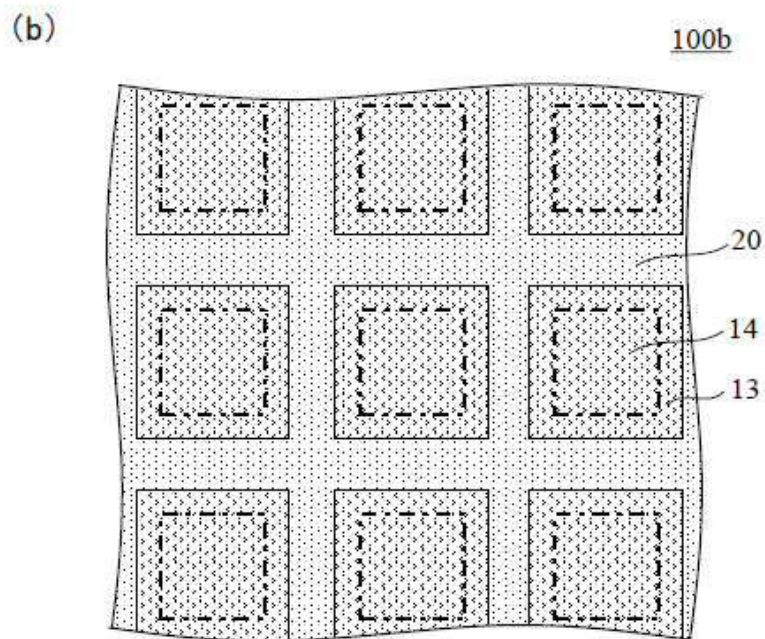
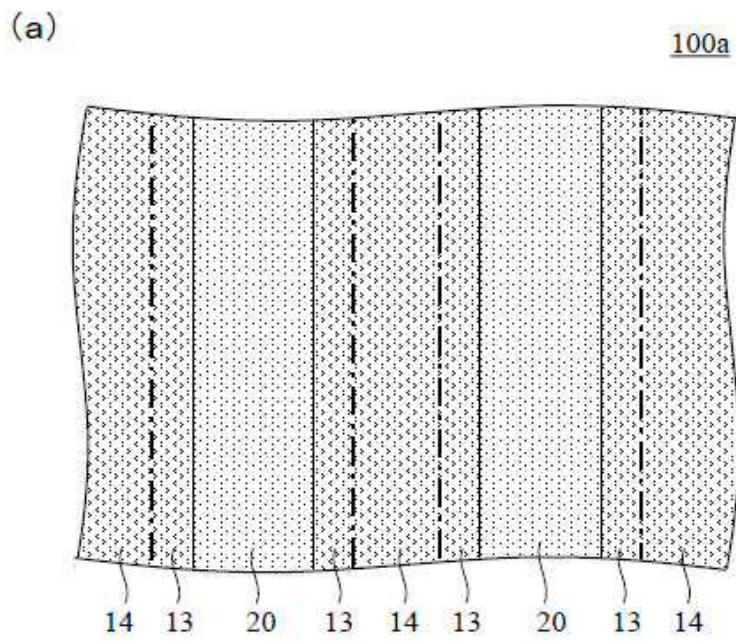
도면

도면1

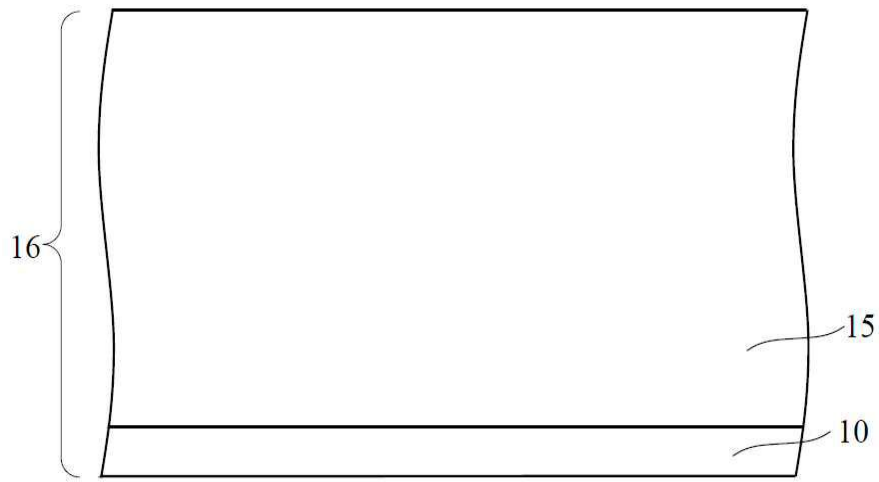
100



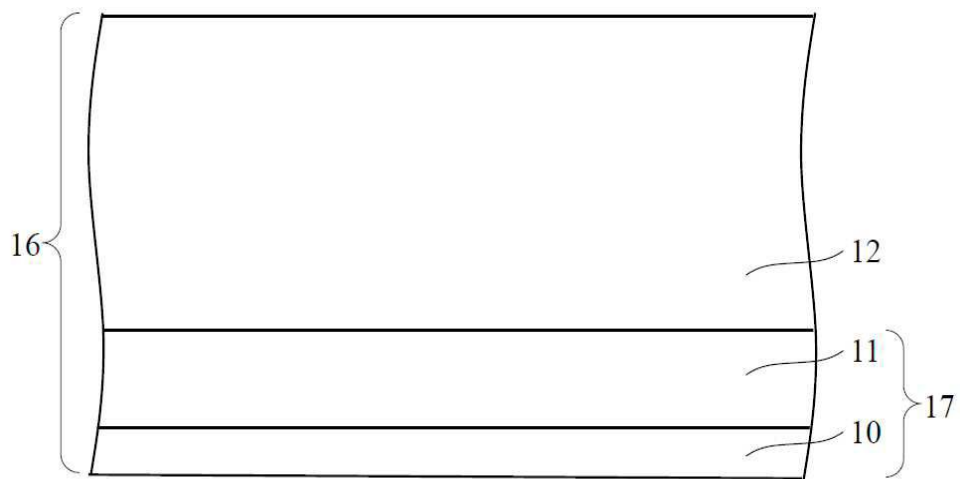
도면2



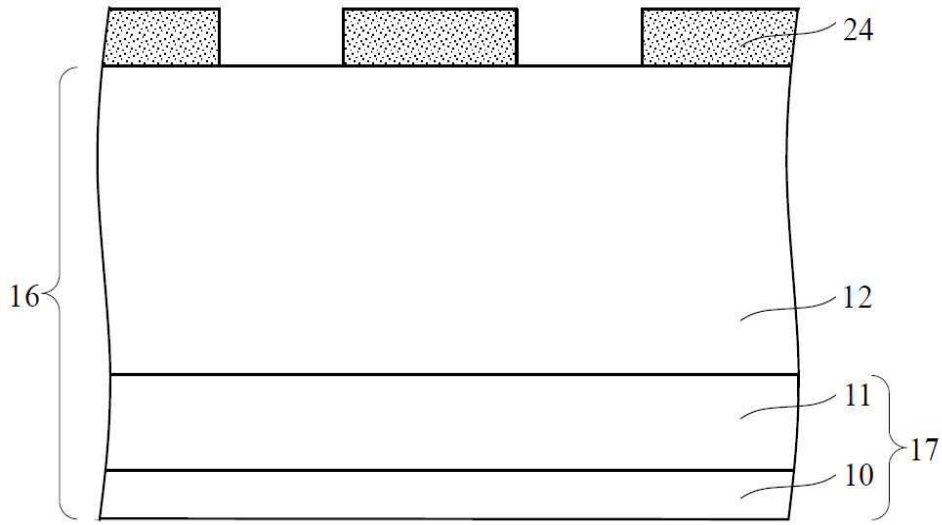
도면3



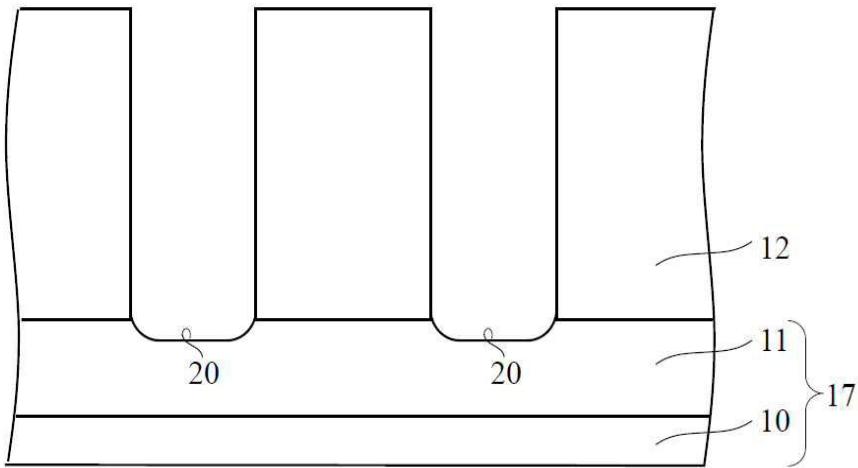
도면4



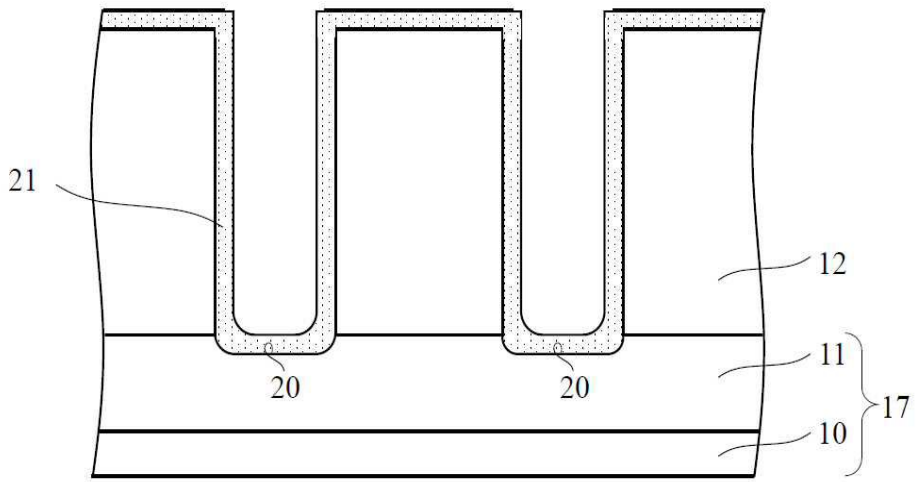
도면5



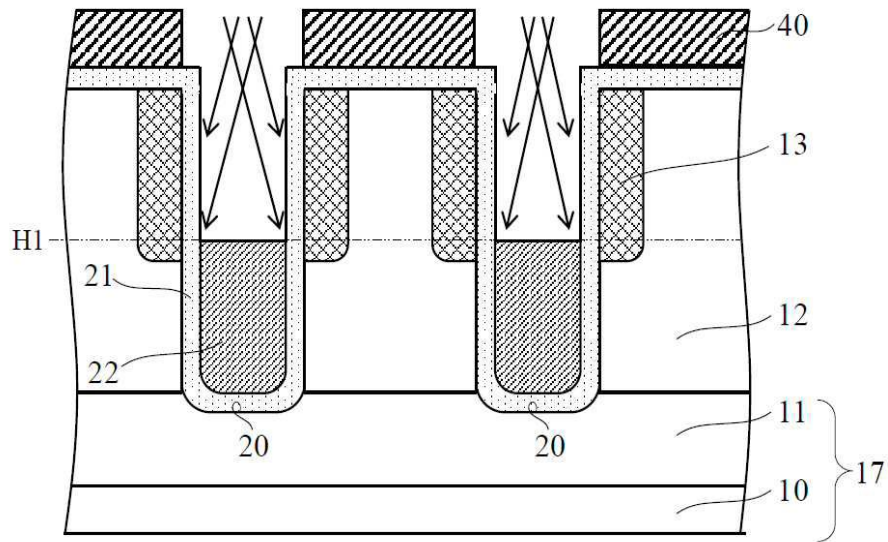
도면6



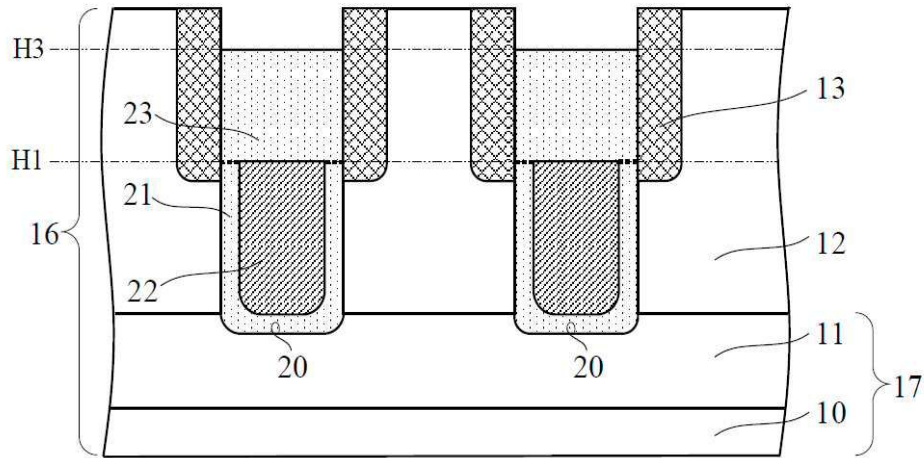
도면7



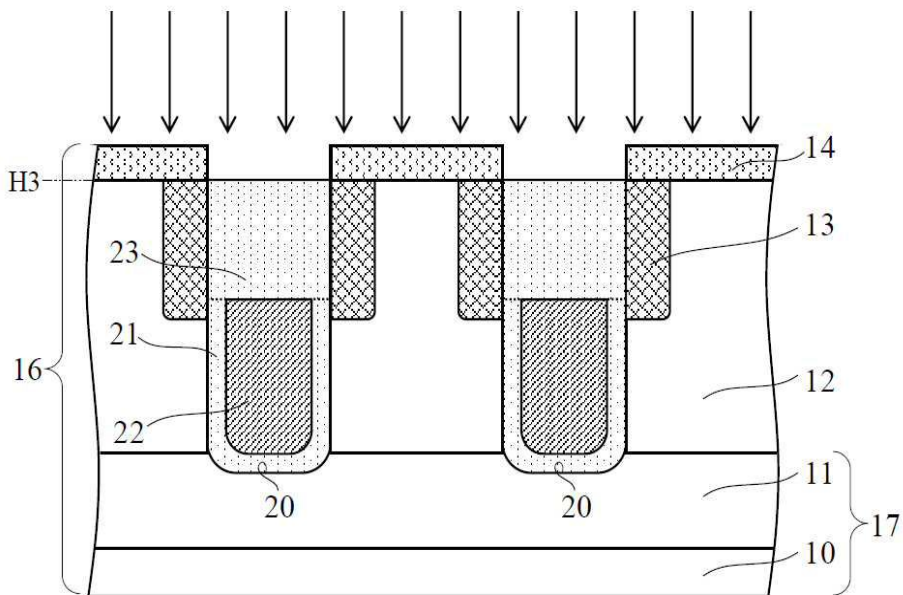
도면8



도면9

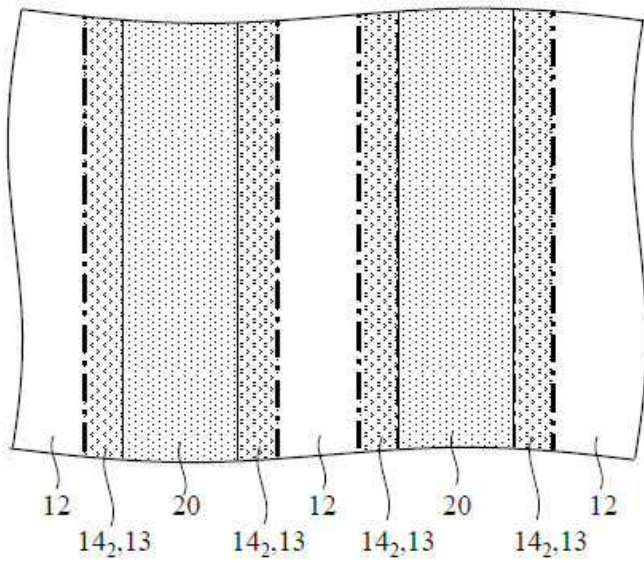


도면10

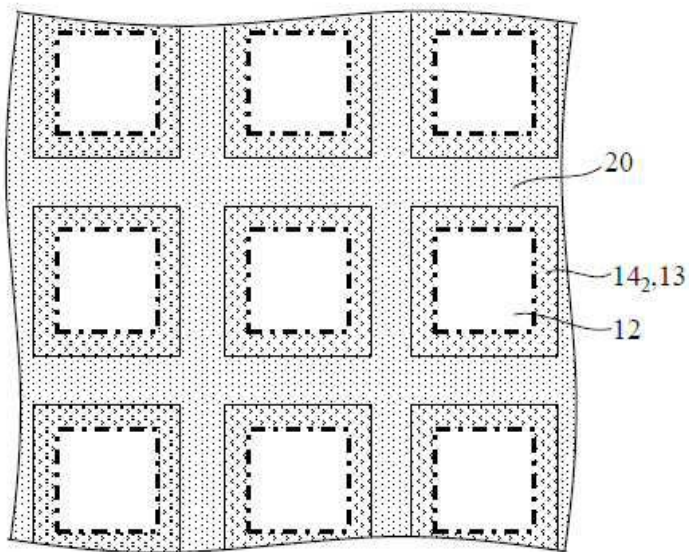


도면13

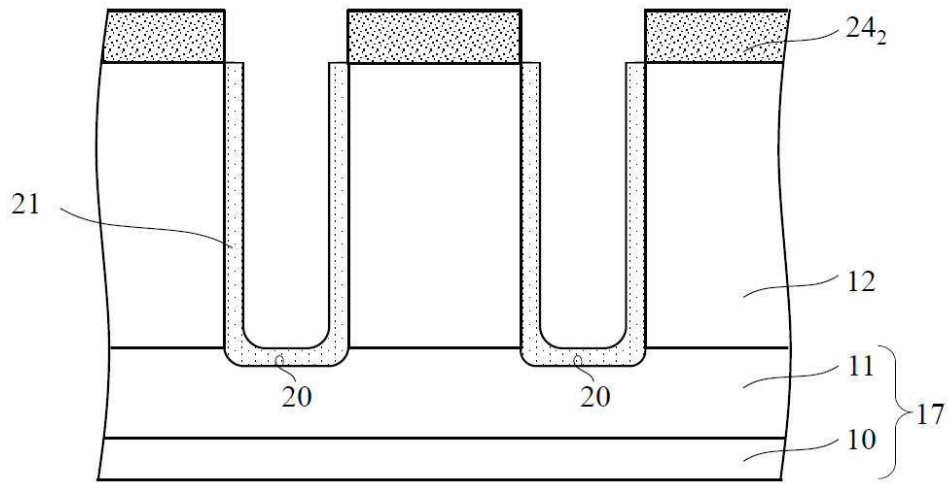
(a) 200a



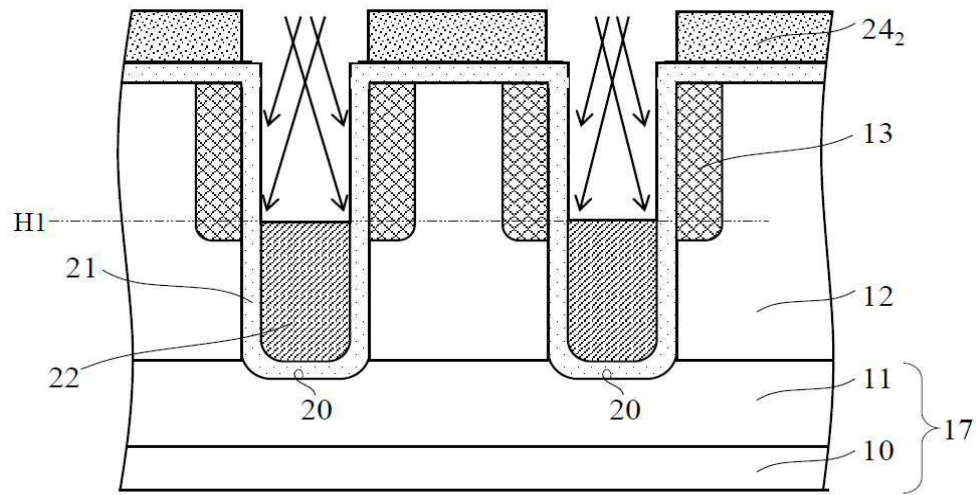
(b) 200b



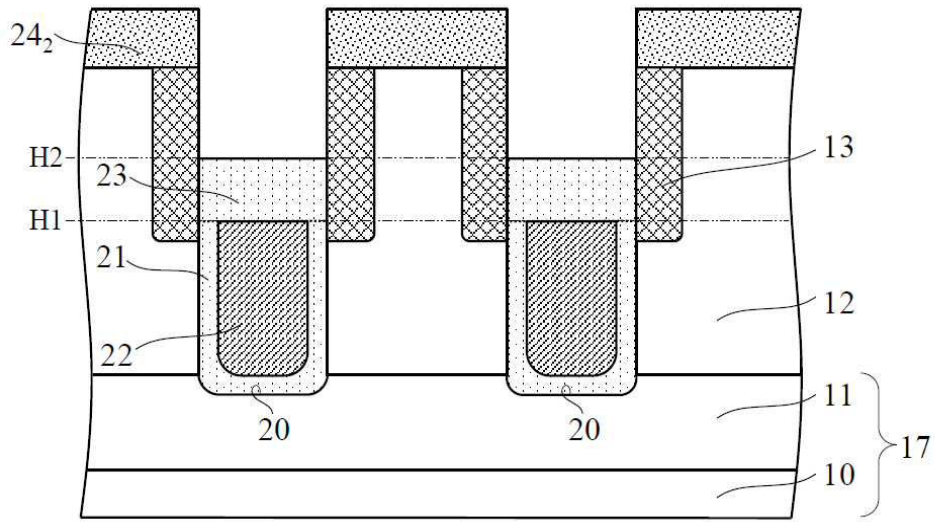
도면14



도면15



도면16



도면17

