

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 11 月 3 日 (03.11.2005)

PCT

(10) 国際公開番号
WO 2005/104368 A1

(51) 国際特許分類: **H03K 5/156, 5/1532**

(21) 国際出願番号: PCT/JP2005/007300

(22) 国際出願日: 2005 年 4 月 15 日 (15.04.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-123872 2004 年 4 月 20 日 (20.04.2004) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 渡邊 大輔 (WATANABE, Daisuke) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 番 1 号 株式会社アドバンテスト内 Tokyo (JP). 須田 昌克 (SUDA, Masakatsu) [JP/JP];

〒1790071 東京都練馬区旭町 1 丁目 3 番 1 号 株式会社アドバンテスト内 Tokyo (JP).

(74) 代理人: 雨貝 正彦 (AMAGAI, Masahiko); 〒1690073 東京都新宿区百人町 3 丁目 3 番 1 0 号 雨貝特許事務所 Tokyo (JP).

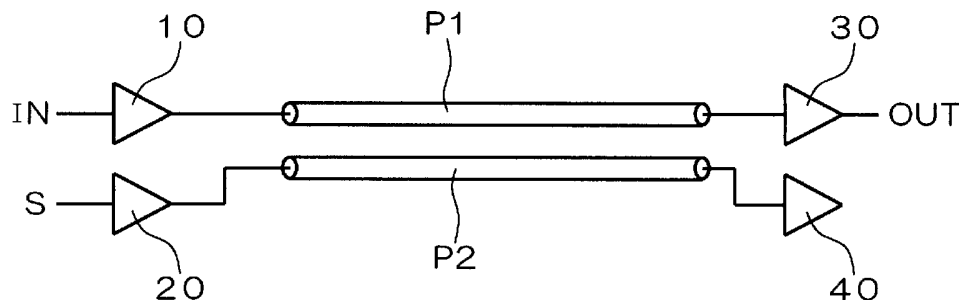
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

[続葉有]

(54) Title: JITTER GENERATING CIRCUIT

(54) 発明の名称: ジッタ発生回路



(57) Abstract: A jitter generating circuit capable of reducing the circuit scale and power consumption by eliminating the need for an analog circuit. The jitter generating circuit comprises signal wiring (P1) for transmitting a clock signal to be an object for adding a jitter component, an input buffer (10) provided on the input side of the signal wiring (P1), an output buffer (30) provided on the output side of the signal wiring (P1), signal wiring (P2) arranged in proximity to the signal wiring (P1), and a jitter generation signal output section (20) for inputting a jitter generation signal synchronized with the clock signal inputted to the signal wiring (P1) to the signal wiring (P2). For instance, a pseudo-random bit train signal is employed as the jitter generation signal.

(57) 要約: アナログ回路が不要であって回路規模を縮小するとともに消費電力を低減することができるジッタ発生回路を提供することを目的とする。ジッタ成分付加の対象となるクロック信号が伝送される信号配線 P1 と、信号配線 P1 の入力側に設けられた入力バッファ 10 と、信号配線 P1 の出力側に設けられた出力バッファ 30 と、信号配線 P1 に対して近接配置された信号配線 P2 と、信号配線 P1 に入力されるクロック信号に同期したジッタ生成信号を信号配線 P2 に入力するジッタ生成信号出力部 20 とを備えてジッタ発生回路が構成されている。ジッタ生成信号として、例えば、擬似ランダムビット列信号が用いられる。



WO 2005/104368 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

ジッタ発生回路

技術分野

- [0001] 本発明は、クロック信号またはデータ信号の立ち上がりおよび立ち下りのタイミングに揺らぎを与えるジッタ発生回路に関する。

背景技術

- [0002] 近年、ギガ帯の高速インタフェース回路がLSI上に搭載されるケースが急速に多くなってきている。それに伴って、比較的低速なデータ伝送レートでのインタフェース回路ではあまり重要視されていなかったジッタに関する試験が不可欠になってきている。また、これらのインタフェース回路は、シリアライザ／デシリアライザ(SERDES)回路を含んだシリアル伝送が主流であり、これに用いられるリファレンスクロック信号のジッタや、CDR(クロックリカバリー)方式のリカバリクロック信号のジッタが、伝送の正確さを決定するきわめて重要な因子となっている。
- [0003] また、データストリームを受信する受信回路において、リファレンスクロック信号のジッタやデータストリームに含まれるジッタに対してどの程度正確な受信が可能であるかを試験するものとしてジッタ耐性測定(Jitter Tolerance)がある。この試験では、既知のジッタ量を外部のジッタとして受信回路内のインタフェース回路部に印加する必要がある、さらに、印加するジッタ量を任意に制御可能であることが不可欠となる。一般には、CDR方式を採用している受信回路においては、この試験は、PLLクロック信号の精度を試験することと等価とされる。しかし、実際には、送信回路から受信回路までの全体的なジッタ耐性を考慮する必要がある。したがって、データストリームにジッタを付加する場合には、送信回路のリファレンスクロック信号にジッタを加える必要がある。
- [0004] クロック信号にジッタを加えるジッタ発生装置としては、クロック信号を遅延させる可変遅延回路を備えた構成が知られている(例えば、特許文献1参照。)。このジッタ発生装置では、正弦波のオフセット電圧とランプ発生器の出力電圧とを比較することにより、クロック信号の変化のタイミングに正弦波の揺らぎを与えている。

特許文献1:特開平6-104708号公報(第3-4頁、図1-3)

発明の開示

発明が解決しようとする課題

[0005] ところで、上述した特許文献1に開示されたジッタ発生装置では、正弦波のオフセット電圧を発生させる発振器やランプ発生器、電圧比較器等のアナログ回路によって構成されるため、回路規模が大きくなるとともに消費電力が多いという問題があった。また、一般に、クロック信号やロジカルなLSIを動作させるために用いられるものであるため、アナログ回路によって構成されたジッタ発生装置をロジカルなLSI内に混在させることは好ましくないという問題もあった。例えば、LSI内でデジタル回路とアナログ回路が混在した場合に製造プロセスが複雑になるため製造コストの上昇を招いたり、アナログ回路がデジタル回路に対してノイズ源となってしまうという不都合がある。

[0006] 本発明は、このような点に鑑みて創作されたものであり、その目的は、アナログ回路が不要であって回路規模を縮小するとともに消費電力を低減することができるジッタ発生回路を提供することにある。

課題を解決するための手段

[0007] 上述した課題を解決するために、本発明のジッタ発生回路は、ジッタ成分付加の対象となる第1の信号が伝送される第1の信号配線と、第1の信号配線の入力側に設けられた入力バッファと、第1の信号配線の出力側に設けられた出力バッファと、第1の信号配線に対して近接配置された第2の信号配線と、第1の信号配線に入力される第1の信号に同期した第2の信号をジッタ生成信号として第2の信号配線に入力するジッタ生成信号出力部とを備えている。ジッタ成分付加の対象となる第1の信号を伝送する第1の信号配線に対して第2の信号配線を近接配置するとともに、この第1の信号の電圧レベルが変化するタイミングにあわせて、第2の信号配線に入力されるジッタ生成信号の電圧レベルを変化させることにより、信号配線間の干渉を利用して第1の信号配線上に干渉雑音を重畳させることができる。この干渉雑音は、ジッタ生成信号の電圧レベルが変化するタイミングで発生するため、第1の信号に同期したジッタ生成信号を用いることにより、第1の信号配線上を伝送される第1の信号の立ち上がりあるいは立ち下がりタイミングにあわせて干渉雑音を重畳させることが可能になり

、第1の信号にジッタを付加することができる。特に、第1の信号に同期したジッタ生成信号を信号配線P2に入力する場合にアナログ回路は不要であるため、ジッタ発生回路全体の回路規模を縮小することができる。また、デジタルのジッタ生成信号を生成して信号配線P2に入力するだけであるため、発振器等のアナログ回路を用いる場合に比べて生じる電力を大幅に低減することが可能になる。

[0008] また、上述したジッタ生成信号は、第1の信号に対して立ち上がりおよび立ち下りの一部のタイミングが一致していることが望ましい。これにより、第1の信号の立ち上がりあるいは立ち下りタイミングに一致した干渉雑音を容易に発生させることが可能になり、この干渉雑音を第1の信号自身に重畳させることにより第1の信号に対するジッタの付加を容易かつ確実に行うことができる。

[0009] また、上述した複数本の第2の信号配線が第1の信号配線の近接位置に配置されており、ジッタ生成信号出力部は、複数本の第2の信号配線のそれぞれにジッタ生成信号を入力することが望ましい。これにより、複数本の第2の信号配線のそれぞれに対応する干渉雑音を第1の信号配線上に発生させることができるため、第1の信号に付加するジッタを大きくするとともにその可変範囲を広くすることができる。

[0010] また、上述した複数本の第2の信号配線のそれぞれには、立ち上がりおよび立ち下りのタイミングが互いに一致したジッタ生成信号が入力されることが望ましい。複数本の第2の信号配線のそれぞれに対応する干渉雑音の発生タイミングを一致させることにより、特に大きなジッタを付加することが可能になる。

[0011] また、上述した複数本の第2の信号配線のそれぞれには、立ち上がりおよび立ち下りのタイミングが異なるジッタ生成信号が入力されることが望ましい。これにより、複数本の第2の信号配線のそれぞれに対応する干渉雑音の発生タイミングをずらすことができるため、これらの干渉雑音の組み合わせとして付加されるジッタのランダム性を高めて、第1の信号に対して複雑なジッタを付加することが可能になる。

[0012] また、上述した一の第2の信号配線は、他の第2の信号配線と配線長が異なっていることが望ましい。これにより、複数本の第2の信号配線のそれぞれに対応して発生する干渉雑音の大きさを異ならせることが可能になり、これららの組み合わせとして複雑なジッタを付加することができる。

- [0013] また、上述した第1の信号配線および第2の信号配線を、接地されたグランド層によって包囲することが望ましい。これにより、各信号配線からそれ以外の配線への信号の回り込みや、他の配線から各信号配線への各種の信号の回り込みを防止することが可能になる。
- [0014] また、上述したジッタ生成信号出力部は、ジッタ生成信号を生成するジッタ生成信号発生部と、ジッタ生成信号発生部によって発生したジッタ生成信号の立ち上がりおよび立ち下りのタイミングを第1の信号の立ち上がりおよび立ち下りに同期させる同期確立部とを備えることが望ましい。これにより、第1の信号に同期したジッタ生成信号を生成して第2の信号配線に入力することが容易になる。
- [0015] また、上述したジッタ生成信号出力部は、ジッタ生成信号を生成するジッタ生成信号発生部と、ジッタ生成信号発生部によって発生したジッタ生成信号の入力先となる複数の第2の信号配線を選択する選択部と、選択部によって選択されたジッタ生成信号の立ち上がりおよび立ち下りのタイミングを第1の信号の立ち上がりおよび立ち下りに同期させる同期確立部とを備えることが望ましい。これにより、第1の信号に同期したジッタ生成信号を生成して第2の信号配線に入力することが容易になるとともに、このジッタ生成信号の入力先となる第2の信号配線を選択的に設定することが可能になる。
- [0016] また、上述した第1および第2の信号配線のそれぞれに入力される信号のタイミングを調整するタイミング調整部をさらに備えることが望ましい。これにより、第1および第2の信号配線の前段に設けられた各回路による信号の伝搬時間の相違を調整することができるため、これらの信号配線に入力される第1の信号とジッタ生成信号のそれぞれの立ち上がりあるいは立ち上がりタイミングを一致させることが容易となる。
- [0017] また、上述した同期確立部は、第1の信号の立ち上がりあるいは立ち下りタイミングに同期してジッタ生成信号を取り込んで出力するフリップフロップであることが望ましい。これにより、ジッタ生成信号の立ち上がりおよび立ち下りタイミングを強制的に第1のタイミングの立ち上がりや立ち下りタイミングに一致させることが可能になる。
- [0018] また、上述したジッタ生成信号は、ランダムに論理レベルが変化するランダムビット

列信号であることが望ましい。これにより、第1の信号にランダム性のあるジッタ量を付加することが可能になる。

[0019] また、上述したジッタ生成信号発生部は、縦続接続された複数のフリップフロップと、複数のフリップフロップの中から特定の複数の出力を抽出してそれらの排他的論理和を特定のフリップフロップに入力する論理回路とを備えることが望ましい。これにより、簡単な構成でランダムビット列を生成することができる。

[0020] また、上述したジッタ生成信号発生部は、縦続接続された複数のフリップフロップと、複数のフリップフロップの中から特定の複数の出力を抽出してそれらの排他的論理和を特定のフリップフロップに入力する論理回路とを備え、複数の第2の信号配線のそれぞれに入力するジッタ生成信号を、複数のフリップフロップの異なる位置から取り出すことが望ましい。これにより、複数本の第2の信号配線のそれぞれに内容がシフトしたランダムビット列を同時に入力することが可能になり、よりランダム性を高めて複雑なジッタを付加することができる。

[0021] また、上述したジッタ生成信号発生部は、リング状に接続された複数のフリップフロップを備え、少なくとも一つのフリップフロップの保持内容をプリセットすることが望ましい。これにより、簡単な構成で周期的に変化するジッタを付加することが可能になる。

[0022] また、上述したジッタ生成信号発生部の出力端子と接続された可変容量素子をさらに備えることが望ましい。可変容量素子を追加するとともにその静電容量を可変することにより、第1の信号配線を介して伝送される際に第1の信号に付加されるジッタの大きさを調整することが可能となる。

[0023] また、上述したジッタ生成信号発生部から第2の信号配線に入力されるジッタ生成信号の振幅を可変設定する振幅設定部をさらに備えることが望ましい。振幅設定部を追加してジッタ生成信号の振幅を可変することにより、第1の信号配線を介して伝送される際に第1の信号に付加されるジッタの大きさを調整することが可能となる。

[0024] また、上述した第1、第2の信号配線、入力バッファ、出力バッファ、ジッタ生成信号出力部を同一の大規模集積回路内に含ませることが望ましい。これにより、ジッタ発生回路を別部品として用意する必要がなくなるため、部品点数の低減によるコスト低減が容易となる。また、ジッタ発生回路によるBIST(内蔵自己テスト)回路を容易に実

現することができる。

図面の簡単な説明

- [0025] [図1]本発明のジッタ発生回路の基本原理の説明図である。
- [図2]互いに近接配置された2本の信号配線P1、P2の等価回路を示す図である。
- [図3]図1に示す2つの信号配線P1、P2に入出力される信号波形を示す図である。
- [図4]信号配線P1から出力されるクロック信号の各周期の分布を示す図である。
- [図5]第1の実施形態のジッタ発生回路の構成を示す図である。
- [図6]ランダムビット列発生部の構成を示す図である。
- [図7]ジッタ生成信号経路制御部の構成を示す図である。
- [図8]第2の実施形態のジッタ発生回路の構成を示す図である。
- [図9]図8に示すジッタ生成信号経路制御部の構成を示す図である。
- [図10]第3の実施形態のジッタ発生回路に含まれるジッタ生成信号経路制御部の構成を示す図である。
- [図11]第4の実施形態のジッタ発生回路の構成を示す図である。
- [図12]第5の実施形態のジッタ発生回路の構成を示す図である。
- [図13]第5の実施形態のジッタ発生回路に含まれる可変振幅ドライバ回路の変形例を示す図である。
- [図14]ジッタ生成信号出力部の変形例を示す図である。
- [図15]信号配線の長さを変更したジッタ発生回路の変形例を示す図である。
- [図16]グランド層を用いたシールド構造の具体例を示す図である。
- [図17]ジッタ発生回路が組み込まれた半導体試験装置の構成を示す図である。

符号の説明

- [0026] 10 入力バッファ
- 12 タイミング調整部
- 20 ジッタ生成信号出力部
- 30、40、130、132、400、402 出力バッファ
- 100 クロック発生部
- 110 ランダムビット列発生部

120 ジッタ生成信号経路制御部

P1、P2、P3 信号配線

発明を実施するための最良の形態

[0027] 以下、本発明を適用した一実施形態のジッタ発生回路について、図面を参照しながら詳細に説明する。

[0028] 図1は、本発明のジッタ発生回路の基本原理の説明図である。図1に示すように、本発明のジッタ発生回路は、入力端子INに接続された入力バッファ10と、制御端子Sに接続されたジッタ生成信号出力部20と、入力バッファ10の出力端子に一方端が接続された信号配線P1と、ジッタ生成信号出力部20の出力端子に一方端が接続されるとともに信号配線P1に近接配置された信号配線P2と、信号配線P1の他方端に接続された出力バッファ30と、信号配線P2の他方端に接続されて信号配線P2の他方端を終端する出力バッファ40とを含んで構成されている。入力バッファ10および出力バッファ30、40のそれぞれは、例えばCMOSインバータ回路によって構成されている。なお、出力バッファ40は、信号配線P1と同様に信号配線P2に信号を通すための終端回路であるため、必ずしも出力バッファ30と同じようにCMOSインバータ回路を用いて構成する必要はなく、アンド回路等の他の回路を用いて構成するようにしてもよい。信号配線P1が第1の信号配線に、信号配線P2が第2の信号配線にそれぞれ対応する。

[0029] 図2は、互いに近接配置された2本の信号配線P1、P2の等価回路を示す図である。信号配線P1、P2のそれぞれでは、入力されるパルス信号の周波数が高くなると、抵抗成分Rの他にインダクタンス成分Lが無視できなくなる。また、これら2本の信号配線P1、P2の間には、相互コンダクタンス成分Gとキャパシタンス成分Cが現れる。このように、2本の信号配線P1、P2によって、抵抗成分R、インダクタンス成分L、相互コンダクタンス成分G、キャパシタンス成分Cを有する分布定数回路が構成される。

[0030] 図3は、図1に示す2つの信号配線P1、P2に入出力される信号波形を示す図である。図3(A)の「クロック信号(入力)」は入力バッファ10から信号配線P1に入力される信号波形であり、例えば所定周期で立ち上がりと立ち下がりが発生するクロック信号が信号配線P1に入力される場合が示されている。また、図3(B)の「ジッタ生成信号」

は、ジッタ生成信号出力部20から信号配線P2に入力される信号波形である。図3(C)の「干渉雑音」は、信号配線P1に入力されるクロック信号と信号配線P2に入力されるジッタ生成信号との組み合わせによって決定される信号配線P1上の雑音の波形である。図3(D)の「クロック信号(出力)」は、信号配線P1に入力されたクロック信号に、この信号配線P1上で発生した干渉雑音が重畳された場合の信号配線P1の出力波形である。

[0031] 入力バッファ10から信号配線P1に向けて、所定周期でハイレベルとローレベルとが交互に切り替わるクロック信号が入力されている(図3(A))。また、ジッタ生成信号出力部20から信号配線P2に向けて、このクロック信号に対して立ち上がりおよび立ち下がりの一部のタイミングが一致しているジッタ生成信号が入力されている。例えば、このジッタ生成信号には、ランダムに論理レベルが変化するランダムビット列信号が用いられている(図3(B))。信号配線P1に入力されるクロック信号の立ち上がりや立ち下がりに、信号配線P2に入力されるジッタ生成信号の立ち上がりや立ち下がりとのタイミングが一致すると信号配線P1上には干渉雑音が発生する(図3(C))。本実施形態では、ジッタ生成信号としてランダムビット列信号が用いられているため、クロック信号の立ち上がりや立ち下がりと組み合わされるジッタ生成信号の立ち上がりや立ち下がり是不定であってランダムに変化するため、信号配線P1上に発生する干渉雑音の間隔や極性もランダムとなる。信号配線P1上では、入力バッファ10から入力されたクロック信号に干渉雑音が重畳されるため、この入力されたクロック信号に対して、立ち上がりや立ち下がりとのタイミングに揺らぎ(ジッタ)があるクロック信号が出力される(図3(D))。

[0032] 図4は、信号配線P1から出力されるクロック信号の各周期の分布を示す図である。図4において、横軸にはクロック信号の各周期毎の立ち上がりあるいは立ち下がりとの間隔が、縦軸にはその頻度がそれぞれ示されている。ジッタ生成信号がランダムビット列である場合にはその内容に応じたジッタ成分が現れるため、立ち上がりあるいは立ち下がりとの各周期毎の間隔は、図4に示すような所定値(ジッタ成分がない場合のクロック信号の周期に相当する値)を中心とする統計的な分布を示すようになる。

[0033] このように、本発明のジッタ発生回路では、ジッタ付加の対象となるクロック信号を信

号配線P1に入力するとともに、この信号配線P1に近接配置した信号配線P2に対してランダムビット列からなるジッタ生成信号を入力することにより、信号配線P1を伝搬するクロック信号に対してランダムビット列の内容に応じたジッタを付加することが可能になる。特に、ランダムビット列からなるジッタ生成信号を生成して信号配線P2に入力する場合にアナログ回路は不要であるため、ジッタ発生回路全体の回路規模を縮小することができる。また、デジタルのジッタ生成信号を生成して信号配線P2に入力するだけであるため、発振器等のアナログ回路を用いる場合に比べて生じる電力を大幅に低減することが可能になる。

[0034] 次に、上述した本発明の原理に基づいて実際のジッタ発生回路を構成した場合の具体例(実施形態)について説明する。

[0035] [第1の実施形態]

図5は、第1の実施形態のジッタ発生回路の構成を示す図である。図5に示すように、本実施形態のジッタ発生回路は、互いに近接配置された3本の信号配線P1、P2、P3と、信号配線P1の入力側および出力側にそれぞれ接続された入力バッファ10、タイミング調整部12および出力バッファ30と、信号配線P2、P3の入力側に設けられたジッタ生成信号出力部20と、信号配線P2、P3のそれぞれの出力側に設けられた出力バッファ400、402とを含んで構成されている。2つの信号配線P2、P3は、信号配線P1を挟んでその両側に等間隔で近接配置されている。

[0036] 入力バッファ10は、CMOSインバータ回路によって構成されており、入力されるクロック信号の論理レベルを反転して出力する。タイミング調整部12は、信号配線P2、P3に対するエッジ生成信号の入力タイミングに、入力バッファ10から信号配線P1に対するクロック信号の入力タイミングを一致させるための時間調整を行うためのものであり、例えばCMOSインバータ回路によって構成されている。なお、本実施形態では、入力バッファ10の前段に1つのCMOSインバータ回路からなるタイミング調整部12を設けることによって3本の信号配線P1、P2、P3に対する信号の入力タイミングの調整を行っているが、調整時間が長い場合にはタイミング調整部12を構成するCMOSインバータ回路の縦続段数を増やしたり、他の回路を用いたりしてもよい。また、3本の信号配線P1、P2、P3に入力される各信号の入力タイミングによっては、信号配線

P1の入力側にタイミング調整部12の代わりに、あるいはこれと並行して信号配線P2、P3の入力側にタイミング調整部を設けるようにしてもよい。

[0037] 出力バッファ30は、信号配線P1の出力端側に接続されており、この信号配線P1から出力されるクロック信号に対して波形整形を行った信号を出力する。出力バッファ400は、信号配線P2の出力端を終端する。出力バッファ402は、信号配線P3の出力端を終端する。

[0038] ジッタ生成信号出力部20は、クロック信号が伝送される信号配線P1に対して近接配置された2本の信号配線P2、P3のそれぞれに向けてジッタ生成信号を出力する。このために、ジッタ生成信号出力部20は、クロック発生部100、ランダムビット列発生部110、ジッタ生成信号経路制御部120、出力バッファ130、132を含んで構成されている。

[0039] クロック発生部100は、ジッタ付与の対象となる所定周波数のクロック信号を発生する。クロック発生部100によって発生したクロック信号は、タイミング調整部12および入力バッファ10を介して信号配線P1に入力される。なお、クロック発生部100は、必ずしもジッタ生成信号出力部20内部に含まれていなくてもよい。例えば、外部から入力される参照クロック信号を、このクロック発生部100で発生したクロック信号の代わりに用いるようにしてもよい。また、本明細書では、クロック信号にジッタを付加する場合を例にとって説明するが、ジッタ付加の対象となる信号はクロック信号に限定されるものではなく、周期的でない立ち上がりや立ち下がりを持つその他の信号にジッタを付加するようにしてもよい。

[0040] ランダムビット列発生部110は、例えばリニアフィードバックシフトレジスタ(LFSR)回路によって構成されており、擬似ランダムビット列信号を発生する。図6は、ランダムビット列発生部110の構成を示す図である。図6に示すように、ランダムビット列発生部110は、縦続接続されたN個のフリップフロップ114-1～114-Nと、この中の特定の複数、例えばi段目とN段目のフリップフロップ114-i、114-Nの各出力の排他的論理和を求めて特定(例えば初段)のフリップフロップ114に入力する論理回路としての排他的論理和回路112とを備えている。各フリップフロップ114-1～114-Nは、入力されるデータをクロック発生部100から出力されるクロック信号に同期し

て取り込んで保持、出力する。フリップフロップ114-1～114-Nの段数Nは、例えば23や31に設定される。このように、N個のフリップフロップ114-1～114-Nからなるシフトレジスタと排他的論理和回路112とを組み合わせることにより、簡単に擬似ランダムビット列信号を生成することができる。なお、ランダムビット列発生部110は、擬似ランダムビット列信号を発生できればよいので、図6に示した構成に限定されず、他の構成を採用してもよい。

[0041] ジッタ生成信号経路制御部120は、制御信号に基づいてジッタ生成信号の出力経路を設定する。ジッタ生成信号の出力経路としては、信号経路P2を選択する場合、信号経路P3を選択する場合、両方を選択する場合、いずれも選択しない場合の4通りが考えられる。

[0042] 図7は、ジッタ生成信号経路制御部120の構成を示す図である。図7に示すように、ジッタ生成信号経路制御部120は、デコーダ122、アンド回路124、125、フリップフロップ126、127を備えている。デコーダ122は、入力される制御信号に基づいて、ジッタ生成信号の出力先となる信号配線P1、P2を特定する1ビットの選択信号を2つのアンド回路124、125のそれぞれに向けて個別に出力する。一方の選択信号がアンド回路124の一方の入力端子に入力され、他方の選択信号がアンド回路125の一方の入力端子に入力される。一方のアンド回路124は、ランダムビット列発生部110から出力される擬似ランダムビット列信号が他方の入力端子に入力されており、デコーダ122から入力される選択信号がハイレベル(“1”)のときにこの擬似ランダムビット列信号を出力する。同様に、他方のアンド回路125は、ランダムビット列発生部110から出力される擬似ランダムビット列信号が他方の入力端子に入力されており、デコーダ122から入力される選択信号がハイレベルのときにこの擬似ランダムビット列信号を出力する。したがって、デコーダ122から出力される2つの選択信号のいずれか一方のみがハイレベルのときには、このハイレベルの選択信号が入力されたアンド回路のみから擬似ランダムビット列信号が出力される。また、デコーダ122から出力される2つの選択信号の両方がハイレベルのときには、2つのアンド回路124、125の両方から擬似ランダムビット列信号が出力される。また、デコーダ122から出力される2つの選択信号の両方がローレベルのときには、2つのアンド回路124、125のいずれ

からも擬似ランダムビット列信号は出力されない。上述したデコーダ122および2つのアンド回路124、125によって選択部が構成されている。

[0043] 一方のフリップフロップ126は、クロック発生部100から出力されるクロック信号に同期して、一方のアンド回路124から出力される信号を取り込んで出力する。このフリップフロップ126から出力される信号は、出力バッファ130を介して信号配線P2に入力される。同様に、他方のフリップフロップ127は、クロック発生部100から出力されるクロック信号に同期して、他方のアンド回路125から出力される信号を取り込んで出力する。このフリップフロップ127から出力される信号は、出力バッファ132を介して信号配線P3に入力される。これら2つのフリップフロップ126、127によって同期確立部が構成されている。

[0044] ところで、図5に示したジッタ発生回路では、クロック信号が入出力される信号配線P1の両側に2本の信号配線P2、P3が近接配置されているが、これら2本の信号配線P2、P3のいずれか一方のみに着目すると、図1に示した基本構成における信号配線P2と信号配線P1との関係と同じである。したがって、クロック信号の立ち上がりタイミングとジッタ生成信号の立ち上がりあるいは立ち下がりタイミングが一致したとき、あるいは、クロック信号の立ち下がりタイミングとジッタ生成信号の立ち上がりあるいは立ち下がりタイミングが一致したときに、これらの組み合わせに対応した干渉雑音が生じ、信号配線P1上に発生し、信号配線P1からはジッタが付加されたクロック信号が出力される。また、2本の信号配線P2、P3の両方に同じ擬似ランダムビット列からなるジッタ生成信号が入力された場合には、干渉雑音のレベルが大(ほぼ2倍)になるため、信号配線P1から出力されるクロック信号に付加されるジッタの量も大となる。

[0045] このように、クロック信号が入出力される信号配線P1に2本の信号配線P2、P3を近接配置するとともに、これらの各信号配線P2、P3にジッタ生成信号を入力することにより、クロック信号に対してジッタを付加することが可能なる。また、ジッタ生成信号の入力先となる信号配線の本数を切り替えることにより、クロック信号に対して付加するジッタの大きさを変更することができる。しかも、このようなジッタの付加を行うジッタ発生回路では、発振器等のアナログ回路が使用されていないため、回路規模の縮小と消費電力の低減が可能になるとともに、BIST回路として大規模集積回路(LSI)内に

他の構成回路とともに含ませることにより、回路規模の極めて小さいオンチップジッタ付加回路を実現することができる。また、ジッタ付加の対象となるクロック信号に同期したジッタ生成信号を用いるため、クロック信号に近い高い周波数(例えば、ギガHz帯)のジッタを付加することが可能になる。

[0046] 〔第2の実施形態〕

図8は、第2の実施形態のジッタ発生回路の構成を示す図である。図8に示すように、本実施形態のジッタ発生回路は、互いに近接配置された9本の信号配線P1、P2A～P2D、P3A～P3Dと、信号配線P1の入力側および出力側にそれぞれ接続された入力バッファ10および出力バッファ30と、信号配線P2A～P2D、P3A～P3Dの入力側に設けられたジッタ生成信号出力部20Aと、信号配線P2A～P2D、P3A～P3Dのそれぞれの出力側に設けられた出力バッファ400A～400D、402A～402Dをと含んで構成されている。信号配線P1を挟んだ一方の側に4本の信号配線P2A～P2Dが近接配置され、他方の側に4本の信号配線P3A～P3Dが近接配置されている。

[0047] ジッタ生成信号出力部20Aは、クロック信号が伝送される信号配線P1に対して近接配置された8本の信号配線P2A～P2D、P3A～P3Dのそれぞれに向けてジッタ生成信号を出力する。このために、ジッタ生成信号出力部20Aは、ジッタ生成信号経路制御部120Aと、出力バッファ130A～130D、132A～132Dを含んで構成されている。なお、これらの構成以外については、図5に示したジッタ生成信号出力部20と同じ構成(クロック発生部100とランダムビット列発生部110)を有しており、図8ではこれらの構成が省略されている。

[0048] ジッタ生成信号経路制御部120Aは、制御信号に基づいてジッタ生成信号の出力経路を設定する。図9は、ジッタ生成信号経路制御部120Aの構成を示す図である。図9に示すように、ジッタ生成信号経路制御部120Aは、デコーダ122A、アンド回路124A～124D、125A～125D、フリップフロップ126A～126D、127A～127Dを備えている。デコーダ122Aは、入力される制御信号に基づいて、ジッタ生成信号の出力先となる信号配線P2A～P2D、P3A～P3Dを特定する1ビットの選択信号を8個のアンド回路124A～124D、125A～125Dのそれぞれに向けて個別に出力す

る。8個のアンド回路124A～124D、125A～125Dのそれぞれは、図7に示したジッタ生成信号経路制御部120に含まれる2個のアンド回路124、125と基本的に同じ動作を行っており、一方の入力端子に入力される選択信号がハイレベルのときに、他方に入力される擬似ランダムビット列信号を出力する。上述したデコーダ122Aおよび8個のアンド回路124A～124D、125A～125Dによって選択部が構成されている。

[0049] フリップフロップ126A～126D、127A～127Dのそれぞれは、クロック発生部100から出力されるクロック信号に同期して、前段に設けられた各アンド回路から出力される信号を取り込んで出力する。各フリップフロップと8本の信号配線P2A～P2D、P3A～P3Dのそれぞれとが1対1に対応しており、各フリップフロップから出力される信号が、出力バッファ130A～130D、132A～132Dのそれぞれを介して対応する各信号配線に入力される。これら8個のフリップフロップ126A～126D、127A～127Dによって同期確立部が構成されている。

[0050] このように、信号配線P1の両側に4本ずつ合計で8本の信号配線P21、…、P2N、P31、…、P3Nを配置し、これらの信号配線に対してジッタ生成信号を選択的に入力することにより、クロック信号に付加するジッタの可変量を広くすることができる。

[0051] ところで、図5に示したように、信号配線P1の両側に2本の信号配線P2、P3を対称位置に近接配置した場合には、これら2本の信号配線P2、P3のそれぞれと信号配線P1との間の干渉の度合いは同じになるが、図8に示すように、さらにその外側に他の信号配線を近接配置していった場合には、各信号配線と信号配線P1との干渉の度合いは距離の2乗に反比例して小さくなる。したがって、同じジッタ生成信号を入力した場合であっても、信号配線P1からの距離が異なる信号配線に入力した場合には異なる電圧レベルの干渉雑音が発生することになり、ジッタ生成信号を入力する信号配線を切り替えることにより、クロック信号に付加する分解能を高めることが可能になる。

[0052] [第3の実施形態]

上述した第1および第2の実施形態では、信号配線P1の両側に配置された各信号配線に対して同じジッタ生成信号を入力したが、少なくとも一部の信号配線に対して

他と異なる内容のジッタ生成信号を入力するようにしてもよい。

[0053] 図10は、クロック信号が入出力される信号配線P1に近接配置された各信号配線に異なる内容のジッタ生成信号を入力するジッタ生成信号経路制御部の変形例を示す図である。図10に示すジッタ生成信号経路制御部120Bは、デコーダ122A、アンド回路124A～124D、125A～125D、フリップフロップ128A～128Hを備えている。このジッタ生成信号経路制御部120Bは、図8に示したジッタ生成信号経路制御部120Aと置き換え可能であり、後段に配置された出力バッファ130A～130D、132A～132Dのそれぞれにジッタ生成信号を入力する。

[0054] デコーダ122Aは、入力される制御信号に基づいて、ジッタ生成信号の出力先となる信号配線P2A～P2D、P3A～P3Dを特定する1ビットの選択信号を8個のアンド回路124A～124D、125A～125Dのそれぞれの一方の入力端子に向けて個別に出力する。8個のフリップフロップ128A～128Hは、縦続接続されており、初段のフリップフロップ128Aに擬似ランダムビット列信号が入力される。各フリップフロップは、クロック発生部100から出力されるクロック信号に同期して、入力されるデータを保持して出力する。また、フリップフロップ128A～128Hのそれぞれは、8個のアンド回路124D、124C、124B、124A、125A、125B、125C、125Dのそれぞれと1対1に対応しており、各フリップフロップから出力されるデータ(擬似ランダムビット列信号)が対応するアンド回路の他方の入力端子に入力される。各アンド回路では、デコーダ122Aから一方の入力端子に入力される選択信号がハイレベルのときに、他方の入力端子に入力される擬似ランダムビット列信号を出力する。各アンド回路に対応する擬似ランダムビット列信号の取り出し位置を異ならせることにより、各アンド回路に同時に入力される擬似ランダムビット列信号の内容を異ならせることが可能になる。図10に示したジッタ生成信号経路制御部120Bを用いた場合には、図6に示したランダムビット列発生部110を構成する複数のフリップフロップの異なる位置から別々に擬似ランダムビット列信号を取り出したことになる。これにより、信号配線P1上に発生する干渉雑音のランダム性を高めることができ、クロック信号に対して複雑なジッタを付加することが可能になる。

[0055] [第4の実施形態]

図11は、第4の実施形態のジッタ発生回路の構成を示す図である。図11に示すジッタ発生回路は、図1に示したジッタ発生回路に対して、ジッタ生成信号出力部20の出力端子とグランド間に可変容量素子60が追加された点が異なっており、それ以外の構成については共通する。なお、上述したように、図1はジッタ発生回路の基本原則を説明するための構成を示したものであるが、図5や図8に示した各実施形態のジッタ発生回路において本実施形態と同様の変形を行う場合には、信号配線P2、P2A～P2D、P3、P3A～P3Dのそれぞれの入力端子に個別（必ずしも全部である必要はなく、一部であってもよい）に可変容量素子60を接続すればよい。

[0056] ジッタ生成信号出力部20の出力端子に可変容量素子60が接続されると、ジッタ生成信号出力部20から出力されるジッタ生成信号がLレベルからHレベルに立ち上がるとき、あるいはHレベルからLレベルに立ち下がる時に、ジッタ生成信号出力部20内の出力段に設けられた入力バッファの出力抵抗と可変容量素子60の静電容量で決まる時定数で決まる充放電動作を伴うため、これらの立ち上がり波形や立ち下がり波形に遅れが生じて、いわゆる波形がなまる現象が現れる。この程度は、時定数の大きさすなわち可変容量素子60の静電容量の大きさによって決まる。

[0057] ところで、信号配線P1を伝送するクロック信号に対する干渉の程度、すなわち、信号配線P1上に現れる干渉雑音の大きさは、信号配線P2に入力されるジッタ生成信号の立ち上がりや立ち下がりが急峻であればあるほど大きく、ジッタ生成信号の立ち下がりや立ち下がりがなまってなだらかになると小さくなる。したがって、可変容量素子60を追加するとともにその静電容量を可変することにより、信号配線P1を介して伝送される際にクロック信号に付加されるジッタの大きさを調整することが可能となる。

[0058] 〔第5の実施形態〕

図12は、第5の実施形態のジッタ発生回路の構成を示す図である。図12に示すジッタ発生回路は、図1に示したジッタ発生回路に対して、ジッタ生成信号出力部20と信号配線P2の間の可変振幅ドライバ回路70を挿入した点が異なっており、それ以外の構成については共通する。この可変振幅ドライバ回路70が振幅設定部として動作する。

[0059] 可変振幅ドライバ回路70は、制御信号に応じて振幅レベルを可変に設定可能なド

ライバ回路であり、電流源71、FET72、73、74、抵抗75を含んで構成されている。抵抗75は、例えばFETのON抵抗を利用してもよい。電流源71は、制御信号に応じて電流値が設定可能であり、FET72に対してソース・ドレイン間の電流を供給する。このFET72のドレイン、ゲートおよびFET73のゲートが共通に接続されており、これら2つのFET72、73によってカレントミラ回路が構成されている。FET73のドレイン側には、ジッタ生成信号によってオンオフ状態が制御されるFET74が接続されており、このFET74のドレインは抵抗75を介して電源VDDに接続されている。制御信号に応じて電流源71によってFET72に供給される電流値が変わると、FET73、74の各ソース・ドレイン間に流れる電流も変わるため抵抗75の両端電圧の値も変化し、これに伴って可変振幅ドライバ回路70から出力される信号の振幅が変更される。

[0060] ところで、信号配線P1を伝送するクロック信号に対する干渉の程度、すなわち、信号配線P1上に現れる干渉雑音の大きさは、信号配線P2に入力されるジッタ生成信号の振幅が大きいほど大きく、ジッタ生成信号の振幅が小さくなればそれに伴って小さくなる。したがって、可変振幅ドライバ回路70を追加してジッタ生成信号の振幅を可変することにより、信号配線P1を介して伝送される際にクロック信号に付加されるジッタの大きさを調整することが可能となる。

[0061] なお、上述した可変振幅ドライバ回路70は、入力されるジッタ生成信号の論理を反転して出力するため、例えば図5に示したランダムビット列発生部110から出力される擬似ランダムビット列信号の論理レベルを変えずに信号配線P2等に入力しようとした場合には、可変振幅ドライバ回路70の前段にインバータ回路を追加したり、ジッタ生成信号出力部の出力段に設けられた出力バッファ20をCMOSインバータ回路で構成するなどの工夫が必要になる。あるいは、図13に示すように、差動型の可変振幅ドライバ回路70Aを用いる場合には、論理の反転をすることなくジッタ生成信号を信号配線P2に入力することができる。また、この変更に伴って、ランダムビット列発生部110から擬似ランダムビット列信号が出力されてから信号配線P2等に入力されるまでのタイミングにずれが生じた場合には、このずれに相当する時間をタイミング調整用可変遅延回路12Aにおいて再調整する必要がある。

[0062] なお、本発明は上記実施形態に限定されるものではなく、本発明の要旨の範囲内

において種々の変形実施が可能である。例えば、上述した実施形態では、ランダムビット列発生部110によって発生した擬似ランダムビット列信号をジッタ生成信号として用いたが、より簡易な構成で発生したジッタ生成信号を用いるようにしてもよい。

[0063] 図14は、ジッタ生成信号出力部の変形例を示す図である。図14に示すジッタ生成信号出力部は、クロック発生部100、デコーダ122A、8個のフリップフロップ129A～129H、8個のアンド回路124A～124D、125A～125D、8個の出力バッファ130A～130D、134A～134Dを含んで構成されている。このジッタ生成信号出力部では、ランダムビット列発生部110の代わりにリング状に接続された8個のフリップフロップ129A～129Hが用いられている。例えば、フリップフロップ129Aは、所定のタイミングでプリセットされて出力信号がHレベルとなる。したがって、それ以後、各フリップフロップ129A～129Hのそれぞれは、入力されるクロック信号の8周期に1回の割合でHレベルの信号を順番に出力する。また、各フリップフロップ129A～129Hから出力される周期的にHレベルに変化する信号は、1対1に対応するアンド回路を介してその後段に接続されたバッファ130A～130D、134A～134Dに入力される。図14に示す例では、4個のバッファ130A～130Dは、入力される信号の論理を反転せずに出力し、他の4個のバッファ134A～134Dは、入力される信号の論理を反転して出力する。これにより、ジッタ生成信号出力部から8本の信号配線P2A～P2D、P3A～P3Dのそれぞれに入力されるジッタ生成信号の組み合わせが複雑になるため、擬似ランダムビット列信号を用いた場合と同様にランダム性が高いジッタをクロック信号に付加することができる。しかも、ランダムビット列発生部110を用いる場合に比べて、ジッタ生成信号出力部の構成を簡略化することが可能になる。

[0064] また、上述した各実施形態では、信号配線P1に対して近接配置された複数の信号配線P2、P3等の各長さを同じにしたが、これらの配線長を異ならせるようにしてもよい。図15は、信号配線の長さを変更したジッタ発生回路の変形例を示す図である。図15に示すジッタ発生回路は、図5に示したジッタ発生回路に対して、信号配線P2よりも配線長が短い信号配線P4に置き換えた点が異なり、それ以外の構成については共通する。図2に示した等価回路に含まれる抵抗成分R、インダクタンス成分L、相互コンダクタンス成分G、キャパシタンス成分Cは、2本の信号配線の位置関

係によって変化するとともに、これら2本の信号配線が対向する長さに比例して変化する。したがって、信号配線P1と隣接配置された一方の信号配線P4の長さを短くすることにより、一方の信号配線P4に対応して発生する干渉雑音のレベルを小さくすることができる。このように、2つの信号配線P4、P3の長さを異ならせることにより、いろいろな組み合わせの複雑なジッタをクロック信号に付加することが可能になる。

[0065] また、上述した各実施形態の説明では、各信号配線の周辺構造については特に説明していないが、クロック信号に付加するジッタのレベルを制御するため、あるいは、各信号配線からその他の配線等に対するノイズの放出等を防止するために、これらの信号配線の周囲をグランド層で囲ってシールドすることが望ましい。

[0066] 図16は、グランド層を用いたシールド構造の具体例を示す図であり、図5に示す3本の信号配線P1、P2、P3に対応する断面構造が示されている。図16に示すように、互いに平行に配置された3本の信号配線P1、P2、P3は、その両側面に配置されたグランド層G1、G2と、上下層としてのグランド層G3、G4とによって囲まれている。これらの各グランド層G1～G4は、VIAホール(V)によって相互に連結されている。このように、互いに近接配置された信号配線P1、P2、P3の周囲をグランド層G1～G4によって取り囲むことにより、各信号配線P1、P2、P3からそれ以外の配線への信号の回り込みや、他の配線から信号配線P1への各種の信号の回り込みを防止することが可能になる。

[0067] 図17は、上述した各実施形態のジッタ発生回路を半導体試験装置に組み込む場合の構成を示す図である。図17に示す半導体試験装置は、RATE発生部900、テストパターン発生部910、タイミング発生回路930、ジッタ発生回路940、波形整形部950、期待値比較部960を含んで構成されており、DUT(被試験デバイス)に対して各種の試験を実施する。RATE発生部900は、試験を行うための基本周期の設定を行う所定周期のRATE信号を生成する。テストパターン発生部910は、DUTの各入力ピンに入力するパターンデータを発生する。タイミング発生回路930は、RATE発生部900から出力されるRATE信号を基準にして、基本周期内に含まれる各種のタイミングエッジを生成する。ジッタ発生回路940は、図5や図8等に示した構成を有しており、タイミング発生回路930から入力される信号を信号配線P1に通すことにより、

この信号に対してジッタを付加する。なお、ジッタを付加しない通常の試験動作時には、ジッタ生成信号出力部20等から各信号配線P2等に対してジッタ生成信号を入力しないようにすればよい。波形整形部950は、テストパターン発生部910から出力されたパターンデータに対応してタイミング発生回路930から出力されるタイミングエッジに基づいて、DUTの各入力ピンに入力する信号の波形制御を行う。期待値比較部960は、DUTの各出力ピンから出力されるデータと、テストパターン発生部910から出力される各出力ピン毎の期待値データとを比較する。このような構成を有する半導体試験装置において、タイミング発生回路930とジッタ発生回路940とがタイミング発生LSI920として同一の半導体基板上に形成されている。このように、ジッタ発生回路940は、他の回路としてのタイミング発生回路930とともにLSIの一部として形成することが可能であり、ジッタ発生回路940によってジッタが付加されたクロック信号やその他の入力データをDUTに入力して、このDUTが正常動作するか否かを試験することが可能になる。

産業上の利用可能性

- [0068] 本発明によれば、ジッタ成分付加の対象となる第1の信号を伝送する第1の信号配線に対して第2の信号配線を近接配置するとともに、この第1の信号の電圧レベルが変化するタイミングにあわせて、第2の信号配線に入力されるジッタ生成信号の電圧レベルを変化させることにより、信号配線間の干渉を利用して第1の信号配線上に干渉雑音を重畳させることができる。この干渉雑音は、ジッタ生成信号の電圧レベルが変化するタイミングで発生するため、第1の信号に同期したジッタ生成信号を用いることにより、第1の信号配線上を伝送される第1の信号の立ち上がりあるいは立ち下がりタイミングにあわせて干渉雑音を重畳させることが可能になり、第1の信号にジッタを付加することができる。特に、第1の信号に同期したジッタ生成信号を信号配線P2に入力する場合にアナログ回路は不要であるため、ジッタ発生回路全体の回路規模を縮小することができる。また、デジタルのジッタ生成信号を生成して信号配線P2に入力するだけであるため、発振器等のアナログ回路を用いる場合に比べて生じる電力を大幅に低減することが可能になる。

請求の範囲

- [1] ジッタ成分付加の対象となる第1の信号が伝送される第1の信号配線と、
前記第1の信号配線の入力側に設けられた入力バッファと、
前記第1の信号配線の出力側に設けられた出力バッファと、
前記第1の信号配線に対して近接配置された第2の信号配線と、
前記第1の信号配線に入力される前記第1の信号に同期した第2の信号をジッタ生成信号として前記第2の信号配線に入力するジッタ生成信号出力部と、
を備えるジッタ発生回路。
- [2] 請求項1において、
前記ジッタ生成信号は、前記第1の信号に対して立ち上がりおよび立ち下がりの一部のタイミングが一致しているジッタ発生回路。
- [3] 請求項1において、
複数本の前記第2の信号配線が前記第1の信号配線の近接位置に配置されており、
前記ジッタ生成信号出力部は、複数本の前記第2の信号配線のそれぞれに前記ジッタ生成信号を入力するジッタ発生回路。
- [4] 請求項3において、
複数本の前記第2の信号配線のそれぞれには、立ち上がりおよび立ち下がりタイミングが互いに一致した前記ジッタ生成信号が入力されるジッタ発生回路。
- [5] 請求項3において、
複数本の前記第2の信号配線のそれぞれには、立ち上がりおよび立ち下がりタイミングが異なる前記ジッタ生成信号が入力されるジッタ発生回路。
- [6] 請求項3において、
一の前記第2の信号配線は、他の前記第2の信号配線と配線長が異なっているジッタ発生回路。
- [7] 請求項1において、
前記第1の信号配線および前記第2の信号配線を、接地されたグランド層によって包囲するジッタ発生回路。

- [8] 請求項1において、
前記ジッタ生成信号出力部は、
前記ジッタ生成信号を生成するジッタ生成信号発生部と、
前記ジッタ生成信号発生部によって発生した前記ジッタ生成信号の立ち上がりおよび立ち下りのタイミングを前記第1の信号の立ち上がりおよび立ち下りに同期させる同期確立部と、
を備えるジッタ発生回路。
- [9] 請求項3において、
前記ジッタ生成信号出力部は、
前記ジッタ生成信号を生成するジッタ生成信号発生部と、
前記ジッタ生成信号発生部によって発生した前記ジッタ生成信号の入力先となる複数の前記第2の信号配線を選択する選択部と、
前記選択部によって選択された前記ジッタ生成信号の立ち上がりおよび立ち下りのタイミングを前記第1の信号の立ち上がりおよび立ち下りに同期させる同期確立部と、
を備えるジッタ発生回路。
- [10] 請求項9において、
前記第1および第2の信号配線のそれぞれに入力される信号のタイミングを調整するタイミング調整部をさらに備えるジッタ発生回路。
- [11] 請求項9において、
前記同期確立部は、前記第1の信号の立ち上がりあるいは立ち下りタイミングに同期して前記ジッタ生成信号を取り込んで出力するフリップフロップであるジッタ発生回路。
- [12] 請求項8において、
前記ジッタ生成信号は、ランダムに論理レベルが変化するランダムビット列信号であるジッタ発生回路。
- [13] 請求項12において、
前記ジッタ生成信号発生部は、縦続接続された複数のフリップフロップと、前記複

数のフリップフロップの中から特定の複数の出力を抽出してそれらの排他的論理和を特定の前記フリップフロップに入力する論理回路とを備えるジッタ発生回路。

[14] 請求項9において、

前記ジッタ生成信号発生部は、縦続接続された複数のフリップフロップと、前記複数のフリップフロップの中から特定の複数の出力を抽出してそれらの排他的論理和を特定の前記フリップフロップに入力する論理回路とを備え、複数の前記第2の信号配線のそれぞれに入力する前記ジッタ生成信号を、複数の前記フリップフロップの異なる位置から取り出すジッタ発生回路。

[15] 請求項8において、

前記ジッタ生成信号発生部は、リング状に接続された複数のフリップフロップを備え、少なくとも一つの前記フリップフロップの保持内容をプリセットするジッタ発生回路。

[16] 請求項8において、

前記ジッタ生成信号発生部の出力端子と接続された可変容量素子をさらに備えるジッタ発生回路。

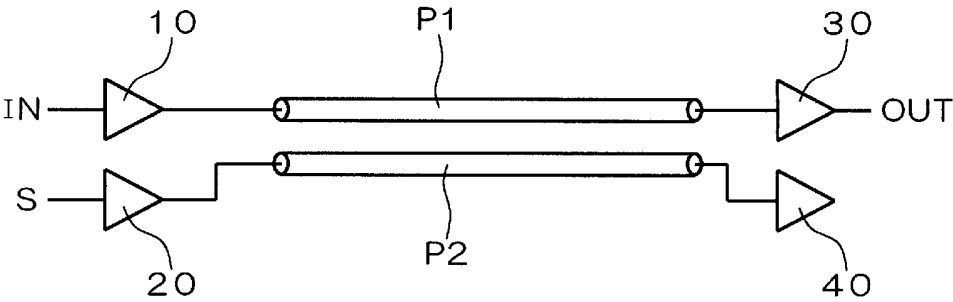
[17] 請求項8において、

前記ジッタ生成信号発生部から前記第2の信号配線に入力される前記ジッタ生成信号の振幅を可変設定する振幅設定部をさらに備えるジッタ発生回路。

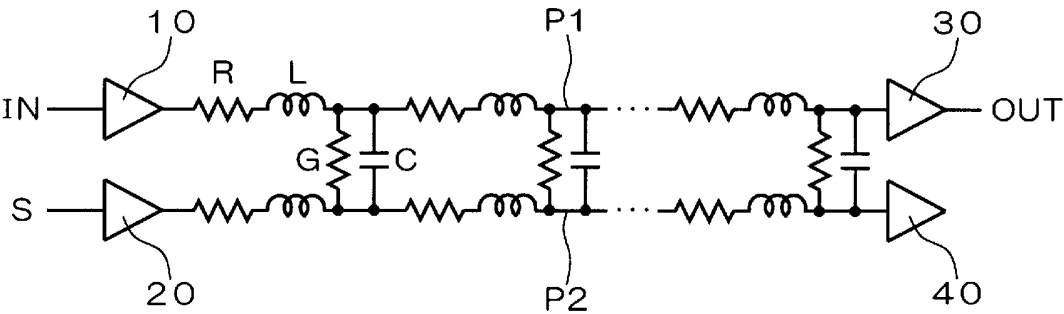
[18] 請求項1において、

前記第1、第2の信号配線、前記入力バッファ、前記出力バッファ、前記ジッタ生成信号出力部を同一の大規模集積回路内に含ませるジッタ発生回路。

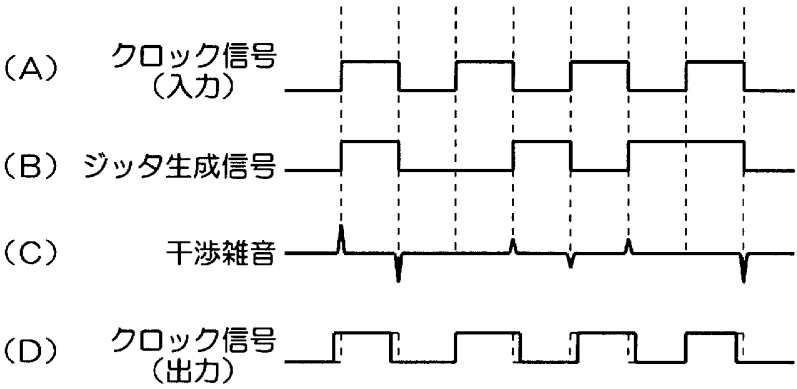
[図1]



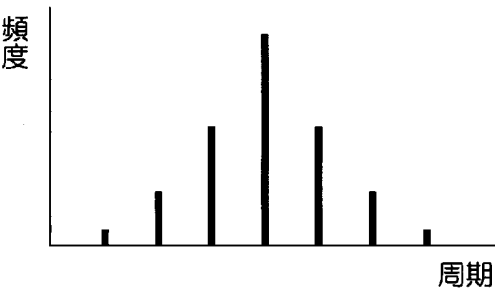
[図2]



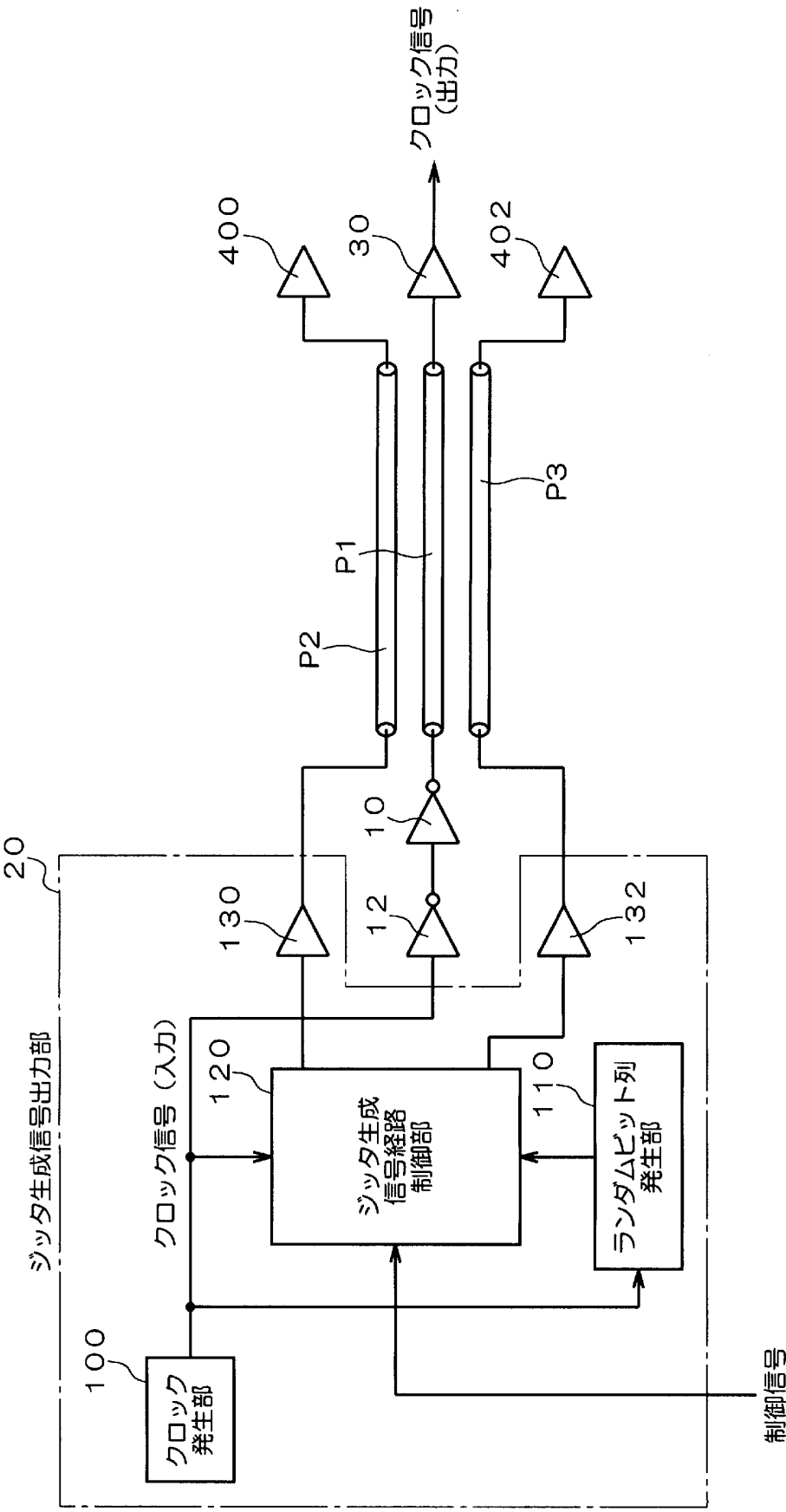
[図3]



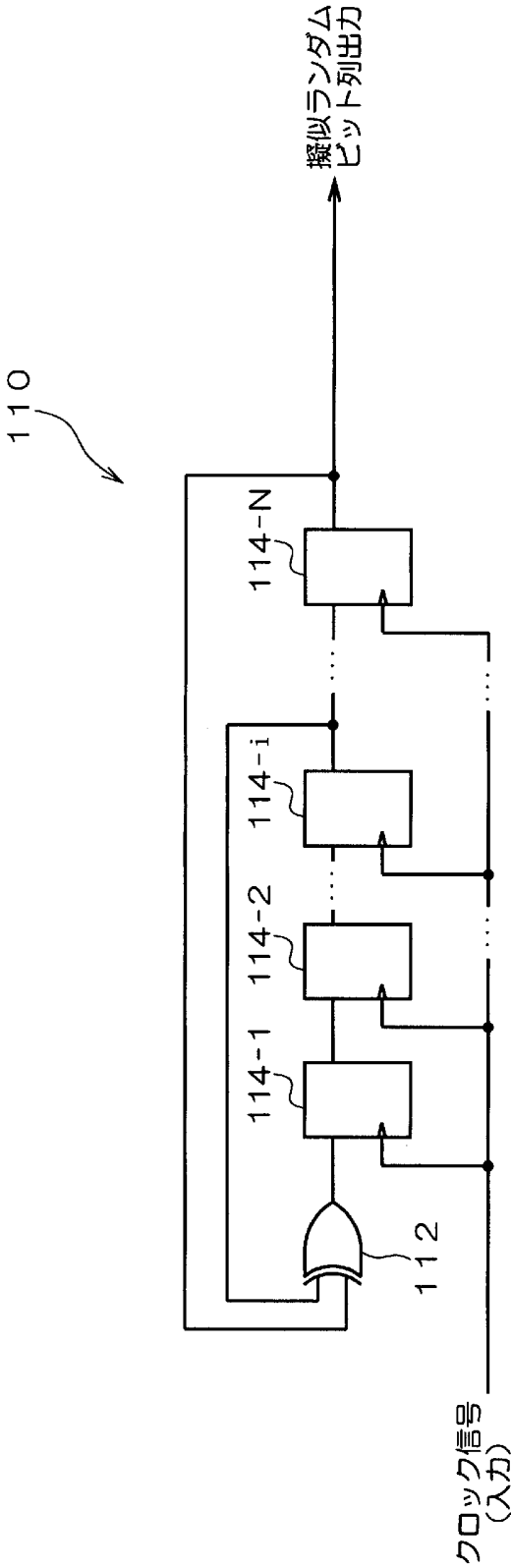
[図4]



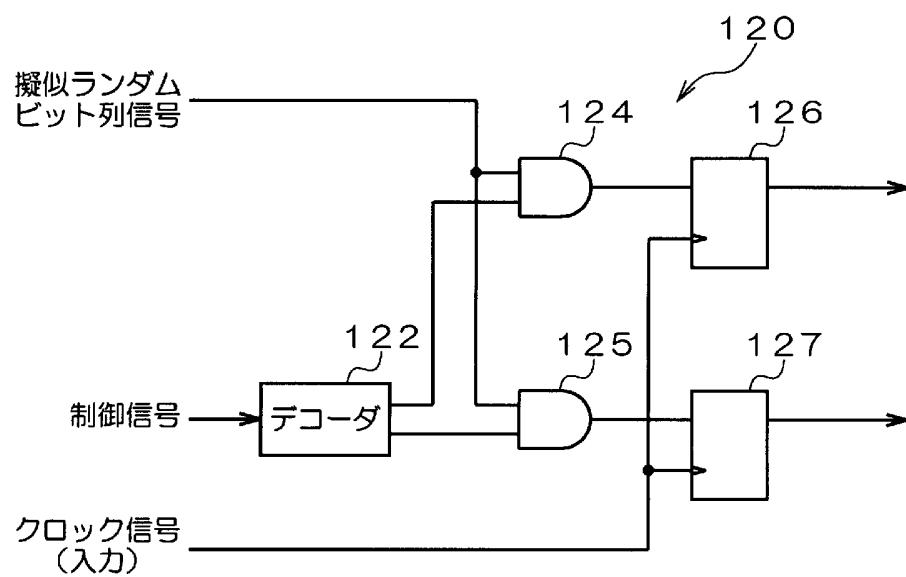
[図5]



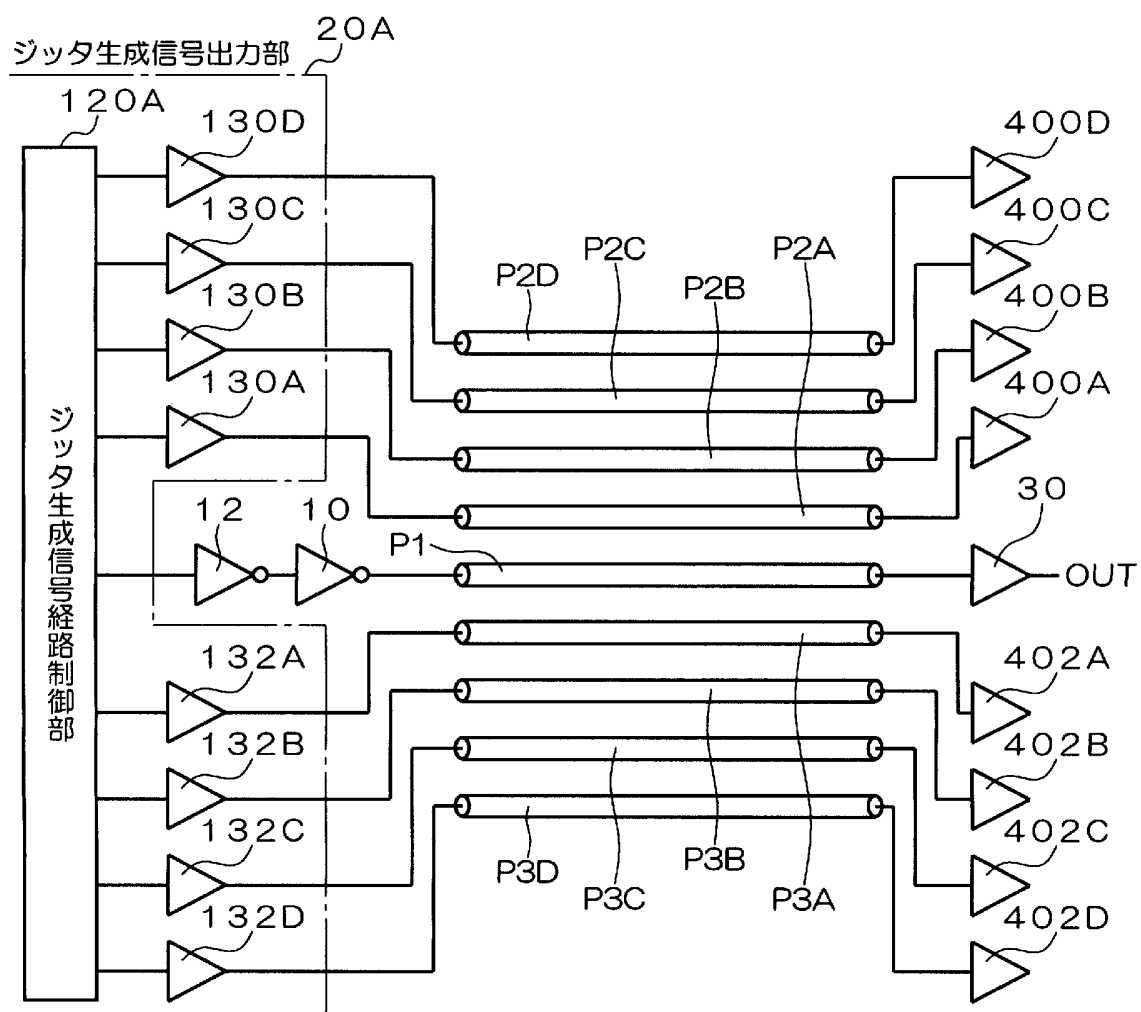
[図6]



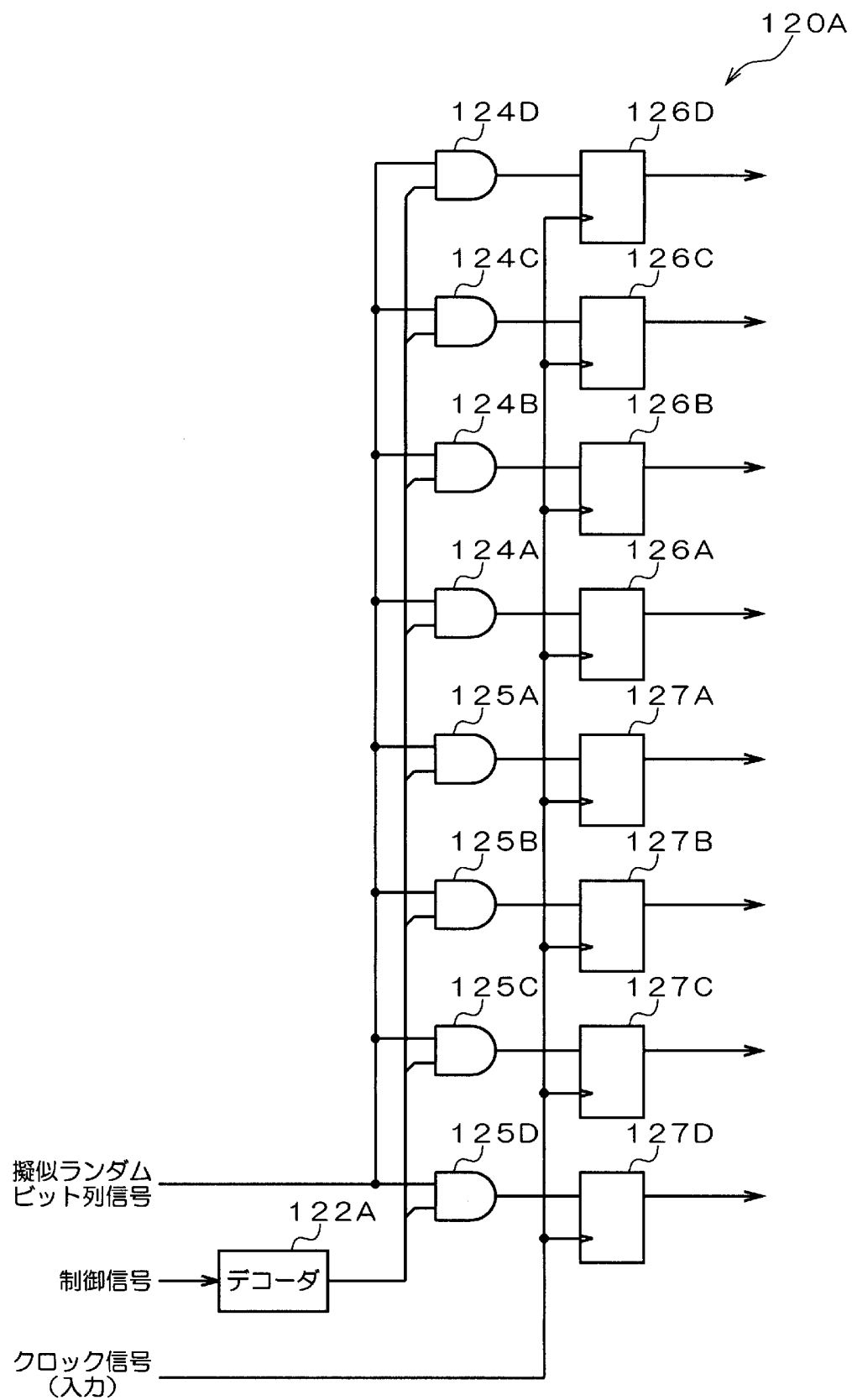
[図7]



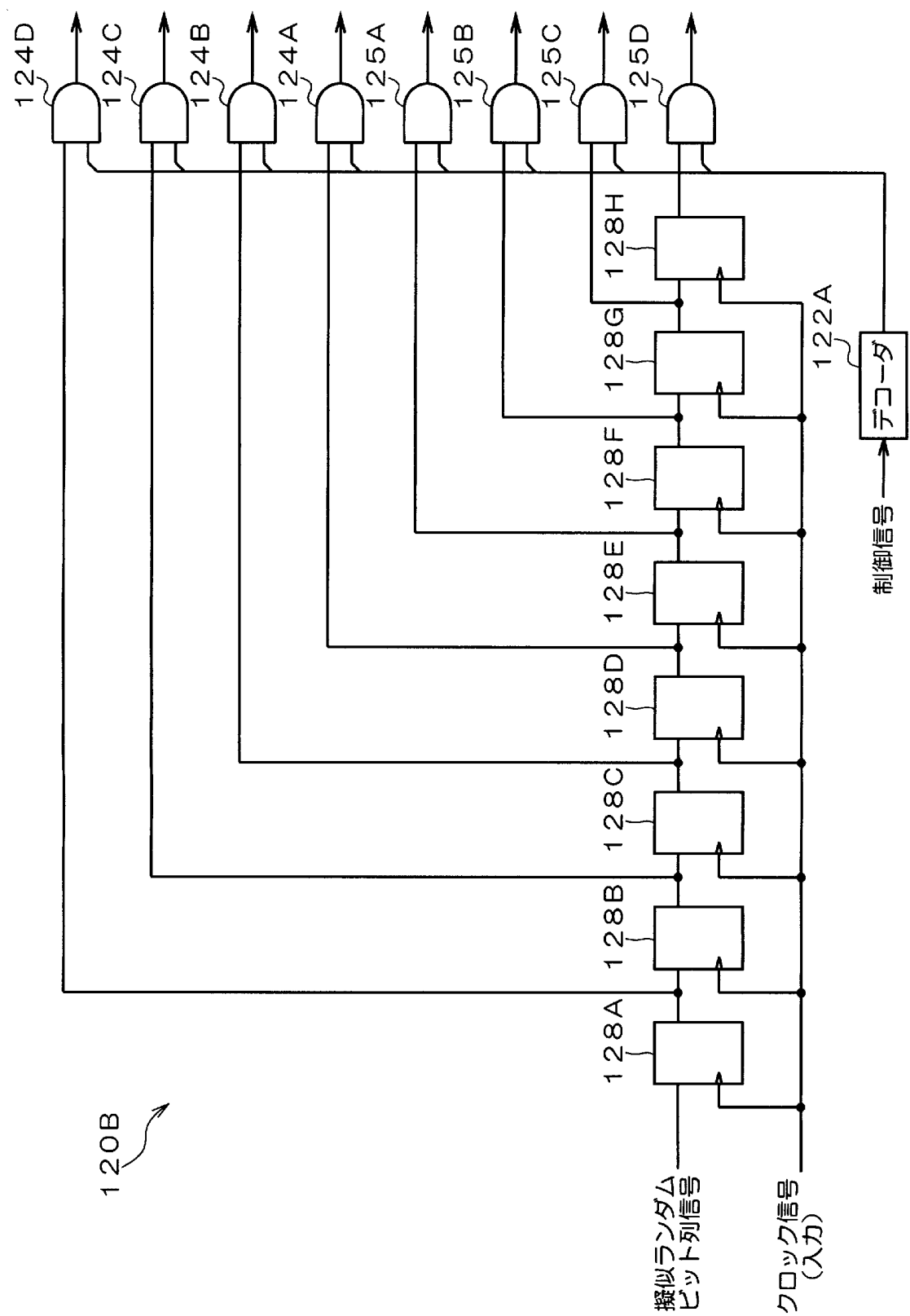
[図8]



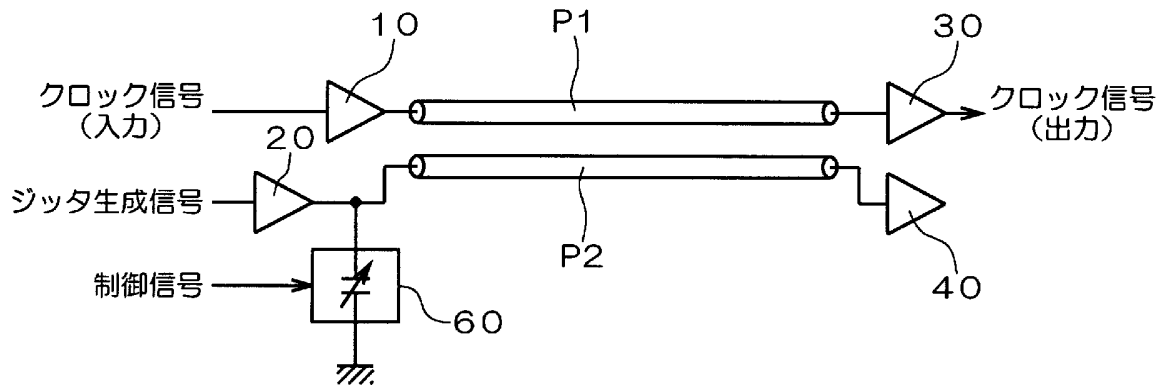
[図9]



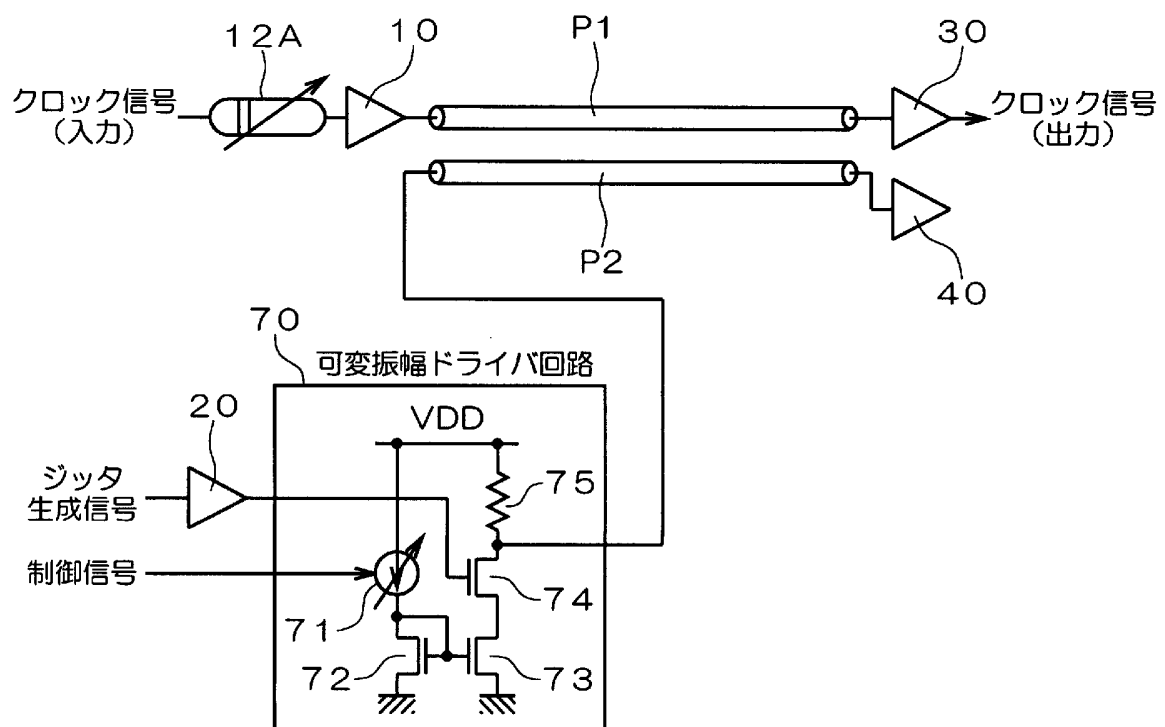
[図10]



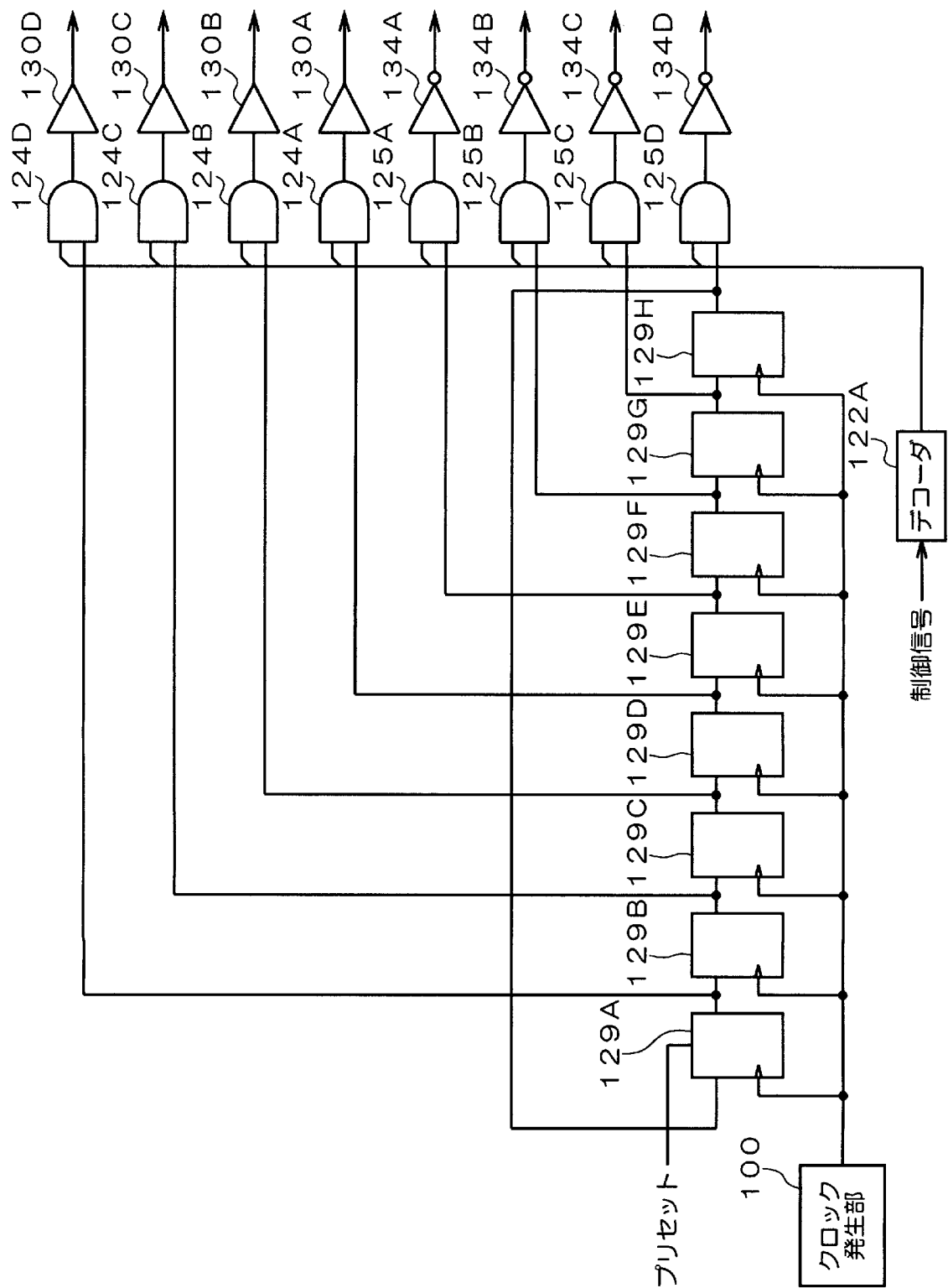
[図11]



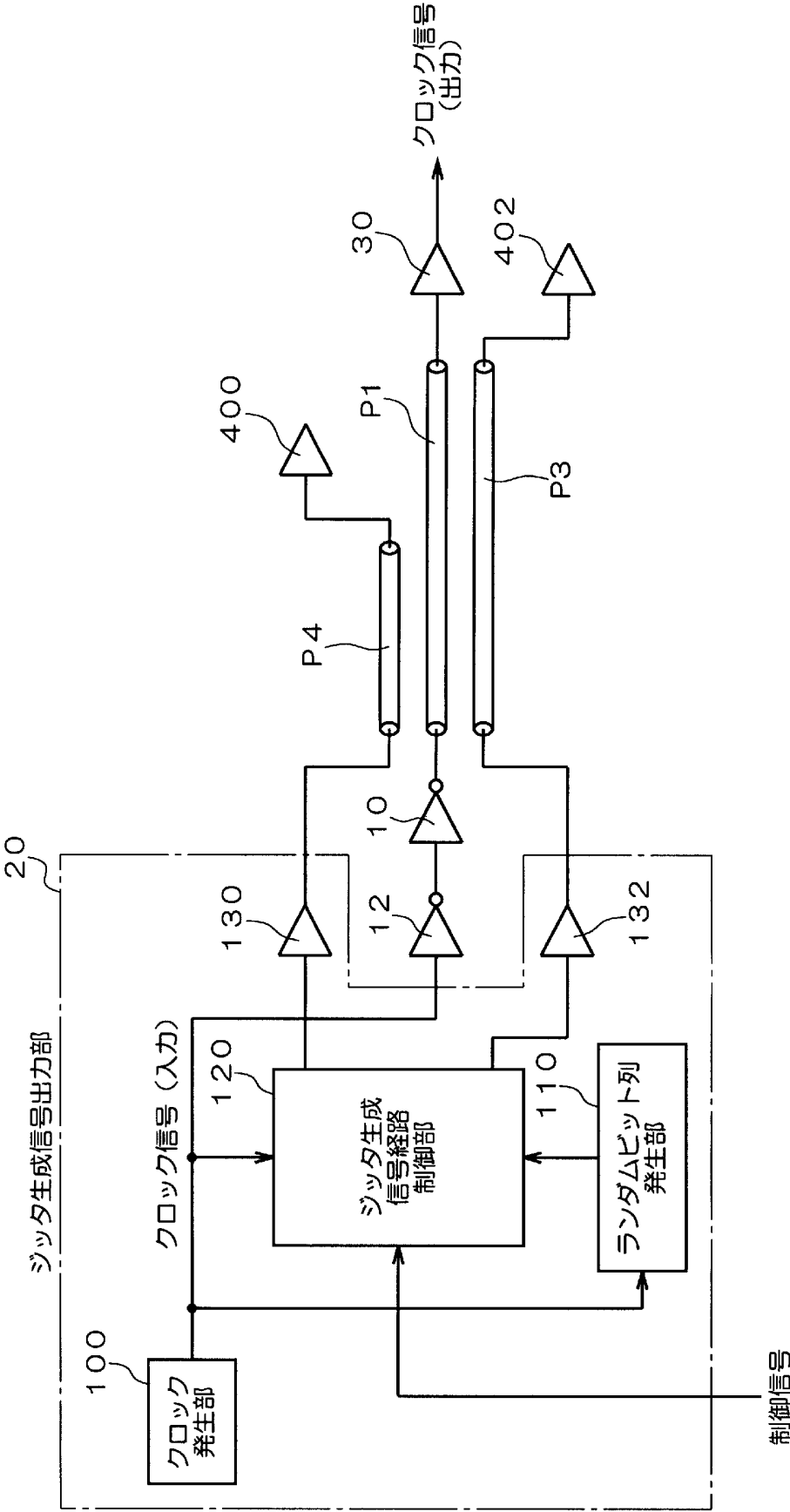
[図12]



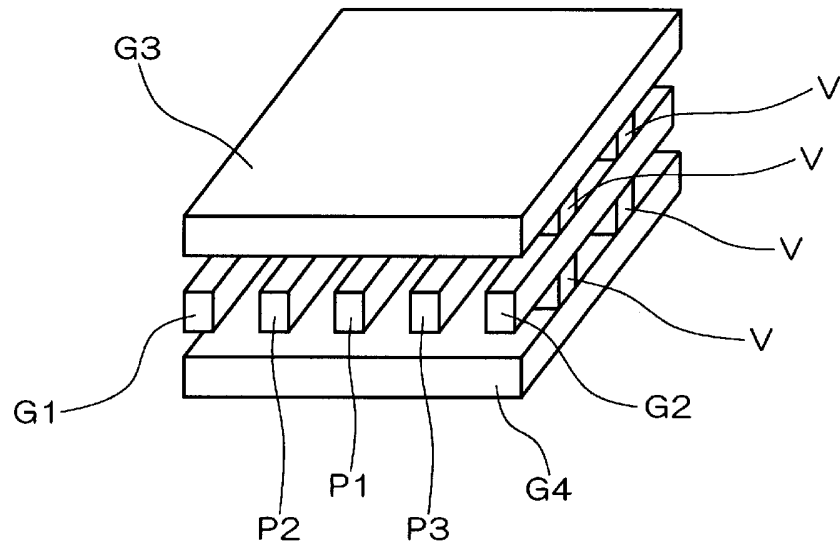
[図14]



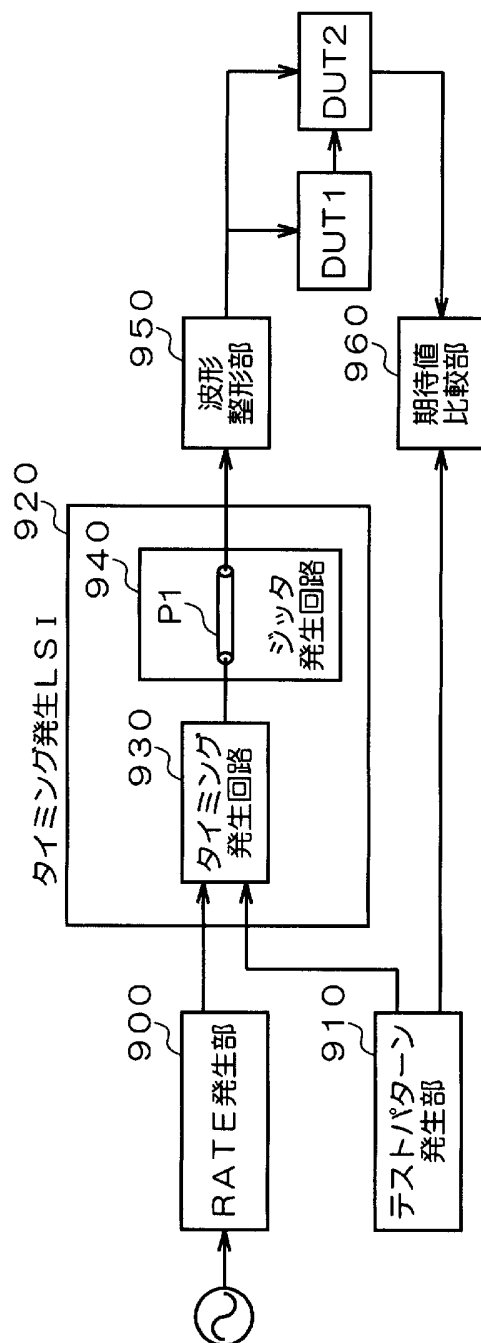
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/007300

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. ⁷ H03K5/156, 5/1532		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl. ⁷ H03K5/156, 5/1532		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005 Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-220163 A (Anritsu Corp.), 30 August, 1996 (30.08.96), Full text; all drawings (Family: none)	1-18
A	JP 2001-13233 A (Kenwood Corp.), 19 January, 2001 (19.01.01), Full text; all drawings (Family: none)	1-18
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 18 May, 2005 (18.05.05)		Date of mailing of the international search report 07 June, 2005 (07.06.05)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H03K5/156, 5/1532

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H03K5/156, 5/1532

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 8-220163 A (アンリツ株式会社) 1996.08.30, 全文、全図 (ファミリー無し)	1-18
A	JP 2001-13233 A (株式会社ケンウッド) 2001.01.19, 全文、全図 (ファミリー無し)	1-18

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

18.05.2005

国際調査報告の発送日

07.6.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

柳下 勝幸

5X

3572

電話番号 03-3581-1101 内線 3596