



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201928131 A

(43)公開日：中華民國 108 (2019) 年 07 月 16 日

(21)申請案號：107136930

(22)申請日：中華民國 107 (2018) 年 10 月 19 日

(51)Int. Cl.：

C30B25/18 (2006.01)

C30B29/38 (2006.01)

H01L21/205 (2006.01)

H01L33/12 (2010.01)

H01L33/32 (2010.01)

(30)優先權：2017/12/19

日本

2017-243117

(71)申請人：日商 S U M C O 股份有限公司 (日本) SUMCO CORPORATION (JP)

日本

(72)發明人：松本光二 MATSUMOTO, KOJI (JP)；小野敏昭 ONO, TOSHIAKI (JP)；天野浩

AMANO, HIROSHI (JP)；本田善央 HONDA, YIOSHIO (JP)

(74)代理人：洪澄文

申請實體審查：有 申請專利範圍項數：56 項 圖式數：14 共 60 頁

(54)名稱

I I I 族氮化物半導體基板的製造方法

MANUFACTURING METHOD OF GROUP III NITRIDE SEMICONDUCTOR SUBSTRATE

(57)摘要

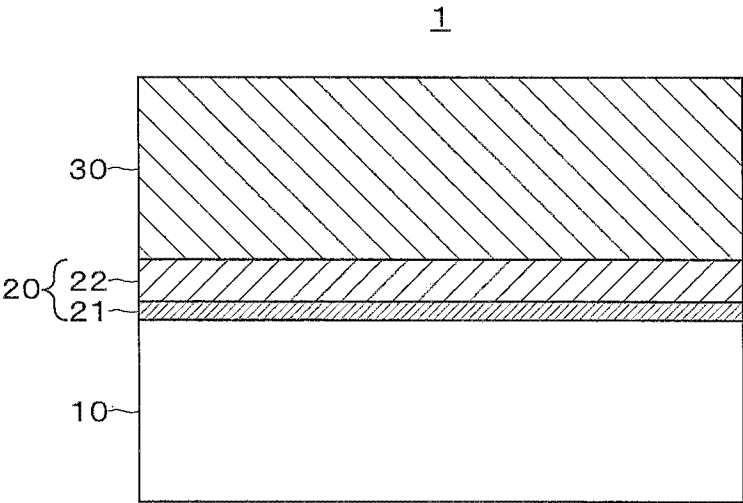
Si 基板上以 AlN 緩衝層介於其間生長 III 族氮化物半導體層之際，抑制 III 族原料往 Si 基板中擴散。

III 族氮化物半導體基板的製造方法，包括在 Si 基板 10 上生長第一 AlN 緩衝層 21 的步驟(S12A)；在第一 AlN 緩衝層 21 上以高於第一 AlN 緩衝層 21 生長溫度的溫度生長第二 AlN 緩衝層 22 的步驟(S12B)；以及在第二 AlN 緩衝層 22 上生長 III 族氮化物半導體層 30 的步驟(S13)。第一 AlN 緩衝層 21 的生長溫度是 400 ~ 600°C。

While growing a group III-nitride semiconductor layer on a Si substrate via an AlN buffer layer, suppress the diffusion of group III material into the Si substrate.

A manufacturing method of a group III-nitride semiconductor substrate, includes the following processes: growing a first AlN buffer layer 21 on a Si substrate 10(S12A); growing a second AlN buffer layer 22 on the first AlN buffer layer 21 by a temperature higher than a growth temperature of the first AlN buffer layer 21(S12B); and growing a group III nitride semiconductor layer 30 on the second AlN buffer layer 22(S13). The growth temperature of the first AlN buffer layer 21 is 400 ~ 600°C.

指定代表圖：



符號簡單說明：

1 . . . III 族氮化物
半導體基板

10 . . . Si 基板

20 . . . AlN 緩衝層

21 . . . 第一 AlN 緩
衝層

22 . . . 第二 AlN 緩
衝層

30 . . . III 族氮化物
半導體層

【第1圖】

【發明說明書】

【中文發明名稱】 III族氮化物半導體基板的製造方法

【英文發明名稱】 MANUFACTURING METHOD OF GROUP III NITRIDE

SEMICONDUCTOR SUBSTRATE

【技術領域】

【0001】 本發明，係關於III族氮化物半導體基板的製造方法，特別有關於在Si基板上以AlN(氮化鋁)緩衝層介於其間生長III族氮化物半導體層的方法。

【先前技術】

【0002】 GaN代表的III族氮化物半導體，因為比其他半導體能隙大、絕緣破壞電場強度大且飽和電子移動度高，最好使用LED(發光二極體)、LD(雷射二極體)等的光學元件或功率半導體元件的材料。

【0003】 現在的製造技術，因為以低成本製造III族氮化物半導體的塊狀單結晶是因難的，一般是在藍寶石(sapphire)、碳化矽(SiC)、矽(Si)等的單結晶基板上異質磊晶生長III族氮化物半導體的方法。最近，特別使用可低成本製造大口徑且高品質的塊狀單結晶之Si基板，進行量產III族氮化物半導體的嘗試。

【0004】 異質基板上，磊晶生長III族氮化物半導體時，通常，由於基板材料與III族氮化物半導體材料之間晶格失配，III族氮化物半導體層中產生很多錯位。例如，在藍寶石基板上成膜的GaN層表面的錯位密度是 $5 \times 10^8/\text{cm}^2$ (平方公分)左右，在Si基板上成膜的GaN層表面的錯位密度是 $1 \times 10^9 \sim 1 \times 10^{10}/\text{cm}^2$ 。如此的III族氮化物半導體層中的錯位，如果是LED的話，發光效率下降，如果是功率半

導體元件的話，成為漏電流的原因。

【0005】 為了降低III族氮化物半導體層的錯位密度，在基板上以緩衝層介於其間，進行形成III族氮化物半導體層。例如專利文件1中記載，接續熱淨化(thermal cleaning)以及氮化處理，以950℃的低溫生長AlN緩衝層，其次以1230℃的高溫再生長AlN緩衝層後，生長III族氮化物半導體層。

【0006】 又，專利文件2中記載，接續以1050℃烘烤基板表面，以600～900℃的低溫生長AlN緩衝層，其次以超過900℃的高溫再生長AlN緩衝層後，生長III族氮化物半導體層。專利文件3中更記載，為了改善Si基板上生長的氮化物半導體膜的結晶性，使用具有立方晶的矽單結晶從{111}面往任意方向以0.1度以上1.6度以下的範圍內的偏角(off angle)傾斜的主面之矽基板。

[先行技術文件]

[專利文件]

【0007】

[專利文件1]專利第2005-072409號公開公報

[專利文件2]專利第2013-69983號公開公報

[專利文件3]專利第2003-86837號公開公報

【發明內容】

[發明所欲解決的課題]

【0008】 為了形成良好的AlN緩衝層的結晶性，最好在900℃以上的高溫下生長AlN，但在那樣的高溫下生長AlN時，Al原料、爐內殘留的Ga、In等的III族原料往Si基板中擴散，具有表面電阻率下降的問題。Si基板的表面電阻率下

降，成為漏電路徑、寄生電容增加的原因。

【0009】 專利文件1中記載的方法，最初以900℃以上的生長AlN，III族元素往Si基板中擴散，Si基板的表面電阻率下降。又，專利文件1中以使用藍寶石(Sapphire)基板或SiC基板為前提，形成AlN緩衝層前以高溫供給NH₃氣體進行基板的氮化處理，但在Si基板也進行同樣的氮化處理時，Si基板的表面竟與氮反應，Si基板的表面變粗糙等不能生長結晶性良好的AlN。又，專利文件2中記載的方法，最初以600～900℃的溫度生長AlN緩衝層，但抑制III族元素往Si基板中擴散的效果弱，要求更大的改善。

【0010】 本發明有鑑於上述狀況而形成，本發明的目的在於提供III族氮化物半導體基板的製造方法，在Si基板上以AlN緩衝層介於其間生長III族氮化物半導體層之際，可抑制由於III族元素往Si基板中擴散引起的Si基板表面的電阻率下降。

[用以解決課題的手段]

【0011】 為了解決上述課題，本發明的第1側面的III族氮化物半導體基板的製造方法，包括在Si基板上生長第一AlN緩衝層的步驟；在上述第一AlN緩衝層上以高於上述第一AlN緩衝層生長溫度的溫度生長第二AlN緩衝層的步驟；以及在第二AlN緩衝層上生長III族氮化物半導體層的步驟；其特徵在於上述第一AlN緩衝層的生長溫度是400～600℃。

【0012】 在Si基板上以AlN緩衝層介於其間生長III族氮化物半導體層之際，為了形成良好的結晶性，從其生長初期開始以高溫生長AlN緩衝層時，爐內殘留的Ga、In等的III族元素與Si基板反應，往Si基板中擴散，Si基板的表面電阻率下降。但是，本發明的製造方法，因為最初以400～600℃的低溫生長AlN緩衝

層，接著生長III族氮化物半導體層，可以抑制III族元素與Si基板反應，可以防止Si基板表面的電阻率下降。

【0013】 本發明中，上述第二AlN緩衝層的生長溫度最好是900～1200℃。藉此，可以邊抑制III族原料往Si基板中擴散，邊形成AlN緩衝層的良好結晶性。

【0014】 本發明中，上述第一AlN緩衝層的厚度最好是0.4～100nm(毫微米)，上述第一及第二AlN緩衝層的合計厚度最好是30～200nm。藉此，不易發生破裂且形成結晶性良好的AlN緩衝層。

【0015】 本發明中，生長上述III族氮化物半導體層的步驟，包含在上述第二AlN緩衝層上生長第一III族氮化物半導體層的步驟；以及在上述第一III族氮化物半導體層上以高於上述第一III族氮化物半導體層的生長溫度生長第二III族氮化物半導體層的步驟；上述上述第一III族氮化物半導體層的生長溫度是400～800℃，上述第一AlN緩衝層的生長溫度最好比上述第一III族氮化物半導體層的生長溫度低。

【0016】 AlN緩衝層上生長III族氮化物半導體層之際，因為III族氮化物半導體層的厚度直到成為例如200nm的生長初期以低溫生長III族氮化物，可以防止III族元素通過AlN緩衝層往Si基板中擴散。又，因為厚度在200nm以上以高溫生長，可以提高III族氮化物半導體層的結晶性。

【0017】 本發明中，上述Si基板的電阻率在100Ωcm以上，上述Si基板，包含從C(碳)、Ge(鍺)、Sn(錫)、O、H以及V族元素選出的1個不純物元素，至少離上述Si基板表面深度0.5～10μm的表層部內包含的上述不純物元素的濃度最好是 $1 \times 10^{12} \sim 1 \times 10^{20} / \text{cm}^3$ 。藉此，AlN緩衝層形成時，可以抑制由於III族元素往Si

基板中擴散引起的載子增加。

【0018】 根據本發明的III族氮化物半導體基板的製造方法，更包括熱處理的步驟，在生長上述III族氮化物半導體層前，依序生長上述第一及第二AlN緩衝層的上述Si基板以900～1450℃熱處理。根據此步驟，AlN緩衝層形成時，往Si基板中擴散的III族元素，從表面更往基板內部擴散，可以提高與AlN緩衝層間的界面近旁的Si基板的電阻率。

【0019】 本發明中，上述Si基板，最好具有矽單結晶從(111)面往<112>方向在0.1～1.5°的範圍內傾斜的主面。藉此，可以改善III族氮化物半導體層的上面的表面粗糙度。

【0020】 又，本發明的第二側面的III族氮化物半導體基板的製造方法，包括在Si基板上以第一生長溫度生長第一AlN緩衝層的步驟；在上述第一AlN緩衝層上以高於上述第一生長溫度的第二生長溫度生長第二AlN緩衝層的步驟；以及在上述第二AlN緩衝層上生長III族氮化物半導體層的步驟；其特徵在於生長上述第一AlN緩衝層的步驟中，交互重複供給Al原料以及N原料。

【0021】 根據本發明，以低溫生長第一AlN緩衝層，可以抑制Ga(鎵)等的III族元素擴散至Si基板中，可以防止Si基板表面的電阻率下降。又，藉由不同時交互供給Al原料以及N原料，可以改善低溫生長的AlN的結晶性惡化。

【0022】 本發明中，上述第一生長溫度最好是400～800℃，尤其400～600℃更好。又，上述第二生長溫度最好是900～1200℃。藉此，可以抑制III族元素往Si基板中擴散。

【0023】 本發明中，生長上述第一AlN緩衝層的步驟中，最好比上述N原料先導入上述Al原料。藉此，可以防止Si基板表面氮化，可以生長結晶性良好的

第一AlN緩衝層。

【0024】 本發明中，上述第一AlN緩衝層的厚度最好是0.4~100nm，上述第一及二AlN緩衝層的合計厚度最好是30~200nm。藉此，不易發生破裂且形成結晶性良好的AlN緩衝層。

【0025】 本發明中，生長上述第一AlN緩衝層的步驟中，供給上述Al原料以及上述N原料時間最好分別0.5~10秒。藉此，生產性不會惡化，可以形成高品質的AlN緩衝層。

【0026】 生長上述第二AlN緩衝層的步驟中，交互重複供給上述Al原料以及上述N原料更好。藉由非同時交互供給Al原料以及N原料，可以形成更良好的第二AlN緩衝層的結晶性。

【0027】 本發明的III族氮化物半導體基板的製造方法，更包括熱處理步驟，生長上述III族氮化物半導體層前，以900~1450℃熱處理依序生長上述第一以及第二AlN緩衝層的上述Si基板。根據此步驟，AlN緩衝層形成時，往Si基板中擴散的III族元素從表面更往基板內部擴散，可以提高與AlN緩衝層間的界面近旁的Si基板的電阻率。

【0028】 本發明中，上述Si基板，最好具有矽單結晶從(111)面往<112>方向在0.1~1.5°的範圍內傾斜的主面。藉此，可以改善III族氮化物半導體層的上表面的表面粗糙度。

【0029】 本發明中，生長上述III族氮化物半導體層的步驟，最好包含在上述第二AlN緩衝層上以第三生長溫度生長第一III族氮化物半導體層的步驟；以及
在上述第一III族氮化物半導體層上以高於上述第三生長溫度的第四生長溫度生長第二III族氮化物半導體層的步驟。在此情況下，最好上述第三生長溫度是400

~800°C，上述第四生長溫度是900~1200°C。又，上述第一III族氮化物半導體層的厚度最好是10~200nm。以此方式，以低溫生長第一III族氮化物半導體層，可以抑制Ga等的III族元素通過AlN緩衝層再擴散至Si基板中，可以防止Si基板表面的電阻率下降。

【0030】 本發明中，生長上述第一III族氮化物半導體層的步驟中，最好交互重複供給III族原料以及N原料。

【0031】 本發明中，最好上述第一III族氮化物半導體層以AlGaN構成，上述第二III族氮化物半導體層以GaN構成。

【0032】 本發明中，上述Si基板的電阻率在100Ωcm以上，上述Si基板，包含從C(碳)、Ge(鍺)、Sn(錫)、O、H以及V族元素選出的1個不純物元素，至少離上述Si基板表面深度0.5~10 μm的表層部內包含的上述不純物元素的濃度最好是 $1 \times 10^{12} \sim 1 \times 10^{20}/\text{cm}^3$ 。藉此，AlN緩衝層形成時，可以抑制由於III族元素往Si基板中擴散引起的載子增加。

【0033】 本發明中，包含上述表層部的上述Si基板全體內包含的上述不純物元素的濃度是 $1 \times 10^{12} \sim 1 \times 10^{20}/\text{cm}^3$ 也可以。或者，比上述表層部深的區域內包含的上述不純物元素濃度比上述表層部低也可以。

【0034】 上述不純物元素是C時，上述表層部內包含的上述不純物元素濃度最好是 $1 \times 10^{14} \sim 1 \times 10^{17}/\text{cm}^3$ 。又，上述不純物元素是Ge(鍺)或Sn(錫)時，上述表層部內包含的上述不純物元素濃度最好是 $1 \times 10^{14} \sim 1 \times 10^{20}/\text{cm}^3$ 。

【0035】 上述不純物元素是O時，上述表層部中的上述不純物元素濃度最好是 $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ 。又，上述不純物元素是H時，上述表層部內包含的上述不純物元素濃度最好是 $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ 。

【0036】 上述不純物元素，包含從N、P(磷)、As(砷)以及Sb(銻)選出的至少1個V族元素時，最好上述表層部內包含的上述不純物元素的濃度是 $1 \times 10^{12} \sim 1 \times 10^{19}/\text{cm}^3$ ，而比上述表層部深的區域內包含的上述不純物元素濃度是 $1 \times 10^{14}/\text{cm}^3$ 以下。此時，上述Si基板中的上述不純物元素最好具有從上述表面往基板內減少的濃度傾斜。

【0037】 本發明中，生長上述第一AlN緩衝層的步驟中，最好隨著上述Al原料或上述N原料供給包含N以外的V族元素(P、As、Sb)之原料。藉此，不在Si基板側而在AlN緩衝層側，可以包含著用以抑制隨著III族元素往Si基板中擴散之Si基板中的載子增加之不純物元素。

【0038】 本發明的第3側面的III族氮化物半導體基板的製造方法，其特徵在於包括：在Si基板上以 $900 \sim 1200^\circ\text{C}$ 的生長溫度生長AlN緩衝層的步驟；以及在上述AlN緩衝層上生長III族氮化物半導體層的步驟；上述Si基板的電阻率在 $100 \Omega \text{cm}$ 以上，上述Si基板，包含從C(碳)、Ge(鍺)、Sn(錫)、O以及H選出的1個不純物元素，至少離上述表面深度 $0.5 \sim 10 \mu\text{m}$ 的表層部內包含的上述不純物元素的濃度是 $1 \times 10^{14} \sim 1 \times 10^{20}/\text{cm}^3$ 。根據本發明，AlN緩衝層形成時，可以抑制由於III族元素往Si基板中擴散引起的載子增加。

【0039】 本發明中，包含上述表層部的上述Si基板全體內包含的上述不純物元素的濃度是 $1 \times 10^{12} \sim 1 \times 10^{20}/\text{cm}^3$ 也可以。或者，比上述表層部深的區域內包含的上述不純物元素濃度比上述表層部低也可以。

【0040】 上述不純物元素是C時，上述表層部內包含的上述不純物元素濃度最好是 $1 \times 10^{14} \sim 1 \times 10^{17}/\text{cm}^3$ 。又，上述不純物元素是Ge(鍺)或Sn(錫)時，上述表層部內包含的上述不純物元素濃度最好是 $1 \times 10^{14} \sim 1 \times 10^{20}/\text{cm}^3$ 。

【0041】 上述不純物元素是O時，上述表層部中的上述不純物元素濃度最好是 $1 \times 10^{15} \sim 5 \times 10^{18} / \text{cm}^3$ 。又，上述不純物元素是H時，上述表層部內包含的上述不純物元素濃度最好是 $1 \times 10^{15} \sim 5 \times 10^{18} / \text{cm}^3$ 。

【0042】 上述不純物元素，包含從N、P(磷)、As(砷)以及Sb(銻)選出的至少1個V族元素時，最好上述表層部內包含的上述不純物元素的濃度是 $1 \times 10^{12} \sim 1 \times 10^{19} / \text{cm}^3$ ，而比上述表層部深的區域內包含的上述不純物元素濃度是 $1 \times 10^{14} \text{cm}^3$ 以下。此時，上述Si基板中的上述不純物元素最好具有從上述表面往基板內減少的濃度傾斜。

【0043】 本發明的III族氮化物半導體基板的製造方法，更包括熱處理步驟，生長上述III族氮化物半導體層前，以 $900 \sim 1450^\circ\text{C}$ 熱處理生長上述AlN緩衝層的上述Si基板。根據此步驟，AlN緩衝層形成時，往Si基板中擴散的III族元素從表面更往基板內部擴散，可以提高與AlN緩衝層間的界面近旁的Si基板的電阻率。

【0044】 本發明中，上述Si基板，最好具有矽單結晶從(111)面往 $\langle 112 \rangle$ 方向在 $0.1 \sim 1.5^\circ$ 的範圍內傾斜的主面。藉此，可以改善III族氮化物半導體層的上面的表面粗糙度。

【0045】 本發明的第4側面的III族氮化物半導體基板的製造方法，其特徵在於包括：在Si基板上生長AlN緩衝層的步驟；以 $900 \sim 1450^\circ\text{C}$ 熱處理生長上述AlN緩衝層的上述Si基板的步驟；以及上述熱處理後的上述AlN緩衝層上生長III族氮化物半導體層的步驟。根據本發明，AlN緩衝層形成時，往Si基板中擴散的III族元素，從表面更往基板內部擴散，可以提高與AlN緩衝層間的界面近旁的Si基板的電阻率。

【0046】 本發明的第5側面的III族氮化物半導體基板的製造方法，其特徵在於包括：在Si基板上生長AlN緩衝層的步驟；以及在上述AlN緩衝層上生長III族氮化物半導體層的步驟；上述Si基板，具有矽單結晶從(111)面往<112>方向在 $0.1\sim 1.5^\circ$ 的範圍內傾斜的主面。藉此，可以改善III族氮化物半導體層的上面的表面粗糙度。

[發明效果]

【0047】 根據本發明，可以提供III族氮化物半導體基板的製造方法，Si基板上以AlN緩衝層介於其間生長III族氮化物半導體層之際，可抑制III族原素往Si基板中擴散引起的Si基板表面的電阻率下降。

【圖式簡單說明】

【0048】

[第1圖]係顯示本發明第一實施形態的III族氮化物半導體基板構造的概略剖面圖；

[第2圖]係用以說明本發明第一實施形態的III族氮化物半導體基板的製造方法流程圖；

[第3圖]係用以說明本發明第二實施形態的III族氮化物半導體基板的製造方法流程圖；

[第4圖]係用以說明本發明第三實施形態的III族氮化物半導體基板的製造方法流程圖；

[第5圖]係顯示本發明第二實施形態的III族氮化物半導體基板構造的概略剖面圖；

[第6圖]係用以說明本發明第四實施形態的III族氮化物半導體基板的製造方法流程圖；

[第7圖]係用以說明本發明第五實施形態的III族氮化物半導體基板的製造方法流程圖；

[第8圖]係用以說明本發明第六實施形態的III族氮化物半導體基板的製造方法流程圖；

[第9圖]係顯示本發明第三實施形態的III族氮化物半導體基板構造的概略剖面圖；

[第10圖]係用以說明本發明第七實施形態的III族氮化物半導體基板的製造方法流程圖；

[第11圖]係用以說明本發明第八實施形態的III族氮化物半導體基板的製造方法流程圖；

[第12圖]係顯示本發明第九實施形態的III族氮化物半導體基板的製造方法使用的Si基板的構造圖，上側是Si基板的平面圖，下側是Si基板的側面圖；

[第13圖]係實施例1～20以及比較例1～3的III族氮化物半導體基板的GaN層的結晶性、Si基板的表面不純物濃度、載子濃度的評估結果之歸納表；以及

[第14圖]係實施例21、22以及比較例4～7的III族氮化物半導體基板的表面粗糙度的評估結果之歸納表。

【實施方式】

【0049】 以下，邊參照附加圖面，邊詳細說明關於本發明較佳的實施形態。

【0050】 第1圖係顯示本發明第一實施形態的III族氮化物半導體基板構造

的概略剖面圖。

【0051】 如第1圖所示，此III族氮化物半導體基板1，具有在Si基板10上依序積層AlN緩衝層20以及III族氮化物半導體層30的構造。Si基板10的電阻率最好在 $1000\ \Omega\text{cm}$ 以上。又，Si基板10的面方位最好是(111)面，但其他的面方位也可以。

【0052】 AlN緩衝層20，係用以緩和Si基板10與III族氮化物半導體層30之間的晶格間失配的層，具有第一AlN緩衝層21以及第二AlN緩衝層22依序積層的二層結構。第一AlN緩衝層21是以 $400\sim 800^{\circ}\text{C}$ ，最好以 $400\sim 600^{\circ}\text{C}$ 低溫生長的層，而第二AlN緩衝層21是以 $900\sim 1200^{\circ}\text{C}$ 高溫生長的層。

【0053】 第一AlN緩衝層21的厚度最好是 $0.4\sim 100\text{nm}$ (毫微米)，尤其最好是 $0.4\sim 50\text{nm}$ 。因為，第一AlN緩衝層21的厚度比 0.4nm 薄時，不能抑制III族元素往Si基板10擴散，比 100nm 厚時，AlN的結晶性惡化，其上形成的III族氮化物半導體層30的結晶性也變差。

【0054】 AlN緩衝層20的厚度，即第一AlN緩衝層21以及第二AlN緩衝層22的合計厚度最好是 $30\sim 200\text{nm}$ 。因為，AlN緩衝層20的厚度比 30nm 薄時，得不到結晶性良好的AlN緩衝層20，比 200nm 厚時，AlN緩衝層20中變得容易發生破裂。

【0055】 III族氮化物半導體層30，係III族元素的Al、In(銦)、Ga(鎵)中至少一個與N(氮)的混晶構成的層，代表性的氮化物半導體是GaN。III族氮化物半導體層30的厚度不特別限定，例如可以是 $1\ \mu\text{m}$ (微米)。

【0056】 第2圖係用以說明III族氮化物半導體基板1的製造方法流程圖。

【0057】 如第2圖所示，III族氮化物半導體基板1的製造中，首先準備Si

基板10(步驟S11)。具體而言，以HF以及SC-1洗淨Si基板10後，放置在MOCVD(金屬有機化學氣相沉積)爐內。III族氮化物半導體的成膜方法，最好採用MOCVD(金屬有機化學氣相沉積)，但採用HVPE(氮化物氣相磊晶法)、MBE(分子束磊晶法)等其他生長方法也可以，在這些成膜方法中，可以同樣抑制往Si基板中的不純物擴散。

【0058】 其次，Si基板10上形成第一AlN緩衝層21(步驟S12A)。第一AlN緩衝層21的形成，在400～600℃的爐內隨著H₂載子氣體導入TMA(三甲基鋁)與NH₃，在Si基板10的表面生長AlN。第一AlN緩衝層21的生長溫度最好是400～600℃。因為，生長溫度比400℃低時，AlN的結晶性惡化，影響之後的III族氮化物半導體材料的結晶性，比600℃高時，抑制III族元素往Si基板10擴散的效果小。第一AlN緩衝層21的生長溫度在600℃以下的話，可以充分提高抑制III族元素往Si基板10擴散的效果。

【0059】 第一AlN緩衝層21的形成，最好比NH₃先導入TMA。因為，先導入NH₃時，Si基板10的表面與NH₃反應並氮化，不能生長結晶性良好的AlN。尤其，Si基板10的面內溫度分布不均時，Si基板10的表面變粗糙，可以迴避之後的AlN、InAlGa_{0.5}N的結晶性惡化的狀況。

【0060】 比NH₃先導入TMA時，為了TMA分解的Al原子在Si基板10全面遍及1～10原子層，最好比NH₃先供給TMA 3～30秒。Al原子層比1原子層薄時，Si基板與NH₃反應並氮化，招致結晶性惡化。另一方面，Al原子層比10原子層厚時，Si表面產生Al液滴，加速與Si的合金化。結果，合金化的基板上發生AlN的結晶性惡化。

【0061】 生長第一AlN緩衝層21前，由於除去Si基板10的表面氧化膜的目

的，烘烤Si基板10也可以。此時的烘烤溫度，最好在第一AlN緩衝層21的生長溫度以上。但是，因為前批導入的Ga等的III族原料殘留在爐內時有將此取入Si基板10的危險，此時不實施烘烤比較好。

【0062】 其次，第一AlN緩衝層21上形成第二AlN緩衝層22(步驟S12B)。第二AlN緩衝層22的形成，首先爐內溫度升至900~1200℃。升溫之際中斷原料的供給也沒關係，但要是考慮生產性最好邊供給原料邊升溫。第二AlN緩衝層22的生長溫度最好是900~1200℃。因為，生長溫度比900℃低時，不能得到結晶性良好的AlN，還有通常的裝置不能對應比1200℃高的溫度中的結晶生長。

【0063】 其次，第二AlN緩衝層22上形成III族氮化物半導體層30(步驟S13)。III族氮化物半導體層30的形成，首先停止TMA的供給，取而代之隨著NH₃供給III族原料，生長III族氮化物半導體層30。III族氮化物半導體層30的生長溫度最好是900~1200℃。因為，生長溫度比900℃低時，不能得到結晶性良好的III族氮化物半導體層。根據上述，Si基板10上完成依序形成第一AlN緩衝層21、第二AlN緩衝層22、III族氮化物半導體層30的III族氮化物半導體基板1。

【0064】 Si基板10上以AlN緩衝層20介於其間生長III族氮化物半導體層30的步驟中，為了形成良好的結晶性，使AlN緩衝層20從生長初期開始以900℃以上的高溫生長時，Si基板10與Al原料或爐內殘留的Ga、In等反應，III族元素往Si基板10中擴散，Si基板10的表面的電阻率下降。但是，最初以400~600℃的低溫稀薄地生長第一AlN緩衝層21後，以900~1200℃的高溫生長第二AlN緩衝層22時，可以抑制Si基板與III族原料之間的反應。

【0065】 如以上的說明，本實施形態的III族氮化物半導體基板1的製造方法，因為以400~600℃的低溫與900~1200℃的高溫的2階段生長AlN緩衝層20，

維持AlN緩衝層20的結晶品質的同時，可以降低III族元素往Si基板10中的擴散，可以防止Si基板10表面的電阻率下降。

【0066】 第3圖係用以說明本發明第二實施形態的III族氮化物半導體基板的製造方法流程圖。

【0067】 如第3圖所示，此III族氮化物半導體基板1的製造方法的特徵點，在於第一AlN緩衝層21的形成(步驟S12A)中不同時交互重複供給Al原料的TMA與N原料的NH₃。即，本實施形態的製造方法，具有準備Si基板10的步驟(步驟S11)；藉由交互重複供給Al原料與N原料在Si基板10上形成第一AlN緩衝層21的步驟(步驟S12A)；在第一AlN緩衝層21上形成第二AlN緩衝層22的步驟(步驟S12B)；以及在第二AlN緩衝層22上形成III族氮化物半導體層30的步驟(步驟S13)。其他的條件與第一實施形態相同。

【0068】 TMA與NH₃的交互供給，例如重複導入TMA 3秒，只導入H₂載子3秒，之後導入NH₃ 3秒，只導入H₂載子6秒的步驟。藉由交互往爐內導入Al原料與N原料，即使以低溫生長AlN也可以提高結晶性。

【0069】 供給TMA以及NH₃的時間最好分別是0.5～10秒。因為，TMA的供給時間比0.5秒短時，AlN的生長速度變慢，對生產性有不良影響，TMA的供給時間比10秒長時，AlN的結晶性惡化。又，因為，NH₃的供給時間比0.5秒短時，Al液滴在生長表面殘留阻礙結晶生長，NH₃的供給時間比10秒長時，AlN的初期生長階段，由於NH₃的供給過剩加速Si基板的氮化，AlN的結晶性惡化。又，原料供給的中斷時間最好是0～10秒。因為，即使縮短或去掉原料供給的中斷時間，也不太影響結晶性，但增加原料供給的中斷時間比10秒長時，生產性惡化。

【0070】 關於導入AlN原料的順序，最好比NH₃先導入TMA。因為，先導

入 NH_3 時，Si基板10的表面與 NH_3 反應並氮化，不能生長結晶性良好的AlN。尤其，Si基板10的面內溫度分布不均時，Si基板10的表面變粗糙，可以迴避之後的AlN、InAlGaN的結晶性惡化的狀況。

【0071】 比 NH_3 先導入TMA時，為了TMA分解的Al原子在Si基板10全面遍及1～10原子層，最好比 NH_3 先供給TMA 3～30秒。Al原子層比1原子層薄時，Si基板與 NH_3 反應並氮化，招致結晶性惡化。另一方面，Al原子層比10原子層厚時，Si表面產生Al微滴，加速與Si的合金化。結果，合金化的基板上發生AlN的結晶性惡化。

【0072】 第一AlN緩衝層21的生長溫度最好是 $400\sim 800^\circ\text{C}$ ，尤其 $400\sim 600^\circ\text{C}$ 更好。因為，生長溫度比 400°C 低時，不能得到結晶性良好的AlN，比 800°C 高時，抑制III族元素往Si基板10擴散的效果小。交互供給TMA與 NH_3 時，因為以較低溫生長也可以生長結晶性良好的AlN，使第一AlN緩衝層21的生長溫度在 600°C 以下是有效的。第一AlN緩衝層21的生長溫度在 600°C 以下的話，可以充分提高抑制III族元素往Si基板10擴散的效果。又，交互供給TMA與 NH_3 時，不只可以AlN結晶性良好，還可以提高抑制III族元素擴散的效果，有利於以 600°C 以上的溫度生長AlN的情況。

【0073】 第二AlN緩衝層22的形成(步驟S12B)中，同時供給Al原料的TMA與N原料的 NH_3 。如上述， 800°C 以下的低溫的話，交互供給TMA與 NH_3 ，可以提高結晶性，但 900°C 以上的高溫的話，藉由連續供給TMA與 NH_3 ，達到結晶性提高的同時，可以達到由於成長時間縮短的生產性提高。

【0074】 如以上說明，本實施形態的III族氮化物半導體基板1的製造方法，以 $400\sim 800^\circ\text{C}$ 的低溫與 $900\sim 1200^\circ\text{C}$ 的高溫的2階段生長AlN緩衝層20的同

時，形成第一AlN緩衝層21之際，因為交互供給Al原料與N原料，可以使AlN緩衝層20的結晶性良好，尤其可以抑制以400～600℃的低溫生長第一AlN緩衝層21之際成為問題的結晶性惡化，或者即使在600℃以上的生長溫度也可以充分抑制III族元素的擴散。

【0075】 第4圖係用以說明本發明第三實施形態的III族氮化物半導體基板1的製造方法流程圖。

【0076】 如第4圖所示，此III族氮化物半導體基板1的製造方法的特徵點，在於不只第一AlN緩衝層21的形成(步驟S12A)，還在第二AlN緩衝層22的形成(步驟S12B)中交互供給TMA與NH₃。TMA以及NH₃的交互供給條件與第一AlN緩衝層21的情況相同。其他的條件也與第二實施形態相同。根據本實施形態，除了第二實施形態的效果，還可以使AlN緩衝層的結晶性更良好。即，可以抑制基板上的TMA與NH₃的不均反應，可以使AlN的面內膜厚分布良好。原料的交互供給，不只改善AlN的膜厚分布，還有改善成為元件活化層的III族氮化物半導體層的濃度分布之效果。又從低溫成長時開始，藉由交互供給Al原料與N原料提高AlN的均勻性改善效果，但只在高溫生長時，即使只交互供給Al原料與N原料也有改善AlN的均勻性的效果。

【0077】 第5圖係顯示本發明第二實施形態的III族氮化物半導體基板構造的概略剖面圖。

【0078】 如第5圖所示，此III族氮化物半導體基板2的特徵點，在於III族氮化物半導體層30是二層構造，依序積層第一III族氮化物半導體層31與第一III族氮化物半導體層32。第一III族氮化物半導體層31係以400～800℃的低溫生長的層，第二III族氮化物半導體層32係以900～1200℃的高溫生長的層，其他的構成

與第一實施形態相同。藉由形成二層構造的III族氮化物半導體層30，抑制III族元素通過AlN緩衝層20往Si基板10中擴散的同時，可以使III族氮化物半導體層30的結晶性良好。

【0079】 第6圖，係用以說明本發明第四實施形態的III族氮化物半導體基板的製造方法流程圖。

【0080】 如第6圖所示，此III族氮化物半導體基板2的製造方法的特徵點，在於在Si基板10上依序形成第一AlN緩衝層21以及第二AlN緩衝層22的步驟(步驟S12A,12B)之後，依序實施以400~800°C形成第一III族氮化物半導體層31的步驟(步驟S13A)；以及以900~1200°C形成第二III族氮化物半導體層32的步驟(步驟S13B)。

【0081】 第一III族氮化物半導體層31的生長溫度最好是400~800°C，第二III族氮化物半導體層32的生長溫度最好是900~1200°C。又，構成第二III族氮化物半導體層32的III族元素的組成，與第一III族氮化物半導體層31不同也可以。因此，例如，以第一III族氮化物半導體層31作為AlGaN層，以第二III族氮化物半導體層32作為GaN層也可以。藉由以第一III族氮化物半導體層31作為AlGaN層，可以提高抑制Ga往Si基板中擴散的效果。

【0082】 III族氮化物半導體層30的形成，首先停止TMA的供給，降低爐內溫度直到900~1200°C。降溫之際中斷NH₃的供給也沒關係，但如果考慮生產性邊供給NH₃邊降溫比較好。之後，隨著NH₃供給III族原料生長III族氮化物半導體層30。

【0083】 AlN緩衝層20上生長III族氮化物半導體層30的步驟中III族元素也有通過第一以及第二AlN緩衝層21、22分別往Si基板10中擴散的危險，但厚度

200nm以下的生長初期以400～800℃的低溫生長III族氮化物半導體層，之後，200nm以上的厚度，為了提高結晶性，因為以900～1200℃的高溫生長III族氮化物半導體層，維持III族氮化物半導體的結晶品質的同時，可以更降低III族元素往Si基板中擴散。又，以低溫生長III族氮化物半導體層之際，因為交互供給III族原料與V族原料，可以使III族氮化物的結晶性良好，可以抑制以400～600℃的低溫生長III族氮化物半導體層時成為問題的結晶性惡化。

【0084】 第7圖，係用以說明本發明第五實施形態的III族氮化物半導體基板的製造方法流程圖。

【0085】 如第7圖所示，此III族氮化物半導體基板2的製造方法的特徵點，在於不只第一AlN緩衝層21的形成(步驟S12A)，還有在第一III族氮化物半導體層31的形成(步驟S13A)中交互供給III族原料與V族原料。其他的條件與第四實施形態相同。以此方式，生長第一III族氮化物半導體層31之際，藉由交互導入III族原料與V族原料至爐內，可以提高以低溫生長的結晶性。

【0086】 第8圖係用以說明本發明第六實施形態的III族氮化物半導體基板的製造方法流程圖。

【0087】 如第8圖所示，此III族氮化物半導體基板的製造方法的特徵點，在於第三及第五實施形態的組合，第一AlN緩衝層21、第二AlN緩衝層22以及第一III族氮化物半導體層31的形成(步驟S12A、S12B、S13A)中，交互供給III族原料與V族原料。其他的條件與第三或第五實施形態相同。以此方式，生長AlN緩衝層以及III族氮化物半導體層之際，藉由交互導入III族原料與V族原料至爐內，可以更提高以低溫生長的結晶性。

【0088】 第9圖係顯示本發明第三實施形態的III族氮化物半導體基板構造

的概略剖面圖。

【0089】 如第9圖所示，此III族氮化物半導體基板3的特徵，在於包括Si基板10、在Si基板10上形成的AlN緩衝層20、以及在AlN緩衝層20上形成的III族氮化物半導體層30，AlN緩衝層20由以900～1200℃生長的高溫緩衝層構成，Si基板10包含C、Ge、Sn、O、H或V族元素(N、P、As、Sb(銻))的不純物，抑制伴隨III族元素擴散的載子增加。其他的構成與第一實施形態相同。

【0090】 第10圖係用以說明本發明第七實施形態的III族氮化物半導體基板的製造方法流程圖。

【0091】 如第10圖所示，根據本實施形態的III族氮化物半導體基板3的製造方法，首先電阻率在100Ω cm以上，準備包含 $1 \times 10^{12} \sim 1 \times 10^{19}/\text{cm}^3$ 的C(碳)、Ge(鍺)、Sn(錫)、O、H或V族元素(N、P、As、Sb)的Si基板10。這些不純物，只包含在從表面開始深度0.5～10 μm的表層部10a內也可以，包含在基板全體內也可以。這些不純物，完成抑制由於III族元素往Si基板10中擴散引起的載子增加的任務。

【0092】 <C>

Si基板10包含C時，至少表層部10a中的C濃度最好是 $1 \times 10^{14} \sim 1 \times 10^{17}/\text{cm}^3$ 。在此情況下，Si基板全體的C濃度是 $1 \times 10^{14} \sim 1 \times 10^{17}/\text{cm}^3$ 也可以，或者只有表層部10a是 $1 \times 10^{14} \sim 1 \times 10^{17}/\text{cm}^3$ ，比表層部10a深的基板內部在 $1 \times 10^{14}/\text{cm}^3$ 以下也可以。

【0093】 <Ge(鍺)、Sn(錫)>

Si基板10包含Ge或Sn時，最好至少表層部10a中的Ge或Sn的濃度是 $1 \times 10^{14} \sim 1 \times 10^{20}/\text{cm}^3$ 。在此情況下，Si基板全體的Ge或Sn濃度是 $1 \times 10^{14} \sim 1 \times 10^{20}/\text{cm}^3$ 也可以，或者只有表層部10a是 $1 \times 10^{14} \sim 1 \times 10^{20}/\text{cm}^3$ ，比表層部10a深的基板內部在 $1 \times$

$10^{14}/\text{cm}^3$ 以下也可以。

【0094】 <O>

Si基板10，在表層部10a中包含更多的O也可以。在此情況下，Si基板全體的O濃度是 $1 \times 10^{15} \sim 1 \times 10^{18}/\text{cm}^3$ 也可以，或者只有表層部10a是 $1 \times 10^{15} \sim 1 \times 10^{18}/\text{cm}^3$ ，比表層部10a深的基板內部在 $1 \times 10^{14}/\text{cm}^3$ 以下也可以。又，使O的濃度只比表層部10a高時，可以藉由對Si基板表面注入離子進行。

【0095】 <H>

Si基板10，在表層部10a中包含更多的H也可以。在此情況下，Si基板10的表層部10a中的H濃度是 $1 \times 10^{15} \sim 1 \times 10^{18}/\text{cm}^3$ ，比表層部10a深的基板內部中的H濃度比表層部10a低，最好在 $1 \times 10^{14}/\text{cm}^3$ 以下。

【0096】 <V族元素>

Si基板10，在表層部10a中包含更多的V族元素(N、P、As、Sb)也可以。此時，表層部10a中的V族元素濃度是 $1 \times 10^{12} \sim 1 \times 10^{19}/\text{cm}^3$ ，比表層部10a深的基板內部中的V族元素濃度也比表層部10a低，最好在 $1 \times 10^{14}/\text{cm}^3$ 以下。Si基板10中的V族元素在深度方向的濃度分布，最好表面最高，具有從表面往基板內部緩緩減少的濃度傾斜。

【0097】 <N以外的V族元素>

用以抑制由於Si基板10中擴散的III族元素引起的載子增加之V族元素，不在Si基板10側，包含在與Si基板10的表面相接的AlN緩衝層20側也可以。包含用以抑制載子增加的V族元素之AlN緩衝層20，在形成後述的AlN緩衝層20的步驟(步驟S12)中，可以藉由與III族原料一起導入N以外的V族原料(P、As、Sb)至爐內形成。

【0098】 其次，Si基板10的上面以900～1200℃的高溫生長AlN緩衝層20(步驟S12)。此時，即使Al、Ga等III族元素的載子往Si基板10中擴散，因為C、Ge、Sn、O、H或V族元素使這些III族元素不活化，也可以抑制Si基板10的表面電阻率下降。因此，藉由使用這些特別的Si基板10，即使Al、Ga等III族元素往Si基板中擴散，也可以抑制表面電阻率下降。

【0099】 之後，AlN緩衝層20上以900～1200℃的高溫生長III族氮化物半導體層30(步驟S13)，完成III族氮化物半導體基板3。

【0100】 如上述，從其生長初期以900～1200℃的高溫生長AlN緩衝層20時，Al、Ga等的III族元素往Si基板10中擴散，Si基板10的表面電阻率下降。但是，Si基板10的表層部10a包含抑制由於III族元素的擴散引起的載子增加的不純物時，即使III族元素往Si基板10中擴散，也可以抑制Si基板10的表面電阻率下降。因此，可以從生長初期以900～1200℃的高溫生長AlN緩衝層20，可以生長結晶性良好的AlN。

【0101】 包含抑制伴隨III族元素擴散的載子增加的C等不純物之Si基板，在上述第一～第六實施形態的III族氮化物半導體基板的製造方法中也可能採用，但考慮III族元素的擴散量(III族擴散縱剖面圖)，需要決定Si基板中的不純物濃度(V族擴散縱剖面圖)。即，如同只以900～1200℃的高溫生長AlN緩衝層的情況，不應用抑制III族元素擴散的步驟的情況下，因為III族元素的擴散量變多，有必要提高Si基板中的不純物濃度，但應用抑制像第六實施形態的III族元素擴散的效果高的步驟的情況下，因為III族元素往Si基板10中擴散量非常少，需要降低Si基板中的不純物濃度。

【0102】 第11圖係用以說明本發明第八實施形態的III族氮化物半導體基

板的製造方法流程圖。

【0103】 如第11圖所示，此III族氮化物半導體基板1的製造方法的特徵點，在於在Si基板10上形成AlN緩衝層20後，形成III族氮化物半導體層30前，進行900～1450℃的熱處理。即，根據本實施形態的製造方法，具有準備Si基板10的步驟(步驟S11)、在Si基板10上形成第一AlN緩衝層21的步驟(步驟S12A)、在第一AlN緩衝層21上形成第二AlN緩衝層22的步驟(步驟S12B)、熱處理Si基板10的步驟(步驟S20)、以及在第二AlN緩衝層22上形成III族氮化物半導體層30的步驟(步驟S13)。其他的條件與第一實施形態相同。

【0104】 熱處理最好在NH₃的空氣中進行，最好在與形成AlN緩衝層20時相同的爐內實施一連串的步驟，但從爐內取出，在別的熱處理爐中處理也可以。在相同的爐內熱處理時不太能控制高溫，但由於步驟簡化，可以提高生產性。熱處理從5分鐘到1小時是適當的。因為，熱處理比5分鐘短時，擴散距離短，不能充分恢復電阻率，比1小時長時生產性惡化。

【0105】 如上述，熱處理溫度最好是900～1450℃。因為，熱處理溫度比900℃低時，擴散距離短，變得需要長時間的熱處理，比1450℃高時，Si基板10熔融。以此方式，AlN緩衝層20的形成後，進行熱處理，因為AlN緩衝層20形成時，往Si基板10中擴散的III族元素從基板表面更往內部擴散，可以抑制基板表面的電阻率下降。

【0106】 又，本實施形態中的熱處理步驟(步驟S20)，適用於第一實施形態，但對於第二～第七實施形態也可適用。又，尤其使用通常的Si基板，對於依序形成第10圖所示的AlN緩衝層20以及III族氮化物半導體層30的情況也有效。

【0107】 第12圖係顯示本發明第九實施形態的III族氮化物半導體基板的

製造方法使用的Si基板的構造圖，上側是Si基板的平面圖，下側是Si基板的側面圖。

【0108】 如第12圖所示，此III族氮化物半導體基板1的製造方法的特徵點，在於使用具有矽單結晶從(111)面往<112>方向在 $0.1 \sim 1.5^\circ$ 的範圍內傾斜的主面之Si基板10。在Si基板10上生長AlN緩衝層20以及III族氮化物半導體層30的方法，也可以是第一～第八的實施形態中的任一方法。

【0109】 Si基板10的主面的傾斜角度最好是 $0.1 \sim 1.5^\circ$ 。因為，對於(111)面的傾斜角度比 0.1° 小的情況下，由於III族氮化物半導體生長成島狀，表面發生不規則的凹凸，傾斜角度比 1.5° 大的情況下，由於基底的AlN緩衝層表面變粗糙，其上生長的III族氮化物半導體層30表面粗糙度變粗。傾斜角度在 $0.1 \sim 1.5^\circ$ 的範圍內的話，Si基板10的表面存在微小的段階，因為仿照此生長III族氮化物半導體層30，可以抑制表面粗糙度。

【0110】 Si基板10主面的傾斜方向最好是<112>(參照箭頭(A))。因為，傾斜方向是<112>時，由於六方晶的III族氮化物半導體材料中的(1-100)面聚集，相較於其他方向，表面形態變佳，表面粗糙度變小。

【0111】 如以上說明，根據本實施形態的III族氮化物半導體基板的製造方法，因為使用對面方位(111)面稍微傾斜的Si基板10，Si基板10上以AlN緩衝層20介於其間生長III族氮化物半導體層30的步驟中，可以改善III族氮化物半導體層30的上面的表面粗糙度。因此，抑制III族氮化物半導體層的上面作成的元件界面散亂，可以提高元件特性。

【0112】 以上，說明關於本發明較佳的實施形態，但本發明不限定於上述實施形態，在不脫離本發明主旨的範圍內可以做各種變更，當然那些也包括在

本發明的範圍內。

【0113】 例如，可以適當組合上述第一～第九實施形態的III族氮化物半導體基板的製造方法。因此，如上述，上述第一～第六實施形態的半導體基板的製造方法中，也可以使用包含抑制伴隨III族元素擴散的載子增加的不純物元素之Si基板10(第七實施形態)。又，在第一～第七實施形態中採用第八實施形態中的熱處理也可以，在第一～第八實施形態中採用第九實施形態中的Si基板10也可以。

【0114】 <實施例1>

電阻率1000 Ω cm，面方位(111)的Si基板用HF以及SC-1洗淨後，放置在MOCVD爐內。其次，爐內溫度升溫至550°C後，隨著H₂載子氣體導入TMA與NH₃至爐內，在Si基板的上面生長30nm的第一AlN層。之後，邊繼續供給原料，邊上升爐內溫度直到1100°C，在第一AlN層的上面生長70nm的第二AlN層。

【0115】 其次，停止TMA的供給，邊繼續供給NH₃邊降低爐內溫度直到1050°C後，供給作為Ga源的TMG(三甲基鎵)，在第二AlN層的上面生長1 μ m的GaN層。於是，得到在Si基板上依序積層第一AlN層、第二AlN層、GaN層之實施例1的III族氮化物半導體基板。

【0116】 <實施例2>

生長第一AlN層之際，除了利用交互供給TMA以及NH₃的手法的點以外，以與實施例1相同的條件製造III族氮化物半導體基板。Si基板的準備與實施例1相同。其次，爐內溫度以550°C穩定的爐內隨著H₂載子氣體導入TMA 3秒，只導入H₂載子氣體3秒，之後隨著H₂載子氣體導入NH₃ 3秒，只導入H₂載子氣體6秒。重複此，生長30nm的第一AlN層。之後，上升爐內溫度直到1100°C後，隨著H₂載

子氣體導入TMA與NH₃，生長70nm的第二AlN層。

【0117】 其次，停止TMA的供給，邊繼續供給NH₃邊降低爐內溫度直到1050℃後，供給作為Ga源的TMG(三甲基鎵)，在第二AlN層上生長1 μm的GaN層。於是，得到實施例2的III族氮化物半導體基板。

【0118】 <實施例3>

不只是第一AlN層，生長第二AlN層之際也利用交互供給TMA以及NH₃的手法的點以外，以與實施例1相同的條件製造III族氮化物半導體基板。從Si基板的準備到第一AlN層的生長與實施例2相同。

【0119】 其次，上升爐內溫度直到1100℃後，隨著H₂載子氣體導入TMA 3秒，只導入的H₂載子氣體3秒，之後隨著H₂載子氣體導入NH₃ 3秒，只導入H₂載子氣體6秒。重複此，生長70nm的第二AlN層。

【0120】 之後，與實施例1相同，生長GaN層1 μm。於是，得到實施例3的III族氮化物半導體基板。

【0121】 <實施例4>

生長GaN層之際，除了利用以低溫與高溫2階段的溫度生長的手法的點以外，以與實施例1相同的條件製造III族氮化物半導體基板。Si基板的準備與實施例1相同。其次，上升爐內溫度直到650℃穩定後，爐內隨著H₂載子氣體導入TMA與NH₃，生長30nm的第一AlN層。

【0122】 之後，邊繼續供給原料邊上升爐內溫度直到1100℃，生長第二AlN層70nm。

【0123】 其次，降低爐內溫度直到750℃後，導入TMG，生長約150nm的第一GaN層。之後，邊繼續供給TMG與NH₃，邊上升爐內溫度直到1050℃，生長

約850nm的第二Ga₂N層。即，直到第一Ga₂N層以及第二Ga₂N層的合計厚度成為1 μ m，繼續生長第二Ga₂N層。於是，得到在Si基板上依序積層第一AlN層、第二AlN層、第一Ga₂N層、第二Ga₂N層的實施例4的III族氮化物半導體基板。

【0124】 <實施例5>

因為取代實施例4的第一Ga₂N層生長AlGa₂N層，除了隨著TMG導入TMA的點以外，以與實施例4相同條件製造III族氮化物半導體基板。即，得到在Si基板上依序積層第一AlN層、第二AlN層、AlGa₂N層、Ga₂N層的實施例5的III族氮化物半導體基板。

【0125】 <實施例6>

生長實施例5的第一Ga₂N層之際，利用交互供給TMG與NH₃的手法。以750℃穩定爐內溫度後，隨著H₂載子氣體導入TMG 3秒，只導入的H₂載子氣體3秒，之後隨著H₂載子氣體導入NH₃ 3秒，只導入H₂載子氣體6秒。重複此，生長30nm的第一Ga₂N層。

【0126】 之後，轉換為同時供給TMG與NH₃，上升爐內溫度直到1050℃，與實施例4同樣地生長970nm的第二Ga₂N層。於是，得到實施例6的III族氮化物半導體基板。

【0127】 <實施例7>

AlN成膜步驟使用與實施例3相同的手法，Ga₂N成膜步驟使用與實施例6相同的手法。即，AlN成膜步驟中，不只第一AlN層，生長第二AlN層之際也交互供給TMA與NH₃。又，Ga₂N成膜步驟中，生長第一Ga₂N層之際，交互供給TMG與NH₃，生長第二Ga₂N層之際，同時供給TMG與NH₃。於是，完成在Si基板上依序積層第一AlN層、第二AlN層、第一Ga₂N層、第二Ga₂N層的實施例7的III族氮化物

半導體基板。

【0128】 <實施例8>

準備摻雜C的電阻率 $1000\ \Omega\ \text{cm}$ 的Si基板。Si基板中C的平均濃度是 $1 \times 10^{16}/\text{cm}^3$ 。之後，隨著 H_2 載子氣體導入TMA與 NH_3 至 650°C 的爐內，在Si基板上生長第一AlN層30nm。又，與實施例1相同，生長70nm的第二AlN層，再生長 $1\ \mu\text{m}$ 的GaN層。於是得到實施例8的III族氮化物半導體基板。

【0129】 <實施例9>

準備摻雜Ge的電阻率 $1000\ \Omega\ \text{cm}$ 的Si基板。Si基板中Ge的平均濃度是 $1 \times 10^{18}/\text{cm}^3$ 。在此Si基板上分別生長30nm的第一AlN層，70nm的第二AlN層、 $1\ \mu\text{m}$ 的GaN層。又，其他的條件與實施例8相同。藉此，得到實施例9的III族氮化物半導體基板。

【0130】 <實施例10>

準備摻雜Sn的電阻率 $1000\ \Omega\ \text{cm}$ 的Si基板。Si基板中Sn的平均濃度是 $1 \times 10^{18}/\text{cm}^3$ 。在此Si基板上分別生長第一AlN層30nm，第二AlN層70nm、GaN層 $1\ \mu\text{m}$ 。又，其他的條件與實施例8相同。藉此，得到實施例10的III族氮化物半導體基板。

【0131】 <實施例11>

準備包含電阻率 $1000\ \Omega\ \text{cm}$ 、 $\text{O}\ 1 \times 10^{17}/\text{cm}^3$ 的Si基板，在此Si基板上分別生長30nm的第一AlN層，70nm的第二AlN層、 $1\ \mu\text{m}$ 的GaN層。其他條件與實施例8相同。藉此，得到實施例11的III族氮化物半導體基板。

【0132】 <實施例12>

電阻率 $1000\ \Omega\ \text{cm}$ 的Si基板表面上磊晶生長包含C $1 \times 10^{16}/\text{cm}^3$ 的Si $5\ \mu\text{m}$ 。藉

此，得到只有表面到深度 $5\text{ }\mu\text{m}$ 的表層部包含 $\text{C } 1\times 10^{16}/\text{cm}^3$ ，比表層部深的基板內部 C 的濃度是 $1\times 10^{14}/\text{cm}^3$ 的 Si 基板。此 Si 基板上分別生長 30nm 的第一 AlN 層， 70nm 的第二 AlN 層、 $1\text{ }\mu\text{m}$ 的 GaN 層。其他條件與實施例8相同。藉此，得到實施例12的III族氮化物半導體基板。

【0133】 <實施例13>

電阻率 $1000\text{ }\Omega\text{cm}$ 的 Si 基板表面上磊晶生長包含 $\text{Ge } 1\times 10^{18}/\text{cm}^3$ 的 Si 膜 $5\text{ }\mu\text{m}$ 。藉此，得到只有表面到深度 $5\text{ }\mu\text{m}$ 的表層部包含 $\text{Ge } 1\times 10^{18}/\text{cm}^3$ ，比表層部深的基板內部 Ge 的濃度是 $1\times 10^{14}/\text{cm}^3$ 的 Si 基板。此 Si 基板上分別生長 30nm 的第一 AlN 層， 70nm 的第二 AlN 層、 $1\text{ }\mu\text{m}$ 的 GaN 層。其他條件與實施例8相同。藉此，得到實施例13的III族氮化物半導體基板。

【0134】 <實施例14>

電阻率 $1000\text{ }\Omega\text{cm}$ 的 Si 基板表面上磊晶生長包含 $\text{Sn } 1\times 10^{18}/\text{cm}^3$ 的 Si 膜 $5\text{ }\mu\text{m}$ 。藉此，得到只有表面到深度 $5\text{ }\mu\text{m}$ 的表層部包含 $\text{Sn } 1\times 10^{18}/\text{cm}^3$ ，比表層部深的基板內部 Sn 的濃度是 $1\times 10^{14}/\text{cm}^3$ 的 Si 基板。此 Si 基板上分別生長第一 AlN 層 30nm ，第二 AlN 層 70nm 、 GaN 層 $1\text{ }\mu\text{m}$ 。其他條件與實施例8相同。藉此，得到實施例14的III族氮化物半導體基板。

【0135】 <實施例15>

對電阻率 $1000\text{ }\Omega\text{cm}$ 的 Si 基板表面離子注入 O 。藉此，得到只有表面到深度 $5\text{ }\mu\text{m}$ 的表層部包含峰值濃度 $1\times 10^{17}/\text{cm}^3$ 的 O ，比表層部深的基板內部 O 的濃度是 $1\times 10^{14}/\text{cm}^3$ 的 Si 基板。此 Si 基板上分別生長 30nm 的第一 AlN 層， 70nm 的第二 AlN 層、 $1\text{ }\mu\text{m}$ 的 GaN 層。其他條件與實施例8相同。藉此，得到實施例15的III族氮化物半導體基板。

【0136】 <實施例16>

Si基板表面上磊晶生長包含P $1 \times 10^{18}/\text{cm}^3$ 的Si膜 $5 \mu\text{m}$ 。藉此，得到只有表面到深度 $5 \mu\text{m}$ 的表層部包含P $1 \times 10^{16}/\text{cm}^3$ ，比表層部深的基板內部P的濃度是 $1 \times 10^{14}/\text{cm}^3$ 的Si基板。此Si基板上分別生長30nm的第一AlN層，70nm的第二AlN層、 $1 \mu\text{m}$ 的GaN層。其他條件與實施例8相同。藉此，得到實施例16的III族氮化物半導體基板。

【0137】 <實施例17>

Si基板表面上磊晶生長包含P $1 \times 10^{18}/\text{cm}^3$ 的Si膜 $5 \mu\text{m}$ 。藉此，得到P的表面濃度 $1 \times 10^{16}/\text{cm}^3$ ，對於深度 $5 \mu\text{m}$ P的濃度緩緩減少至 $1 \times 10^{14}/\text{cm}^3$ ，比 $5 \mu\text{m}$ 深的基板內部的P濃度 $1 \times 10^{14}/\text{cm}^3$ 的Si基板。此Si基板上分別生長30nm的第一AlN層，70nm的第二AlN層、 $1 \mu\text{m}$ 的GaN層。其他條件與實施例8相同。藉此，得到實施例17的III族氮化物半導體基板。

【0138】 <實施例18>

對電阻率 $1000 \Omega\text{cm}$ 的Si基板表面離子注入H。藉此，得到表面到深度 $5 \mu\text{m}$ 的表層部的H峰值濃度 $1 \times 10^{17}/\text{cm}^3$ ，比表層部深的基板內部的H濃度是 $1 \times 10^{14}/\text{cm}^3$ 的Si基板。此Si基板上分別生長第一AlN層30nm，第二AlN層70nm、GaN層 $1 \mu\text{m}$ 。其他條件與實施例8相同。藉此，得到實施例18的III族氮化物半導體基板。

【0139】 <實施例19>

準備電阻率 $1000 \Omega\text{cm}$ 的Si基板，以HF以及SC-1進行Si基板的洗淨後，放置Si基板在MOCVD爐內。其次上升爐內溫度直到 1100°C ，穩定後，隨著 H_2 載子氣體導入TMA、 NH_3 以及 PH_3 ，生長摻雜P的第一AlN層30nm。又， PH_3 的流量係為了可以消去Si基板的載子濃度而決定。

【0140】

其次，降低爐內溫度直到1050℃，降溫時停止TMA的供給，但繼續供給NH₃。其次溫度剛以1050℃穩定，供給作為Ga源的TMG，生長GaN層1 μm。藉此，得到實施例19的III族氮化物半導體基板。

【0141】 <實施例20>

Si基板上生長AlN層100nm後，生長GaN層1 μm前，在同一爐內實施30分鐘的1100℃熱處理的點之外以與實施例1相同的條件得到實施例20的III族氮化物半導體基板。

【0142】 <比較例1>

準備電阻率1000 Ω cm、C、Ge、Sn、O、P等不純物在 $1 \times 10^{15}/\text{cm}^3$ 以下的Si基板。直到烘烤為止處理與實施例1相同。其次，爐內溫度以650℃穩定後，隨著H₂載子氣體導入TMA與NH₃，生長30nm的第一AlN層。之後，原料維持原狀且上升爐內溫度直到1100℃，生長第二AlN層。又，切斷TMA的供給，降低爐內溫度直到1050℃後，生長1 μm的GaN層。如此一來，完成比較例1的III族氮化物半導體基板。

【0143】 <比較例2>

除了改變第一AlN層的生長溫度至350℃的點之外，以與實施例1相同的條件完成比較例2的III族氮化物半導體基板。

【0144】 <比較例3>

除了改變第二AlN層的生長溫度至800℃的點之外，以與實施例1相同的條件完成比較例3的III族氮化物半導體基板。

【0145】 評估以上的實施例1～17以及比較例1～3的III族氮化物半導體基

板的GaN層的結晶性、Si基板表面的Ga以及Al的濃度、Si基板的載子濃度。GaN層的結晶性係根據X線的搖擺曲線(rocking curve)的半值寬度相對評估。以相對評估的基準值作為比較例1的值。半值寬度的值越低表示結晶性越好。

【0146】 Si基板表面的Ga以及Al的濃度根據SIMS(二次離子質量分析法)評估。又，Si基板的載子濃度以擴大電阻評估來評估。Si基板中的Ga以及Al的濃度越低越好，但重要的是影響元件特性的載子濃度低。

【0147】 第13圖係實施例1～20以及比較例1～3的III族氮化物半導體基板的GaN層的結晶性、Si基板的表面不純物濃度、載子濃度的評估結果之歸納表。各項目的值，係以比較例1的值為基準的相對值。

【0148】 如第13圖所示，關於GaN層的結晶性，成為實施例1～19以及比較例1的結晶性在1.2以下的良好結果。尤其，因為實施例2交互供給第一AlN層的原料，結晶性變得比實施例1良好。又，實施例3，因為不只第一AlN層的原料，還交互供給第二AlN層的原料，比實施例2結晶性更良好。實施例4～19，藉由稍微提高第一AlN層的生長溫度為650℃，比實施例2結晶性更良好。

【0149】 另一方面，因為比較例2中第一AlN層的生長溫度低至350℃，結晶性的值成為100，結晶性惡化。又，比較例3中，因為第二AlN層的生長溫度低至800℃，結晶性的值成為30，結晶性少許惡化。

【0150】 關於Ga的濃度，實施例1～7以及比較例2中藉由低溫生長第一AlN層，抑制Ga的擴散，因此Si基板中的Ga濃度成為0.05以下非常低的值。尤其，實施例4中，由於不只第一AlN層，還低溫生長第一GaN層，Ga濃度成為0.02，實施例5中，取代GaN，藉由低溫生長AlGaN使Ga濃度更下降成為0.01。實施例6中由於交互供給第一GaN層的原料，Ga濃度下降成為0.01。實施例7中，因為不

只第一AlN層的原料也交互供給第二AlN層的原料，Ga濃度下降成為0.01。

【0151】 但是，實施例8～19以及比較例1中，由於第一AlN層的生長溫度稍微提高至650℃，Ga擴散，Si基板中的Ga濃度成為1。實施例20中，由於形成AlN層後的熱處理，基板表面的Ga往基板內部擴散，基板內部的Ga濃度下降成為0.05。

【0152】 關於Al的濃度，實施例1～7中，由於低溫生長第一AlN層，抑制Al的擴散，藉此Si基板中的Al濃度成為0.04以下非常低的值。又，比較例2中，因為第一AlN層的生長溫度低至350℃，比較例3中第二AlN層的生長溫度低至800℃，抑制Al的擴散，Si基板中的Al濃度成為0.03以下非常低的值。

【0153】 但是，實施例8～19以及比較例1中，由於第一AlN層的生長溫度稍微提高至650℃，Al擴散，Si基板中的Al濃度成為1。實施例20中，由於形成AlN層後的熱處理，基板表面的Ga往基板內部擴散，基板內部的Ga濃度下降。

【0154】 關於載子濃度，實施例1～7中，由於低溫生長第一AlN層，抑制Ga的擴散，藉此載子濃度成為0.05以下的低值。又，實施例8～18中，由於Si基板中包含C等的不純物，抑制伴隨Ga擴散在Si基板中的載子增加。實施例19中，由於不是Si基板而是第一AlN層中包含n型不純物的P，抑制伴隨Ga擴散在Si基板中的載子增加。這些結果中，實施例17以及19的載子濃度最低為0.01，成為和通常的Si基板幾乎相同的載子濃度。

【0155】 但是，比較例1中，第一AlN層的生長溫度高，由於高溫生長，Ga往Si基板中擴散，因此載子濃度也成為1。比較例2與實施例1～7相同可以抑制載子為低濃度，但比較例3可以看到載子濃度增加。實施例20中，由於形成AlN層後的熱處理，基板表面的Ga擴散至基板內部，基板表面的Ga濃度下降。

【0156】 <實施例21>

為了考察關於Si基板的面方位的影響，準備具有相對於(111)面往<112>方向(參照第12圖的箭頭(A))傾斜 0.2° 的主面之Si基板。其次，進行以HF以及SC-1洗淨Si基板後，放置在MOCVD爐內，上升爐內溫度直到 1100°C 後，爐內隨著 H_2 載子導入TMA與 NH_3 ，Si基板的上面生長100nm的AlN層。其次，切斷TMA的供給，邊繼續供給 NH_3 ，邊降低爐內溫度直到 1050°C 後，供給作為Ga源的TMG，在AlN層上面生長 $1\ \mu\text{m}$ 的GaN層。如此一來，得到在Si基板上依序積層AlN層以及GaN層的實施例21的III族氮化物半導體基板。

【0157】 <實施例22>

實施例22，除了Si基板的主面相對於(111)面往<112>方向的傾斜角度(偏離角度)為 1.5° 的點之外與實施例21相同。

【0158】 <比較例4>

比較例4，Si基板的主面相對於(111)面的傾斜角度為 0° ，即Si基板的面方位為(111)面的點之外與實施例21相同。

【0159】 <比較例5>

比較例5，除了Si基板的主面相對於(111)面往<112>方向的傾斜角度為 2° 的點之外與實施例21相同。

【0160】 <比較例6>

比較例6，除了Si基板的主面相對於(111)面離<112>方向 45° (參照第12圖的箭頭(B))的方向傾斜角度為 0.2° 的點之外與實施例21相同。

【0161】 <比較例7>

比較例7，除了Si基板的主面相對於(111)面的傾斜角度往<110>方向(參照第

12圖的箭頭(C))傾斜0.2°的點之外與實施例21相同。

【0162】 根據以上的步驟製造的實施例22、23以及比較例5～7的III族氮化物半導體層的表面以原子間力顯微鏡觀察評估表面粗糙度。評估表面粗糙度的範圍是30 μm ×30 μm 與10 μm ×10 μm 的2項評估。其結果顯示於第14圖。

【0163】 如第14圖所示，30 μm ×30 μm 的廣範圍內的表面粗糙度在實施例21、22中為1.2nm以下，但在比較例4～7中為1.6nm以上。30 μm ×30 μm 中的表面粗糙度超過1.3nm時，影響元件，但在實施例21、22中成為低於1.3nm的良好結果。又，10 μm ×10 μm 的窄範圍內的表面粗糙度在實施例21、22以及比較例4中為0.6nm以下，但在比較例5～7中為1.0nm以上。10 μm ×10 μm 中的表面粗糙度超過0.8 μm 時，影響元件，但在實施例21、22中成為低於0.8 μm 的良好結果。

【符號說明】

【0164】

1、2、3	III族氮化物半導體基板
10	Si基板
10a	Si基板的表層部
20	AlN緩衝層
21	第一AlN緩衝層
22	第二AlN緩衝層
30	III族氮化物半導體層
31	第一III族氮化物半導體層
32	第二III族氮化物半導體層



201928131

【發明摘要】

【中文發明名稱】 III族氮化物半導體基板的製造方法

【英文發明名稱】 MANUFACTURING METHOD OF GROUP III NITRIDE

SEMICONDUCTOR SUBSTRATE

【中文】

Si基板上以AlN緩衝層介於其間生長III族氮化物半導體層之際，抑制III族原料往Si基板中擴散。

III族氮化物半導體基板的製造方法，包括在Si基板10上生長第一AlN緩衝層21的步驟(S12A)；在第一AlN緩衝層21上以高於第一AlN緩衝層21生長溫度的溫度生長第二AlN緩衝層22的步驟(S12B)；以及在第二AlN緩衝層22上生長III族氮化物半導體層30的步驟(S13)。第一AlN緩衝層21的生長溫度是400～600℃。

【英文】

While growing a group III-nitride semiconductor layer on a Si substrate via an AlN buffer layer, suppress the diffusion of group III material into the Si substrate.

A manufacturing method of a group III-nitride semiconductor substrate, includes the following processes: growing a first AlN buffer layer 21 on a Si substrate 10(S12A); growing a second AlN buffer layer 22 on the first AlN buffer layer 21 by a temperature higher than a growth temperature of the first AlN buffer layer 21(S12B); and growing a group III nitride semiconductor layer 30 on the second AlN buffer layer 22(S13). The growth temperature of the first AlN buffer layer 21 is 400～600℃.

【指定代表圖】 第1圖

【代表圖之符號簡單說明】

- 1 III族氮化物半導體基板
- 10 Si基板
- 20 AlN緩衝層
- 21 第一AlN緩衝層
- 22 第二AlN緩衝層
- 30 III族氮化物半導體層

【發明申請專利範圍】

【第1項】 一種III族氮化物半導體基板的製造方法，包括：

在Si基板上生長第一AlN緩衝層的步驟；

在上述第一AlN緩衝層上以高於上述第一AlN緩衝層生長溫度的溫度生長第二AlN緩衝層的步驟；以及

在上述第二AlN緩衝層上生長III族氮化物半導體層的步驟；

其特徵在於：

上述第一AlN緩衝層的生長溫度是400～600℃。

【第2項】 如申請專利範圍第1項所述的III族氮化物半導體基板的製造方法，其中，上述第二AlN緩衝層的生長溫度是900～1200℃。

【第3項】 如申請專利範圍第1項所述的III族氮化物半導體基板的製造方法，其中，上述第一AlN緩衝層的厚度是0.4～100nm。

【第4項】 如申請專利範圍第2項所述的III族氮化物半導體基板的製造方法，其中，上述第一AlN緩衝層的厚度是0.4～100nm。

【第5項】 如申請專利範圍第1至4項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述第一及第二AlN緩衝層的合計厚度是30～200nm。

【第6項】 如申請專利範圍第1至4項中任一項所述的III族氮化物半導體基板的製造方法，其中，生長上述III族氮化物半導體層的步驟，包含：

在上述第二AlN緩衝層上生長第一III族氮化物半導體層的步驟；以及

在上述第一III族氮化物半導體層上以高於上述第一III族氮化物半導體層的生長溫度生長第二III族氮化物半導體層的步驟；

其中，上述上述第一III族氮化物半導體層的生長溫度是400～800℃；

上述第一AlN緩衝層的生長溫度比上述第一III族氮化物半導體層的生長溫度低。

【第7項】 如申請專利範圍第6項所述的III族氮化物半導體基板的製造方法，其中，上述第一及第二AlN緩衝層的合計厚度是30～200nm。

【第8項】 如申請專利範圍第1至4項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述Si基板的電阻率在 $100\ \Omega\text{cm}$ 以上，上述Si基板，包含從C(碳)、Ge(鍺)、Sn(錫)、O、H以及V族元素選出的1個不純物元素，至少離上述Si基板表面深度 $0.5\sim 10\ \mu\text{m}$ 的表層部內包含的上述不純物元素的濃度是 $1\times 10^{12}\sim 1\times 10^{20}/\text{cm}^3$ 。

【第9項】 如申請專利範圍第1至4項中任一項所述的III族氮化物半導體基板的製造方法，更包括：

在生長上述III族氮化物半導體層前，依序生長上述第一及第二AlN緩衝層的上述Si基板以 $900\sim 1450^\circ\text{C}$ 熱處理的步驟。

【第10項】 如申請專利範圍第5項所述的III族氮化物半導體基板的製造方法，更包括：

在生長上述III族氮化物半導體層前，依序生長上述第一及第二AlN緩衝層的上述Si基板以 $900\sim 1450^\circ\text{C}$ 熱處理的步驟。

【第11項】 如申請專利範圍第6項所述的III族氮化物半導體基板的製造方法，更包括：

在生長上述III族氮化物半導體層前，依序生長上述第一及第二AlN緩衝層的上述Si基板以 $900\sim 1450^\circ\text{C}$ 熱處理的步驟。

【第12項】 如申請專利範圍第7項所述的III族氮化物半導體基板的製造方

法，更包括：

在生長上述III族氮化物半導體層前，依序生長上述第一及第二AlN緩衝層的上述Si基板以900～1450℃熱處理的步驟。

【第13項】如申請專利範圍第1至4項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述Si基板，具有矽單結晶從(111)面往<112>方向在0.1～1.5°的範圍內傾斜的主面。

【第14項】一種III族氮化物半導體基板的製造方法，其特徵在於包括：

在Si基板上以第一生長溫度生長第一AlN緩衝層的步驟；

在上述第一AlN緩衝層上以高於上述第一生長溫度的第二生長溫度生長第二AlN緩衝層的步驟；以及

在上述第二AlN緩衝層上生長III族氮化物半導體層的步驟；

生長上述第一AlN緩衝層的步驟中，交互重複供給Al原料以及N原料。

【第15項】如申請專利範圍第14項所述的III族氮化物半導體基板的製造方法，其中，上述第一生長溫度是400～800℃，上述第二生長溫度是900～1200℃。

【第16項】如申請專利範圍第15項所述的III族氮化物半導體基板的製造方法，其中，第一生長溫度是400～600℃。

【第17項】如申請專利範圍第14項所述的III族氮化物半導體基板的製造方法，其中，生長上述第一AlN緩衝層的步驟中，比上述N原料先導入上述Al原料。

【第18項】如申請專利範圍第15項所述的III族氮化物半導體基板的製造方法，其中，生長上述第一AlN緩衝層的步驟中，比上述N原料先導入上述Al原料。

【第19項】如申請專利範圍第16項所述的III族氮化物半導體基板的製造方法，其中，生長上述第一AlN緩衝層的步驟中，比上述N原料先導入上述Al原料。

【第20項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述第一AlN緩衝層的厚度是0.4～100nm。

【第21項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述第一及第二AlN緩衝層的合計厚度是30～200nm。

【第22項】如申請專利範圍第20項所述的III族氮化物半導體基板的製造方法，其中，上述第一及第二AlN緩衝層的合計厚度是30～200nm。

【第23項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，生長上述第一AlN緩衝層的步驟中，供給上述Al原料以及上述N原料時間分別是0.5～10秒。

【第24項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，生長上述第二AlN緩衝層的步驟中，交互重複供給上述Al原料以及上述N原料。

【第25項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，更包括：

生長上述III族氮化物半導體層前，以900～1450℃熱處理依序生長上述第一以及第二AlN緩衝層的上述Si基板的步驟。

【第26項】如申請專利範圍第21項所述的III族氮化物半導體基板的製造方法，更包括：

生長上述III族氮化物半導體層前，以900～1450℃熱處理依序生長上述第一以及第二AlN緩衝層的上述Si基板的步驟。

【第27項】如申請專利範圍第22項所述的III族氮化物半導體基板的製造方法，更包括：

生長上述III族氮化物半導體層前，以900～1450℃熱處理依序生長上述第一以及第二AlN緩衝層的上述Si基板的步驟。

【第28項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述Si基板，具有矽單結晶從(111)面往<112>方向在0.1～1.5°的範圍內傾斜的主面。

【第29項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，生長上述III族氮化物半導體層的步驟，包含：

在上述第二AlN緩衝層上以第三生長溫度生長第一III族氮化物半導體層的步驟；以及

在上述第一III族氮化物半導體層上以高於上述第三生長溫度的第四生長溫度生長第二III族氮化物半導體層的步驟。

【第30項】如申請專利範圍第29項所述的III族氮化物半導體基板的製造方法，其中，上述第三生長溫度是400～800℃，上述第四生長溫度是900～1200℃。

【第31項】如申請專利範圍第29項所述的III族氮化物半導體基板的製造方法，其中，上述第一III族氮化物半導體層的厚度是10～200nm。

【第32項】如申請專利範圍第29項所述的III族氮化物半導體基板的製造方法，其中，生長上述第一III族氮化物半導體層的步驟中，交互重複供給III族原料以及N原料。

【第33項】如申請專利範圍第29項所述的III族氮化物半導體基板的製造方法，其中，上述第一III族氮化物半導體層以AlGaN構成，

上述第二III族氮化物半導體層以GaN構成。

【第34項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體

基板的製造方法，其中，上述Si基板的電阻率在 $100\ \Omega\text{cm}$ 以上，上述Si基板，包含從C(碳)、Ge(鍺)、Sn(錫)、O、H以及V族元素選出的1個不純物元素，至少離上述Si基板表面深度 $0.5\sim 10\ \mu\text{m}$ 的表層部內包含的上述不純物元素的濃度是 $1\times 10^{12}\sim 1\times 10^{20}/\text{cm}^3$ 。

【第35項】如申請專利範圍第34項所述的III族氮化物半導體基板的製造方法，其中，包含上述表層部的上述Si基板全體內包含的上述不純物元素的濃度是 $1\times 10^{12}\sim 1\times 10^{20}/\text{cm}^3$ 。

【第36項】如申請專利範圍第34項所述的III族氮化物半導體基板的製造方法，其中，比上述表層部深的區域內包含的上述不純物元素濃度比上述表層部低。

【第37項】如申請專利範圍第34項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是C，上述表層部內包含的上述不純物元素濃度是 $1\times 10^{14}\sim 1\times 10^{17}/\text{cm}^3$ 。

【第38項】如申請專利範圍第34項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是Ge(鍺)或Sn(錫)，上述表層部內包含的上述不純物元素濃度是 $1\times 10^{14}\sim 1\times 10^{20}/\text{cm}^3$ 。

【第39項】如申請專利範圍第34項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是O，上述表層部內包含的上述不純物元素濃度是 $1\times 10^{15}\sim 5\times 10^{18}/\text{cm}^3$ 。

【第40項】如申請專利範圍第34項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是H，上述表層部內包含的上述不純物元素濃度是 $1\times 10^{15}\sim 5\times 10^{18}/\text{cm}^3$ 。

【第41項】如申請專利範圍第36項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素，為從N、P(磷)、As(砷)以及Sb(銻)選出的至少1個V族元素，上述表層部內包含的上述不純物元素的濃度是 $1 \times 10^{12} \sim 1 \times 10^{19}/\text{cm}^3$ ，而比上述表層部深的區域內包含的上述不純物元素濃度是 $1 \times 10^{14}/\text{cm}^3$ 以下。

【第42項】如申請專利範圍第41項所述的III族氮化物半導體基板的製造方法，其中，上述Si基板中的上述不純物元素具有從上述表面往基板內減少的濃度傾斜。

【第43項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，生長上述第一AlN緩衝層的步驟中，隨著上述Al原料或上述N原料供給包含N以外的V族元素(P、As、Sb)之原料。

【第44項】一種III族氮化物半導體基板的製造方法，其特徵在於包括：

在Si基板上以 $900 \sim 1200^\circ\text{C}$ 的生長溫度生長AlN緩衝層的步驟；以及

在上述AlN緩衝層上生長III族氮化物半導體層的步驟；

上述Si基板的電阻率在 $100 \Omega \text{cm}$ 以上；

上述Si基板，包含從C(碳)、Ge(鍺)、Sn(錫)、O、H以及V族元素選出的1個不純物元素，至少離上述Si基板的表面深度 $0.5 \sim 10 \mu\text{m}$ 的表層部內包含的上述不純物元素的濃度是 $1 \times 10^{12} \sim 1 \times 10^{20}/\text{cm}^3$ 。

【第45項】如申請專利範圍第44項所述的III族氮化物半導體基板的製造方法，其中，包含上述表層部的上述Si基板全體內包含的上述不純物元素的濃度是 $1 \times 10^{12} \sim 1 \times 10^{20}/\text{cm}^3$ 。

【第46項】如申請專利範圍第44項所述的III族氮化物半導體基板的製造方法，其中，比上述表層部深的區域內包含的上述不純物元素濃度比上述表層部

低。

【第47項】如申請專利範圍第44至46項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是C，上述表層部內包含的上述不純物元素濃度是 $1 \times 10^{14} \sim 1 \times 10^{17}/\text{cm}^3$ 。

【第48項】如申請專利範圍第44至46項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是Ge(鍺)或Sn(錫)，上述表層部內包含的上述不純物元素濃度是 $1 \times 10^{14} \sim 1 \times 10^{20}/\text{cm}^3$ 。

【第49項】如申請專利範圍第44至46項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是O，上述表層部內包含的上述不純物元素濃度是 $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ 。

【第50項】如申請專利範圍第44至46項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是H，上述表層部內包含的上述不純物元素濃度是 $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ 。

【第51項】如申請專利範圍第46項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素，係從N、P(磷)、As(砷)以及Sb(銻)選出的至少1個V族元素，上述表層部內包含的上述不純物元素的濃度是 $1 \times 10^{12} \sim 1 \times 10^{19}/\text{cm}^3$ ，而比上述表層部深的區域內包含的上述不純物元素濃度是 $1 \times 10^{14}/\text{cm}^3$ 以下。

【第52項】如申請專利範圍第51項所述的III族氮化物半導體基板的製造方法，其中，上述Si基板中的上述不純物元素具有從上述表面往基板內減少的濃度傾斜。

【第53項】如申請專利範圍第44至46項中任一項所述的III族氮化物半導體基板的製造方法，更包括：

生長上述III族氮化物半導體層前，以900～1450℃熱處理生長上述AlN緩衝層的上述Si基板的步驟。

【第54項】如申請專利範圍第44至46項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述Si基板，具有矽單結晶從(111)面往<112>方向在0.1～1.5°的範圍內傾斜的主面。

【第55項】一種III族氮化物半導體基板的製造方法，其特徵在於包括：
在Si基板上生長AlN緩衝層的步驟；

以900～1450℃熱處理生長上述AlN緩衝層的上述Si基板的步驟；以及
上述熱處理後的上述AlN緩衝層上生長III族氮化物半導體層的步驟。

【第56項】一種III族氮化物半導體基板的製造方法，其特徵在於包括：
在Si基板上生長AlN緩衝層的步驟；以及

在上述AlN緩衝層上生長III族氮化物半導體層的步驟；

上述Si基板，具有矽單結晶從(111)面往<112>方向在0.1～1.5°的範圍內傾斜的主面。

層，接著生長III族氮化物半導體層，可以抑制III族元素與Si基板反應，可以防止Si基板表面的電阻率下降。

【0013】 本發明中，上述第二AlN緩衝層的生長溫度最好是900～1200℃。藉此，可以邊抑制III族原料往Si基板中擴散，邊形成AlN緩衝層的良好結晶性。

【0014】 本發明中，上述第一AlN緩衝層的厚度最好是0.4～100nm(毫微米)，上述第一及第二AlN緩衝層的合計厚度最好是30～200nm。藉此，不易發生破裂且形成結晶性良好的AlN緩衝層。

【0015】 本發明中，生長上述III族氮化物半導體層的步驟，包含在上述第二AlN緩衝層上生長第一III族氮化物半導體層的步驟；以及在上述第一III族氮化物半導體層上以高於上述第一III族氮化物半導體層的生長溫度生長第二III族氮化物半導體層的步驟；上述第一III族氮化物半導體層的生長溫度是400～800℃，上述第一AlN緩衝層的生長溫度最好比上述第一III族氮化物半導體層的生長溫度低。

【0016】 AlN緩衝層上生長III族氮化物半導體層之際，因為III族氮化物半導體層的厚度直到成為例如200nm的生長初期以低溫生長III族氮化物，可以防止III族元素通過AlN緩衝層往Si基板中擴散。又，因為厚度在200nm以上以高溫生長，可以提高III族氮化物半導體層的結晶性。

【0017】 本發明中，上述Si基板的電阻率在100Ωcm以上，上述Si基板，包含從C(碳)、Ge(鍺)、Sn(錫)、O、H以及V族元素選出的1個不純物元素，至少離上述Si基板表面深度0.5～10μm的表層部內包含的上述不純物元素的濃度最好是 $1 \times 10^{12} \sim 1 \times 10^{20} / \text{cm}^3$ 。藉此，AlN緩衝層形成時，可以抑制由於III族元素往Si

的概略剖面圖。

【0051】 如第1圖所示，此III族氮化物半導體基板1，具有在Si基板10上依序積層AlN緩衝層20以及III族氮化物半導體層30的構造。Si基板10的電阻率最好在 $1000\ \Omega\text{cm}$ 以上。又，Si基板10的面方位最好是(111)面，但其他的面方位也可以。

【0052】 AlN緩衝層20，係用以緩和Si基板10與III族氮化物半導體層30之間的晶格間失配的層，具有第一AlN緩衝層21以及第二AlN緩衝層22依序積層的二層結構。第一AlN緩衝層21是以 $400\sim 800^{\circ}\text{C}$ ，最好以 $400\sim 600^{\circ}\text{C}$ 低溫生長的層，而第二AlN緩衝層22是以 $900\sim 1200^{\circ}\text{C}$ 高溫生長的層。

【0053】 第一AlN緩衝層21的厚度最好是 $0.4\sim 100\text{nm}$ (毫微米)，尤其最好是 $0.4\sim 50\text{nm}$ 。因為，第一AlN緩衝層21的厚度比 0.4nm 薄時，不能抑制III族元素往Si基板10擴散，比 100nm 厚時，AlN的結晶性惡化，其上形成的III族氮化物半導體層30的結晶性也變差。

【0054】 AlN緩衝層20的厚度，即第一AlN緩衝層21以及第二AlN緩衝層22的合計厚度最好是 $30\sim 200\text{nm}$ 。因為，AlN緩衝層20的厚度比 30nm 薄時，得不到結晶性良好的AlN緩衝層20，比 200nm 厚時，AlN緩衝層20中變得容易發生破裂。

【0055】 III族氮化物半導體層30，係III族元素的Al、In(銦)、Ga(鎵)中至少一個與N(氮)的混晶構成的層，代表性的氮化物半導體是GaN。III族氮化物半導體層30的厚度不特別限定，例如可以是 $1\ \mu\text{m}$ (微米)。

【0056】 第2圖係用以說明III族氮化物半導體基板1的製造方法流程圖。

【0057】 如第2圖所示，III族氮化物半導體基板1的製造中，首先準備Si

時，形成第一AlN緩衝層21之際，因為交互供給Al原料與N原料，可以使AlN緩衝層20的結晶性良好，尤其可以抑制以400～600℃的低溫生長第一AlN緩衝層21之際成為問題的結晶性惡化，或者即使在600℃以上的生長溫度也可以充分抑制III族元素的擴散。

【0075】 第4圖係用以說明本發明第三實施形態的III族氮化物半導體基板1的製造方法流程圖。

【0076】 如第4圖所示，此III族氮化物半導體基板1的製造方法的特徵點，在於不只第一AlN緩衝層21的形成(步驟S12A)，還在第二AlN緩衝層22的形成(步驟S12B)中交互供給TMA與NH₃。TMA以及NH₃的交互供給條件與第一AlN緩衝層21的情況相同。其他的條件也與第二實施形態相同。根據本實施形態，除了第二實施形態的效果，還可以使AlN緩衝層的結晶性更良好。即，可以抑制基板上的TMA與NH₃的不均反應，可以使AlN的面內膜厚分布良好。原料的交互供給，不只改善AlN的膜厚分布，還有改善成為元件活化層的III族氮化物半導體層的濃度分布之效果。又從低溫成長時開始，藉由交互供給Al原料與N原料提高AlN的均勻性改善效果，但只在高溫生長時，即使只交互供給Al原料與N原料也有改善AlN的均勻性的效果。

【0077】 第5圖係顯示本發明第二實施形態的III族氮化物半導體基板構造的概略剖面圖。

【0078】 如第5圖所示，此III族氮化物半導體基板2的特徵點，在於III族氮化物半導體層30是二層構造，依序積層第一III族氮化物半導體層31與第二III族氮化物半導體層32。第一III族氮化物半導體層31係以400～800℃的低溫生長的層，第二III族氮化物半導體層32係以900～1200℃的高溫生長的層，其他的構成

12圖的箭頭(C))傾斜0.2°的點之外與實施例21相同。

【0162】 根據以上的步驟製造的實施例22、23以及比較例5～7的III族氮化物半導體層的表面以原子間力顯微鏡觀察評估表面粗糙度。評估表面粗糙度的範圍是30 $\mu\text{m}\times 30\mu\text{m}$ 與10 $\mu\text{m}\times 10\mu\text{m}$ 的2項評估。其結果顯示於第14圖。

【0163】 如第14圖所示,30 $\mu\text{m}\times 30\mu\text{m}$ 的廣範圍內的表面粗糙度在實施例21、22中為1.2nm以下,但在比較例4～7中為1.6nm以上。30 $\mu\text{m}\times 30\mu\text{m}$ 中的表面粗糙度超過1.3nm時,影響元件,但在實施例21、22中成為低於1.3nm的良好結果。又,10 $\mu\text{m}\times 10\mu\text{m}$ 的窄範圍內的表面粗糙度在實施例21、22以及比較例4中為0.6nm以下,但在比較例5～7中為1.0nm以上。10 $\mu\text{m}\times 10\mu\text{m}$ 中的表面粗糙度超過0.8 μm 時,影響元件,但在實施例21、22中成為低於0.8 μm 的良好結果。

【符號說明】

【0164】

1、2、3	III族氮化物半導體基板
10	Si基板
10a	Si基板的表層部
20	AlN緩衝層
21	第一AlN緩衝層
22	第二AlN緩衝層
30	III族氮化物半導體層
31	第一III族氮化物半導體層
32	第二III族氮化物半導體層

【發明申請專利範圍】

【第1項】 一種III族氮化物半導體基板的製造方法，包括：

在Si基板上生長第一AlN緩衝層的步驟；

在上述第一AlN緩衝層上以高於上述第一AlN緩衝層生長溫度的溫度生長第二AlN緩衝層的步驟；以及

在上述第二AlN緩衝層上生長III族氮化物半導體層的步驟；

其特徵在於：

上述第一AlN緩衝層的生長溫度是400～600℃。

【第2項】 如申請專利範圍第1項所述的III族氮化物半導體基板的製造方法，其中，上述第二AlN緩衝層的生長溫度是900～1200℃。

【第3項】 如申請專利範圍第1項所述的III族氮化物半導體基板的製造方法，其中，上述第一AlN緩衝層的厚度是0.4～100nm。

【第4項】 如申請專利範圍第2項所述的III族氮化物半導體基板的製造方法，其中，上述第一AlN緩衝層的厚度是0.4～100nm。

【第5項】 如申請專利範圍第1至4項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述第一及第二AlN緩衝層的合計厚度是30～200nm。

【第6項】 如申請專利範圍第1至4項中任一項所述的III族氮化物半導體基板的製造方法，其中，生長上述III族氮化物半導體層的步驟，包含：

在上述第二AlN緩衝層上生長第一III族氮化物半導體層的步驟；以及

在上述第一III族氮化物半導體層上以高於上述第一III族氮化物半導體層的生長溫度生長第二III族氮化物半導體層的步驟；

其中，上述第一III族氮化物半導體層的生長溫度是400～800℃；

上述第一AlN緩衝層的生長溫度比上述第一III族氮化物半導體層的生長溫度低。

【第7項】 如申請專利範圍第6項所述的III族氮化物半導體基板的製造方法，其中，上述第一及第二AlN緩衝層的合計厚度是30～200nm。

【第8項】 如申請專利範圍第1至4項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述Si基板的電阻率在 $100\ \Omega\text{cm}$ 以上，上述Si基板，包含從C(碳)、Ge(鍺)、Sn(錫)、O、H以及V族元素選出的1個不純物元素，至少離上述Si基板表面深度 $0.5\sim 10\ \mu\text{m}$ 的表層部內包含的上述不純物元素的濃度是 $1\times 10^{12}\sim 1\times 10^{20}/\text{cm}^3$ 。

【第9項】 如申請專利範圍第1至4項中任一項所述的III族氮化物半導體基板的製造方法，更包括：

在生長上述III族氮化物半導體層前，依序生長上述第一及第二AlN緩衝層的上上述Si基板以 $900\sim 1450^\circ\text{C}$ 熱處理的步驟。

【第10項】 如申請專利範圍第5項所述的III族氮化物半導體基板的製造方法，更包括：

在生長上述III族氮化物半導體層前，依序生長上述第一及第二AlN緩衝層的上上述Si基板以 $900\sim 1450^\circ\text{C}$ 熱處理的步驟。

【第11項】 如申請專利範圍第6項所述的III族氮化物半導體基板的製造方法，更包括：

在生長上述III族氮化物半導體層前，依序生長上述第一及第二AlN緩衝層的上上述Si基板以 $900\sim 1450^\circ\text{C}$ 熱處理的步驟。

【第12項】 如申請專利範圍第7項所述的III族氮化物半導體基板的製造方

法，更包括：

在生長上述III族氮化物半導體層前，依序生長上述第一及第二AlN緩衝層的上述Si基板以900～1450℃熱處理的步驟。

【第13項】如申請專利範圍第1至4項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述Si基板，具有矽單結晶從(111)面往<112>方向在0.1～1.5°的範圍內傾斜的主面。

【第14項】一種III族氮化物半導體基板的製造方法，其特徵在於包括：

在Si基板上以第一生長溫度生長第一AlN緩衝層的步驟；

在上述第一AlN緩衝層上以高於上述第一生長溫度的第二生長溫度生長第二AlN緩衝層的步驟；以及

在上述第二AlN緩衝層上生長III族氮化物半導體層的步驟；

生長上述第一AlN緩衝層的步驟中，交互重複供給Al原料以及N原料。

【第15項】如申請專利範圍第14項所述的III族氮化物半導體基板的製造方法，其中，上述第一生長溫度是400～800℃，上述第二生長溫度是900～1200℃。

【第16項】如申請專利範圍第15項所述的III族氮化物半導體基板的製造方法，其中，第一生長溫度是400～600℃。

【第17項】如申請專利範圍第14項所述的III族氮化物半導體基板的製造方法，其中，生長上述第一AlN緩衝層的步驟中，比上述N原料先導入上述Al原料。

【第18項】如申請專利範圍第15項所述的III族氮化物半導體基板的製造方法，其中，生長上述第一AlN緩衝層的步驟中，比上述N原料先導入上述Al原料。

【第19項】如申請專利範圍第16項所述的III族氮化物半導體基板的製造方法，其中，生長上述第一AlN緩衝層的步驟中，比上述N原料先導入上述Al原料。

【第20項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述第一AlN緩衝層的厚度是0.4～100nm。

【第21項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述第一及第二AlN緩衝層的合計厚度是30～200nm。

【第22項】如申請專利範圍第20項所述的III族氮化物半導體基板的製造方法，其中，上述第一及第二AlN緩衝層的合計厚度是30～200nm。

【第23項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，生長上述第一AlN緩衝層的步驟中，供給上述Al原料以及上述N原料時間分別是0.5～10秒。

【第24項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，生長上述第二AlN緩衝層的步驟中，交互重複供給上述Al原料以及上述N原料。

【第25項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，更包括：

生長上述III族氮化物半導體層前，以900～1450℃熱處理依序生長上述第一以及第二AlN緩衝層的上述Si基板的步驟。

【第26項】如申請專利範圍第21項所述的III族氮化物半導體基板的製造方法，更包括：

生長上述III族氮化物半導體層前，以900～1450℃熱處理依序生長上述第一以及第二AlN緩衝層的上述Si基板的步驟。

【第27項】如申請專利範圍第22項所述的III族氮化物半導體基板的製造方法，更包括：

生長上述III族氮化物半導體層前，以900～1450℃熱處理依序生長上述第一以及第二AlN緩衝層的上述Si基板的步驟。

【第28項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述Si基板，具有矽單結晶從(111)面往<112>方向在0.1～1.5°的範圍內傾斜的主面。

【第29項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，生長上述III族氮化物半導體層的步驟，包含：

在上述第二AlN緩衝層上以第三生長溫度生長第一III族氮化物半導體層的步驟；以及

在上述第一III族氮化物半導體層上以高於上述第三生長溫度的第四生長溫度生長第二III族氮化物半導體層的步驟。

【第30項】如申請專利範圍第29項所述的III族氮化物半導體基板的製造方法，其中，上述第三生長溫度是400～800℃，上述第四生長溫度是900～1200℃。

【第31項】如申請專利範圍第29項所述的III族氮化物半導體基板的製造方法，其中，上述第一III族氮化物半導體層的厚度是10～200nm。

【第32項】如申請專利範圍第29項所述的III族氮化物半導體基板的製造方法，其中，生長上述第一III族氮化物半導體層的步驟中，交互重複供給III族原料以及N原料。

【第33項】如申請專利範圍第29項所述的III族氮化物半導體基板的製造方法，其中，上述第一III族氮化物半導體層以AlGaN構成，

上述第二III族氮化物半導體層以GaN構成。

【第34項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體

基板的製造方法，其中，上述Si基板的電阻率在 $100\ \Omega\text{cm}$ 以上，上述Si基板，包含從C(碳)、Ge(鍺)、Sn(錫)、O、H以及V族元素選出的1個不純物元素，至少離上述Si基板表面深度 $0.5\sim 10\ \mu\text{m}$ 的表層部內包含的上述不純物元素的濃度是 $1\times 10^{12}\sim 1\times 10^{20}/\text{cm}^3$ 。

【第35項】如申請專利範圍第34項所述的III族氮化物半導體基板的製造方法，其中，包含上述表層部的上述Si基板全體內包含的上述不純物元素的濃度是 $1\times 10^{12}\sim 1\times 10^{20}/\text{cm}^3$ 。

【第36項】如申請專利範圍第34項所述的III族氮化物半導體基板的製造方法，其中，比上述表層部深的區域內包含的上述不純物元素濃度比上述表層部低。

【第37項】如申請專利範圍第34項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是C，上述表層部內包含的上述不純物元素濃度是 $1\times 10^{14}\sim 1\times 10^{17}/\text{cm}^3$ 。

【第38項】如申請專利範圍第34項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是Ge(鍺)或Sn(錫)，上述表層部內包含的上述不純物元素濃度是 $1\times 10^{14}\sim 1\times 10^{20}/\text{cm}^3$ 。

【第39項】如申請專利範圍第34項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是O，上述表層部內包含的上述不純物元素濃度是 $1\times 10^{15}\sim 5\times 10^{18}/\text{cm}^3$ 。

【第40項】如申請專利範圍第34項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是H，上述表層部內包含的上述不純物元素濃度是 $1\times 10^{15}\sim 5\times 10^{18}/\text{cm}^3$ 。

【第41項】如申請專利範圍第36項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素，為從N、P(磷)、As(砷)以及Sb(銻)選出的至少1個V族元素，上述表層部內包含的上述不純物元素的濃度是 $1 \times 10^{12} \sim 1 \times 10^{19}/\text{cm}^3$ ，而比上述表層部深的區域內包含的上述不純物元素濃度是 $1 \times 10^{14}/\text{cm}^3$ 以下。

【第42項】如申請專利範圍第41項所述的III族氮化物半導體基板的製造方法，其中，上述Si基板中的上述不純物元素具有從上述表面往基板內減少的濃度傾斜。

【第43項】如申請專利範圍第14至19項中任一項所述的III族氮化物半導體基板的製造方法，其中，生長上述第一AlN緩衝層的步驟中，隨著上述Al原料或上述N原料供給包含N以外的V族元素(P、As、Sb)之原料。

【第44項】一種III族氮化物半導體基板的製造方法，其特徵在於包括：

在Si基板上以 $900 \sim 1200^\circ\text{C}$ 的生長溫度生長AlN緩衝層的步驟；以及

在上述AlN緩衝層上生長III族氮化物半導體層的步驟；

上述Si基板的電阻率在 $100 \Omega \text{cm}$ 以上；

上述Si基板，包含從C(碳)、Ge(鍺)、Sn(錫)、O、H以及V族元素選出的1個不純物元素，至少離上述Si基板的表面深度 $0.5 \sim 10 \mu\text{m}$ 的表層部內包含的上述不純物元素的濃度是 $1 \times 10^{12} \sim 1 \times 10^{20}/\text{cm}^3$ 。

【第45項】如申請專利範圍第44項所述的III族氮化物半導體基板的製造方法，其中，包含上述表層部的上述Si基板全體內包含的上述不純物元素的濃度是 $1 \times 10^{12} \sim 1 \times 10^{20}/\text{cm}^3$ 。

【第46項】如申請專利範圍第44項所述的III族氮化物半導體基板的製造方法，其中，比上述表層部深的區域內包含的上述不純物元素濃度比上述表層部

低。

【第47項】如申請專利範圍第44至46項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是C，上述表層部內包含的上述不純物元素濃度是 $1 \times 10^{14} \sim 1 \times 10^{17}/\text{cm}^3$ 。

【第48項】如申請專利範圍第44至46項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是Ge(鍺)或Sn(錫)，上述表層部內包含的上述不純物元素濃度是 $1 \times 10^{14} \sim 1 \times 10^{20}/\text{cm}^3$ 。

【第49項】如申請專利範圍第44至46項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是O，上述表層部內包含的上述不純物元素濃度是 $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ 。

【第50項】如申請專利範圍第44至46項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素是H，上述表層部內包含的上述不純物元素濃度是 $1 \times 10^{15} \sim 5 \times 10^{18}/\text{cm}^3$ 。

【第51項】如申請專利範圍第46項所述的III族氮化物半導體基板的製造方法，其中，上述不純物元素，係從N、P(磷)、As(砷)以及Sb(銻)選出的至少1個V族元素，上述表層部內包含的上述不純物元素的濃度是 $1 \times 10^{12} \sim 1 \times 10^{19}/\text{cm}^3$ ，而比上述表層部深的區域內包含的上述不純物元素濃度是 $1 \times 10^{14}/\text{cm}^3$ 以下。

【第52項】如申請專利範圍第51項所述的III族氮化物半導體基板的製造方法，其中，上述Si基板中的上述不純物元素具有從上述表面往基板內減少的濃度傾斜。

【第53項】如申請專利範圍第44至46項中任一項所述的III族氮化物半導體基板的製造方法，更包括：

生長上述III族氮化物半導體層前，以900～1450℃熱處理生長上述AlN緩衝層的上述Si基板的步驟。

【第54項】如申請專利範圍第44至46項中任一項所述的III族氮化物半導體基板的製造方法，其中，上述Si基板，具有矽單結晶從(111)面往<112>方向在0.1～1.5°的範圍內傾斜的主面。

【第55項】一種III族氮化物半導體基板的製造方法，其特徵在於包括：
在Si基板上生長AlN緩衝層的步驟；

以900～1450℃熱處理生長上述AlN緩衝層的上述Si基板的步驟；以及
上述熱處理後的上述AlN緩衝層上生長III族氮化物半導體層的步驟。

【第56項】一種III族氮化物半導體基板的製造方法，其特徵在於包括：
在Si基板上生長AlN緩衝層的步驟；以及

在上述AlN緩衝層上生長III族氮化物半導體層的步驟；

上述Si基板，具有矽單結晶從(111)面往<112>方向在0.1～1.5°的範圍內傾斜的主面。