

公告本

734661

申請日期	88 年 8 月 6 日
案 號	88113481
類 別	H01L 2/10

A4
C4

451460

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	
二、發明 人	姓 名	(1) 齊藤政良 (2) 吉田誠 (3) 川上博士
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都八王子市台町一—一—二—四
	住、居所	(2) 日本國東京都青梅市新町九—四—四日立誠和寮 (3) 日本國東京都八王子市曉町一—四七—二 日立大和田公寓E—〇三
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代 表 人 姓 名	(1) 庄山悅彦

經濟部智慧財產局員工消費合作社印製

裝

訂

線

451460

申請日期	88 年 8 月 6 日
案 號	88113481
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 梅澤唯史
	國 籍	(4) 日本
	住、居所	(4) 日本國東京都青梅市新町九-四-四日立誠和 寮
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

451460

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1998 年 8 月 31 日 10-246147

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背
之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

(發明所屬技術領域)

本發明關於半導體積體電路裝置之製造方法，特別關於在平坦化層間絕緣膜形成連接孔時，對配線（包含閘極）及元件分離領域以自動整合方式使半導體基板表面之半導體領域露出之技術。

第1技術之以自動整合方式針對閘極，在覆蓋閘極之層間絕緣膜形成連接孔之SAC（self-aligned contact）技術係揭示於例如IEEE Transaction ED-43 No. 11（1996）PP. 1864-1869。其揭示一種將閘極於低電阻多晶矽膜上介由障層金屬膜沈積高熔點金屬膜而成之所謂多金屬構造之構成，該閘極上面之帽絕緣膜及閘極側面之側壁絕緣膜則由氮化矽膜形成之技術。

該技術，於氧化矽膜形成之層間絕緣膜形成連接孔時，係藉由對氮化矽膜選擇性進行蝕刻，俾對閘極以自動整合方式形成連接孔。因此，閘極與連接孔之間不須保留空間，MISFET之小型化為可能，在特定尺寸能安裝之MISFET數目可增加，高集積化為可能。

但是，上述第1技術中亦有，取代由熱氧化膜形成之元件分離用絕緣膜，而於半導體基板表面形成溝，將該溝以CVD氧化膜埋入之元件分離構造（trench isolation）為主流者。

上述第1技術之場合，為使形成連接孔時之光阻劑膜掩罩之開口不致與元件分離領域從疊，須於掩罩開口與元

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明(2)

件分離領域之間確保空間。若光阻劑膜掩罩之開口與元件分離領域^{sp}從疊，則層間絕緣膜蝕刻時溝內之氧化膜亦被蝕刻，倒致半導體領域與基板呈導通之危險性存在。

如上述掩罩開口與元件分離領域間之空間確保成為阻礙 M I S F E T 小型化之主要原因。

相對於此，另有提議對閘極以自動整合方式，且不須確保與元件分離領域間之空間而形成連接孔之第 2 技術（特願平 9 - 9 2 6 0 8 號）。

該第 2 技術，係於閘極上形成僅以氮化矽膜構成之帽絕緣膜，而且披覆半導體基板主面及閘極側面及帽絕緣膜表面（側面及上面）般形成氮化矽膜。該第 2 技術中，形成連接孔時，首先在氧化矽膜構成之層間絕緣膜較氮化矽膜容易被蝕刻之條件下進行蝕刻處理，以使薄之氮化矽膜露出，之後，在氮化矽膜較層間絕緣膜容易蝕刻之條件下進行蝕刻處理以形成使半導體基板露出之連接孔。依該第 2 技術，在半導體基板所形成元件分離領域上即使埋入與層間絕緣膜同種之氧化矽膜之情況下，形成連接孔時，埋入元件分離領域之氧化矽膜被蝕刻，結果，半導體領域與基板導通之問題可以解決。

（發明概要）

本發明係關於上述第 2 技術之再改良者，本發明人發現上述第 2 技術有以下課題。

第 1，上述連接孔之縱橫比增大之問題。上述第 2 技

（請先閱讀背面之注意事項再
寫本頁）

裝
訂
線

五、發明說明(3)

術中，連接孔形成時，最後係將半導體基板上之薄氮化矽膜蝕刻以使半導體基板表面露出，但是此時因上技術中，帽絕緣膜亦由氮化矽膜形成，由連接孔露出之帽絕緣膜部分亦被蝕刻除去。但是，帽絕緣膜被除去時，埋入連接孔內之導體膜與閘極間之絕緣膜厚變薄，絕緣降低。又，帽絕緣膜被完全蝕刻閘極露出時，埋入連接孔內之導體膜與閘極呈導通。因此，須將帽絕緣膜之厚度作某一程度之加厚以使連接孔之形成處理終了後於閘極上殘留帽絕緣膜，如此則半導體基板主面起至帽絕緣膜上面之高度較一般變高，連接孔之縱橫比亦變大。連接孔之形成困難，而且導體膜之埋入連接孔內困難，導致連接孔內之電氣阻抗變大或導通不良。

第2為帽絕緣膜加工後之熱處理導致帽絕緣膜之剝離或膨脹之問題。上述第2技術中，帽絕緣膜之厚度確保為必要，但依本發明人之研究結果得知，帽絕緣膜越厚帽絕緣膜形成後之熱處理引起之帽絕緣膜之剝離或膨脹問題越顯著。又，依本發明人研究結果得知，當閘極材料（特別是帽絕緣膜接觸部分之材料）為高熔點金屬膜時該問題更顯著。

又，本申請人依據本發明針對SAC技術進行習知例調查結果發現有例如特開平8-316313號公報及特開平8-125141號公報。

該第1調查技術公報之第1圖揭示有，於閘極上形成氧化矽膜構成之偏移絕緣膜，之後沈積氮化矽膜進行背面

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明(4)

蝕刻，再於閘極側壁形成由氮化矽膜構成之側壁後，於全體沈積薄氮化矽膜及層間絕緣膜，針對薄氮化矽膜及側壁在蝕刻選擇比高之條件下進行層間絕緣膜之蝕刻，之後，對接觸孔底部之薄氮化矽膜蝕刻以使基板露出之工程。

該第1調查技術中，氧化矽膜及氮化矽膜間之蝕刻選擇比不可能無限大，因此在閘極間之層間絕緣膜蝕刻之間，閘極上之薄氮化矽膜亦被蝕刻，因此該薄氮化矽膜之厚度須為層間絕緣膜蝕刻終了後乃能殘留之厚度。

又，由第2調查技術之公報之第3圖至第6圖亦揭示，對閘極以自動整合方式形成接觸孔之方法。此為在閘極上形成氧化矽膜後，於全體沈積氧化矽膜及氮化矽膜，在相對於氮化矽膜選擇比大之條件下進行層間絕緣膜之BPSG膜之蝕刻，其次，在氮化矽膜之蝕刻比大於BPSG膜之條件下對氮化矽膜蝕刻，之後對氧化矽膜蝕刻以形成側壁之技術。

但是，該第2調查技術，亦和第1調查技術一樣，在對閘極間之層間絕緣膜蝕刻之間，閘極上之氮化矽膜亦被蝕刻。因此，該氮化矽膜須具有層間絕緣膜之蝕刻終了後乃能殘留之厚度。

本發明之目的為提供可降低接觸孔之縱橫比之技術。

又，本發明之另一目的為提供防止帽絕緣膜形成後之帽絕緣膜之剝離或膨脹之技術。

本發明之上述目的及特徵可由圖面加以說明。

以下簡單說明本發明之代表性之概要。

(請先閱讀背面之注意事項再為本頁)

裝
訂
線

五、發明說明(5)

本發明之半導體積體電路裝置之製造方法係具有：

(a) 於半導體基板上由下層起依序披覆第1導體膜、第1絕緣膜及第2絕緣膜後，對其施以圖形化俾形成多數第1導體膜圖型的工程；

(b) 於上述(a)工程後之半導體基板上，在第1導體膜圖型之側壁及第2絕緣膜上形成第3絕緣膜後，於該第3絕緣膜上形成第4絕緣膜的工程；

(c) 上述(b)工程後，於上述第4絕緣膜上，在上述多數第1導體膜圖型之中互為鄰接之第1導體膜圖型之間形成具第1開口之掩罩後，，在上述第4絕緣膜較第3及第2絕緣膜更易蝕刻除去之條件下，對由上述掩罩之第1開口露出之第4絕緣膜進行蝕刻，俾於上述第4絕緣膜形成第2開口之工程；及

(d) 上述(c)工程後，在上述第3絕緣膜較第1及第4絕緣膜更易被蝕刻之條件下，對由上述第4絕緣膜之第2開口露出之第3絕緣膜施以異方性蝕刻，俾於上述互為鄰接之第1導體膜圖型間之第3絕緣膜形成使上述半導體基板之上面露出的工程。

(發明之實施形態)

以下，依圖面說明本發明之實施形態(又，實施形態說明之全圖中具同一機能者付加同一符號，並省略重複說明)。

圖1為本實施形態之形成有DRAM之半導體晶片之

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(6)

全體平面圖。

如圖示，由單晶矽構成之半導體晶片1A之主面上，沿X方向（半導體晶片1A之長邊方向）及Y方向（半導體晶片1A之短邊方向）以矩陣方式配置多數記憶體陣列MARRY。沿X方向互為鄰接之記憶體陣列MARRY間配置感測放大器SA。於半導體晶片1A之主面中央部，配置字元線驅動器WD、資料線選擇電路等控制電路，或輸出入電路、接合焊墊等。

圖2為上述DRAM之等效電路圖。如圖示，該DRAM之記憶體陣列MARRY係由：延伸於行方向之多數字元線WL（ WL_{n-1} 、 WL_n 、 WL_{n+1} 、...）及延伸於列方向之多數位元線BL及配置於其交點之多數記憶隔MC構成。記憶1位元資訊之1個記憶格係由1個資訊儲存用容量元件C及與其串接之1個記憶格選擇用MISFETQs構成。記憶格選擇用MISFETQs之源極、汲極之一方，係連接資訊儲存用容量元件C，另一方係電連接位元線BL。字元線WL之一端，連接字元線驅動器WD，位元線BL之一端連接感測放大器SA。

圖3為顯示DRAM之記憶體陣列及周邊電路之各一部分的半導體基板之重要部份斷面圖，圖4為顯示記憶體陣列MARRY之一部分之半導體基板之概略平面圖，圖5（a）為圖4之A-A線之斷面圖，顯示記憶體陣列MARRY之接觸孔部分之擴大斷面圖，圖5（b）為圖4之B-B線（橫切位元線BL用之接觸孔之線）之斷面圖

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明(7)

，為沿與圖 5 (a) 交叉之方向之擴大斷面圖 (其中，資訊儲存用容量元件 C 被省略)。又，圖 4 僅顯示構成記憶格之導電層 (平電極除外)，導電層間之絕緣膜或形成於記憶格上部之配線之圖示被省略。

D R A M 之記憶格，係形成於 p 型單晶矽構成之半導體基板 1 (此次為半導體晶片) 之主面所形成之 p 型井 2。形成有記憶格之領域 (記憶體陣列) 之 p 型井 2，為防止來自半導體基板 1 之其他領域所形成輸出電路等之雜訊之侵入，藉由形成於其下部之 n 型半導體領域 3 與半導體基板 1 做電氣分離。

記憶格，係構成為在記憶格選擇用 M I S F E T Q s 之上部配置資訊儲存用容量元件 C 之多層構造。記憶格選擇用 M I S F E T Q s 以 n 通道型構成，如圖 4 所示，形成於沿 X 方向 (列方向) 垂直延伸之細長島狀圖型縮構成之活性領域 L。於活性領域 L，源極、汲極之一方 (n 型半導體領域 9) 互為共用之記憶格選擇用 M I S F E T Q s 於 X 方向鄰接形成 2 個。

包圍活性領域 L 之元件分離領域，係由形成於 p 型井 2 之元件分離溝 6 構成。元件分離溝 6 之內部埋入氧化矽膜 5，其表面平坦化成與活性領域 L 之表面略同高度，亦即，成為溝隔離構造。以此種元件分離溝 6 構成之元件分離領域，於活性領域 L 之端部無法做鳥嘴型焊接，故和以 L O C O S (選擇氧化) 法形成之同一尺寸之元件分離領域 (場氧化膜) 比較，有效面積變大。換言之，元件分離

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(8)

溝6形成之元件分離領域，可消除不作爲元件分離機能之鳥嘴型部分，較場氧化膜構造之情況可以更小面積達成元件分離，因此可提升元件集積度。

記憶格選擇用MISFETQs，主要由閘極絕緣膜7、閘極8A及構成源極、汲極之一對n型半導體領域9、9構成。該閘極絕緣膜7，係由例如氧化矽膜構成，其厚度爲例如8nm左右。

記憶格選擇用MISFETQs之閘極（第1導體膜圖型）8A係與字元線WL一體構成，各以同一寬度、同一間隔沿Y方向垂直延伸。閘極8A（字元線WL）之寬度，亦即閘極長，及鄰接之2條閘極8A（字元線WL）之間隔，均與光蝕刻之解析度所決定之最小加工尺寸爲同程度。又，上述閘極8A之寬度及鄰接之2條閘極8A之間隔爲例如220nm程度。

閘極8A（字元線WL）係具有以例如摻雜磷等雜質之低電阻多晶矽膜，及形成於其上部之WN（鎢氮化物）膜等構成之障層金屬膜，及形成於上部之W（鎢）膜等高熔點金屬膜構成之多金屬（polymetal）構造。多金屬構造之閘極8A（字元線WL），和多晶矽膜或矽化物膜構成之閘極比較，電阻低（薄膜電阻爲 $1-2\Omega/\square$ ），可減低字元線WL之信號延遲。依此，可提升DRAM之存取速度。又，1條字元線WL所接記憶格數增加，故可縮小記憶體領域全體之佔有面積，縮小半導體晶片之尺寸。例如本實施形態中，字元線WL可接512個記憶格。與字

（請先閱讀背面之注意事項再爲本頁）

裝

訂

線

五、發明說明 (9)

元線 W L 接 2 5 6 個記憶格之情況比較，半導體晶片尺寸約縮小 6 % - 1 0 %。因此，可增加良率，減低 D R A M 之成本。又，半導體晶片之尺寸不增加的話，元件集積度可提升。又，閘極 8 A 之最下層多晶矽膜之厚度為例如 1 0 0 n m，其上層之 W N 膜之厚度為例如 5 n m，其上層之 W 膜之厚度為例如 5 0 0 - 1 0 0 n m 左右。

D R A M 之周邊電路，係以 n 通道型 M I S F E T Q n 及 p 通道型 M I S F E T Q p 構成。n 通道型 M I S F E T Q n 形成於 p 型井 2，主要由閘極絕緣膜 7、閘極 8 B、及構成源極、汲極之一對 n⁺ 型半導體領域 1 0、1 0 構成。p 通道型 M I S F E T Q p 則形成於 n 型井 4，主要由閘極絕緣膜 7、閘極 8 C、及構成源極、汲極之一對 p⁺ 型半導體領域 1 1、1 1 構成。閘極（第 1 導體膜圖型）8 B、8 C，和閘極 8 A（字元線 W L）同樣以多金屬構造構成。構成周邊電路之 n 通道型 M I S F E T Q n 及 p 通道型 M I S F E T Q p，係較記憶格以較緩之設計規格製造。又，周邊電路領域之 M I S F E T 之中，要求高速性之 M I S F E T 之閘極絕緣膜 7 之膜厚為例如 4 n m 程度，較記憶體陣列之 M I S F E T 之閘極氧化膜為薄。

記憶格選擇用 M I S F E T Q s 之閘極 8 A（字元線 W L）之上部形成有帽絕緣膜 1 2。本實施形態中，帽絕緣膜 1 2，係以形成於閘極 8 A 上之氧化矽膜（第 1 絕緣膜）1 2 a 及形成迂其上之氮化矽膜（第 2 絕緣膜）

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明(10)

1 2 b 之積層膜構成(以下亦稱積層帽)。該氧化矽膜氧化矽膜 1 2 a 之厚度為例如 1 0 0 n m 左右，氮化矽膜 1 2 b 之厚度為例如 4 0 n m 左右。但是，氧化矽膜 1 2 a 及氮化矽膜 1 2 b 之厚度不限於此，可做各種變更。關於膜厚詳述於後。

氧化矽膜 1 2 a 具有例如以下之第 1 - 第 3 機能。第 1、緩和熱處理工程引起之氮化矽膜 1 2 b 之膜收縮應力，抑制帽絕緣膜 1 2 形成後之熱處理引起之帽絕緣膜 1 2 之剝離。

第 2、作為後述接觸孔形成時之阻蝕層機能。依此，接觸孔形成時氧化矽膜 1 2 a 不易蝕刻除去可確保其膜厚，該接觸孔內之導體膜與閘極 8 A 間之絕緣耐壓可提升。又，構成帽絕緣膜 1 2 之氮化矽膜 1 2 b 之膜厚可形成較薄，因此，可縮小氮化矽膜 1 2 b 形成後之熱處理引起之氮化矽膜 1 2 b 之體積膨漲，可抑制氮化矽膜 1 2 b 之剝離。又，因氮化矽膜 1 2 b 較薄，半導體基板 1 至帽絕緣膜 1 2 上面之高度可降低，上述接觸孔之縱橫比可縮小。

第 3、作為閘極 8 A 中之鎢膜之保護膜機能。因此，可防止半導體積體電路裝置之製造工程中之閘極 8 A 之薄鎢膜之氧化。又，氧化矽膜 1 2 a 形成後，可減輕對製造處理中之閘極 8 A 之鎢膜之氧化之考慮，D R A M 之製造條件或環境可緩和。

又，構成帽絕緣膜 1 2 之氮化矽膜 1 2 b，具有例如以下第 1 - 第 3 機能。第 1、作為接觸孔形成時之阻蝕層

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (11)

機能。第2、作為閘極及帽絕緣膜12之側面形成側壁間隔物之阻蝕層機能。依第1及第2機能，微細之接觸孔可定位良好的形成，不致產生短路。第3、作為閘極形成時之蝕刻掩罩機能。閘極加工時以氮化矽膜12b作為蝕刻掩罩可提升圖型形成精度，而且可減輕使用光阻劑膜時之異物之產生。

於半導體基板1之記憶體陣列，覆蓋帽絕緣膜12之表面、閘極8A（字元線WL）之側面及半導體基板1之上面般形成薄之氮化矽膜（第3絕緣膜）13。氮化矽膜13係反應底層之斷差而形成，其厚度為例如50nm。氮化矽膜13之膜厚不限於50nm，更大亦可，但是為使鄰接閘極8A間不致完全埋入氮化矽膜13，盡可能形成較薄。亦即，氮化矽膜13之厚度小於鄰接閘極8A間之間隔之一半即可。又，氮化矽膜13並未直接接於半導體基板1，而是在半導體基板1之上面與氮化矽膜13之間存在薄氧化膜。

又，周邊電路之MISFET之閘極8B、8C之上部亦形成帽絕緣膜12。該帽絕緣膜12亦為積層帽構造。但是，周邊電路領域中，於閘極8B及其上之帽絕緣膜12之側壁、閘極8C及其上之帽絕緣膜12之側壁，形成以氮化矽膜13構成之側壁間隔物。

記憶體陣列之帽絕緣膜12及氮化矽膜13，如後述般係作為在記憶體選擇用MISFETQs之源極、汲極（n型半導體領域9、9）之上部以自動整合方式形成接

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (12)

觸孔時之阻蝕層使用。又，周邊電路之側壁間隔物 13 s 係作為形成 n 通道型 MISFETQn 之源極、汲極及 p 通道型 MISFETQp 之源極、汲極中之低雜質濃度領域及高雜質濃度領域時使用。

記憶格選擇用 MISFETQs、n 通道型 MISFETQn 及 p 通道型 MISFETQp 之上部形成有 SOG (spin on glass) 膜 (第 4 絕緣膜) 16。又，SOG 膜 16 之更上部形成 2 層之氧化矽膜 (第 4 絕緣膜) 17、18，上層之氧化矽膜 18，施以平坦化處理以使其表面與半導體基板 1 之全域大略同高度。

於構成記憶格選擇用 MISFETQs 之源極、汲極的一對 n 型半導體領域 9、9 之上部，形成貫通氧化矽膜 17、18 及 SOG 膜 16 之接觸孔 19、20。該接觸孔 19、20 之內部，埋入摻雜 n 型雜質 (例如磷) 之低電阻多晶矽膜構成之塞柱 21。接觸孔 19、20 之底部之 X 方向之徑，係由對向 2 條閘極 8A (字元線 WL) 之一方側壁之氮化矽膜 13 與另一方側壁之氮化矽膜 13 之間隔來界定。亦即，接觸孔 19、20，係相對閘極 8A (字元線 WL) 之間隔以自動整合方式形成。因此，本實施形態中，帽絕緣膜 12 之氧化矽膜 12a 之上部角 (氧化矽膜 12a 之側面與上面交叉部分所形成之處) 及其附近由接觸孔 19、20 內露出 (參照圖 5 (a))。帽絕緣膜 12 僅以氮化矽膜形成時，如後述接觸孔 19、20 形成時其上部角對應部分亦被除去。因此，閘極 8A

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (13)

之側面之氮化矽膜 13 之上部亦被削去，高度變低。帽絕緣膜 12 過度削去時產生絕緣耐壓不良。閘極 8A 上面露出時，產生短路不良，故帽絕緣膜 12 之厚度須設為不致產生該些不良。本實施形態中，接觸孔 19、20 形成時氧化矽膜 12a 之上部角部分可殘留，該上部角部及其附近部分可確保絕緣膜厚度，絕緣耐壓可提升。

一對接觸孔 19、20 之中，資訊儲存用容量元件 C 連接用之接觸孔 20 之 Y 方向之徑，係小於活性領域 L 之 Y 方向之尺寸。位元線 BL 連接用之接觸孔 19（2 個記憶格選擇用 MISFETQs 共用之 n 型半導體領域 9 上之接觸孔）之 Y 方向之徑，大於活性領域 L 之 Y 方向之尺寸。亦即，接觸孔 19，係由 Y 方向之徑大於 X 方向（上端部）之徑之略長方形平面圖型構成。其一部分由活性領域 L 向元件分離溝 6 上延伸（參照圖 5 及圖 4）。由接觸孔 19、20 露出之元件分離領域之上面成略平坦。接觸孔 19 以此種圖型構成，則介由接觸孔 19 內之塞柱 21 電連接 n 型半導體領域 9 與位元線 BL 時，位元線 BL 之寬度之一部分變大延伸至活性領域 L 之上部，或使活性領域 L 之一部分向位元線 BL 之方向延伸均可，故可縮小記憶格尺寸。

氧化矽膜 18 之上部形成氧化矽膜 28。接觸孔 19 之上部之氧化矽膜 28 形成有貫穿孔 22，其內部由下層起依序埋入由 Ti 膜、TiN 膜、W 膜積層之導體膜所構成塞柱 35。又，在塞柱 35 與埋入貫穿孔 22 下部之接

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (14)

觸孔 19 之塞柱 21 之界面，形成有構成塞柱 35 之一部分之 Ti 膜與構成塞柱 21 之多晶矽膜間之反應所生 TiSi₂（鈦矽化物）層 37。貫穿孔 22 配置於偏離活性領域 L 之元件分離溝 6 之上方。

於氧化矽膜 28 上部形成位元線 BL。位元線 BL 配置於元件分離溝 6 之上方，以同一寬度、同一間隔沿 X 方向直線延伸。位元線 BL 由 W（鎢）膜構成，介由形成於氧化矽膜 28 之貫穿孔 22 及形成於其下部之絕緣膜（氧化矽膜 28、18、17、SOG 膜 16 及閘極絕緣膜 7）之接觸孔 19 電連接記憶格選擇用 MISFETQs 之源極、汲極之一方（2 個記憶格選擇用 MISFETQs 共用之 n 型半導體領域 9）。又，位元線 BL，為盡可能減少其與鄰接位元線 BL 間之寄生容量，其間隔儘可能設為較大。

藉由加大位元線 BL 之間隔以減少寄生容量，則即使縮小記憶格尺寸時，亦可加大讀出儲存於資訊儲存用容量元件 C 之電荷（資訊）時之信號電壓。又，藉由加大位元線 BL 之間隔，後述位元線 BL 之間隔領域所形成貫穿孔（連接資訊儲存用容量元件 C 與接觸孔 20 之貫穿孔）48 之開孔餘裕可充分確保，故即使縮小記憶格尺寸時，亦可確實防止位元線 BL 與貫穿孔 48 之短路。

又，位元線 BL 以金屬（W）構成，其薄膜電阻可降低至 2Ω/□ 程度，可高速進行資訊之讀／寫。又，位元線 BL 與後述之周邊電路之配線 23 - 26 可以同一工程

（請先閱讀背面之注意事項再為本頁）

裝訂線

五、發明說明 (15)

同時形成，D R A M之製程可簡化。又，位元線 B L 以耐熱性及耐電子遷移性高之金屬 (W) 構成，則即使位元線 B L 之寬細微化時，亦可確實防止斷線。

周邊電路之氧化矽膜 28 上部形成有第 1 層配線 23 - 26。該第 1 層配線 23 - 26 係和位元線 B L 以同一導電材料 (W) 構成，如後述般以形成位元線 B L 之工程同時形成之配線 23 - 26，係經由形成於氧化矽膜 28、18、17 及 S O G 膜 16 之接觸孔 30 - 34 電連接於周邊電路之 M I S F E T (n 通道型 M I S F E T Q n 及 p 通道型 M I S F E T Q p)。

在連接周邊電路之 M I S F E T 與配線 23 - 26 之接觸孔 30 - 34 之內部，由下層起依序埋入積層 T i 膜、T i N 膜、W 膜之導電膜構成之塞柱 35。該接觸孔 30 - 34 之中，在周邊電路之 M I S F E T 之源極、汲極 (n⁺型半導體領域 10、及 p⁺型半導體領域 11) 之上部所形成接觸孔 (30 - 33) 之底部，形成因構成塞柱 35 之一部分之 T i 膜與半導體基板 1 (S i) 之反應產生之 T i S i₂ 層 37，藉此降低塞柱 35 與源極、汲極 (n⁺型半導體領域 10 極 p⁺型半導體領域 11) 間之接觸電阻。

位元線 B L 及第 1 層配線 23 - 26 之上部形成有氧化矽膜 38。該氧化矽膜 38 之上部形成 S O G 膜 39。S O G 膜 39，其表面被平坦化成與半導體基板 1 之全域為略同高度。

(請先閱讀背面之注意事項再為本頁)

裝訂線

五、發明說明 (16)

記憶格陣列之 S O G 膜 3 9 之上部形成氮化矽膜 4 4，該氮化矽膜 4 4 之上部形成有資訊儲存用容量元件 C。資訊儲存用容量元件 C 係由下部電極（儲存電極）4 5、上部電極（屏電極）4 7 及設於其間之 Ta_2O_5 （氧化鉬）膜 4 6 構成。下部電極 4 5 由例如摻雜磷之低電阻多晶矽膜構成，上部電極 4 7 由例如 T i N 膜構成。

資訊儲存用容量元件 C 之下部電極 4 5，係以沿圖 4 之 X 方向垂直延伸之細長圖形構成。下部電極 4 5，係經由貫通氮化矽膜 4 4、S O G 膜 3 9、及其下層之氧化矽膜 3 8、2 8 之貫穿孔 4 8 內所埋設之塞柱 4 9 電連接於接觸孔 2 0 內之塞柱 2 1，再經由該塞柱 2 1 電連接記憶格選擇用 M I S F E T Q s 之源極、汲極之另一方（n 型半導體領域 9）。形成於下部電極 4 5 與接觸孔間之貫穿孔 4 8，為確實防止與位元線 B L 或其下部之塞柱 3 5 間之短路，係以較最小加工尺寸更細微之徑（例如 $0.1 \mu m$ ）構成。埋入該貫穿孔 4 8 內之塞柱 4 9，係以例如摻雜磷之低電阻多晶矽膜構成。

周邊電路之 S O G 膜 3 9 之上部，形成具與資訊儲存用容量元件 C 之下部電極 4 5 略同高度之厚膜之氧化矽膜 5 0。周邊電路之氧化矽膜 5 0 以如此厚之厚形成，則資訊儲存用容量元件 C 之上部形成之層間絕緣膜 5 6 之表面於記憶格陣列及周邊電路成為略同高度。

資訊儲存用容量元件 C 之上部形成層間絕緣膜 5 6，再於其上部形成第 2 層配線 5 2、5 3。層間絕緣膜 5 6

（請先閱讀背面之注意事項再
為本頁）

裝

訂

線

五、發明說明 (17)

以氧化矽膜構成，第2層配線52、53以鋁為主體之導電膜構成。形成於周邊電路之第2層配線53，係經由形成於其下層絕緣膜（層間絕緣膜56、氧化矽膜50、SOG膜39、氧化矽膜38）之貫穿孔54電連接第1層配線26。貫穿孔貫穿孔54之內部，埋入由例如Ti膜、TiN膜、W膜構成之塞柱55。

第2層配線52、53之上部形成有第2層層間絕緣膜63，再於其上部形成第3層配線57、58、59。層間絕緣膜63以氧化矽系之絕緣膜（例如氧化矽膜、SOG膜、氧化矽膜構成之3層絕緣膜）構成，第3層配線57、58、59，和第2層配線52、53同樣以鋁為主體之導電膜構成。

第3層配線58，係經由形成於其下層之層間絕緣膜63、56之貫穿孔60電連接資訊儲存用容量元件C之上部電極47，周邊電路之第3層配線59，則經由形成於其下層之層間絕緣膜63之貫穿孔61電連接第2層配線53。貫穿孔60、61之內部埋入有例如Ti膜、TiN膜、W膜構成之塞柱62。

以下，以圖5說明帽絕緣膜12之氧化矽膜12a及氮化矽膜12b之膜厚。圖5之符號D表示半導體基板1上之氮化矽膜13上面起至閘極8A上之氮化矽膜13上面止之SOG膜16之厚度。

首先，說明氮化矽膜12b之厚度，氮化矽膜12b，係於接觸孔19、20形成時作為阻蝕層機能。亦即，

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (18)

在接觸孔 19、20 穿孔形成時 S O G 膜 16 之厚度 D 之部分被蝕刻除去之間，氮化矽膜 12b、13 不能被除去。因此若忽視過蝕刻，則須滿足 $D / \text{第 1 選擇比} < \text{氮化矽膜 12b 之厚度} + \text{氮化矽膜 13 之厚度}$ 之關係。假設厚度 $D = \text{氮化矽膜 12b 之厚度} + \text{氧化矽膜 12a 之厚度} + \text{閘極 8A 之厚度}$ ，第 1 選擇比最低約為 8，帶入上式則可以 $\text{氮化矽膜 12b 之厚度} + \text{氮化矽膜 13 之厚度} > (\text{氮化矽膜 13 之厚度} + \text{氧化矽膜 12a 之厚度} + \text{閘極 8A 之厚度}) / 8$ 。第 1 選擇比為，S O G 膜 16 及氧化矽膜 17、18 之蝕刻率相對於氮化矽膜 12b 之蝕刻率之比。

其次，說明氧化矽膜 12a 之厚度。氧化矽膜 12a，須作為接觸孔 19、20 形成時半導體基板 1 上之氮化矽膜 13 除去時之阻蝕層機能。因此，若忽視過蝕刻時，須滿足 $\text{氧化矽膜 12a 之厚度} > (\text{氮化矽膜 13 之厚度} / \text{第 2 選擇比})$ 之關係。此次，第 2 選擇比為氮化矽膜之蝕刻率相對於氧化矽膜之蝕刻率之比，氧化矽膜 12a 以電漿 T E O S (tetraethoxysilane) 形成時約為 3，帶入上式則可以 $\text{氧化矽膜 12a 之厚度} > (\text{氮化矽膜 13 之厚度} / 3)$ 表示。

以下，依工程順說明上述構成之 D R A M 之製造方法之一例。

首先，如圖 6 所示於 p 型、電阻率為 $10 \Omega \text{ cm}$ 程度之單晶矽構成之半導體基板 1 (此階段為半導體晶圓) 之主面之元件分離領域形成元件分離溝 6。元件分離溝 6

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (19)

，係對半導體基板 1 之表面蝕刻形成深 300 - 400 nm 程度之溝，之後於包含該溝內部之半導體基板 1 上以 CVD 法沈積氧化矽膜 5 後，以 CMP（化學機械研磨）法進行背面研磨而形成。

之後，如圖 7 所示，在記憶格形成領域（記憶格陣列）之半導體基板 1，例如注入磷離子形成 n 型半導體領域 3，之後，於記憶格陣列及／周邊電路之一部分（n 通道型 MIS-FET Qn 之形成領域），例如注入硼離子形成 p 型井 2，於周邊電路之另一部分，例如注入磷離子形成 n 型井 4。

之後，將 MISFET 臨界值電壓調整用之雜質，例如 BF₂ 離子注入 p 型井 2 及 n 型井 4，之後以 HF（氟酸）系洗淨液洗淨 p 型井 2 及 n 型井 4 之表面，對半導體基板 1 施予濕氧化，分別於 p 型井 2 及 n 型井 4 之表面形成膜厚約 8 nm 之清靜之閘極絕緣膜 7。

如圖 8 所示，於閘極絕緣膜 7 上，將例如摻雜有磷雜質之膜厚 100 nm 之多晶矽膜（第 1 導體膜）8 s 以 CVD 法形成於半導體基板 1 上。

之後，施與賴特蝕刻（wright etching）處理除去自然氧化膜，之後，於多晶矽膜 8 s 上，以濺射法沈積例如厚 5 nm 程度之 WN 膜構成之障層金屬膜（第 1 導體膜）8 b m，及厚 100 nm 程度之 W 構成之高熔點金屬膜（第 1 導體膜）8 m。又，障層金屬膜 8 b m，係作為高溫處理時 W 膜與多晶矽膜反應於兩者界面形成高電阻之矽化

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (20)

物層之防止用之障礙層機能。障層金屬膜 8 b m 亦可使用例如 T i N 膜。

之後，於高熔點金屬膜 8 m 上，使用 T E O S 氣體以電漿 C V D 法沈積例如厚 1 0 0 n m 程度之氧化矽膜 1 2 a。氧化矽膜 1 2 a 沈積時之所以使用電漿 C V D 法，其原因為，製造處理室內氧之侵入較少或因低溫成膜處理為可能高熔點金屬膜 8 m 之表面不易氧化。又，氧化矽膜 1 2 a 亦可以 4 0 0 °C 左右之熱 C V D 法形成。此情況下，使高熔點金屬膜 8 m 不氧化般，將 T E O S 氣體或矽烷 (S i H ₄) 氣體等含矽之氣體導入處理室後，導入含氧之氣體於處理室，或將含矽氣體及含氧氣體同時導入處理室內。氧化矽膜 1 2 a 之沈積處理工程後，高熔點金屬膜 8 m 之氧化之處理較不須費事，因此製造、環境等處理條件可緩和。

之後，本實施形態中，披覆氧化矽膜 1 2 a 後，於例如氮氣體環境中，對半導體基板 1 施予例如 8 0 0 °C、1 分鐘之熱處理。依此可緩和 high 熔點金屬膜 8 m 及障層金屬膜 8 b m 之應力，而且可使障層金屬膜 8 b m 細密化，提升洗淨耐性。

若未進行該熱處理使障層金屬膜 8 b m 細密化時，則帽絕緣膜形成工程後賴特氧化處理前之洗淨處理時障層金屬膜 8 b m 將被蝕刻除去導致高熔點金屬膜 8 m 剝離之問題。因此，至少於洗淨處理前須進行該熱處理。但是，帽絕緣膜 1 2 僅以氮化矽構成時，就防止高熔點金屬膜 8 m

(請先閱讀背面之注意事項再
寫本頁)

裝

訂

線

五、發明說明(21)

氧化觀點而言，較好迴避於高熔點金屬膜 8 m 披覆後立刻進行該熱處理。此情況下，披覆帽絕緣膜 1 2 用之氮化矽膜後，進行該熱處理，但是該氮化矽膜之膜厚厚時，將產生氮化矽膜剝離之問題。該剝離因高熔點金屬膜 8 m 之熱膨漲率較絕緣膜大 1 位數以上所引起，因此氮化矽膜之膜厚越厚剝離越顯著，其理由為膜厚越厚該氮化矽膜之體積變化亦變大所致。

之後，於氧化矽膜 1 2 a 上披覆例如厚 1 0 0 - 1 5 0 n m 程度之氮化矽膜 1 2 b。氧化矽膜 1 2 a 之成膜方法有例如電漿 C V D 法、低壓 C V D 法、或 P E C V D 法。氮化矽膜 1 2 b 以低壓 C V D 法成膜時，可提升膜質。又，高熔點金屬膜 8 m 之表面已為氧化矽膜 1 2 a 覆蓋保護，成膜時不須在意高熔點金屬膜 8 m 之氧化，因此可緩和例如載置室內之排氣條件、氮化矽膜 1 2 b 成膜時之製造、環境條件可緩和。

之後，於氮化矽膜 1 2 b 上形成閘極形成用之光阻劑圖型 R 1。記憶格選擇用 M I S F E T Q s 之閘極 8 A (字元線 W L) 形成用之光阻劑圖型 R 1，例如使用波長 2 4 8 n m 之 K r F 激光雷射光源以曝光技術及移相技術形成。之後，以光阻劑圖型 R 1 為蝕刻掩罩蝕刻之，如圖 9 所示，形成閘極 8 A 形狀 (記憶格陣列為字元線形狀) 之氮化矽膜 1 2 b。該蝕刻處理使用例如氟系氣體。

除去光阻劑圖型 R 1 後，以該圖型化之氮化矽膜 1 2 b 為蝕刻掩罩對氧化矽膜 1 2 a、高熔點金屬膜 8 m

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (22)

、障層金屬膜 8 b m、多晶矽膜 8 s 施予圖型化，如圖 10 所示，於閘極絕緣膜 7 上部形成閘極 8 A（字元線 W L）、閘極 8 B、8 C、及帽絕緣膜 12。該蝕刻處理，係以例如氯及氧之混合氣體對高熔點金屬膜 8 m 加工。使用該氣體之蝕刻處理之過蝕刻處理中，多晶矽膜之蝕刻速度較 W 膜大 3 倍，故多晶矽膜 8 s 被充分削去。殘留之多晶矽膜使用一般之氯系或臭氧系氣體，在確保對薄氧化膜有高選擇比之狀態下予以蝕刻除去。

本實施形態中，係以帽絕緣膜 12 形成時之氮化矽膜 12 b 為蝕刻掩罩形成閘極 8 A（字元線 W L）及閘極 8 B、8 C。一般，閘極均以光阻劑圖型 R 1 為蝕刻掩罩圖型化，但是閘極以高熔點金屬膜 8 m、障層金屬膜 8 b m、多晶矽膜 8 s 構成，以光阻劑圖型 R 1 為蝕刻掩罩時，蝕刻處理中，光阻劑圖型 R 1 之形狀成為偏移之圖型形狀，形成精度降低之情況發生。又，光阻劑圖型 R 1 之一部分切損、剝離成異物，將導致半導體積體電路裝置之信賴性或良率降低。以帽絕緣膜（氮化矽膜 12 b 及氧化矽膜 12 a）為蝕刻掩罩時，其形狀不會有偏移產生，亦不會有切損、異物之情況，閘極之圖型形成精度可提升，而且半導體積體電路裝置之信賴性或良率可提升。

源極加工之蝕刻處理時，氮化矽膜 12 b 被消去之結果，處理後之氮化矽膜 12 b 之膜厚，較成膜時稍薄，例如為 40 nm 程度。為減低氮化矽膜 12 b 之削去可採以下對策。首先，披覆氮化矽膜 12 b 後，於其上以 C V D

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (23)

法披覆氧化矽膜。之後，形成光阻劑圖型 R 1，以之作爲蝕刻掩罩對該氧化矽膜及氮化矽膜 1 2 b 施予圖型化，則如圖 1 1 所示，將源極形狀（記憶格陣列時爲字元線形狀）之氮化矽膜 1 2 b 及其上之氧化矽膜 1 2 m 圖型化。之後，除去光阻劑圖型 R 1，以圖型後之氮化矽膜 1 2 b 及氧化矽膜 1 2 m 爲蝕刻掩罩對閘極 8 A 蝕刻。此時，氧化矽膜 1 2 m 保護其下層之氮化矽膜 1 2 b 減少削去，因此可確保氮化矽膜 1 2 b 之膜厚。又，氧化矽膜 1 2 m，在閘極 8 A 等加工後，有殘留於氮化矽膜 1 2 b 上，或未殘留之情況。

之後，以例如含過氧化氫之洗淨液洗淨半導體基板 1，特別是除去半導體基板 1 背面之微粒。此時，障層金屬膜 8 b m 如上述因細密化而未被除去。之後，對半導體基板 1 施予賴特氧化處理，於閘極 8 A 之端部形成氧化膜以修復電漿損傷。

之後，如圖 1 2 所示，於 n 型井 4 注入硼離子於閘極 8 C 之兩側之 n 型井 4 形成 p⁻型半導體領域 1 5。又，於 p 型井 2，注入例如磷離子俾於閘極 8 A 之兩側之 p 型井 2 形成 n⁻型半導體領域 9 a，於閘極 8 B 之兩側之 p 型井 2 形成 n⁻型半導體領域 1 4。至此之工程，記憶格選擇用 M I S F E T Q s 已略完成。

之後，如圖 1 3 所示，於半導體基板 1 以 C V D 法沈積膜厚 5 0 n m 之氮化矽膜 1 3 後，將記憶格陣列之氮化矽膜 1 3 以光阻劑膜覆蓋，對周邊電路之氮化矽膜 1 3 施

（請先閱讀背面之注意事項再
為本頁）

裝

訂

線

五、發明說明 (24)

予異方性蝕刻，俾於周邊電路之閘極 8 B、8 C 之側壁形成側壁間隔物 1 3 s，該蝕刻，為使埋入元件分離溝 6 之氧化矽膜 5 及閘極絕緣膜 7 之削減量最少，使用高選擇比之蝕刻氣體對氮化矽膜 1 3 進行蝕刻。又，為使閘極 8 B、8 C 上之氮化矽膜 1 2 之削減量最少，須使過蝕刻量保留必要之最少量。

如圖 1 4 所示，於周邊電路之 n 型井 4，注入例如硼離子，對側壁間隔物 1 3 s 以自動整合方式形成 p 通道型 MISFET Q_p 之 p⁺ 型半導體領域 1 1（源極、汲極），於周邊電路之 p 型井 2，注入例如砷離子，俾對側壁間隔物 1 3 s 以自動整合方式形成 n 通道型 MISFET Q_n 之 n⁺ 型半導體領域 1 0（源極、汲極）。至此之工程，具備低雜質濃度領域及高雜質濃度領域之 p 通道型 MISFET Q_p 及 n 通道型 MISFET Q_n 略完成。

之後，如圖 1 5 所示，於半導體基板 1 施予旋轉塗敷膜厚約 300 nm 之 SOG 膜 1 6，於含氫之約 400℃ 之氧環境中進行烘烤處理後，再進行 800℃、約 1 分鐘之熱處理以使該 SOG 膜 1 6 細密化。SOG 膜 1 6 使用例如聚矽氮烷系之無機 SOG。

SOG 膜 1 6，和玻璃回流膜比較，具較高回流性，對細微空間具較佳間隙填充性，故即使埋入細微化至光蝕刻解析度界限之閘極 8 A（字元線 WL）之間隔時亦不會產生隙縫。又，SOG 膜 1 6 即使不進行高溫、長時間

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (25)

之熱處理亦可得高回流性，因此可抑制注入記憶格選擇用 MISFETQs 之源極、汲極或周邊電路之 MISFET (n 通道型 MISFETQn、p 通道型 MISFETQp) 之源極、汲極的雜質之熱擴散，達成淺接合化，而且熱處理時構成閘極 8A (字元線 WL) 及閘極 8B、8C 之高熔點金屬膜 (W 膜) 之氧化可抑制，記憶格選擇用 MISFETQs 及周邊電路之 MISFET 之高性能化可實現。又，取代以 SOG 膜 16 及其上之氧化矽膜 17、18 形成層間絕緣膜，改以披覆硼、磷矽酸玻璃 (BPOS) 後，施予回流處理，再以 CMP 法使上面平坦化以形成層間絕緣膜亦可，僅以 SOG 膜形成層間絕緣膜亦可。

之後，如圖 16 所示，於 SOG 膜 16 上部沈積厚 600nm 程度之氧化矽膜 17，對該氧化矽膜 17 以 CMP 法研磨使表面平坦化後，於其上部沈積厚 100nm 之氧化矽膜 18。上層之氧化矽膜 18，係為修補 CMP 法研磨時產生於下層之氧化矽膜 17 之表面之細微損傷。又，閘極絕緣膜 7 之上面起至氧化矽膜 18 上面之厚度為例如 550nm 程度。

之後，如圖 17 及 18 所示，以具第 1 開口之光阻劑膜 27 為掩罩進行乾蝕刻俾除去記憶格選擇用 MISFETQs 之 n⁻型半導體領域 (源極、汲極) 9a 上部之氧化矽膜 17、18 及 SOG 膜 16，以形成第 2 開口。該蝕刻，為防止氧化矽膜 17 下層之氮化矽膜 13

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (26)

被除去，選擇具高選擇比之蝕刻氣體對氧化矽膜 17 進行蝕刻。亦即，在氧化矽膜較氮化矽膜更易蝕刻除去之條件下進行蝕刻，以形成接觸孔 19a、20a。此時之氮化矽膜與氧化矽膜間之蝕刻選擇比為 1 對 8 - 10 左右。

圖 18 (a) 為蝕刻處理後之相當於圖 4 之 A - A 線之記憶格之重要部份斷面圖，圖 18 (b) 微蝕刻處理後之相當於圖 4 之 B - B 線之重要部份斷面圖。如圖 18 (a) 所示，於該蝕刻處理中，帽絕緣膜 12 之氧化矽膜 12a 不露出。又，氮化矽膜 13 殘留於閘極 8A 間般，蝕刻被終了。氧化矽膜 12a 與 SOG 膜 16 為同一材料，因此氧化矽膜 12a 露出時蝕刻將由此進行，閘極 8A 之上面將被露出。

如圖 18 (b) 所示，此階段半導體基板 1 之氮化矽膜 13 作為阻蝕層機能，蠶流於半導體基板 1 上。未形成氮化矽膜 13 之情況顯示於圖 52，此情況下，SOG 膜 100 除去時，因元件分離溝 101 內之埋入絕緣膜 102 與 SOG 膜 100 同一材料，該埋入絕緣膜 102 之上部亦被除去形成凹部 103。本實施形態中，如上述接觸孔 19 於平面與元件分離領域重疊，故可有效迴避該埋入絕緣膜之凹部 103。又，即使接觸孔 19 在設計上不與元件分離溝成平面重疊之構造之情況下，藉由接觸孔 19 之平面位置偏移使與元件分離溝 101 重疊之情況亦存在，亦可迴避該凹部 103 引起之元件不良之問題，因此本實施形態中之技術亦有效。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (27)

之後，以光阻劑膜 27 為掩罩進行乾蝕刻，除去氮化矽膜 13 俾於 n^- 型半導體領域（源極、汲極）9a 上部形成第 3 開口，之後，除去下層之薄閘極絕緣膜 7，俾如圖 19、20、21、22 所示形成使 n^- 型半導體領域（源極、汲極）9a 之表面露出之接觸孔 19、20。該蝕刻以閘極 8A 上之氧化矽膜 12a 殘留般終了。圖 20 為處理後之圖 4 之 A-A 線之重要部份斷面圖，圖 21 為處理後之圖 4 之 B-B 線之重要部份斷面圖，圖 22 為處理後之記憶格陣列之重要部份平面圖。

氮化矽膜 13 之蝕刻，為使半導體基板 1 或元件分離溝 6 之削減量最小，使用高選擇比之蝕刻氣體進行蝕刻。亦即，在氮化矽膜較氧化矽膜更易蝕刻除去之條件下進行蝕刻。此十隻氧化矽膜與氮化矽膜之蝕刻選擇比為 1 對 3 左右。

該蝕刻，係對氮化矽膜 13 施予異方性蝕刻，使於閘極 8A（字元線 WL）之側壁殘留氮化矽膜 13。依此則底部之徑（X 方向之徑）為光蝕刻之解析度界限以下之細微接觸孔 19、20 可對閘極 8A（字元線 WL）以自動整合方式形成。

為比較，於圖 53 顯示帽絕緣膜 104 僅以氮化矽膜形成之情況，此情況下，為形成接觸孔 105 除去半導體基板 106 上之氮化矽膜 107 時，閘極 108 之上面極側面之帽絕緣膜 104 極氮化矽膜 107 亦被除去，閘極 108 之上面成露出狀。因此，若考慮要求蝕刻終點檢測

（請先閱讀背面之注意事項再
為本頁）

裝

訂

線

五、發明說明 (28)

之高精度，及防止絕緣耐壓不良或閘極之露出，須增加帽絕緣膜 104 之厚度。但是，依本發明人檢討結果，增大帽絕緣膜 104 之厚度時，導致接觸孔之縱橫比增大，接觸孔內之導體膜埋入困難，不良率大增，而且帽絕緣膜形成後之熱處理將顯著引起帽絕緣膜之剝離或膨脹等問題。

本實施形態中，除去半導體基板 1 上之氮化矽膜 13 使半導體基板 1 上面露出時，因閘極 8A 之上面或側面之氮化矽膜 12b、13 為同一材料故亦被蝕刻除去。因此，蝕刻處理進行中，閘極 8A 上之氧化矽膜 12a 之一部分露出，但是該蝕刻處理中氮化矽膜設為較易蝕刻除去，氧化矽膜 12a 作為阻蝕層機能，未被除去。圖 20 為該蝕刻處理後之模式圖，由接觸孔 19、20 露出之氧化矽膜 12a 之上部角（氧化矽膜 12a 之上面與側面之交叉處）及其近旁之氧化矽膜 12a 殘留未被除去。因此閘極 8A 之側面之氮化矽膜 13 之高度可確保。結果，閘極 8A 之上部角（高熔點金屬膜 8m 上面及側面之交叉處）及披覆其近旁之絕緣膜之膜厚可確保。亦即，埋入接觸孔 19 內之導體膜與閘極 8A 間之距離變長，絕緣耐壓可提升。因此，帽絕緣膜 12 可變薄，半導體基板 1 之上面起至帽絕緣膜 12 上面止之高度可降低。例如，帽絕緣膜 12 僅以氮化矽膜形成時（圖 53 所示），後述之氮化矽膜 13 之厚度設為 A 時，須確保 $A \times (1 + \text{乾式過蝕刻率}) \times (1 + \text{乾式變動率})$ 。假設乾式過蝕刻率為 40%、乾式變動率為 20%、 $A = 5.0 \text{ nm}$ ，將該數值代入上式

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (29)

，則僅以氮化矽膜構成之帽絕緣膜 12 之厚度須為 84 nm 左右。另一方面，本實施形態中之積層帽之情況下，藉氮化矽膜 12 b 之下之氧化矽膜 12 a 形成接觸孔時之選擇比為約 3，故以 $84 / 3 = 28 \text{ nm}$ 為削減分確保即可。因此，積層帽之情況下，半導體基板 1 上面起至帽絕緣膜 12 上面止之高度可降低 56 nm ($= 84 - 28$)。依此，可縮小接觸孔 19、20 之縱橫比，接觸孔 19、20 內之導體膜之埋入容易，可迴避導體膜埋入不足現象。可迴避接觸孔 19、20 內之電阻增大或導通不良，半導體積體電路裝置之信賴性及性能可提升。

又，本實施形態中，接觸孔 19 之平面形狀為長方形狀，平面上與元件分離溝 6 重疊，當由接觸孔 19 露出之氮化矽膜 13 被除去時，元件分離溝 6 之上面易露出，但是因元件分離溝 6 內之埋入絕緣膜為由氧化矽膜 5 構成，故於該蝕刻處理時未被除去。圖 21 為其模式圖，由接觸孔 19 底面露出之元件分離溝 6 之上面殘留未被削去。

之後，除去光阻劑膜 27，以氟酸系蝕刻液（例如氟酸 + 氟化氫混合液）洗淨露出於接觸孔 19、20 底部之半導體基板 1 之表面，除去乾蝕刻殘渣或阻劑殘渣。此時，露出於接觸孔 19、20 側壁之 SOG 膜 16 亦曝曬於蝕刻液，但是在 800℃ 高溫細密化之 SOG 膜 16，和未細密化之 SOG 膜比較，對氟酸系蝕刻液具高耐蝕性，因此不會因該溼蝕刻處理使接觸孔 19、20 之側壁呈現大幅凹陷。因此，後續工程之於接觸孔 19、20 內部埋

（請先閱讀背面之注意事項再
為本頁）

裝

訂

線

五、發明說明(30)

入之塞柱 21 間之短路可確實防止。

又，形成接觸孔 19、20 後，經由該接觸孔 19、20 於 p 型井 2 注入例如磷離子，俾於較記憶格選擇用 MISFETQs 之源極、汲極深之領域之 p 型井 2 形成 n 型半導體層亦可。該 n 型半導體層，具緩和集中於源極、汲極端部之電場之效果，可減低源極、汲極端部之漏電流，提升記憶格之再生特性。

其次，如圖 23、24 所示，於接觸孔 19、20 內部形成塞柱 21。圖 24(a) 為該處理後之圖 4 之 A-A 線之重要部份擴大斷面圖，同圖(b) 為該處理後之圖 4 之 B-B 線之重要部份擴大斷面圖。塞柱 21，係於氧化矽膜 18 上部以 CVD 法沈積摻雜有例如砷之膜厚 300nm 左右之多晶矽膜後，以 CMP 法研磨該多晶矽膜俾於接觸孔 19、20 內部殘留形成。本實施形態中，藉由存在於塞柱 21 與閘極 8A 間之氧化矽膜 12a 可提升絕緣耐壓。又，氧化矽膜 12a 較氮化矽膜之介電率低，故塞柱 21 與閘極 8A 之間之絕緣膜之介電率可降低，寄生容量可減低。

之後，以 CVD 法於氧化矽膜 18 上部沈積厚約 200nm 之氧化矽膜 28，於氮氣體環境中進行約 800℃、1 分鐘之熱處理。因該熱處理，構成塞柱 21 之多晶矽膜中之雜質由接觸孔 19、20 底部朝記憶格選擇用 MISFETQs 之 n⁻型半導體領域 9a 擴散，形成低電阻之 n 型半導體領域（源極、汲極）9。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (31)

之後，如圖 2 6 所示，以光阻劑膜 R 2 為掩罩進行乾蝕刻除去接觸孔 1 9 上部之氧化矽膜 2 8，形成貫穿孔 2 2。該貫穿孔 2 2，配置於偏移活性領域 L 之元件分離溝 6 上方。又，圖 2 6 (a) 為該處理後之圖 4 之 A - A 線之重要部份擴大斷面圖，圖 2 6 (b) 為處理後之圖 4 之 B - B 線之重要部份擴大斷面圖，圖 2 7 為處理後之記憶格陣列之重要部份平面圖。

之後，如圖 2 5 所示，以光阻劑膜 R 3 為掩罩進行乾蝕刻除去周邊電路之氧化矽膜 2 8、1 8、1 7、S O G 膜 1 6 及閘極絕緣膜 7，俾於 n 通道型 M I S F E T Q n 之 n⁺型半導體領域 1 0 (源極、汲極) 上部形成接觸孔 3 0、3 1，於 p 通道型 M I S F E T Q p 之 p⁺型半導體領域 1 1 (源極、汲極) 上部形成接觸孔 3 2、3 3。又，同時於 p 通道型 M I S F E T Q p 之閘極 8 C 上部形成接觸孔 3 4，於 n 通道型 M I S F E T Q n 之閘極 8 B 上部形成未圖示之接觸孔。接觸孔 3 0 - 3 4，必須不與元件分離領域重疊般，相對於元件分離領域確保餘裕地形成。

如上述貫穿孔 2 2 之蝕刻形成，及接觸孔 3 0 - 3 4 之蝕刻形成藉由個別工程形成，如此則形成周邊電路之較深接觸孔 3 0 - 3 4 時露出於記憶格陣列之較淺貫穿孔 2 2 底部之塞柱 2 1 被削去較深之不良情況可防止。又，貫穿孔 2 2 之形成與接觸孔 3 0 - 3 4 之形成，以和上述相反順序進行亦可。

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明 (32)

其次，如圖 28 所示，於包含接觸孔 30 - 34 及貫穿孔 22 內部之氧化矽膜 28 上部沈積厚約 40 nm 之 Ti 膜 36。Ti 膜 36，係在縱橫比較大之接觸孔 30 - 34 底部亦可確保約 10 nm 以上厚度之情況下，以準直濺射法等高指向性之濺射法沈積之。

之後，在 Ti 膜 36 未曝曬於大氣之情況下，於 Ar 氣體環境中進行 650℃、約 30 秒之熱處理，再於氮氣體環境中，進行 750℃、約 1 分鐘之熱處理。藉該熱處理，如圖 29 所示，接觸孔 30 - 34 底部之 Si 基板與 Ti 膜 36 反應，於 n 通道型 MISFET_{Qn} 之 n⁺ 型半導體領域 10（源極、汲極）表面及 p 通道型 MISFET_{Qp} 之 p⁺ 型半導體領域 11（源極、汲極）表面形成膜厚約 10 nm 之 TiSi₂ 層 37。又，藉上述氮氣體環境中之熱處理，接觸孔 30 - 34 之側壁沈積之薄 Ti 膜 36 之表面被氮化，成為與 Si 不易反應之安定之膜。

此時，氧化矽膜 28 上部之 Ti 膜 36 表面亦被氮化，但是表面以外部分未被氮化而殘留。又，於貫穿孔 22（參照圖 26）底部之塞柱 21 之表面，因構成塞柱 21 之多晶矽膜與 Ti 膜 36 之反應而形成 TiSi₂ 層 37。

藉由在接觸孔 30 - 33 底部形成 TiSi₂ 層 37，可使後續工程之於接觸孔 30 - 33 內部所形成之塞柱 35，與周邊電路之 MISFET 之源極、汲極（n⁺ 型半導體領域 10、p⁺ 型半導體領域 11）之接觸部分之接觸

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (33)

電阻降至 $1\text{ k}\Omega$ 以下，感測放大器 SA 或字元線驅動器 WD 等周邊電路之高速動作爲可能。接觸孔 30 - 33 底部之矽化物層，亦可以 TiSi_2 以外之高熔點金屬矽化物層、例如 CoSi_2 、 TaSi_2 、 MoSi_2 等構成。

之後，如圖 30 所示，於 Ti 膜 36 上部以 CVD 法沈積厚 30 nm 之 TiN 膜 40。和濺射法比較，CVD 法具較佳段差覆蓋率，故可於縱橫比大之接觸孔 30 - 34 底部沈積與平坦部同程度膜厚之 TiN 膜 40。之後，以 WF_6 、氫及 SiH_4 爲氣體源使用 CVD 法於 TiN 膜 40 上部沈積厚 300 nm 左右之 W 膜 41，於接觸孔 30 - 34 及貫穿孔 22（參照圖 26）之內部分別以 W 膜 41 完全埋入。

又， TiSi_2 層 37 形成後以蝕刻液除去未反應之 Ti 膜 36 時，p 通道型 MISFET Qp 之閘極 8C 上部形成之接觸孔 34 內部，或 n 通道型 MISFET Qn 之閘極 8B 上部形成之未圖示接觸孔內部亦侵入蝕刻液，多金屬構造構成之閘極 8B、8C 之表面（W 膜）亦被蝕刻。爲防止此現象，本實施形態中，在接觸孔 30 - 33 底部形成 TiSi_2 層 37 後，於氧化矽膜 28 上部或接觸孔 30 - 34 內部殘留未反應之 Ti 膜 36 之情況下，於其上部沈積 TiN 膜 40 及 W 膜 41。

之後，如圖 31 所示，以 CMP 法除去氧化矽膜 28 上部之 W 膜 41、TiN 膜 40 及 Ti 膜 36（背面研磨），俾於接觸孔 30 - 34 及貫穿孔 22（參照圖 26）

（請先閱讀背面之注意事項再爲本頁）

裝

訂

線

五、發明說明 (34)

內部分別形成以上述W膜41、TiN膜40及Ti膜36構成之塞柱35。該塞柱35，亦可以乾蝕刻除去（背面蝕刻）氧化矽膜28上部之W膜41、TiN膜40及Ti膜36而形成。

塞柱35，係以高熔點金屬膜之W膜41為主體構成，電阻低，同時具高耐熱性。又，W膜41下層所形成之TiN膜40，係作為阻蝕層機能俾防止藉CVD法沈積W膜41時因WF₆與Si反應引起之缺陷之發生，同時防止後續高溫處理工程中W膜41與Si基板之反應（矽化物反應）。該阻蝕層亦可使用TiN以外之高熔點金屬氮化物（例如WN膜）等。

塞柱35，不使用W膜41而以TiN膜40為主體之構成亦可。亦即，於接觸孔30-34及貫穿孔22（參照圖26等）之內部埋入厚之TiN膜40形成塞柱35亦可。此情況下，和以W膜41為主體構成之情況比較，塞柱35之電阻稍高，但是後續工程對氧化矽膜28上部沈積之W膜42施予乾蝕刻形成位元線BL及周邊電路之第1層配線23-26時，TiN膜40作為阻蝕層，配線23-26與接觸孔30-34間之定位偏移餘裕度大幅提升，配線23-26之佈局自由度亦大幅提升。

之後，於氧化矽膜28上部以下述方法形成位元線BL及周邊電路之第1層配線23-26。

首先，如圖32所示，對氧化矽膜28表面施予溼洗淨，充分除去研磨殘渣後，以濺射法於其上部沈積近

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (35)

100 nm 左右之 W 膜 42。之後，如圖 33 所示，以 W 膜 42 上部形成之光阻劑膜 43 為掩罩對 W 膜 42 施予乾蝕刻，形成位元線 BL 及周邊電路之第 1 層配線 23 - 26。

位元線 BL 及配線 23 - 26 使用以 CVD 法沈積之 W 膜、或 W 膜與 TiN 膜之積層膜形成亦可。又，使用與氧化矽系絕緣膜具良好密接性之其他高熔點金屬（例如 Mo 膜、Ta 膜）或其氮化物之單層膜或積層膜亦可。又，圖 34 為位元線 BL 形成後之記憶格陣列之重要部份平面圖。位元線 BL 以帶狀形成，經由貫穿孔 22 電連接平面長方形狀之塞柱 21。

如圖 35 及 36 所示，於位元線 BL 及第 1 層配線 23 - 26 之上部分別沈積厚約 100 nm 之氧化矽膜 38，再於氧化矽膜 38 上部藉旋轉塗敷法形成厚約 250 nm 之 SOG 膜 39 後，於含水蒸汽之約 400℃ 氧氣體環境中進行烘乾處理後，再進行 800℃、約 1 分鐘之熱處理使細密化，以使 SOG 膜 39 表面平坦化。圖 36 (a) 為處理後之圖 4 之 A - A 線之重要部份擴大斷面圖，同圖 (b) 為處理後之圖 4 之 B - B 線之重要部份斷面圖。

又，位元線 BL 與第 1 層配線 23 - 26 間之段差小時，不使用 SOG 膜 39 僅沈積厚之氧化矽膜 38 即可達成平坦化。另外，位元線 BL 與第 1 層配線 23 - 26 之密度差大，僅以 SOG 膜 39 無法得充分之平坦性時，以

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (36)

CMP 法研磨 SOG 膜 39 表面，再於其上部沈積氧化矽膜以修補 SOG 膜 39 表面之微細之研磨傷亦可。又，SOG 膜 39 之細密化溫度無法太高時，未彌補耐溼性之降低，於其上部再沈積氧化矽膜亦可。

之後，如圖 37 所示，於 SOG 膜 39 上部以 CVD 法沈積厚 200 nm 左右之多晶矽膜 70，再以光阻劑膜為掩罩對該多晶矽膜 70 施予乾蝕刻，俾於接觸孔 20 上方形成貫穿孔 71。該貫穿孔 71，其直徑和最小加工尺寸相同。

如圖 38 所示，於貫穿孔 71 之側壁形成以多晶矽膜構成之側壁間隔物 72。側壁間隔物 72，係於含貫穿孔 71 內部之多晶矽膜 70 之上部以 CVD 法沈積厚 60 nm 左右之薄之第 2 多晶矽膜（未圖示）後，對該多晶矽膜施予背面蝕刻使殘留於貫穿孔 71 之側壁而形成。藉該側壁間隔物 72 之形成，使貫穿孔 71 之內徑較最小加工尺寸微細。

之後，如圖 39 所示，以多晶矽膜 70 及側壁間隔物 72 為掩罩對貫穿孔 71 底部之絕緣膜（SOG 膜 39、氧化矽膜 38、28）施予乾蝕刻，俾形成貫通位元線 BL 及與其鄰接之位元線 BL 間之間隔領域達接觸孔 20 之貫穿孔 48。

貫穿孔 48，係以具較最小加工尺寸更細微之內徑之貫穿孔 71 之側壁之側壁間隔物 72 為掩罩而形成，其內徑亦較最小加工尺寸更細微。因此，位元線 BL 之間隔領

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (37)

域與貫穿孔 4 8 間之定位餘裕度可充分確保，後續工程之於貫穿孔 4 8 內部埋入之塞柱 4 9 之與位元線 B L 或其下部之塞柱 3 5 間之短路可確實防止。

如圖 4 0 所示，於含貫穿孔 4 8 內部之多晶矽膜 7 0 之上部以 C V D 法沈積摻雜有例如磷之厚 2 0 0 n m 之多晶矽膜（未圖示）後，對該多晶矽膜及多晶矽膜 7 0、側壁間隔物 7 2 同時施予背面蝕刻，俾於貫穿孔 4 8 內部形成以多晶矽膜構成之塞柱 4 9。

如圖 4 1 所示，於 S O G 膜 3 9 上部以 C V D 法沈積厚 2 0 0 n m 左右之氮化矽膜 4 4，以光阻劑膜為掩罩施予乾蝕刻俾除去周邊電路之氮化矽膜 4 4。殘留於記憶格陣列之氮化矽膜 4 4，係於後續資訊儲存用容量元件 C 之下部電極 4 5 之形成工程對氧化矽膜蝕刻時作為阻蝕層使用。

如圖 4 2 所示，於氮化矽膜 4 4 上部以 C V D 法沈積氧化矽膜 5 0，以光阻劑膜為掩罩對氧化矽膜 5 0 及其下部之氮化矽膜 4 4 施予乾蝕刻，俾於貫穿孔 4 8 上部形成凹溝 7 3。因資訊儲存用容量元件 C 之下部電極 4 5，係沿該凹溝 7 3 內部形成，為增大下部電極 4 5 之表面積，增大儲存電荷量，氧化矽膜 5 0 需以較厚之膜厚（例如 1 . 3 μ m 左右）沈積。

如圖 4 3 所示，於含凹溝 7 3 內部之氧化矽膜 5 0 上部以 C V D 法沈積摻雜例如磷之厚 6 0 n m 左右之多晶矽膜 4 5 A。該多晶矽膜 4 5 A，作為資訊儲存用容量元件

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (38)

C 之下部電極之材料使用。

之後，如圖 4 4 所示，於含凹溝 7 3 內部之多晶矽膜 4 5 A 上部旋轉塗敷厚 3 0 0 n m 左右之 S O G 膜 7 4，再進行 4 0 0 °C 之熱處理，以烘乾 S O G 膜 7 4 後，以背面蝕刻除去凹溝 7 3 外部之 S O G 膜 7 4。

如圖 4 5 所示，以光阻劑膜 7 5 覆蓋周邊電路之多晶矽膜 4 5 A 上部，以背面蝕刻（異方性蝕刻）除去記憶格陣列之氧化矽膜 5 0 上部之多晶矽膜 4 5 A，俾沿凹溝 7 3 內壁形成下部電極 4 5。下部電極 4 5 以多晶矽膜 4 5 A 以外之導電膜構成。下部電極 4 5 用之導電膜，較好以後續工程之容量絕緣膜之高溫處理不致引起劣化程度之具耐熱性及耐酸性之導電材料、例如 W、R u 等高熔點金屬或 R u O、I r O 等導電性金屬氧化物構成。

之後，如圖 4 6 所示，以氟酸系蝕刻液同時除去殘留於凹溝 7 3 與凹溝 7 3 之間之間隙之氧化矽膜 5 0、及凹溝 7 3 內部之 S O G 膜 7 4，除去光阻劑膜 7 5。之後，以覆蓋記憶格陣列之光阻劑膜為掩罩施予乾蝕刻除去周邊電路之多晶矽膜 4 5 A，依此完成筒型下部電極 4 5。凹溝間隙之氧化矽膜 5 0 之底部形成有氮化矽膜 4 4，故對氧化矽膜 5 0 施予溼蝕刻時下層之 S O G 膜 3 9 不會被蝕刻除去。又，此時，因周邊電路表面以多晶矽膜 4 5 A 覆蓋，其下層之厚氧化矽膜 5 0 未被蝕刻除去。

藉由於周邊電路殘留厚之氧化矽膜 5 0，則於後續工程於資訊儲存用容量元件 C 上層所形成層間絕緣膜 5 6、

（請先閱讀背面之注意事項再
為本頁）

裝

訂

線

五、發明說明 (39)

63之表面於記憶格陣列與周邊電路成為略同高度，因此配置於層間絕緣膜56上部之第2層配線52、53、配置於層間絕緣膜63上部之第3層配線57、58及連接第2層與第3層配線間之貫穿孔60、61之形成容易。

之後，於氮氣體環境中進行800℃、3分鐘之熱處理於下部電極45表面形成薄氮化膜（未圖示）後，如圖47所示，於下部電極45上部沈積厚14nm左右之薄 Ta_2O_5 膜46。下部電極45表面之氮化膜，係為防止構成下部電極45之多晶矽膜45A於後續之熱處理時被氧化，又， Ta_2O_5 膜46，係以例如使用Ta（ OC_2H_5 ）₅之原料氣體藉CVD法形成。以CVD法沈積之 Ta_2O_5 膜46，因段差覆蓋率佳，故可於立體筒狀之下部電極45之表面全體以略均一厚度沈積。

之後，於800℃之氧環境中對 Ta_2O_5 膜46施予3分鐘熱處理。藉該高溫熱處理，修復膜中之結晶缺陷，可得良質之 Ta_2O_5 膜46。依此，可減低資訊儲存用容量元件C之漏電，製造較佳再生特性之DRAM。

又，資訊儲存用容量元件C之下部電極45設為立體筒狀以增大其表面積，且容量絕緣膜以介電率為2.0—2.5左右之 Ta_2O_5 膜46構成，則即使記憶格細微化時，亦可確保充分之儲存電荷量以利資訊之儲存。

又， Ta_2O_5 膜46沈積之前先形成之下層之位元線BL及第1層配線23—26，係以和氧化矽系絕緣膜具良好密接性之W膜構成，則因 Ta_2O_5 膜46之高溫熱處

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (40)

理引起之位元線 B L 或配線 23 - 26 之膜剝離可確實防止。

又，位元線 B L 以耐熱型高之 W 膜構成，則以最小加工尺寸以下之細微寬形成之位元線 B L 之因 Ta_2O_5 膜 46 之高溫熱處理而產生之劣化或斷線等不良可確實防止。又，周邊電路之 MISFET 與第 1 層配線 23 - 26 之連接用接觸孔 30 - 35 內部之塞柱 35 以高耐熱性之導電材料 (W 膜 / TiN 膜 / Ti 膜) 構成，則 Ta_2O_5 膜 46 之高溫熱處理引起之源極、汲極之漏電流增加、接觸電阻增加等不良情況可防止。

資訊儲存用容量元件 C 之容量絕緣膜，可以例如 BST、STO、BaTiO₃、PbTiO₃、PZT (PbZrXTi1 - XO₃)、PLT (PbLaXTi1 - XO₃)、PLZT 等金屬氧化物形成之高介電體膜構成。該高介電體膜，因其共通之性質，為得結晶缺陷少之高品質膜，於成膜後至少需進行 750℃ 以上之高溫熱處理，因此使用該高介電體膜時，亦可得上述同樣效果。

如圖 48 所示，於 Ta_2O_5 膜 46 上部並用 CVD 法及濺射法沈積 TiN 膜後，以光阻劑膜為掩罩進行乾蝕刻對 TiN 膜及 Ta_2O_5 膜 46 施予圖型化，如此完成由 TiN 膜形成之上部電極 47，及 Ta_2O_5 膜 46 形成之容量絕緣膜，及多晶矽膜 45A 形成之下部電極 45 所構成之資訊儲存用容量元件 C。又，至此之工程，可完成以記憶格選擇用 MISFET Qs 及與其串接之資訊儲存用

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (41)

容量元件 C 所構成之記憶格。資訊儲存用容量元件 C 之上部電極 47 亦可由 Ti 膜以外之導電膜、例如 W 膜構成。

之後，如圖 49 所示，於資訊儲存用容量元件 C 形成層間絕緣膜 56，以光阻劑膜為掩罩對周邊電路之層間絕緣膜 56、氧化矽膜 50、SOG 膜 39 及氧化矽膜 38 蝕刻，俾於第 1 層配線 26 上部形成貫穿孔 54。層間絕緣膜 56，係以例如 CVD 法沈積之厚 600 nm 左右之氧化矽膜構成。

如圖 50 所示，於貫穿孔 54 內部形成塞柱 55，於層間絕緣膜 56 上部形成第 2 層配線 52、53。塞柱 55，係於例如層間絕緣膜 56 上不已濺射法沈積 Ti 膜，再於其上部以 CVD 法沈積 TiN 膜及 W 膜後，對該膜施予背面蝕刻（乾蝕刻）使僅殘留於貫穿孔 54 內部而形成。第 2 層配線 52、53，係於層間絕緣膜 56 上部以濺射法依序沈積厚 50 nm 左右之 Ti 膜、厚 500 nm 左右之鋁膜、厚 50 nm 左右之 Ti 膜及厚 50 nm 左右之 TiN 膜，再以光阻劑膜為掩罩進行乾蝕刻對該膜施予圖型化而形成。

形成資訊儲存用容量元件 C 之容量絕緣膜後，不進行高溫熱處理工程，因此層間絕緣膜 56 上部形成之第 2 層配線 52、53 之材料，可使用和高熔點金屬膜或其氮化物比較具較差耐熱性，但電阻低之鋁等為主體之導電材料。又，因未伴隨高溫熱處理工程，膜剝離問題不存在，故於氧化矽構成之層間絕緣膜 56 上部形成第 2 層配線 52

（請先閱讀背面之注意事項再為本頁）

裝

訂

線

五、發明說明 (42)

、53時，與層間絕緣膜56之界面連接部分之障層金屬膜可使用Ti膜。

之後，如圖51所示，於第2層配線52、53上部形成第2之層間絕緣膜63後，對資訊儲存用容量元件C上部之層間絕緣膜63、56蝕刻形成貫穿孔60，對周邊電路之第2層配線53上部之層間絕緣膜63蝕刻以形成貫穿孔61。第2之層間絕緣膜63，係以例如CVD法沈積之厚300nm之氧化矽膜及其上部旋轉塗敷之厚400nm之SOG膜、及再於其上部以CVD法沈積之厚300nm之氧化矽膜構成。構成層間絕緣膜63之一部分之SOG膜之烘烤，為防止以鋁為主體之第2層配線52、53與資訊儲存用容量元件C之容量絕緣膜之劣化，係於400℃左右之溫度進行。

之後，於貫穿孔60、61內部形成塞柱62，再於層間絕緣膜上部形成第3層配線57、58、59，如此則圖3所示DRAM大致完成。塞柱62，係以和塞柱55同一導電材料（W膜/TiN膜/Ti膜）構成，第3層配線57、58、59，係以例如和第2層配線52、53同一導電材料（TiN膜/Ti膜/Al膜/Ti膜）構成。又，於第3層配線57、58、59上部，沈積有高耐水性之細密絕緣膜（例如以電漿CVD法沈積之氧化矽膜及氮化矽膜構成之2層絕緣膜），但其圖示省略。

以上係依實施形態具體說明本發明，但本發明不限於

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (43)

上述實施形態，在不脫離其要旨之範圍內可做各種變更。

例如，上述實施形態中，資訊儲存用容量元件 C 以筒型形狀為例做說明，但並不限定於此，可做各種變更，例如葉片形資訊儲存用容量元件 C 亦適用。

又，上述實施形態中，以多金屬之閘極構造為例做說明，但本發明並不限於此，閘極以例如在多晶矽膜上形成矽化鎢等矽化物膜之所謂矽化物構造之閘極或僅以鎢等金屬膜形成之閘極亦可適用本發明。

又，上述實施形態中，位元線 B L 與記憶格選擇用 M I S F E T 之電氣連接用連接孔之平面形狀以長方形狀為例做說明，但並不限於此，一般之圓形狀亦可。此情況下，使位元線 B L 之一部分朝與位元線 B L 之延伸方向交叉之方向做平面延伸，使該延伸部分與連接孔重疊般使雙方做電氣連接，或使記憶格選擇 M I S F E T 之形成領域之中之位元線 B L 用之連接孔之形成領域朝位元線 B L 方向延伸，於該延伸部份形成連接孔，再於其上使直線狀位元線 B L 重疊般令雙方接電氣連接即可。

以上主要係以 D R A M 技術等利用領域做說明，但本發明並不限於此，例如 S R A M 或 E E P R O M (electrically erassable programmable ROM) 等其他記憶體電路晶片、或微處理器等邏輯電路晶片、或同一半導體晶片上具邏輯電路與記憶體電路之邏輯、記憶體電路晶片等其他半導體積體電路裝置均適用。

本發明之代表性效果簡單說明如下。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (44)

(1) 依本發明，帽絕緣膜之膜厚可設為較僅以氮化矽膜形成之情況薄，連接孔之縱橫比可縮小。因此，連接孔內之導體膜之埋入容易，導體膜之埋入不足引起之電阻增加或導通不良現象可迴避，半導體積體電路裝置之良率及信賴性可提升。

(2) 依本發明，帽絕緣膜之氮化矽膜可設為較薄，帽絕緣膜形成後之熱處理引起之帽絕緣膜剝離或膨脹可迴避。因此，半導體積體電路裝置之良率及信賴性可提升。

(3) 依本發明，閘極上之帽絕緣膜為氧化矽膜及氮化矽膜之積層構造，半導體基板上及帽絕緣膜上形成之阻蝕層為氮化矽膜，阻蝕層之氮化矽膜之膜厚可設為較薄，即使鄰接之閘極間隔小時，接觸電阻亦可充分降低。又，帽絕緣膜之總膜厚可減低，連接孔之縱橫比可減低。

(圖面之簡單說明)

圖 1：本發明之一實施形態之形成有 D R A M 之半導體晶片之全體平面圖。

圖 2：圖 1 之 D R A M 之等效電路圖。

圖 3：顯示圖 1 之 D R A M 之記憶體陣列及周邊電路之一部分之半導體基板之重要部分之斷面圖。

圖 4：顯示圖 1 之 D R A M 之記憶體陣列之一部分之半導體基板之概略平面圖。

圖 5 (a)：圖 4 之 A - A 線之重要部分之擴大斷面圖，(b)：B - B 線之重要部分之斷面圖。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (45)

圖 6：顯示圖 1 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 7：顯示接續圖 6 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 8：顯示接續圖 7 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 9：顯示接續圖 8 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 10：顯示接續圖 9 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 11：顯示本發明另一實施形態之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 12：顯示接續圖 10 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 13：顯示接續圖 12 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 14：顯示接續圖 13 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 15：顯示接續圖 14 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 16：顯示接續圖 15 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 17：顯示接續圖 16 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (46)

圖 1 8 (a) : 相當於圖 4 之 A - A 線之於圖 1 7 之製造工程中之半導體基板之重要部分擴大斷面圖。

圖 1 8 (b) 為相當於圖 4 之 B - B 線之於圖 1 7 之製造工程中之半導體基板之重要部分擴大斷面圖。

圖 1 9 : 顯示接續圖 1 7 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 2 0 : 圖 1 9 之製造工程中半導體基板之重要部分擴大斷面圖。

圖 2 1 : 圖 1 9 之製造工程中沿與圖 2 0 交叉之方向之半導體基板之重要部分擴大斷面圖。

圖 2 2 : 圖 1 9 之製造工程中之半導體基板之重要部分擴大斷面圖。

圖 2 3 : 顯示接續圖 1 9 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 2 4 (a) : 相當於圖 4 之 A - A 線之於圖 2 3 之製程中之半導體基板之重要部分擴大斷面圖, (b) : 相當於圖 4 之 B - B 線之於圖 2 3 之製程中之半導體基板之重要部分擴大斷面圖。

圖 2 5 : 顯示接續圖 2 3 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 2 6 (a) : 相當於圖 4 之 A - A 線之於圖 2 5 之製程中之半導體基板之重要部分擴大斷面圖, (b) : 相當於圖 4 之 B - B 線之於圖 2 5 之製程中之半導體基板之重要部分擴大斷面圖。

圖 2 7 : 圖 2 5 之製程中之半導體基板之重要部分擴大斷面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(47)

圖 2 8 : 顯示接續圖 2 5 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 2 9 : 顯示接續圖 2 8 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 3 0 : 顯示接續圖 2 9 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 3 1 : 顯示接續圖 3 0 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 3 2 : 顯示接續圖 3 1 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 3 3 : 顯示接續圖 3 2 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 3 4 : 圖 3 3 之製程中之半導體基板之重要部分斷面圖。

圖 3 5 : 顯示接續圖 3 3 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 3 6 (a) : 相當於圖 4 之 A - A 線之於圖 3 5 之製程中之半導體基板之重要部分擴大斷面圖, (b) : 相當於圖 4 之 B - B 線之於圖 3 5 之製程中之半導體基板之重要部分擴大斷面圖。

圖 3 7 : 顯示接續圖 3 5 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 3 8 : 顯示接續圖 3 7 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (48)

圖 3 9 : 顯示接續圖 3 8 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 4 0 : 顯示接續圖 3 9 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 4 1 : 顯示接續圖 4 0 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 4 2 : 顯示接續圖 4 1 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 4 3 : 顯示接續圖 4 2 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 4 4 : 顯示接續圖 4 3 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 4 5 : 顯示接續圖 4 4 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 4 6 : 顯示接續圖 4 5 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 4 7 : 顯示接續圖 4 6 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 4 8 : 顯示接續圖 4 7 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 4 9 : 顯示接續圖 4 8 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 5 0 : 顯示接續圖 4 9 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明 (49)

圖 5 1：顯示接續圖 5 0 之 D R A M 之製造方法之半導體基板之重要部分斷面圖。

圖 5 2 (a)：僅以氮化矽膜構成帽絕緣膜時之連接孔之形成工程後之半導體基板之部分斷面圖，(b)：與其交叉之方向之半導體基板之部分斷面圖。

圖 5 3：僅以氮化矽膜構成帽絕緣膜，而且於半導體基板上未形成氮化矽膜時之連接孔之形成工程後之半導體基板之部分斷面圖。

(符號說明)

- 1、半導體基板
- 1 A、半導體晶片
- 2、p 型井
- 3、n 型半導體領域
- 4、n 型井
- 5、氧化矽膜
- 6、元件分離溝
- 7、閘極絕緣膜
- 8 A、8 B、8 C、閘極
- 8 b m、障層金屬膜
- 8 m、高熔點金屬膜
- 9、n 型半導體領域
- 9 a、n⁻型半導體領域
- 1 1、p⁺型半導體領域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(50)

- 1 2、帽絕緣膜
- 1 2 a、氧化矽膜
- 1 2 b、氮化矽膜
- 1 3、氮化矽膜
- 1 4、 n^- 型半導體領域
- 1 6、S O G 膜
- 1 7、1 8、氧化矽膜
- 1 9、2 0、接觸孔
- 2 1、塞柱
- 2 3 - 2 6、配線
- 2 7、光阻劑膜
- 2 8、氧化矽膜
- 3 0 - 3 4、接觸孔
- 3 5、塞柱
- 3 7、 $TiSi_2$ 、層
- 3 8、氧化矽膜
- 3 9、S O G 膜
- 4 4、氮化矽膜
- 4 5、下部電極
- 4 5 A、多晶矽膜
- 4 6、 Ta_2O_5 膜
- 4 7、上部電極
- 4 8、貫穿孔
- 4 9、塞柱

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明(51)

- 50、氧化矽膜
- 52、53、配線
- 56、層間絕緣膜
- 57-59、配線
- 60、貫穿孔
- 61、貫穿孔
- 63、層間絕緣膜
- 70、多晶矽膜
- 71、貫穿孔
- 73、凹溝
- 74、SOG膜
- 100、SOG膜
- 101、元件分離溝
- 102、埋入絕緣膜
- 103、凹部
- 104、帽絕緣膜
- 105、接觸孔
- 106、半導體基板
- 107、氮化矽膜
- 108、閘極
- BL、位元線
- C、資訊儲存用容量元件
- SA、感測放大器
- MARY、記憶體陣列

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(52)

W L、字元線

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：半導體積體電路裝置及其製造方法)

閘極上之帽絕緣膜設為氧化矽膜及形成於其上之氮化矽膜之積層構造。接觸孔形成時，在氧化矽膜相對於氮化矽膜更易蝕刻之條件下施予蝕刻，該蝕刻處理於氮化矽膜露出之時點為終了。之後，在氮化矽膜較氧化矽膜更易蝕刻之條件下施予蝕刻，形成時半導體基板1露出之接觸孔。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫各欄)

裝

訂

線

六、申請專利範圍

1、一種半導體積體電路裝置之製造方法，其特徵為具有：

(a) 於半導體基板上由下層起依序披覆第1導體膜、第1絕緣膜及第2絕緣膜後，對其施以圖形化俾形成多數第1導體膜圖型的工程；

(b) 於上述(a)工程後之半導體基板上，在第1導體膜圖型之側壁及第2絕緣膜上形成第3絕緣膜後，於該第3絕緣膜上形成第4絕緣膜的工程；

(c) 上述(b)工程後，於上述第4絕緣膜上，在上述多數第1導體膜圖型之中互為鄰接之第1導體膜圖型之間形成具第1開口之掩罩後，，在上述第4絕緣膜較第3及第2絕緣膜更易蝕刻除去之條件下，對由上述掩罩之第1開口露出之第4絕緣膜進行蝕刻，俾於上述第4絕緣膜形成第2開口的工程；及

(d) 上述(c)工程後，在上述第3絕緣膜較第1及第4絕緣膜更易被蝕刻之條件下，對由上述第4絕緣膜之第2開口露出之第3絕緣膜施以異方性蝕刻，俾於上述互為鄰接之第1導體膜圖型間之第3絕緣膜形成使上述半導體基板之上面露出的工程。

2、如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中

於上述(c)工程時令蝕刻停止，俾使由上述第1開口露出之第4絕緣膜被除去，上述互為鄰接之第1導體膜圖型上之第1絕緣膜不露出。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

3、如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中

於上述(d)工程時令蝕刻停止，俾由上述第2開口露出之第3絕緣膜被除去以使半導體基板露出，上述互為鄰接之第1導體膜圖型上之第1絕緣膜被殘留。

4、如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中

上述第1絕緣膜及第4絕緣膜係由氧化矽膜構成，第2絕緣膜及第3絕緣膜係由氮化矽膜構成。

5、如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中

上述第2絕緣膜之膜厚與第3絕緣膜之膜厚之和係設定為大於，將上述半導體基板上之第3絕緣膜之上面起至上述第1導體膜圖型上之第3絕緣膜之上面止之間所存在第4絕緣膜之膜厚，以上述第4絕緣膜相對於第2及第3絕緣膜之蝕刻率之比除之之值者。

6、如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中

上述第1絕緣膜之膜厚係設定為大於，將上述第3絕緣膜之膜厚，以上述第3絕緣膜相對於第1絕緣膜之蝕刻率之比除之之值者。

7、如申請專利範圍第1項之半導體積體電路裝置之製造方法，其中

上述第3絕緣膜之膜厚，係設定為較上述互為鄰接之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第 1 導體膜圖型之間隔之一半為薄。

8、如申請專利範圍第 1 項之半導體積體電路裝置之製造方法，其中

於上述 (a) 工程之前，具有 (e) 於上述半導體基板形成溝之工程；及 (f)

於上述溝以絕緣膜埋入之工程。

9、如申請專利範圍第 1 項之半導體積體電路裝置之製造方法，其中

上述第 4 絕緣膜之形成係具有披覆 S O G 膜之工程。

10、如申請專利範圍第 1 項之半導體積體電路裝置之製造方法，其中

上述第 4 絕緣膜之形成工程具有：披覆 S O G 膜之工程；及於其上披覆氧化矽膜之工程；及對該氧化矽膜施予研磨處理之工程。

11、如申請專利範圍第 1 項之半導體積體電路裝置之製造方法，其中

上述第 4 絕緣膜之形成工程係具有：披覆硼・磷矽酸玻璃膜之工程；及對該硼・磷矽酸玻璃膜施予回流處理之工程；及對回流處理後之硼・磷矽酸玻璃膜之上面施予研磨處理之工程。

12、如申請專利範圍第 1 項之半導體積體電路裝置之製造方法，其中

上述第 1 導體膜之形成工程具有：披覆多晶矽膜之工程；及於其上形成矽化物膜之工程。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1 3、如申請專利範圍第 1 項之半導體積體電路裝置之製造方法，其中

上述第 1 導體膜之形成工程具有：披覆多晶矽膜之工程；及於其上形成矽化物膜之工程，及於其上形成高熔點金屬膜之工程。

1 4、如申請專利範圍第 1 項之半導體積體電路裝置之製造方法，其中

於上述（a）工程時具有：以光阻劑膜為蝕刻掩罩對上述第 1 絕緣膜及第 2 絕緣膜施予圖型化後，除去該光阻劑膜之工程；及以該圖型化之上述第 1 絕緣膜及第 2 絕緣膜為蝕刻掩罩對第 1 導體膜施予圖型化以形成上述多數第 1 導體膜圖型之工程。

1 5、一種半導體積體電路裝置之製造方法，其特徵為具有：

（a）於半導體基板上披覆多晶矽膜後，於其上介由障層金屬膜披覆高熔點金屬膜，以形成第 1 導體膜的工程；

（b）於上述第 1 導體膜上形成第 1 導體膜保護用之第 1 絕緣膜的工程；

（c）對上述（b）工程後之半導體基板施予熱處理的工程；

（d）上述（b）工程後，於上述第 1 導體膜保護用之第 1 絕緣膜上形成第 2 絕緣膜的工程；

（e）對上述第 2 絕緣膜、第 1 絕緣膜、及第 1 導體

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

膜施予圖型化以形成多數第1導體膜圖型的工程；及

(f) 上述(e)工程後，施予洗淨處理後，對半導體基板施予氧化處理的工程。

16、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中具有：

(g) 上述(f)工程後之半導體基板上，於第1導體膜圖型之側壁及第2絕緣膜上形成第3絕緣膜後，於該第3絕緣膜上形成第4絕緣膜的工程；

(h) 上述(g)工程後，於第4絕緣膜上，形成在上述多數第1導體膜圖型之中互為鄰接之第1導體膜圖型之間具第1開口之掩罩後，在上述第4絕緣膜較第3及第2絕緣膜更容易蝕刻除去之條件下，對由上述掩罩之第1開口露出之上述第4絕緣膜施予蝕刻，俾於上述第4絕緣膜形成第2開口的工程；及

(i) 上述(h)工程後，在上述第3絕緣膜較第1及第4絕緣膜更容易蝕刻除去之條件下，對由上述第4絕緣膜之第2開口露出之第3絕緣膜施予異方性蝕刻，俾於上述互為鄰接之第1導體膜圖型間之第3絕緣膜形成時上述半導體基板之上面露出之第3開口的工程。

17、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

上述第1導體膜保護用之第1絕緣膜係以電漿CVD法形成。

18、如申請專利範圍第15項之半導體積體電路裝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

置之製造方法，其中

上述障層金屬膜係由氮化鎢構成，上述洗淨處理時係使用含過氧化氫之洗淨液。

19、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

上述第1導體膜保護用之第1絕緣膜係由氧化矽膜構成，上述第2絕緣膜由氮化矽構成。

20、一種半導體積體電路裝置之製造方法，其特徵為具有：

(a) 於上述半導體基板上形成閘極絕緣膜後，形成第1導體膜的工程；

(b) 於上述第1導體膜上形成第1絕緣膜的工程；

(c) 於上述第1絕緣膜上形成第2絕緣膜的工程；

(d) 對上述第2絕緣膜、第1絕緣膜及第1導體膜施予圖型化，俾於上述半導體基板上，形成多數字元線、多數閘極、及於其上面形成以上述第1絕緣膜及第2絕緣膜構成之帽絕緣膜的工程；

(e) 上述(d)工程後之半導體基板上，於字元線之側壁、閘極之側壁、及帽絕緣膜上形成第3絕緣膜後，於該第3絕緣膜上形成第4絕緣膜的工程；

(f) 上述(e)工程後，於上述第4絕緣膜上，形成在上述多數字元線之中互為鄰接之字元線間具第1開口之掩罩後，在上述第4絕緣膜較第3及第2絕緣膜更容易蝕刻除去之條件下，對由該掩罩之第1開口露出之上述第

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

4 絕緣膜施予蝕刻，俾於第 4 絕緣膜形成第 2 開口的工程；

(g) 上述 (f) 工程後，對由上述第 4 絕緣膜之第 2 開口露出之上述第 3 絕緣膜施予異方性蝕刻處理，俾於上述互為鄰接之字元線間之第 3 絕緣膜形成使上述半導體基板之上面露出之多數第 3 開口的工程；

(h) 於上述多數連接孔內埋入導體膜的工程；

(i) 於上述導體膜之中之位元線連接用導體膜形成電連接之位元線的工程；及

(j) 於上述導體膜之中之容量元件連接用導體膜形成電連接之資訊儲存用容量元件的工程。

21、如申請專利範圍第 20 項之半導體積體電路裝置之製造方法，其中另具有：

於上述 (a) 工程之前，於半導體基板之分離領域形成溝後，於含該溝之半導體基板上披覆絕緣膜的工程；及使該絕緣膜殘留於上述溝內般除去該絕緣膜，於上述溝內形成埋入絕緣膜以形成溝型之分離領域的工程。

22、如申請專利範圍第 20 項之半導體積體電路裝置之製造方法，其中

上述第 1 導體膜之形成工程係具有：披覆多晶矽膜的工程；及於上述多晶矽膜上披覆障層金屬膜的工程；及於上述障層金屬膜上披覆高熔點金屬膜的工程。

23、如申請專利範圍第 22 項之半導體積體電路裝置之製造方法，其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

具有：上述第1絕緣膜之形成工程後施予熱處理以使構成上述障層金屬膜之氮化鎢細密化的工程；及上述（d）工程後使用含過氧化氫之洗淨液施予洗淨處理後，施予氧化處理的工程。

24、如申請專利範圍第20項之半導體積體電路裝置之製造方法，其中

上述第1絕緣膜以電漿CVD法形成，上述第2絕緣膜以低壓CVD法形成。

25、如申請專利範圍第20項之半導體積體電路裝置之製造方法，其中

上述第1絕緣膜由氧化矽膜構成，第2絕緣膜由氮化矽膜構成。

26、如申請專利範圍第20項之半導體積體電路裝置之製造方法，其中

上述位元線連接用導體膜之平面尺寸中，上述字元線之延伸方向之尺寸係較與上述字元線交叉之方向之尺寸為長，上述位元線連接用導體膜於分離領域呈平面重疊。

27、一種半導體積體電路裝置之製造方法，其特徵為具有：

（a）於半導體基板上由下層起依序形成第1導體膜、第1絕緣膜及第2絕緣膜後，對其施以圖形化俾於第1領域形成第1導體圖型，於第2領域形成第2導體圖型的工程；

（b）於上述第1及第2導體圖型之上及側壁上形成

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

第3絕緣膜的工程；

(c) 於上述第2領域，相對於上述第3絕緣膜以自動整合方式將第1導電型雜質導入上述半導體基板表面的工程；

(d) 埋入上述第1領域之上上述第1圖型間般，於上述第1及第2領域之第3絕緣膜上形成第4絕緣膜的工程；

(e) 於上述第1領域之上上述第1圖型間，在上述第4絕緣膜較第3絕緣膜更易蝕刻之條件下，於上述第4絕緣膜形成第1開口的工程；及

(f) 於上述第1開口內露出之上上述第3絕緣膜形成第2開口的工程。

28、一種半導體積體電路裝置之製造方法，其特徵為具有：

(a) 於半導體基板上由下層起依序形成第1導體膜、第1氧化矽膜及第1氮化矽膜後，對其施以圖形化俾於第1領域形成第1導體圖型，於第2領域形成第2導體圖型的工程；

(b) 於上述第1及第2導體圖型之上及側壁上形成第2氮化矽膜的工程；

(c) 於上述第2領域，相對於上述第2氮化矽膜以自動整合方式將第N型第1雜質導入上述半導體基板表面的工程；

(d) 埋入上述第1領域之上上述第1圖型間般，於上

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

述第1及第2領域之第2氮化矽膜上形成第2氧化矽膜的工程；

(e) 於上述第1領域之上述第1圖型間，在上述第2氧化矽膜較第2氮化矽膜更易蝕刻之條件下，於上述第2氧化矽膜形成第1開口的工程；及

(f) 於上述第1開口內露出之上述第2氮化矽膜形成第2開口，以使上述半導體基板露出的工程。

29、如申請專利範圍第28項之半導體積體電路裝置之製造方法，其中

於上述工程(a)與(b)之間另具有：

(g) 於上述第2領域，相對於上述第2圖型以自動整合方式將N型第2雜質導入上述半導體基板表面的工程。

30、如申請專利範圍第28項之半導體積體電路裝置之製造方法，其中

於上述工程(b)與(c)之間另具有：

(h) 對上述第2氮化膜施予異方性蝕刻，俾於上述第2導體圖型之側壁形成第1側壁絕緣膜的工程，上述第1雜質係以相對於上述第1側壁絕緣膜以自動整合方式導入半導體基板表面。

31、如申請專利範圍第28項之半導體積體電路裝置之製造方法，其中

於上述第1及第2開口之形成工程中，在上述第1導體圖型之側壁形成有第2側壁絕緣膜。

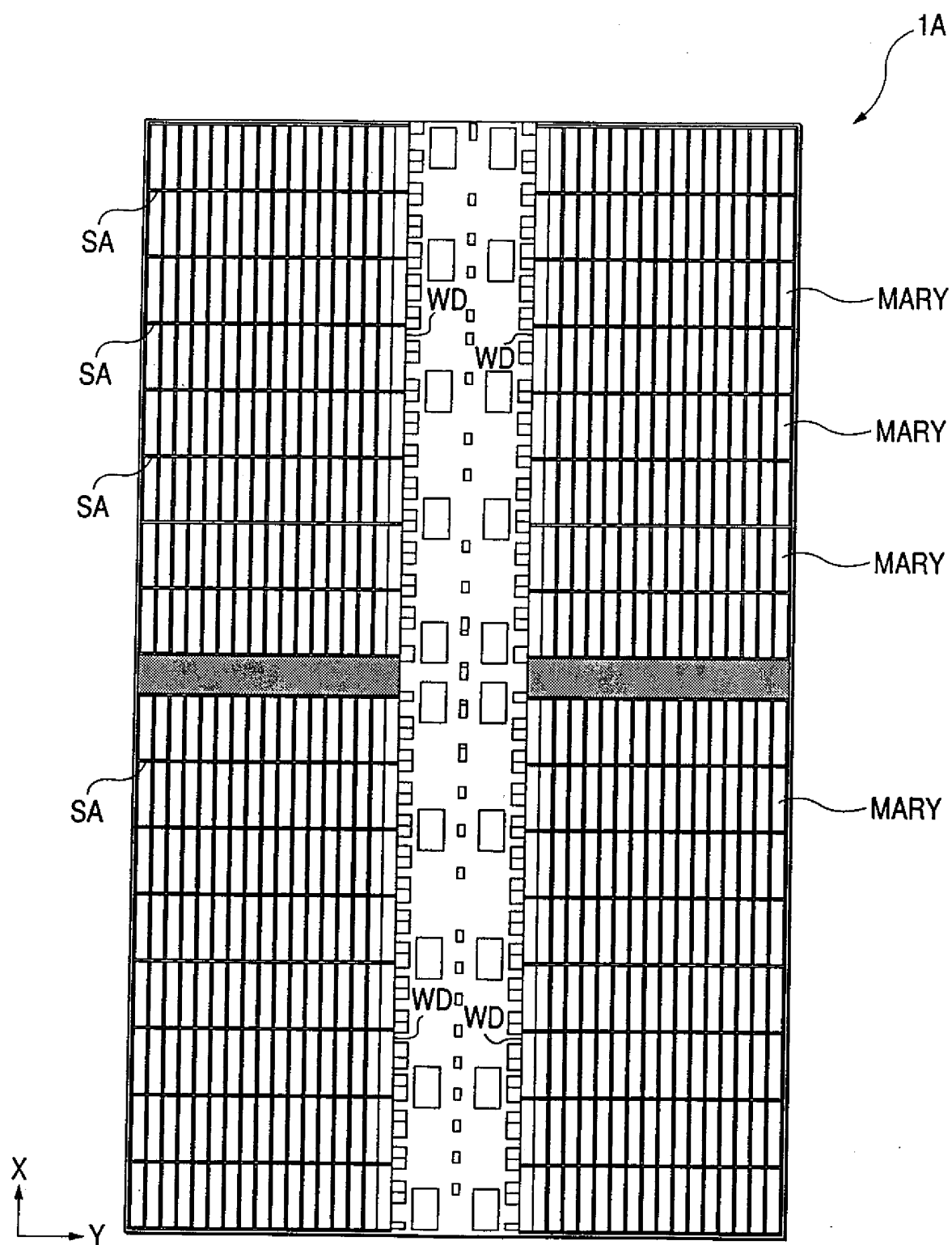
(請先閱讀背面之注意事項再填寫本頁)

裝

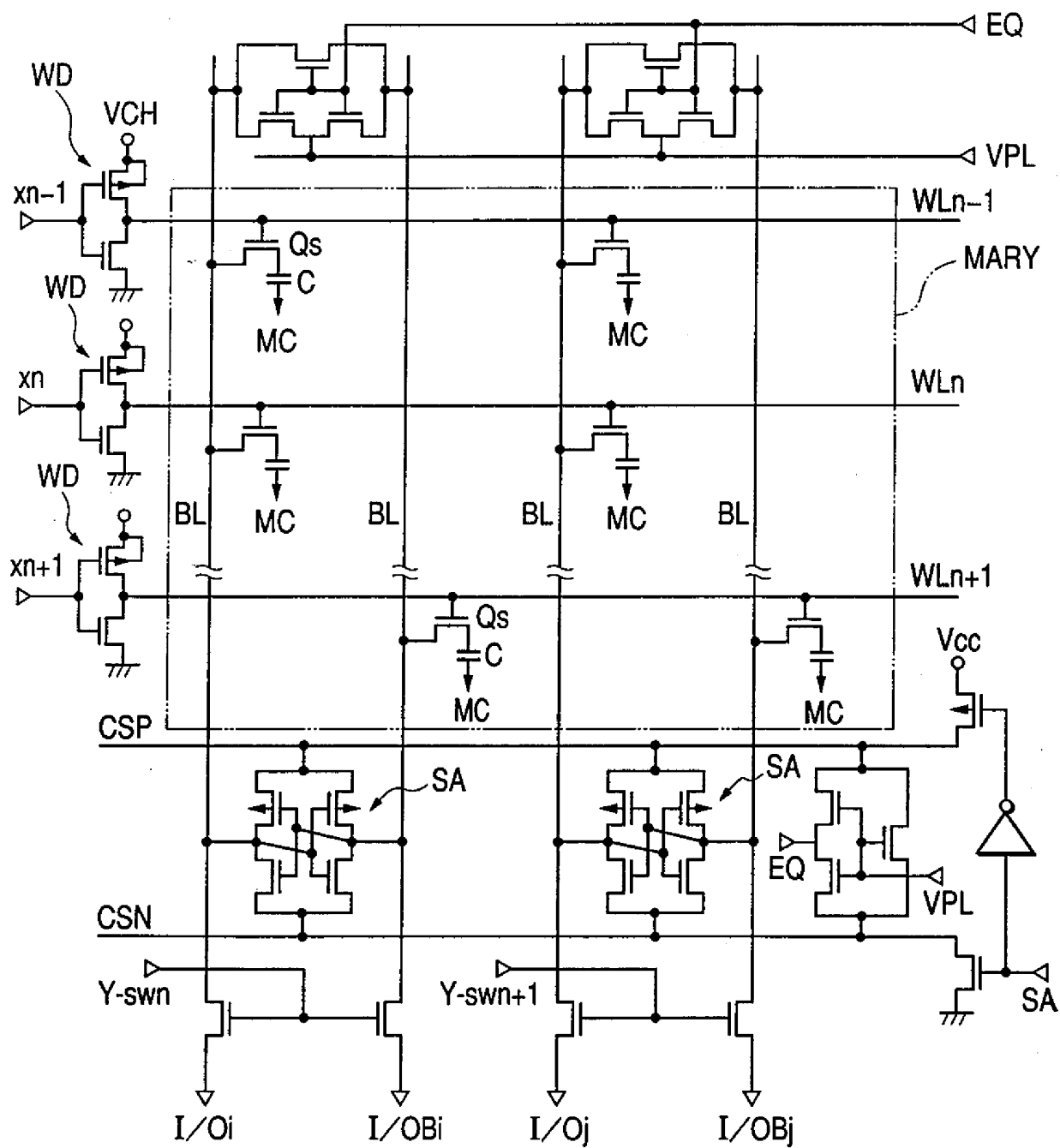
訂

線

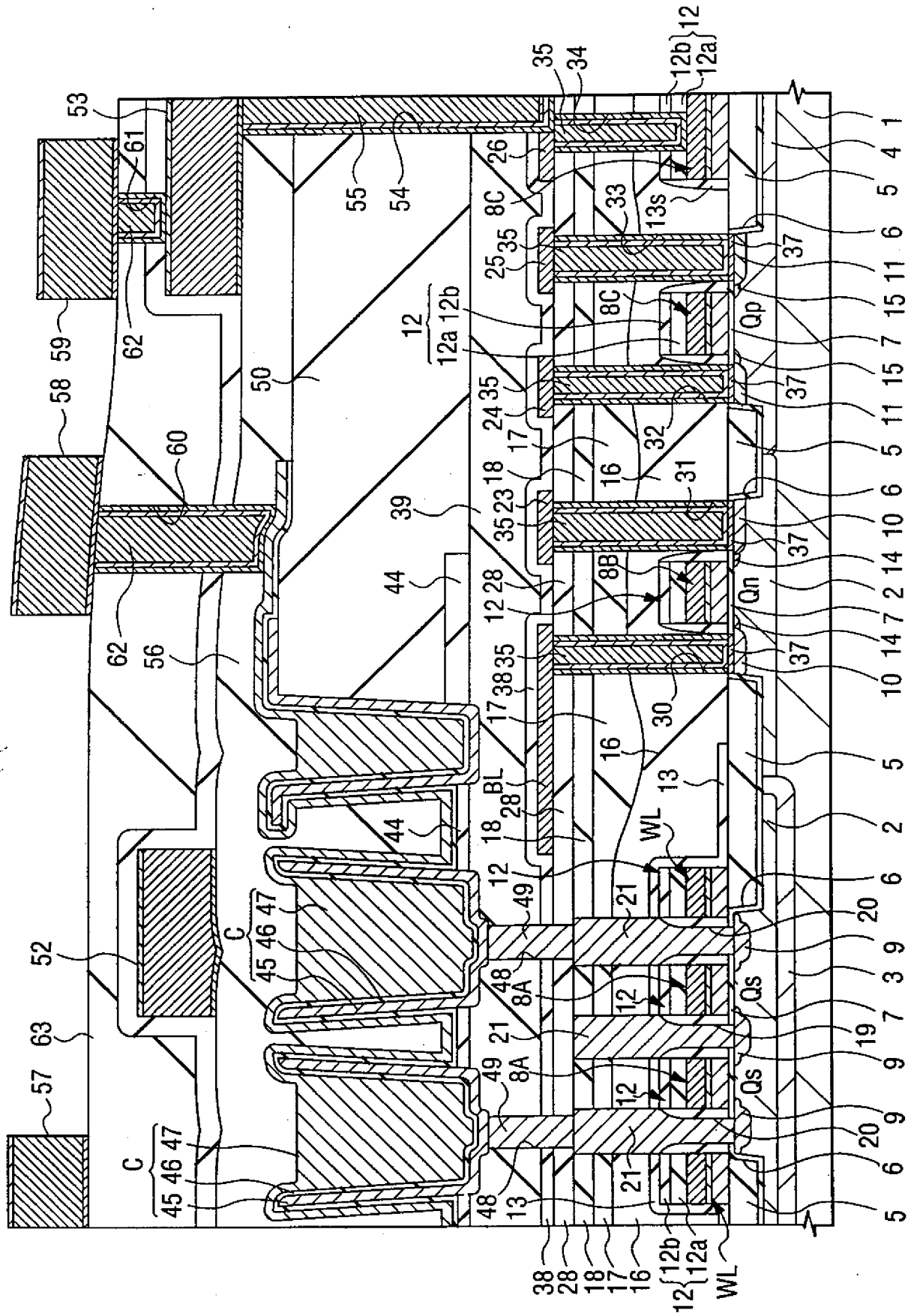
第 1 圖



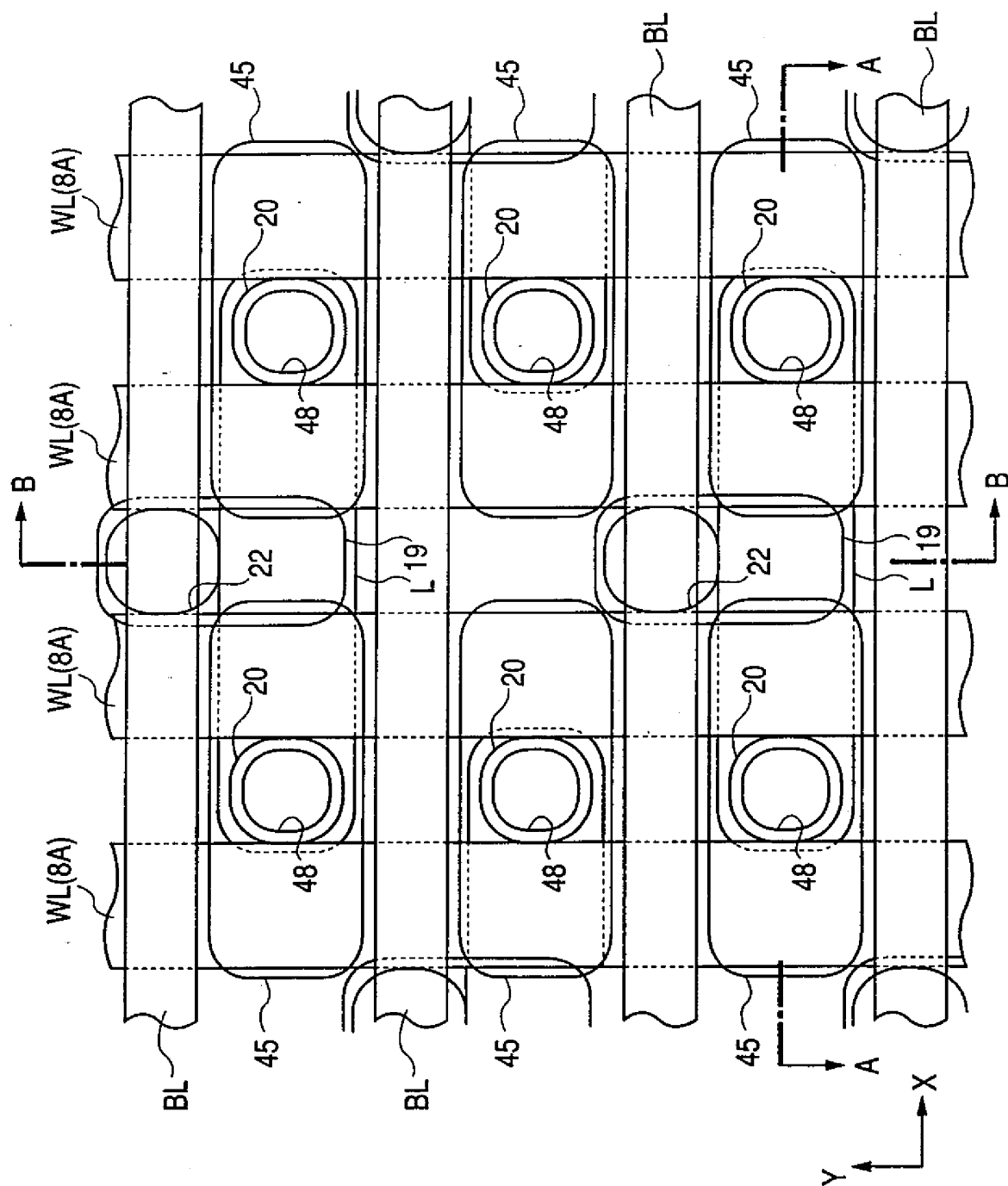
第2圖



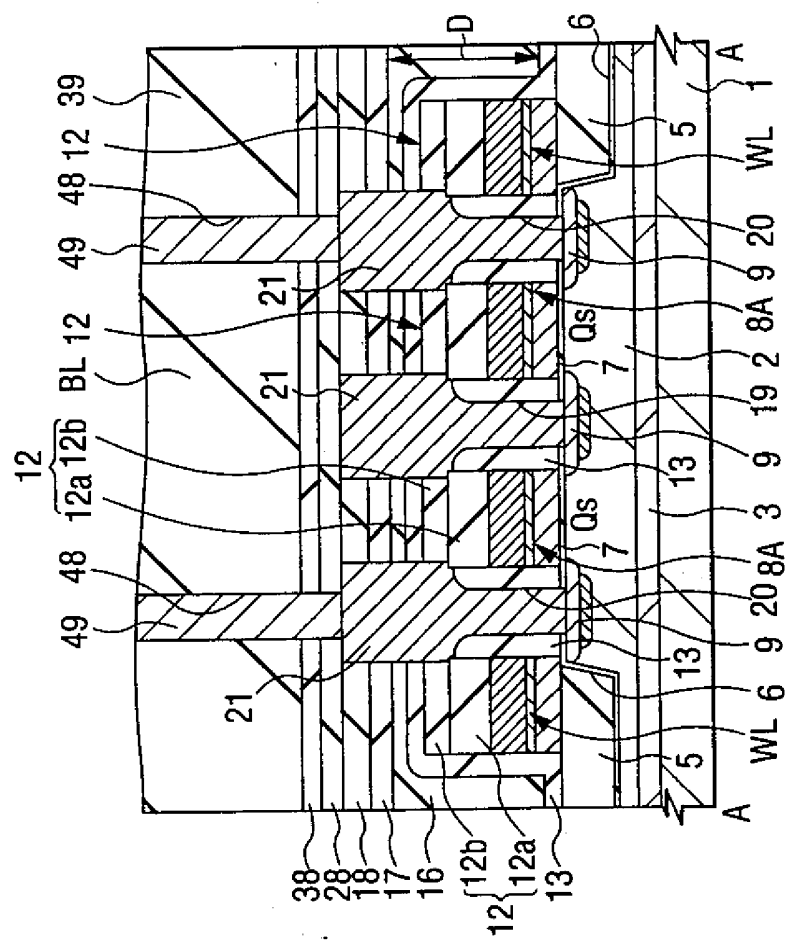
第3圖



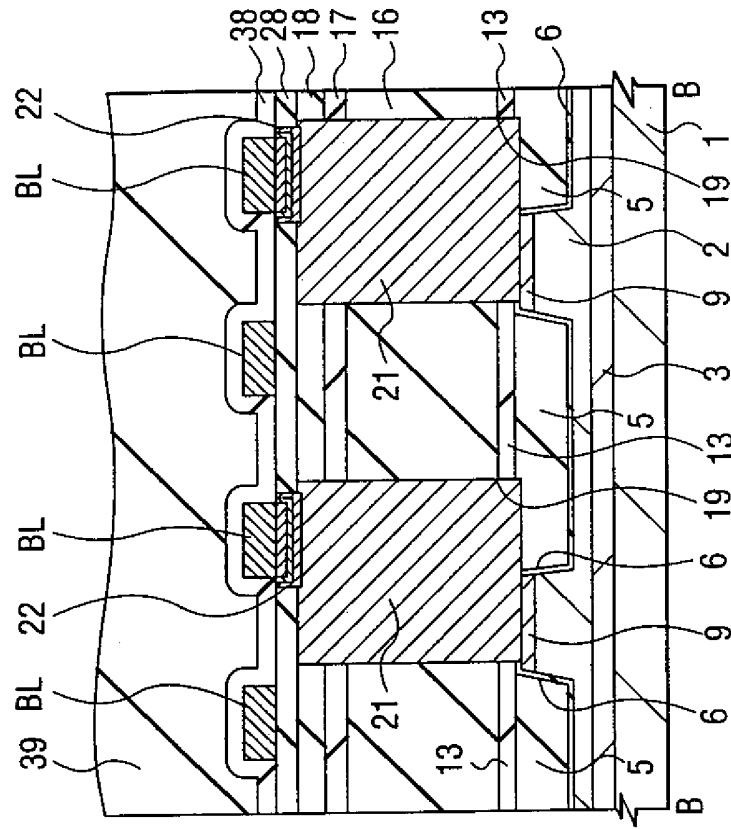
第4圖



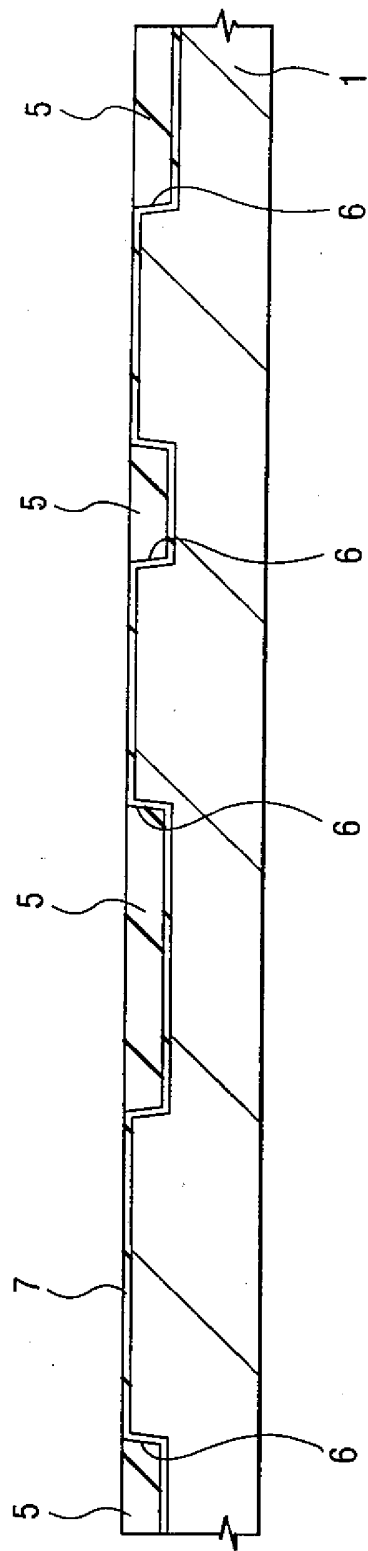
第5a圖



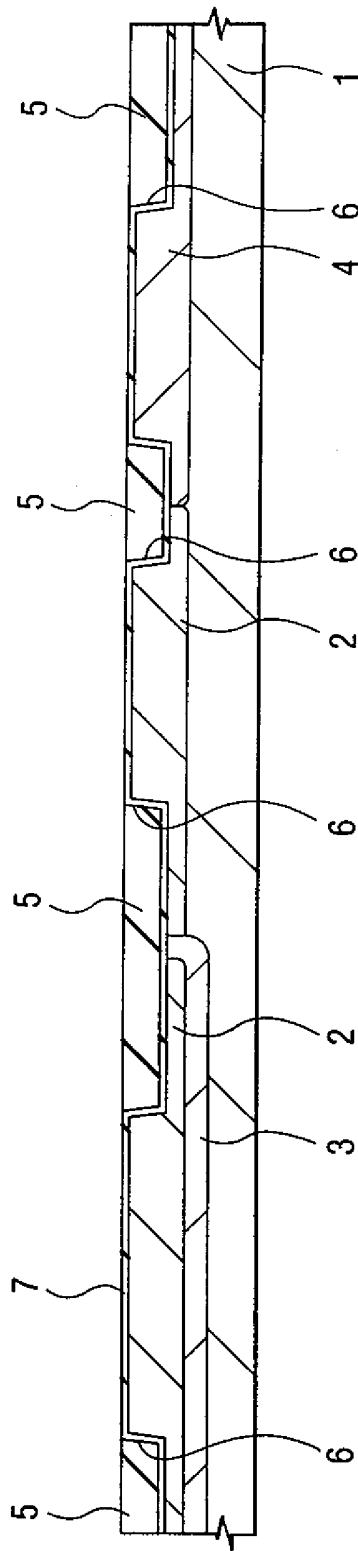
第5b圖



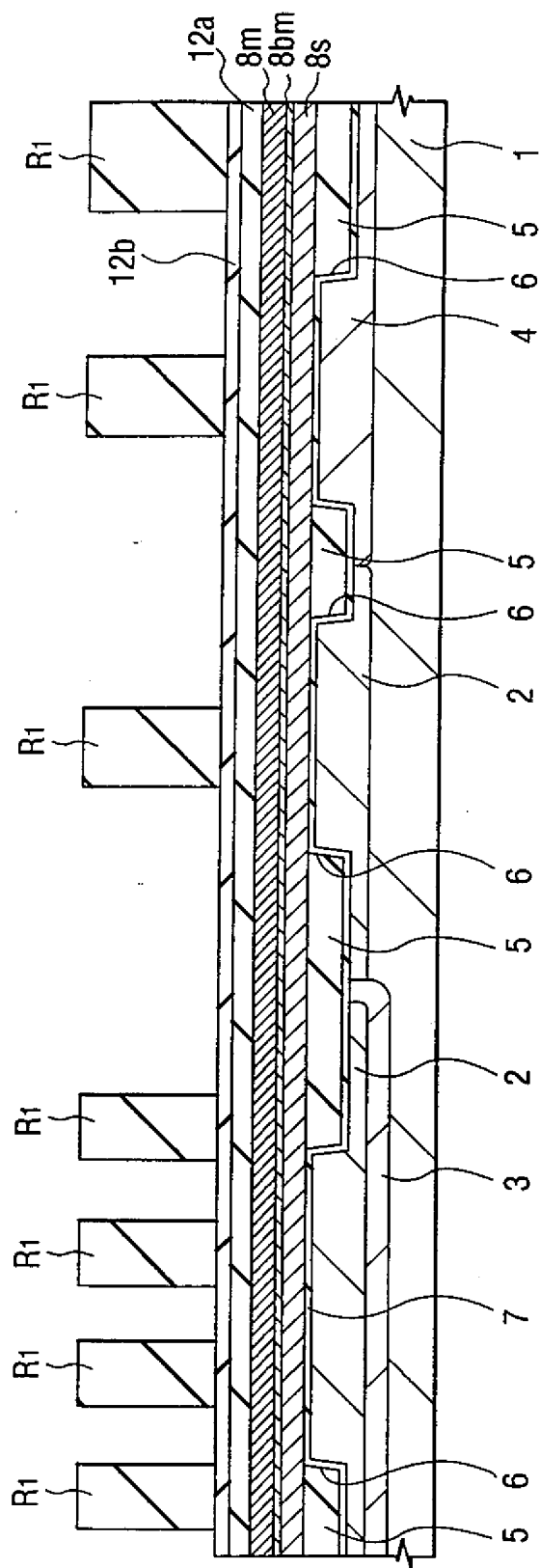
第6圖



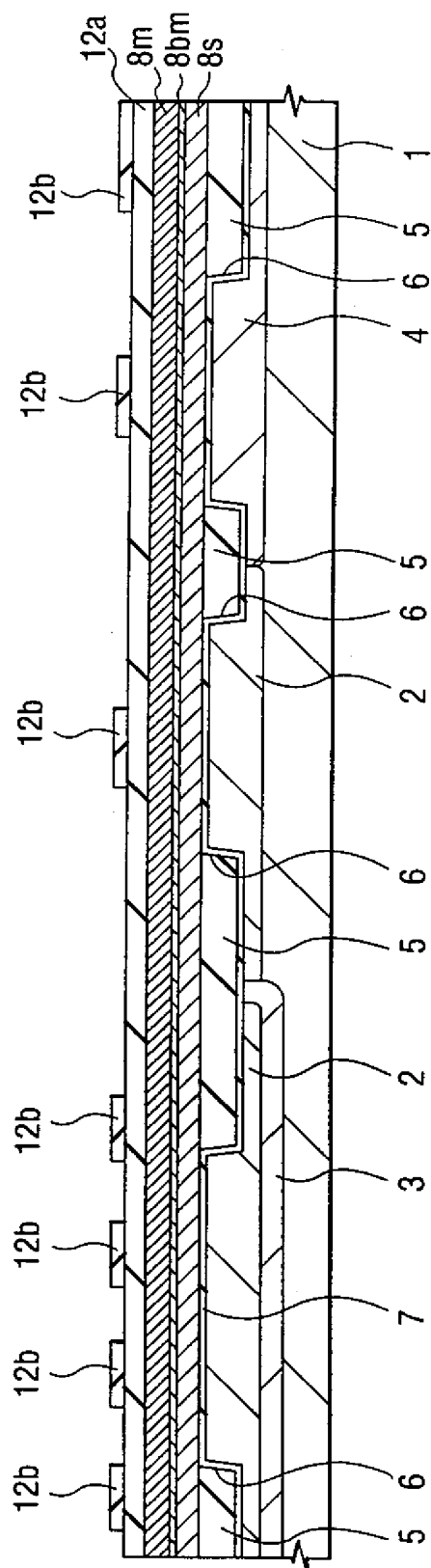
第7圖



第8圖



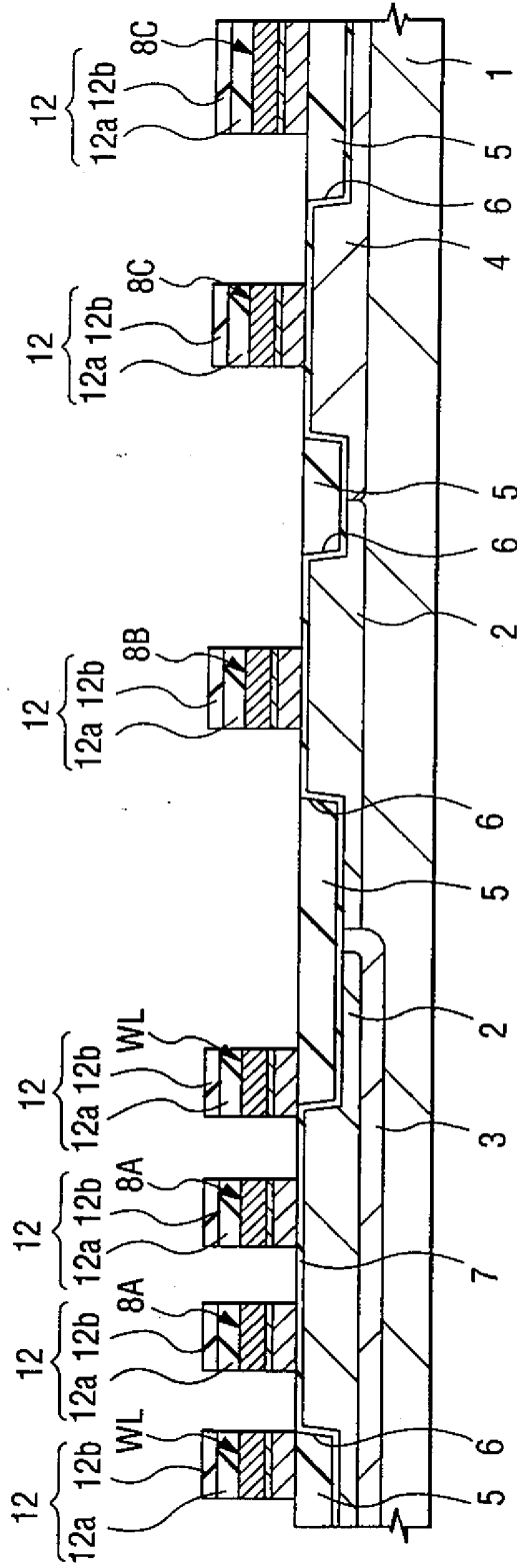
第9圖



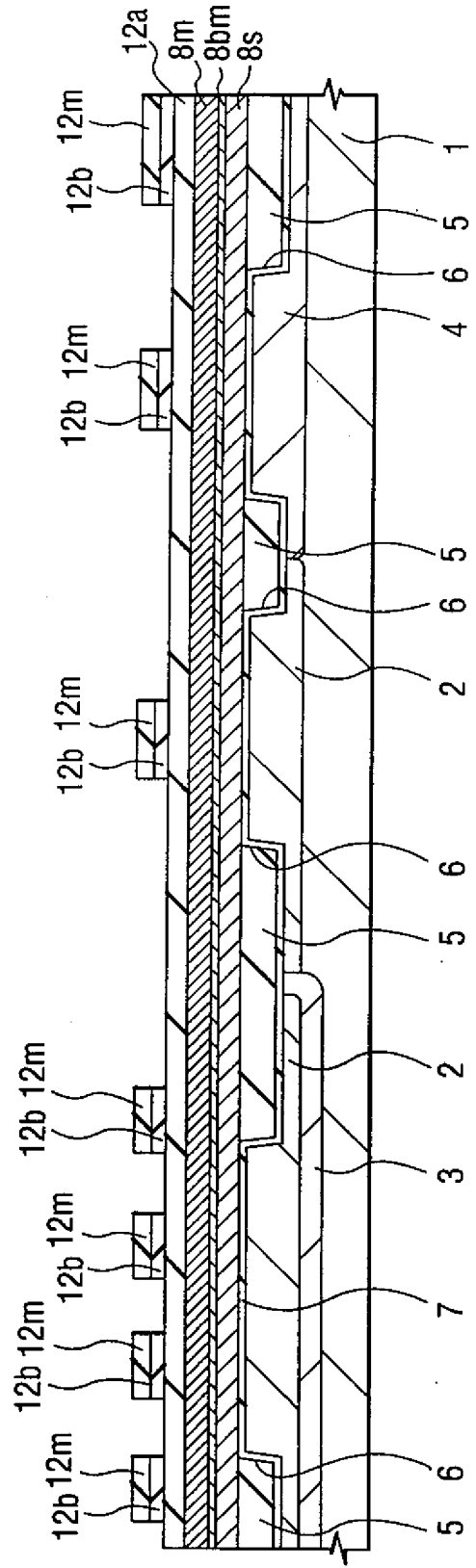
451460

451460

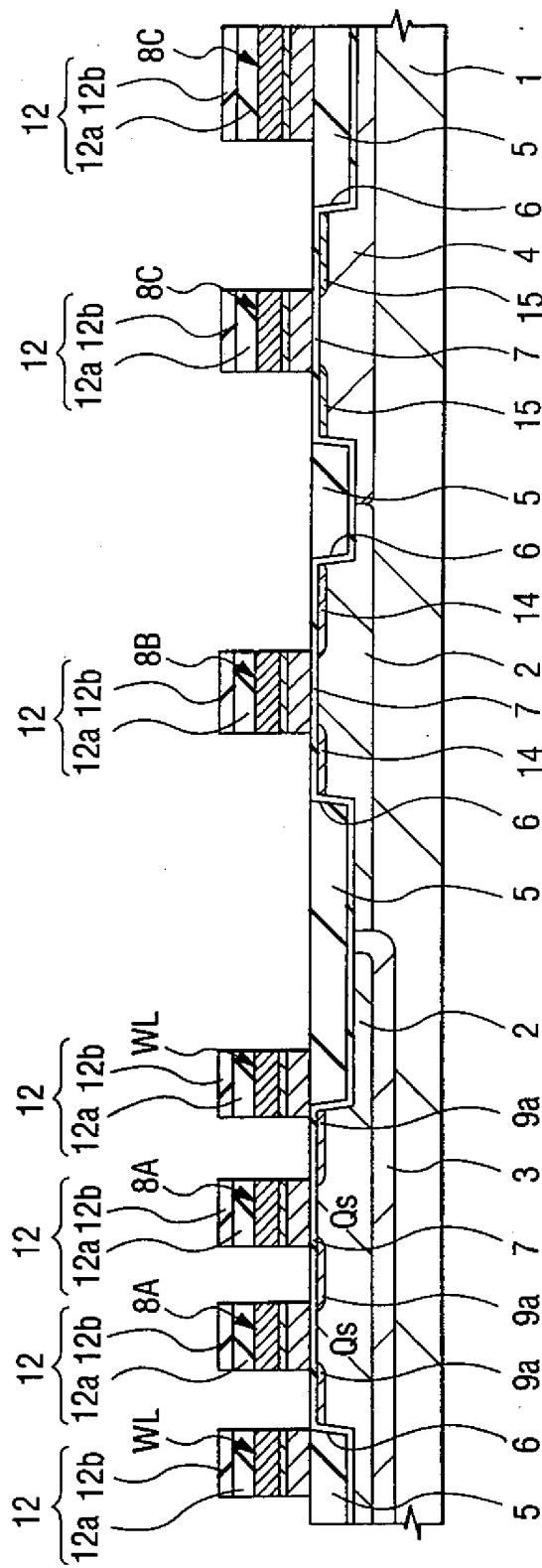
第 10 圖



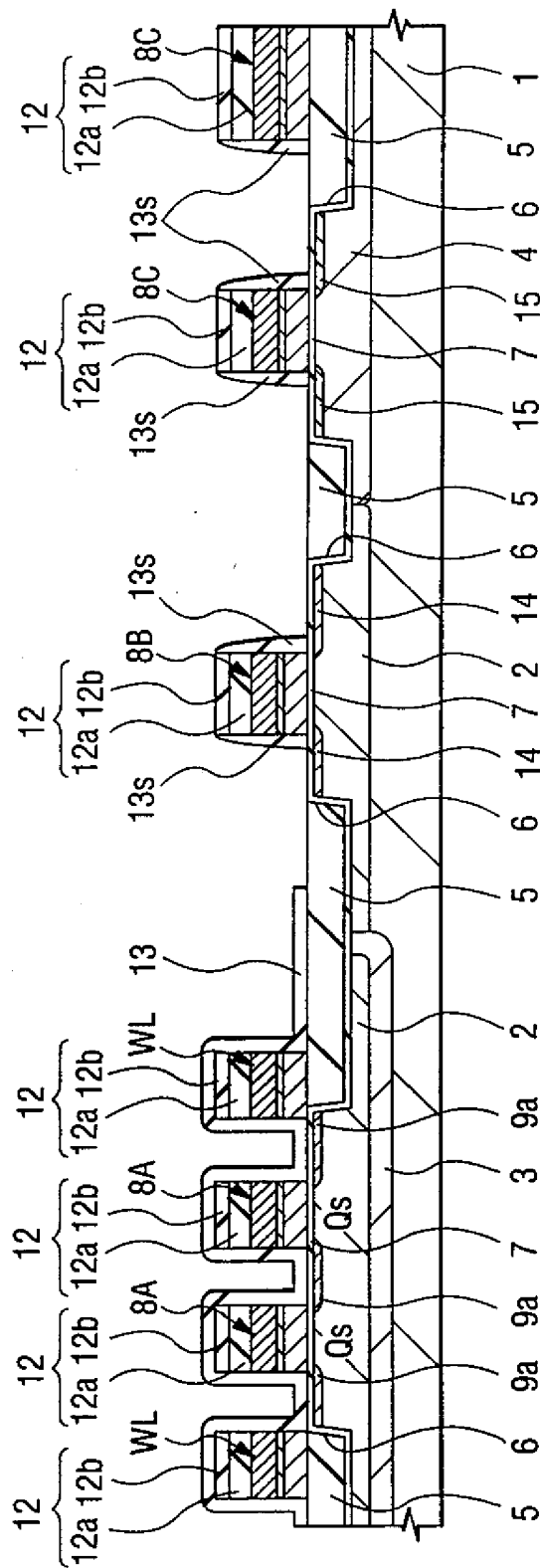
第 11 圖



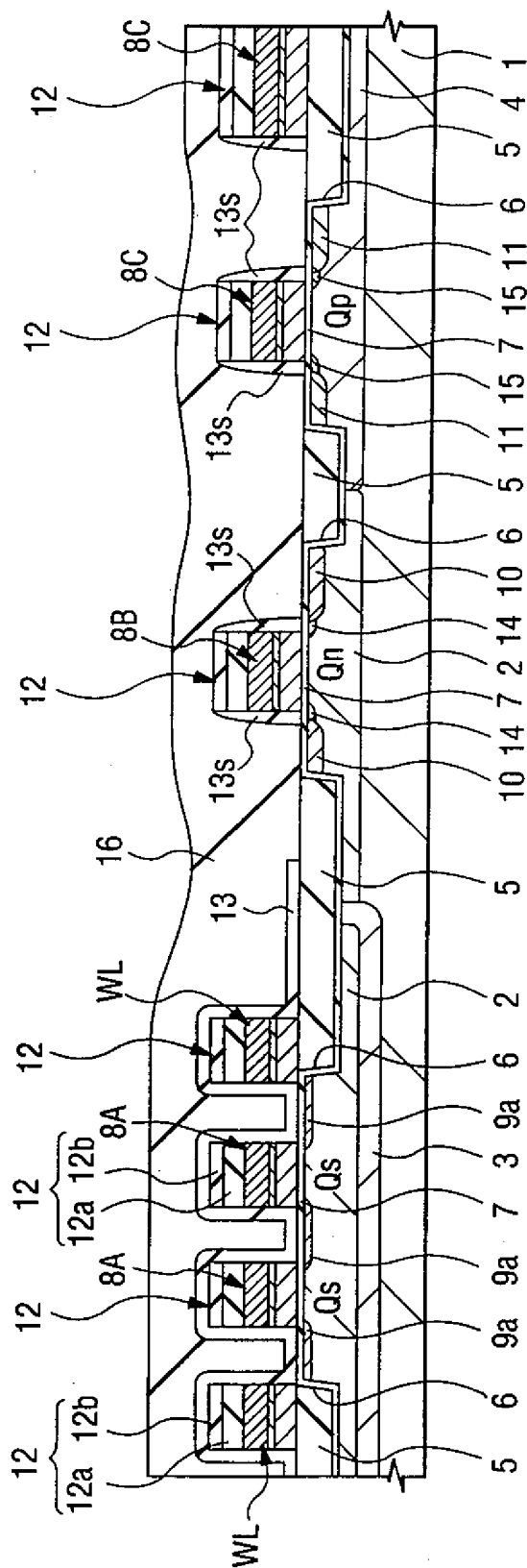
第12圖



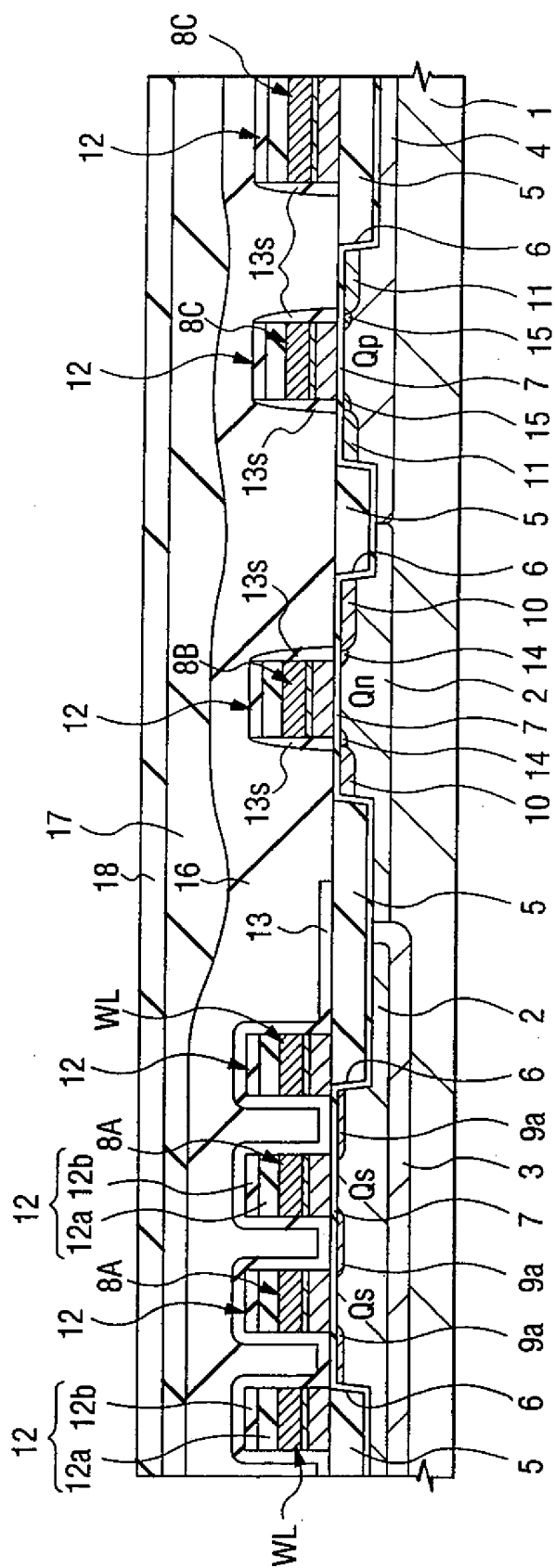
第13圖



第15圖



第16圖



第17圖

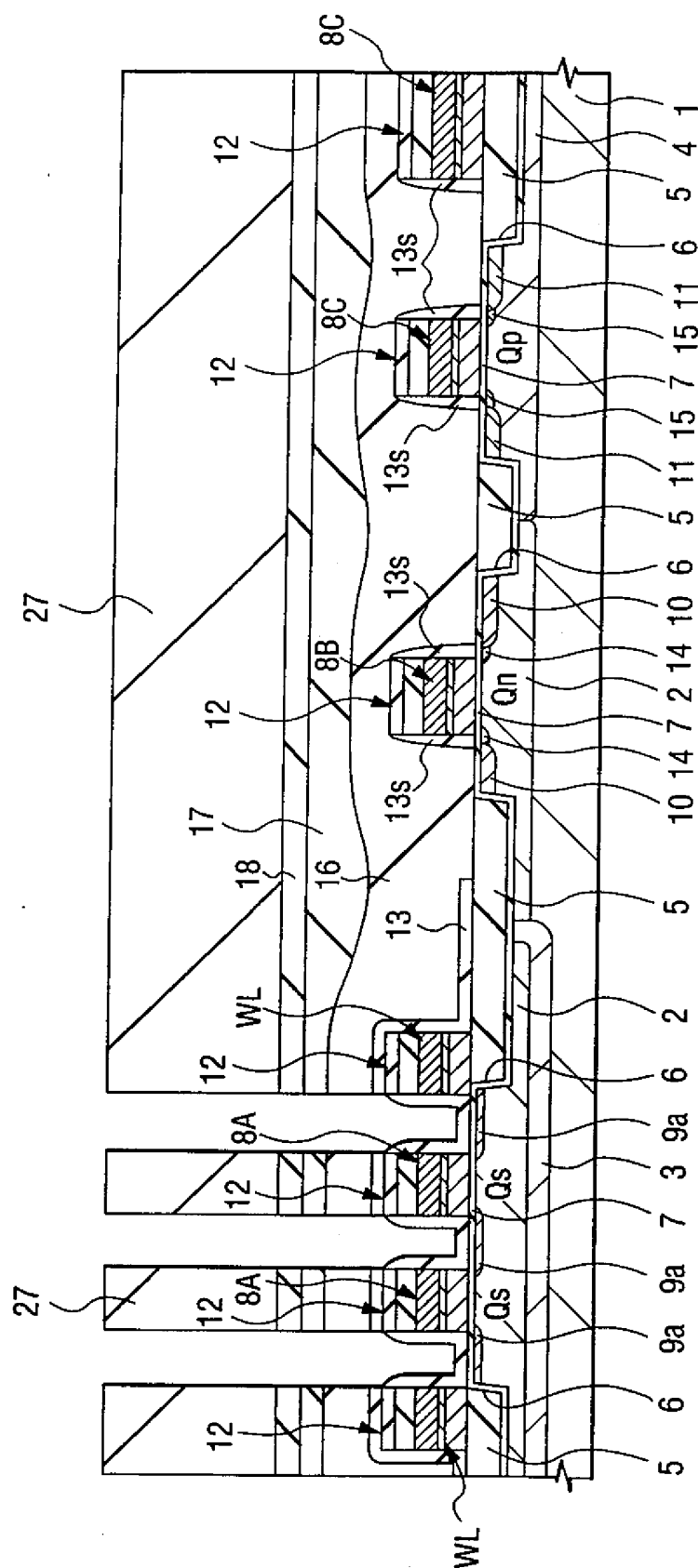


圖 18a 第

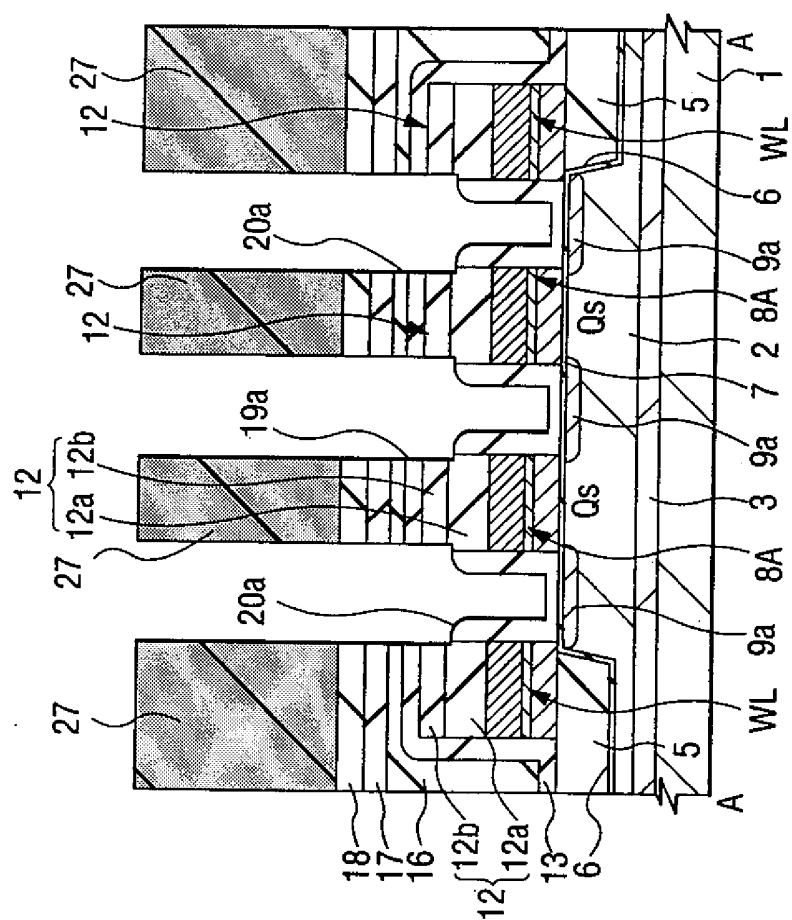
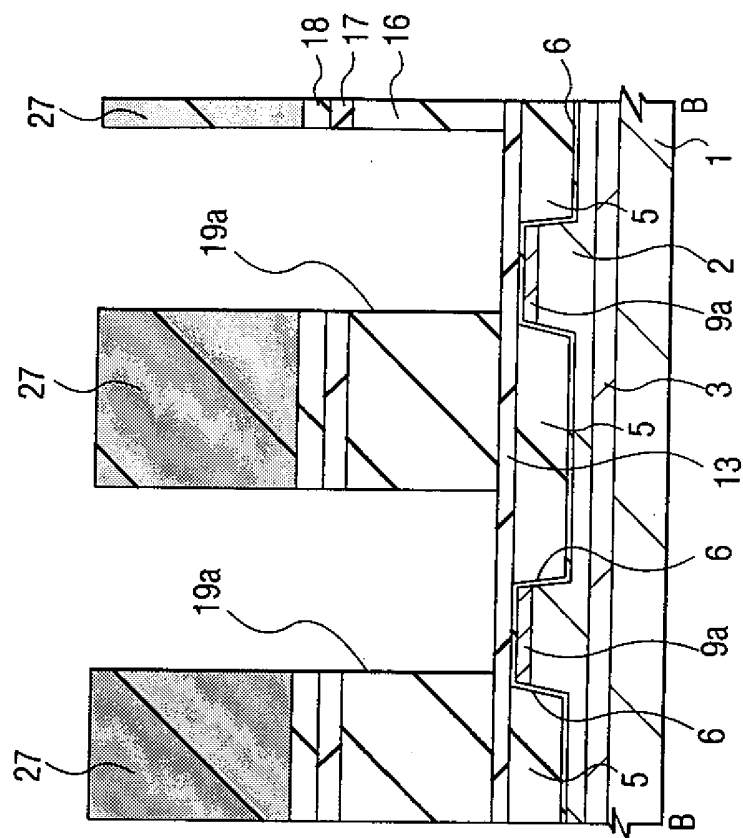
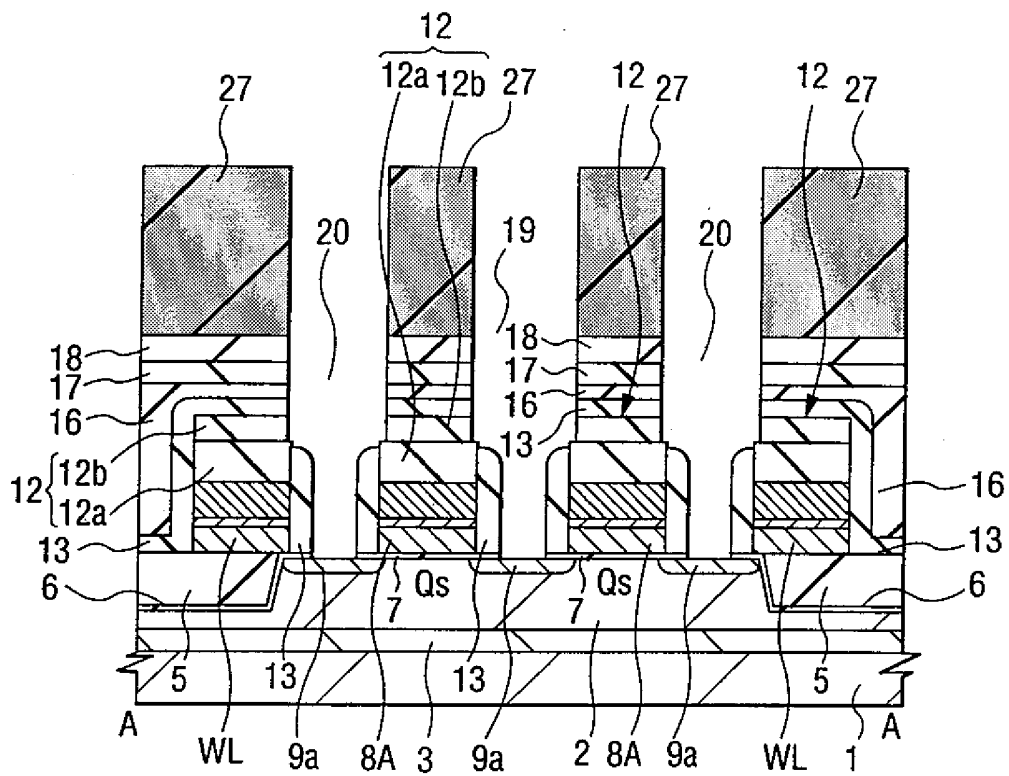


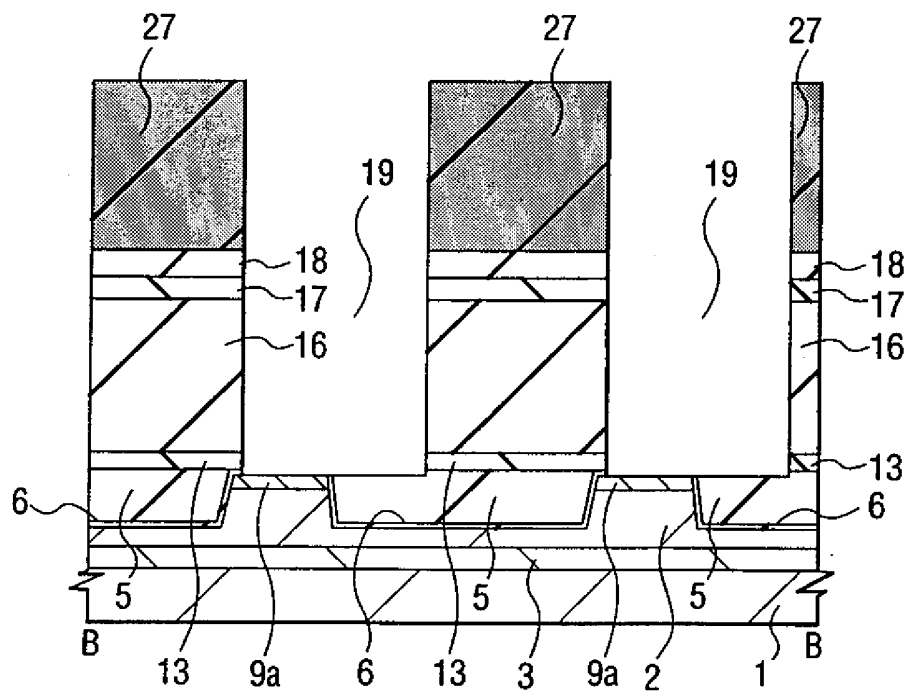
圖
第 18b



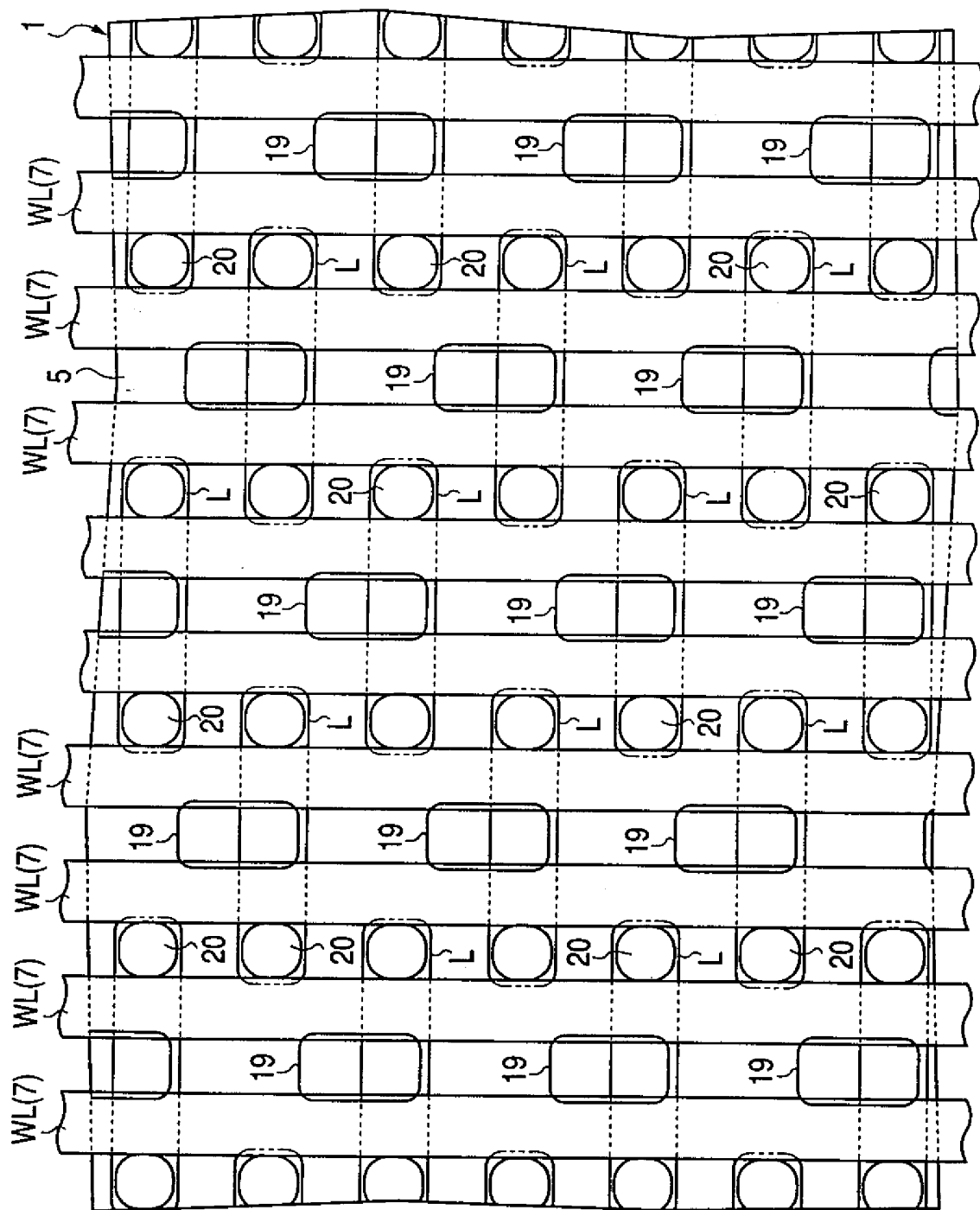
第 20 圖



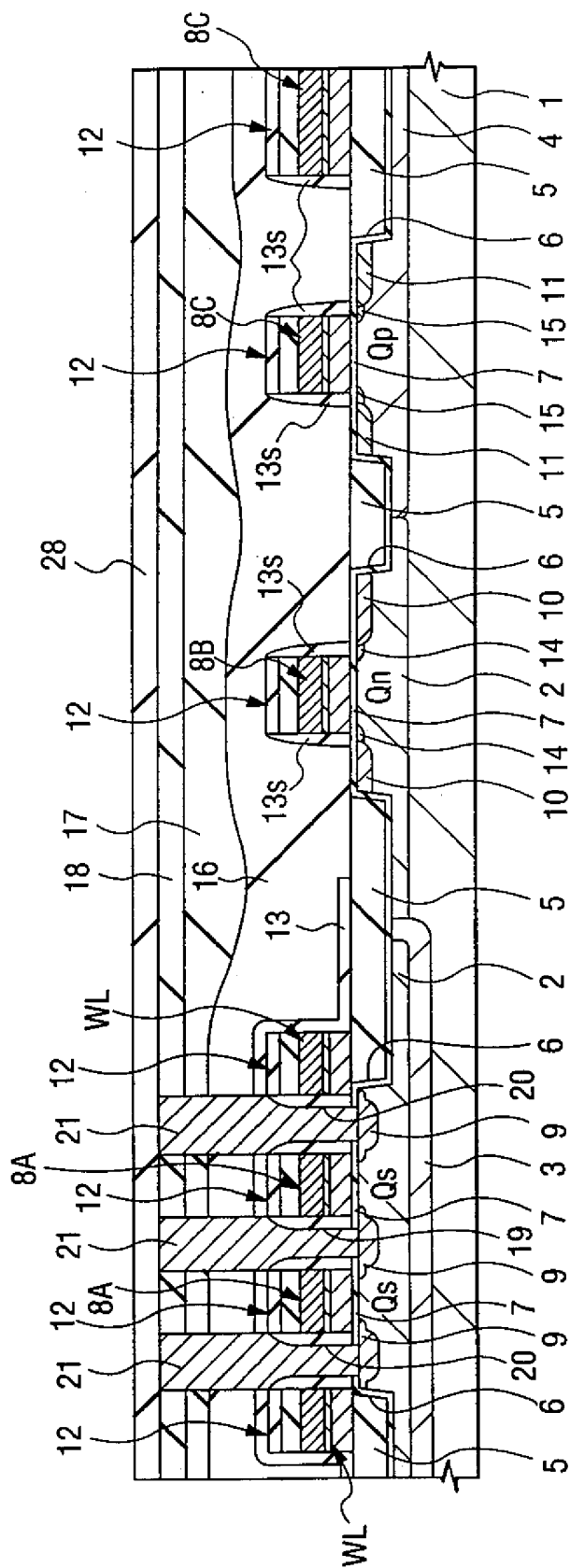
第 21 圖



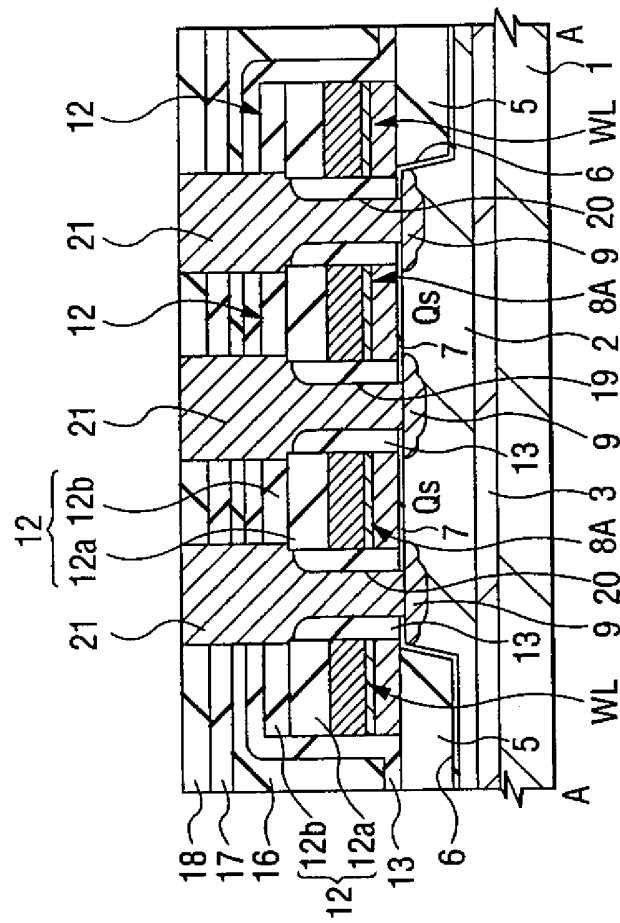
第22圖



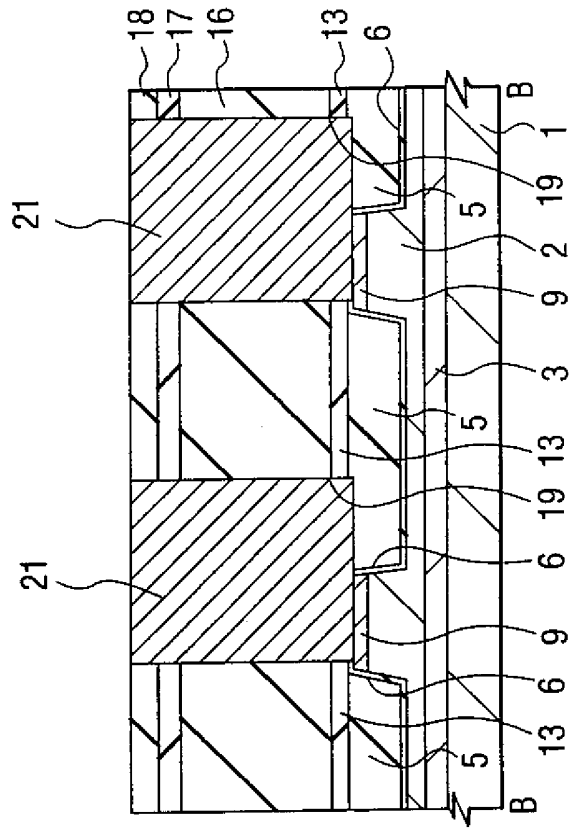
第23圖



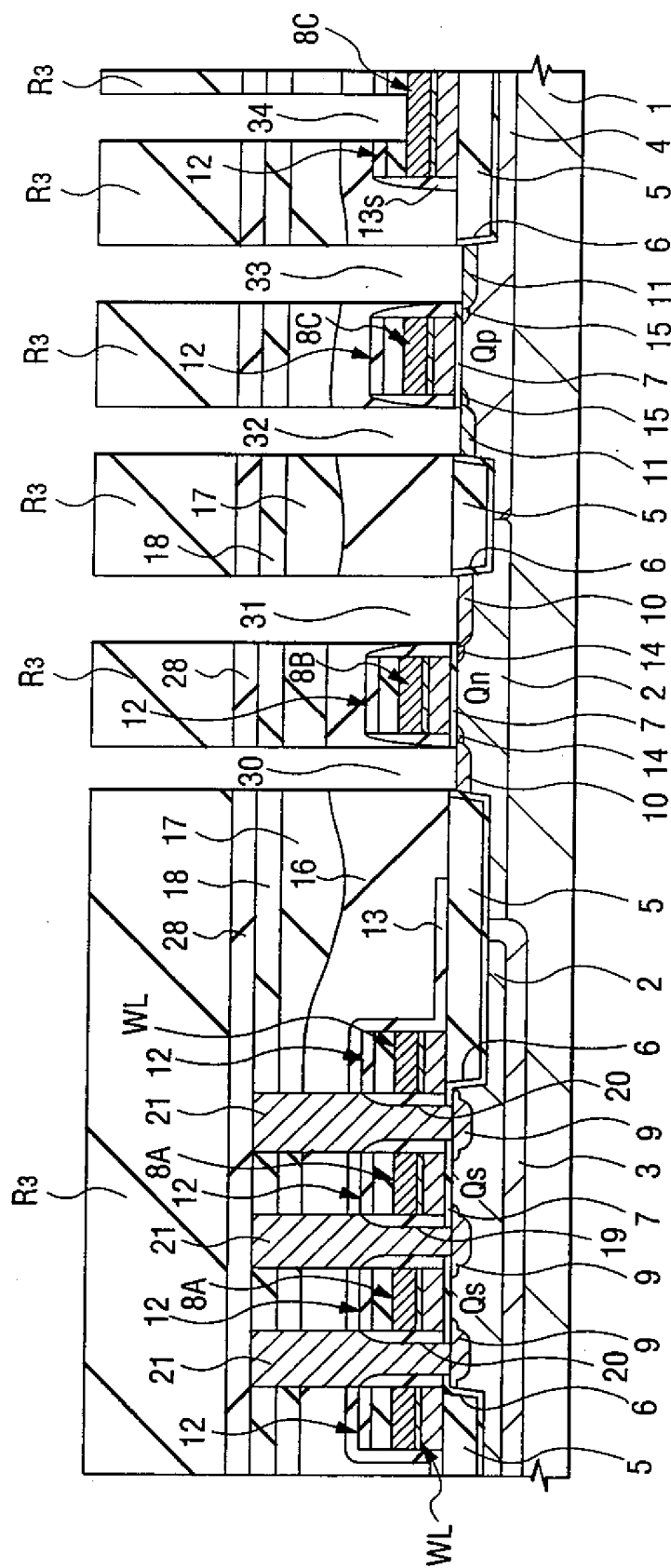
第24a圖



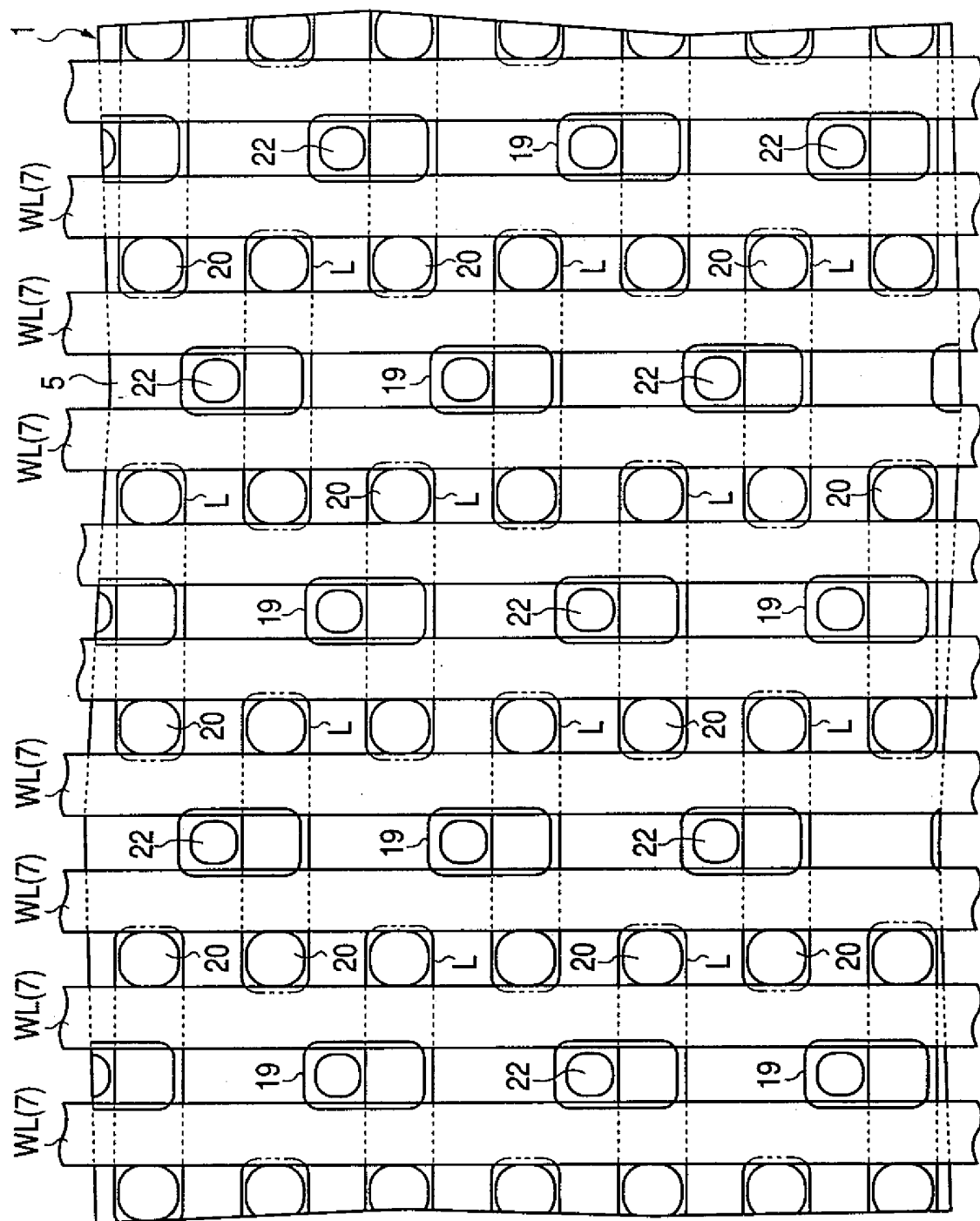
第24b圖



第25圖



第27圖



第28圖

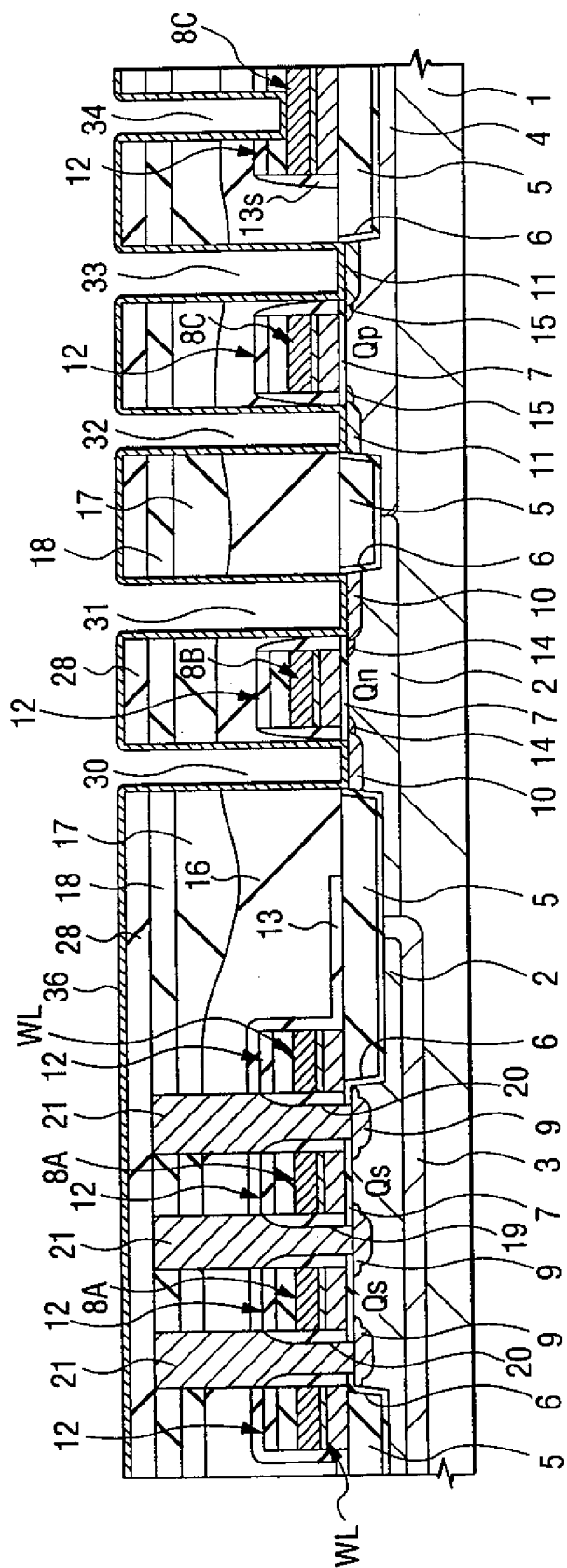
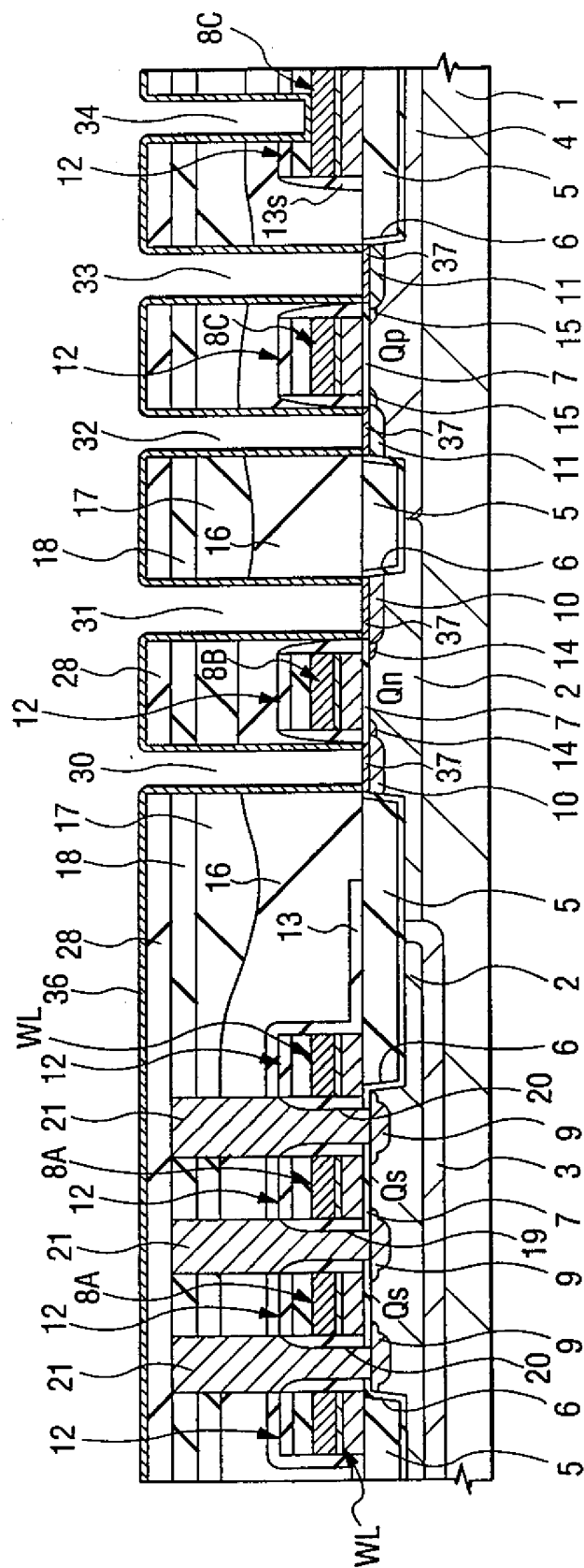


圖
第29



第30圖

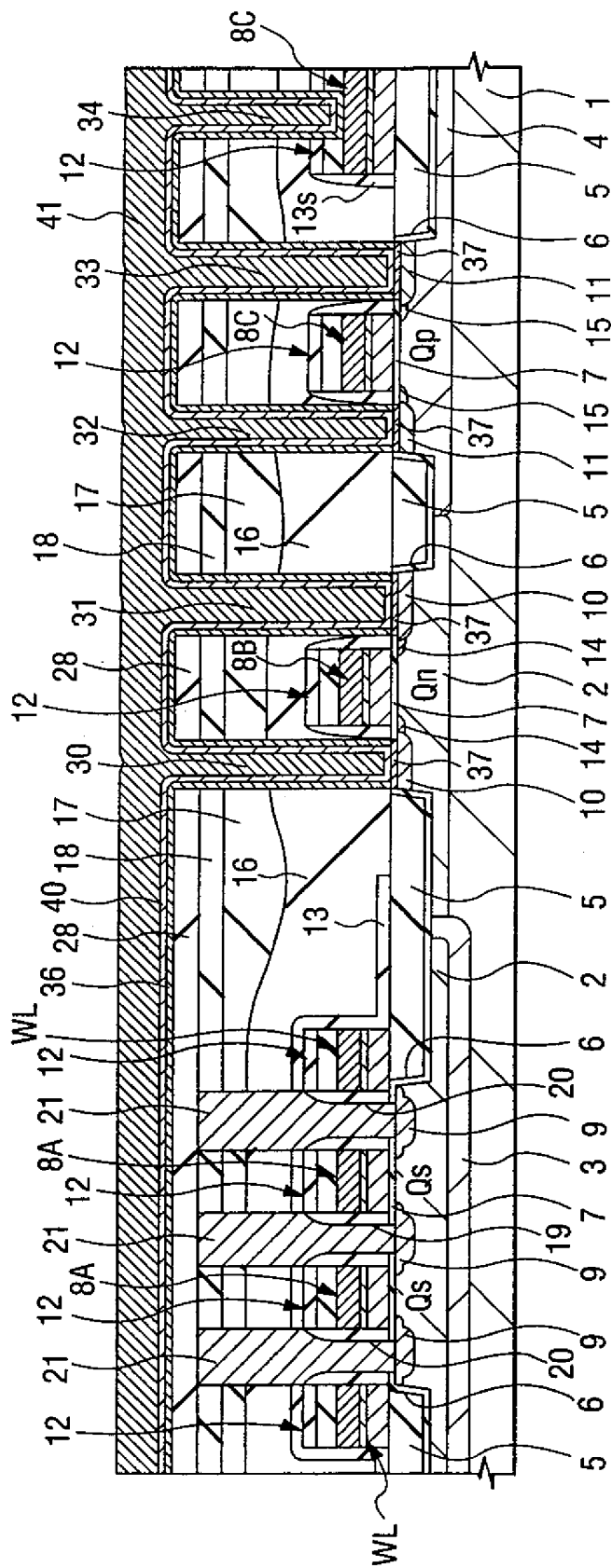
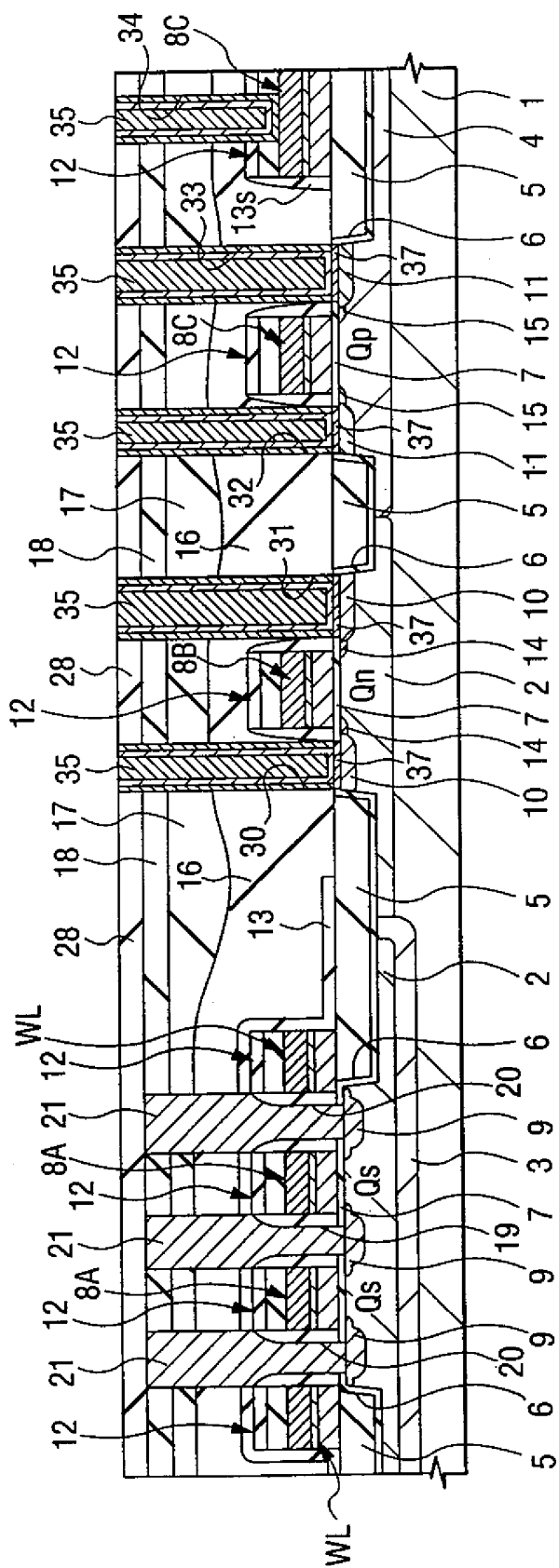
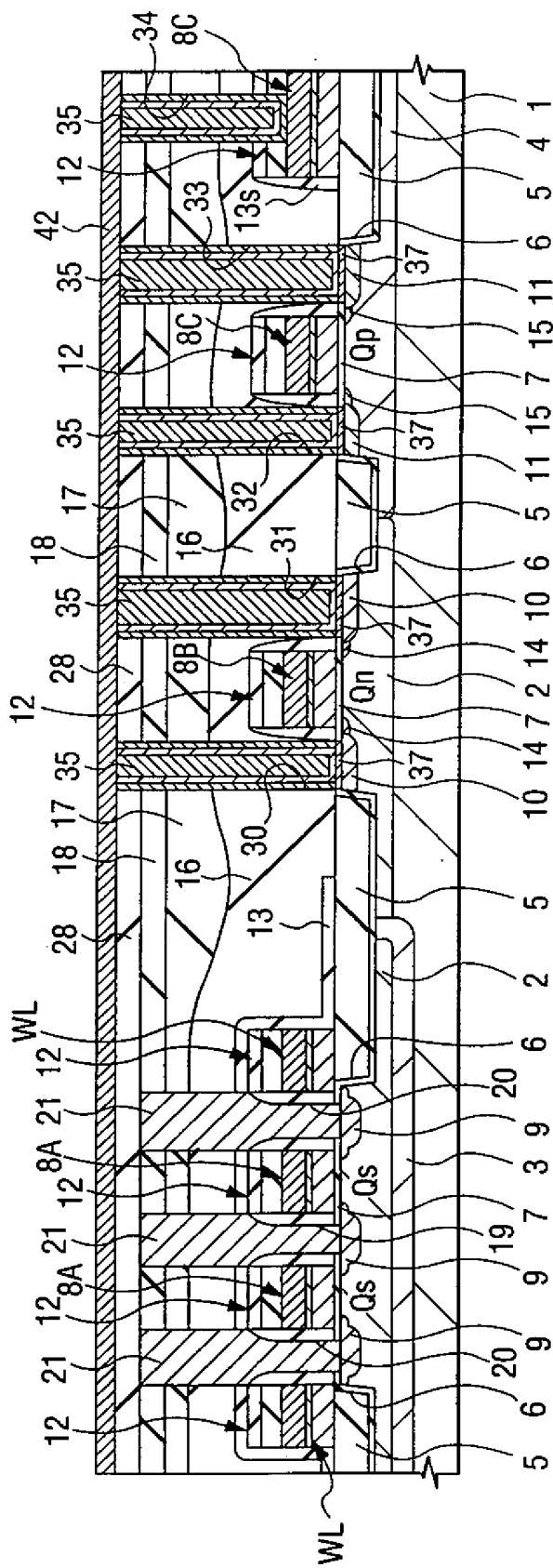


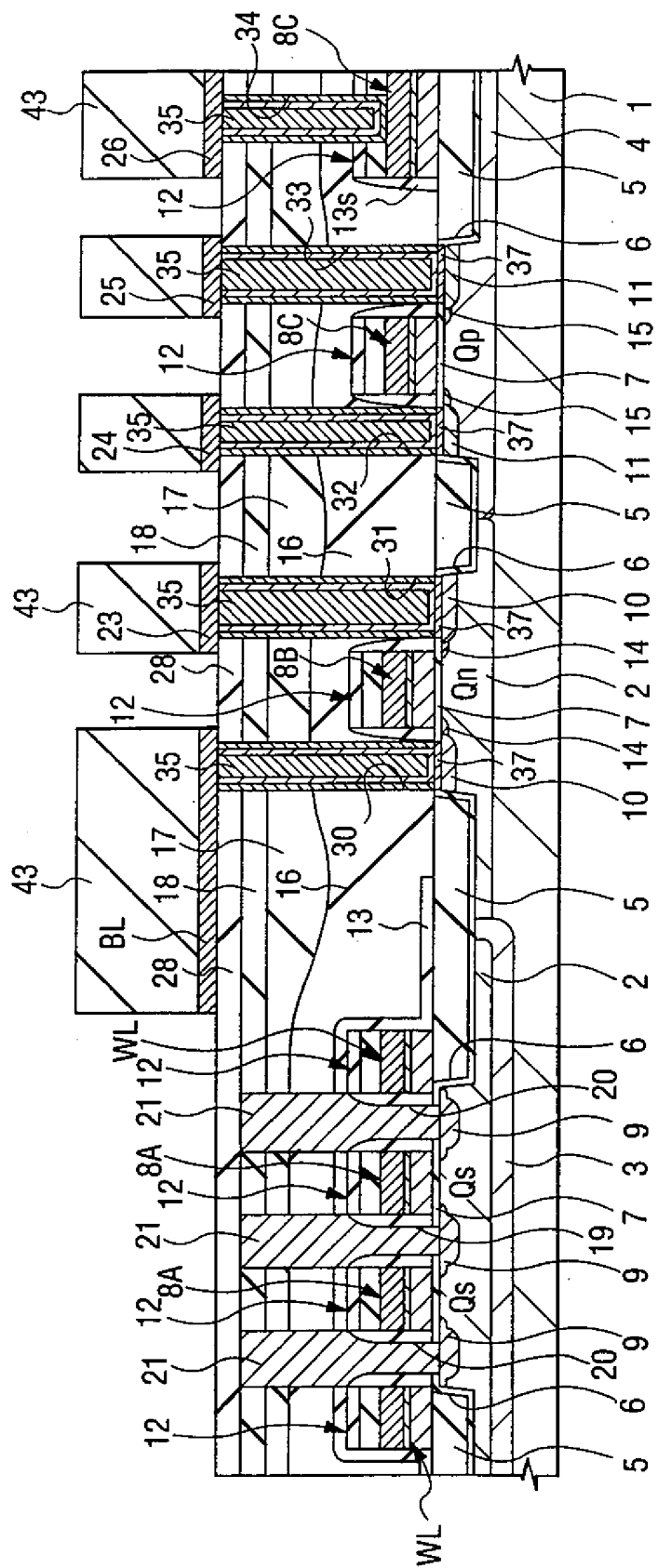
圖 31 第



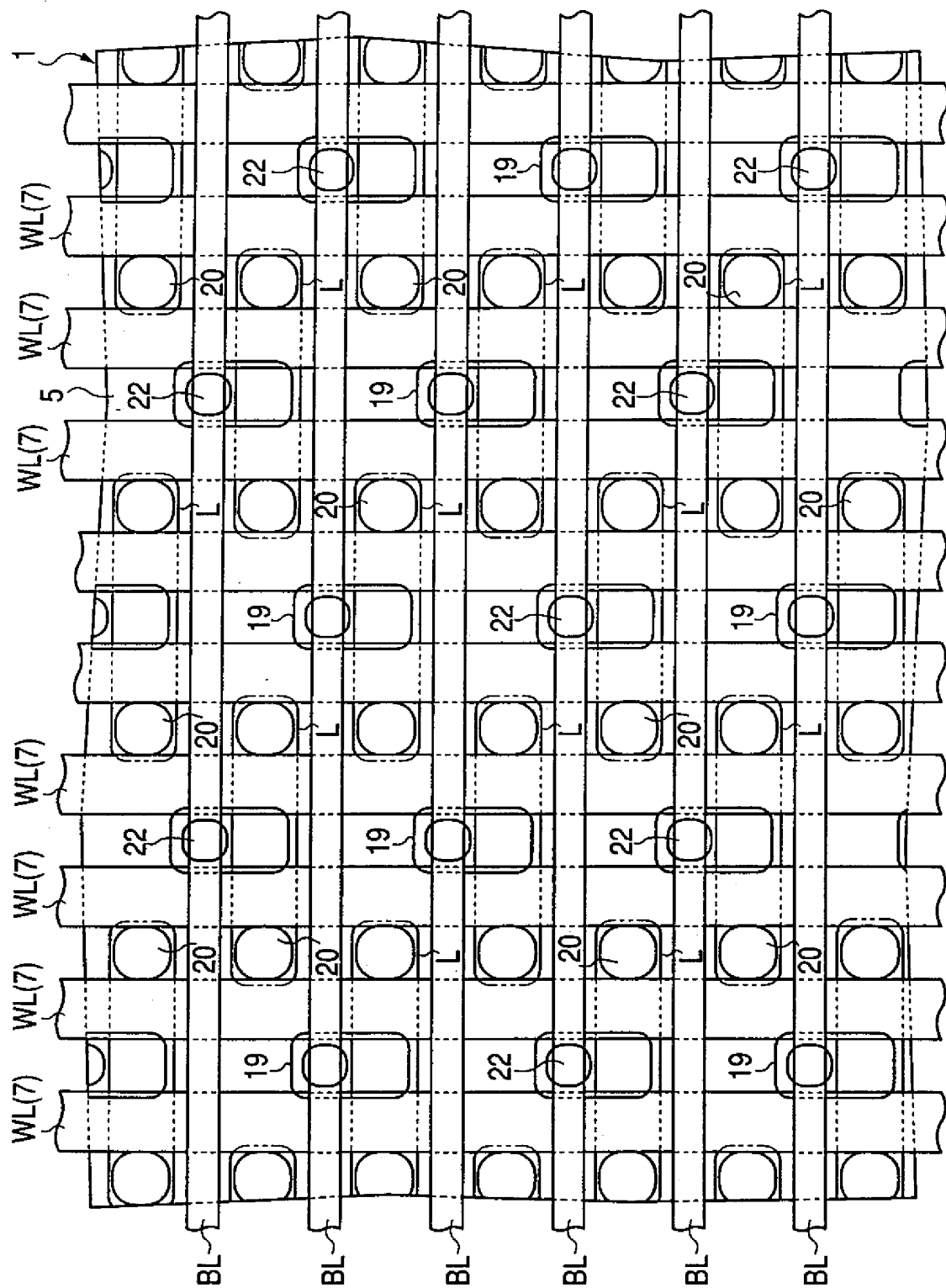
第32圖



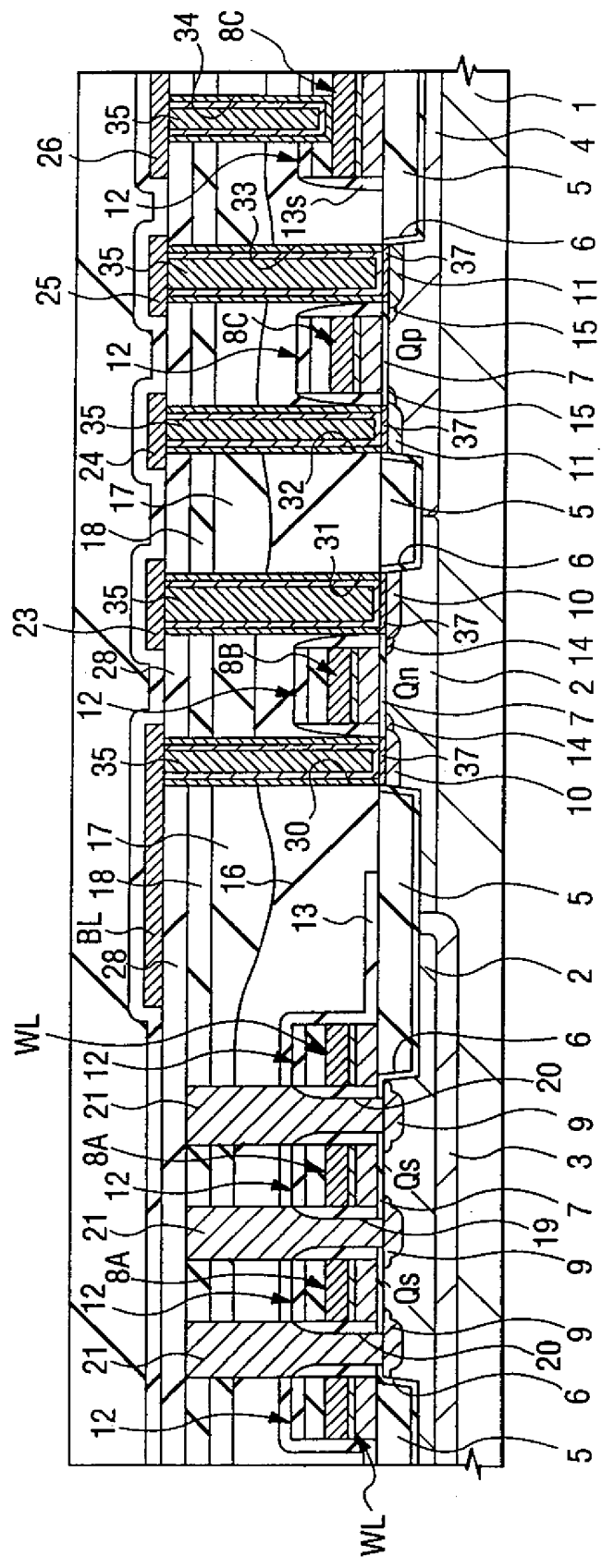
第33圖



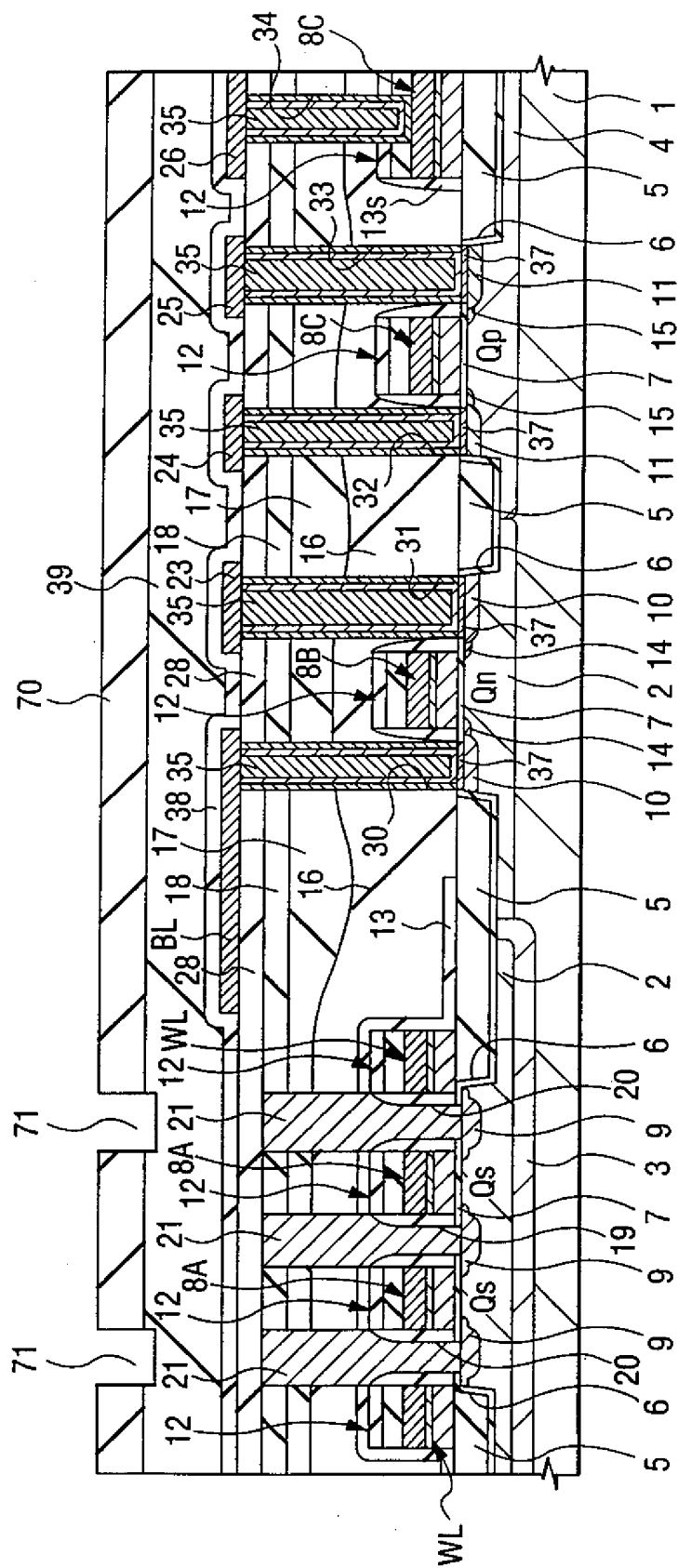
第 34 圖



第35圖



第37圖



第 38 圖

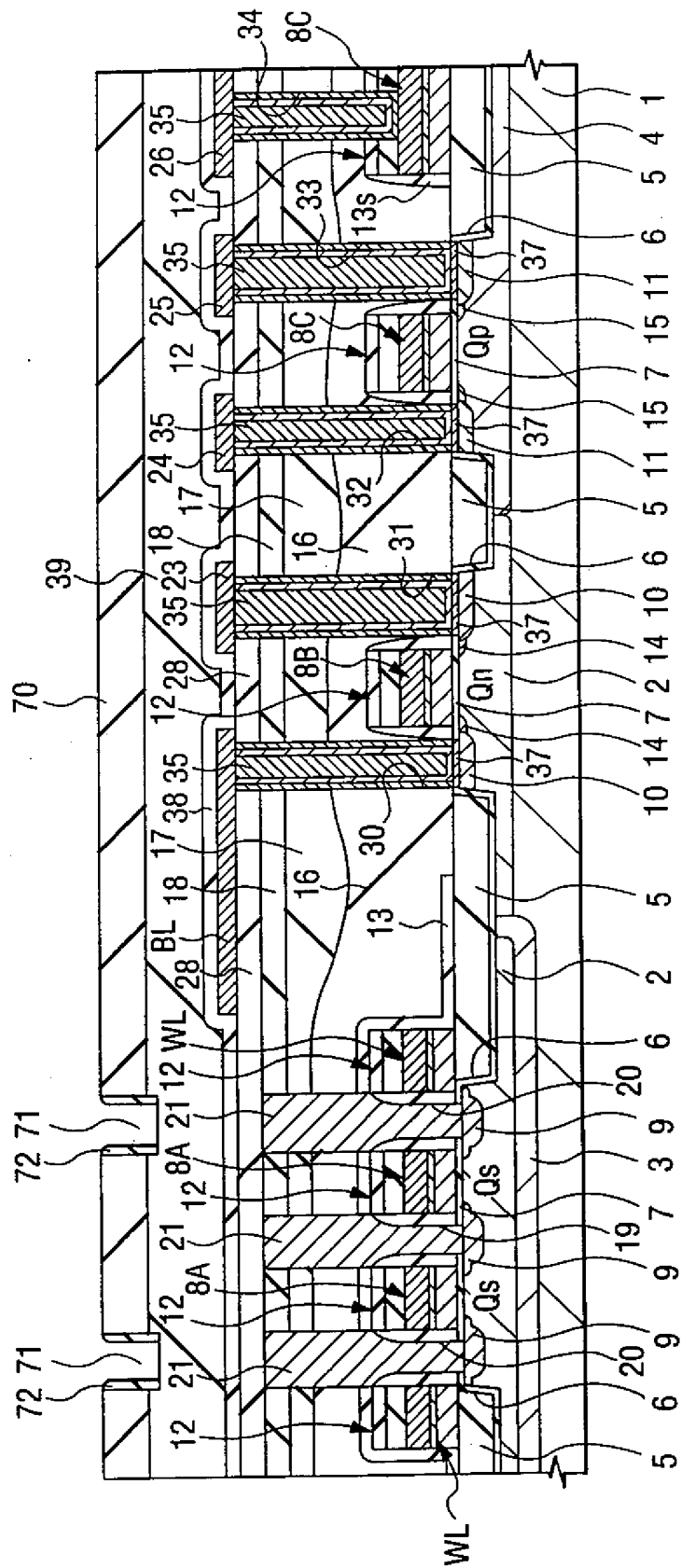
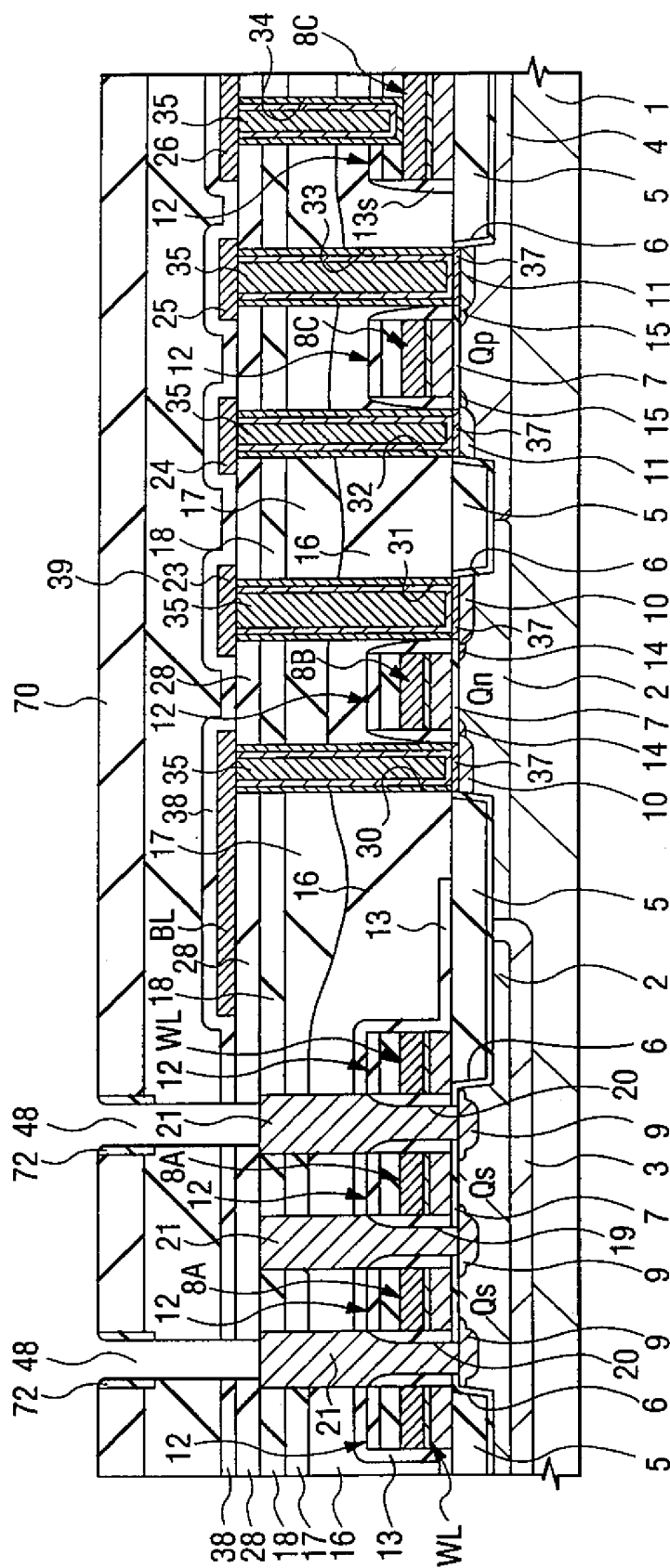
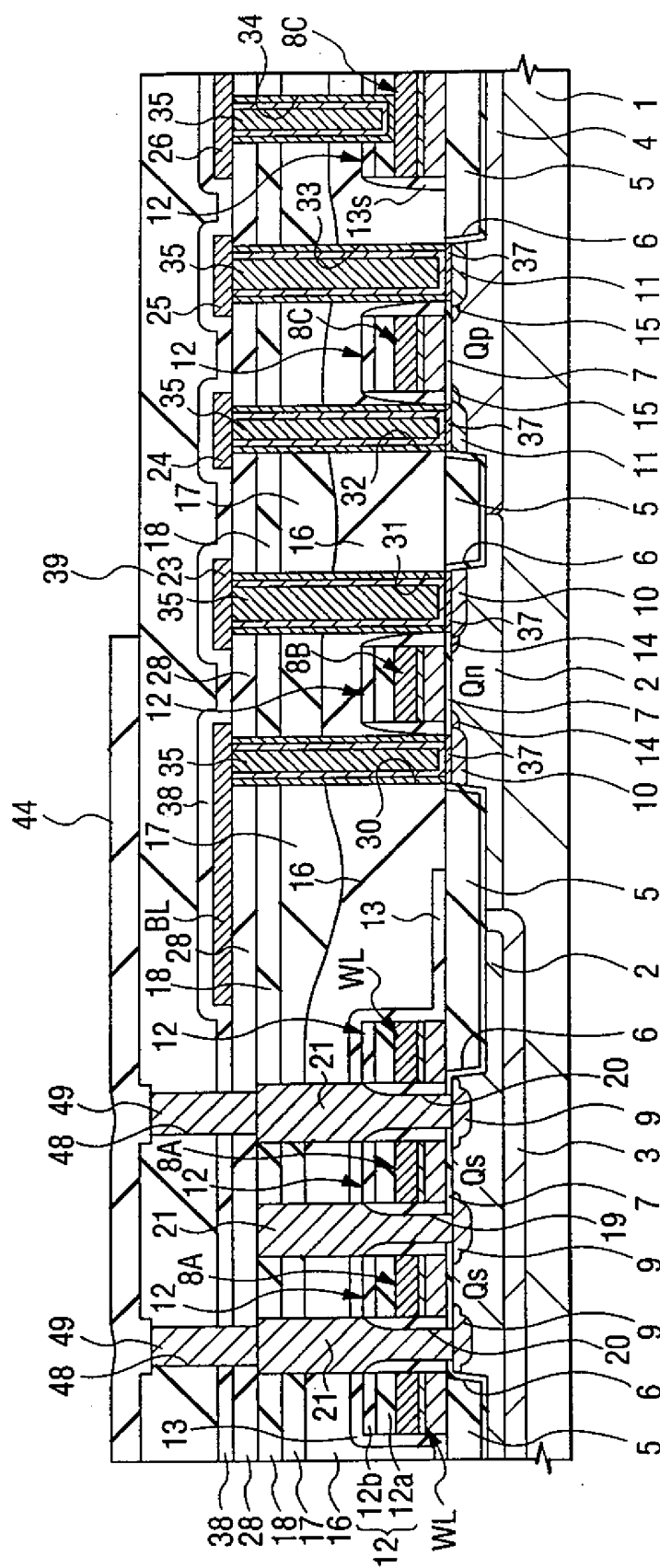


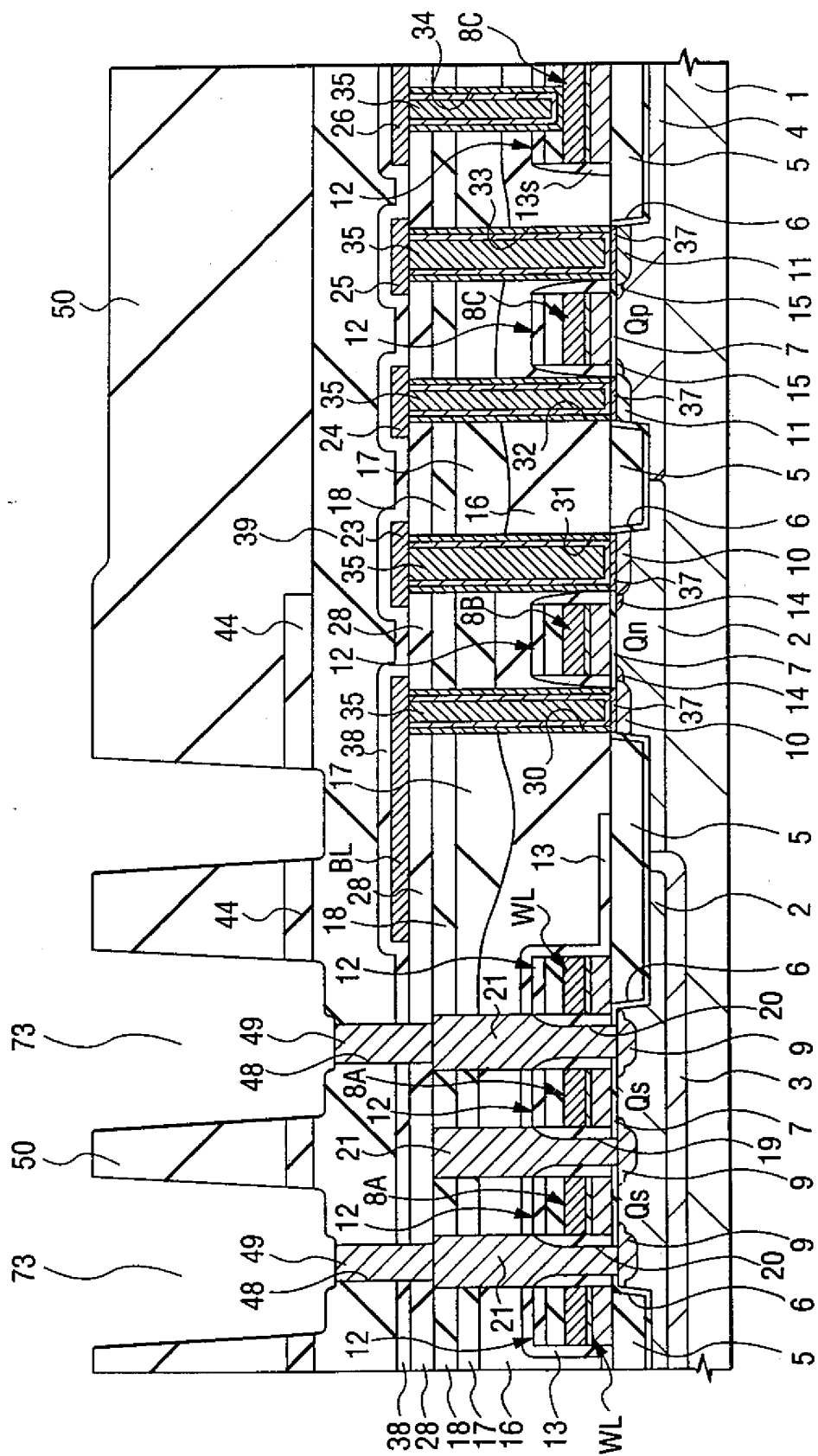
圖
第 39



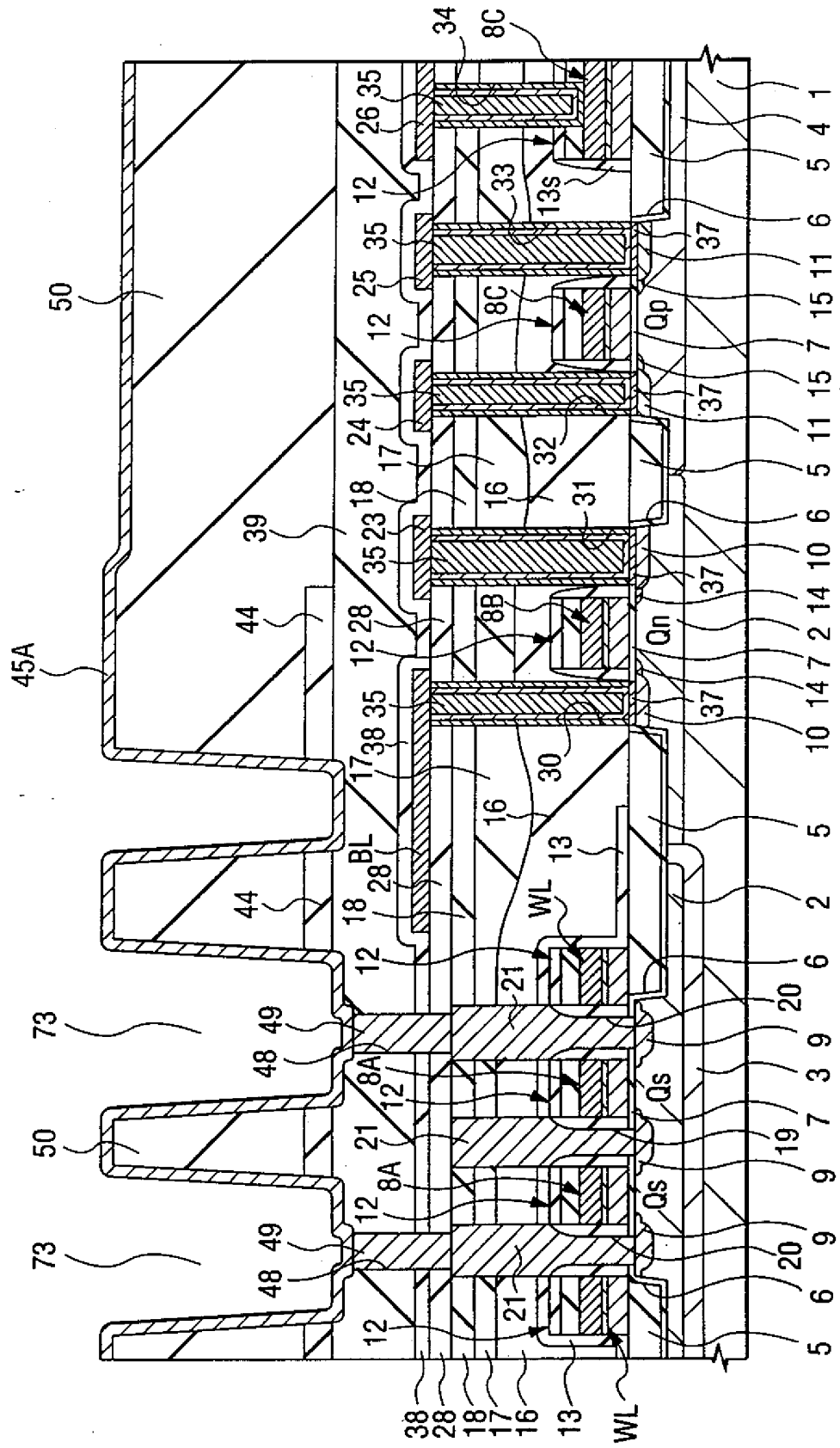
第41圖



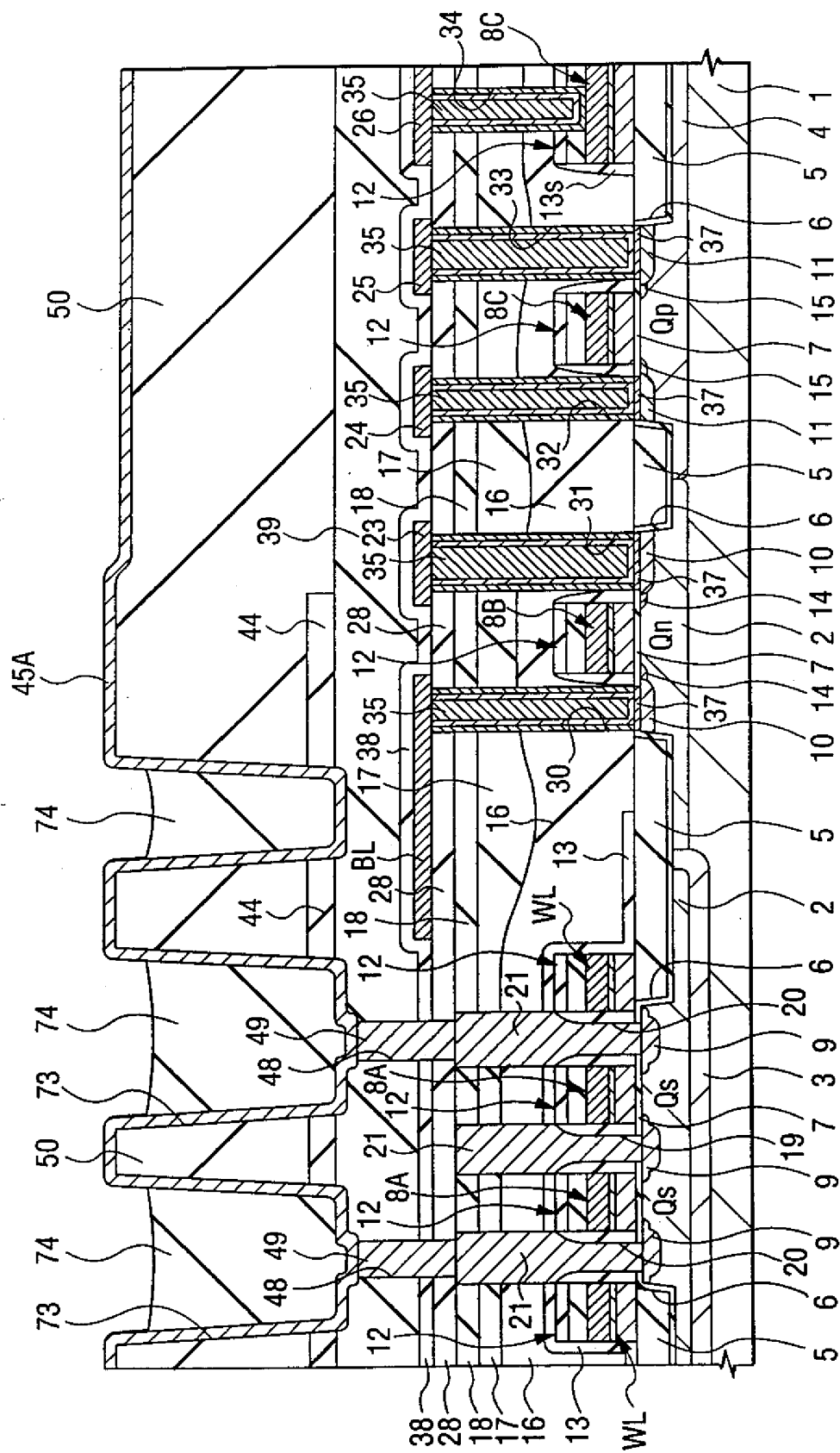
第42圖



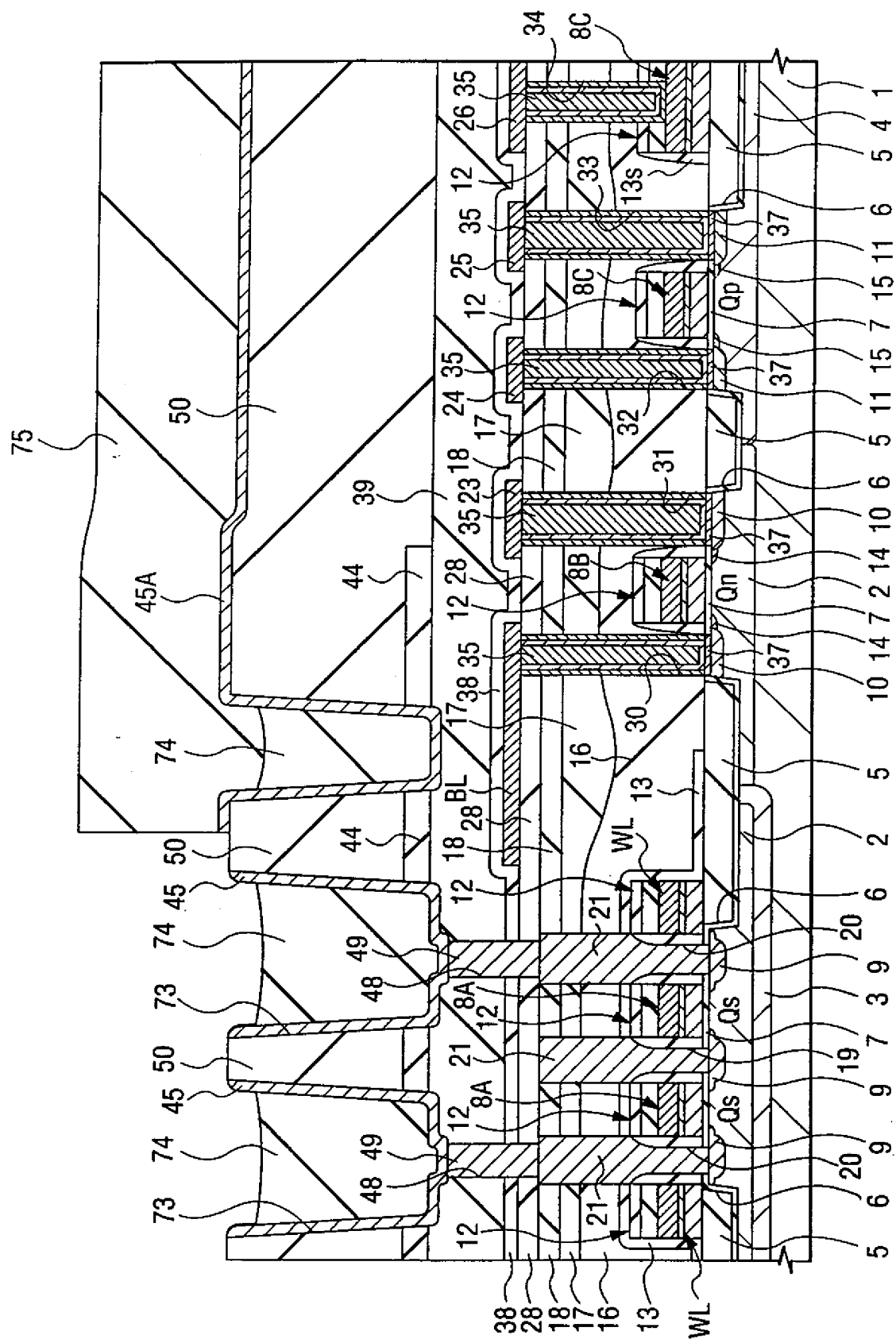
第43圖



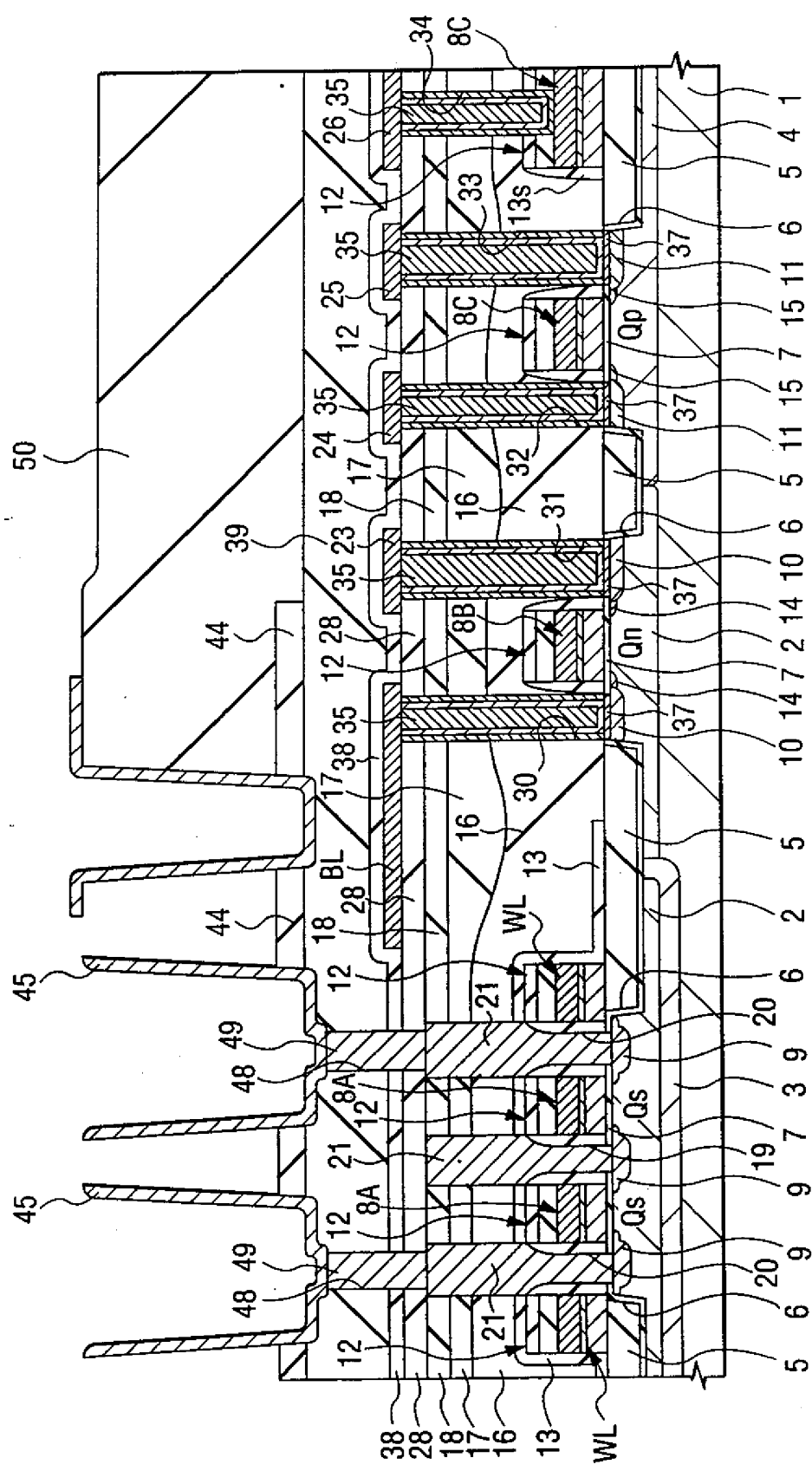
第44圖



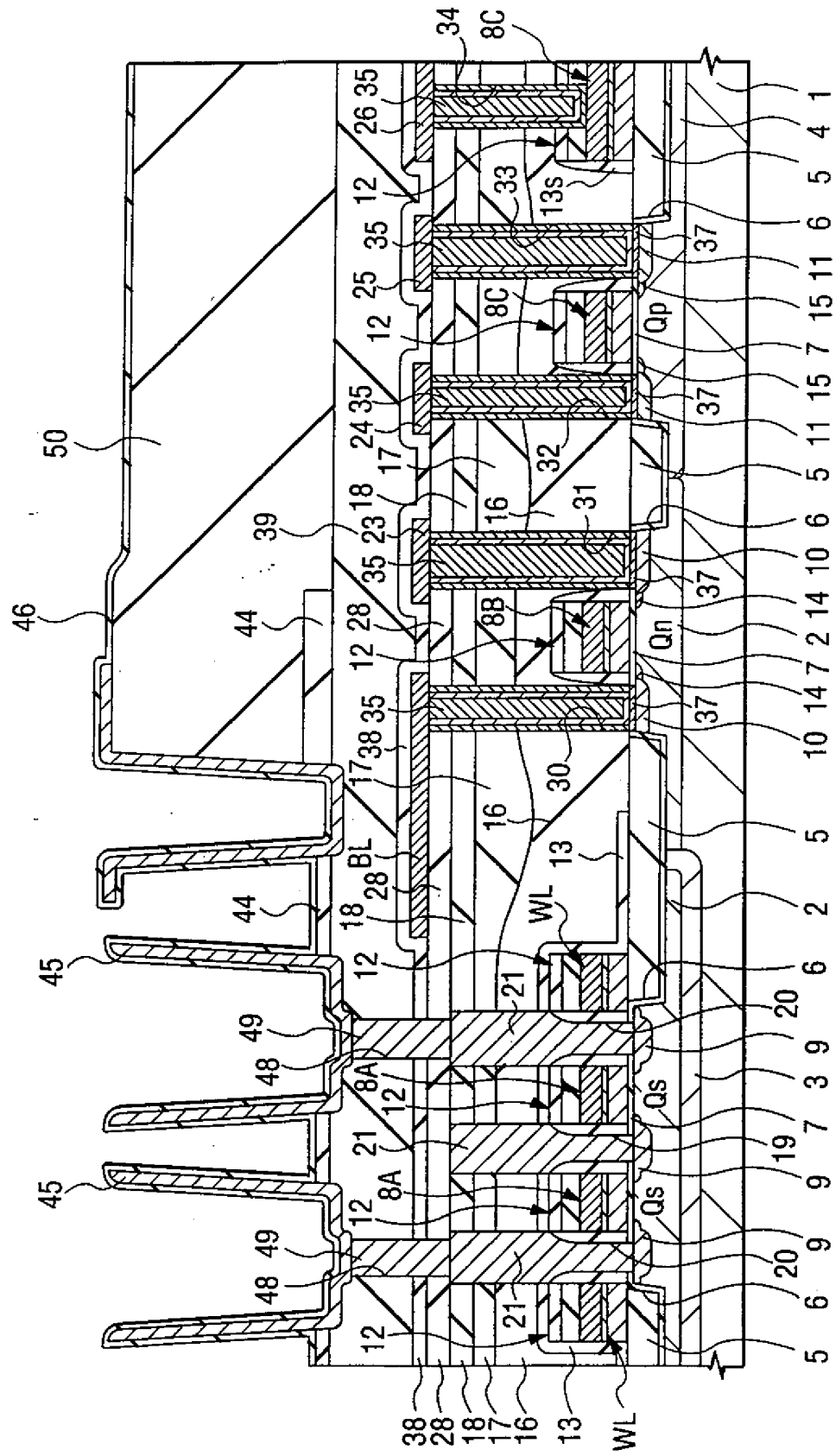
第45圖



第46圖

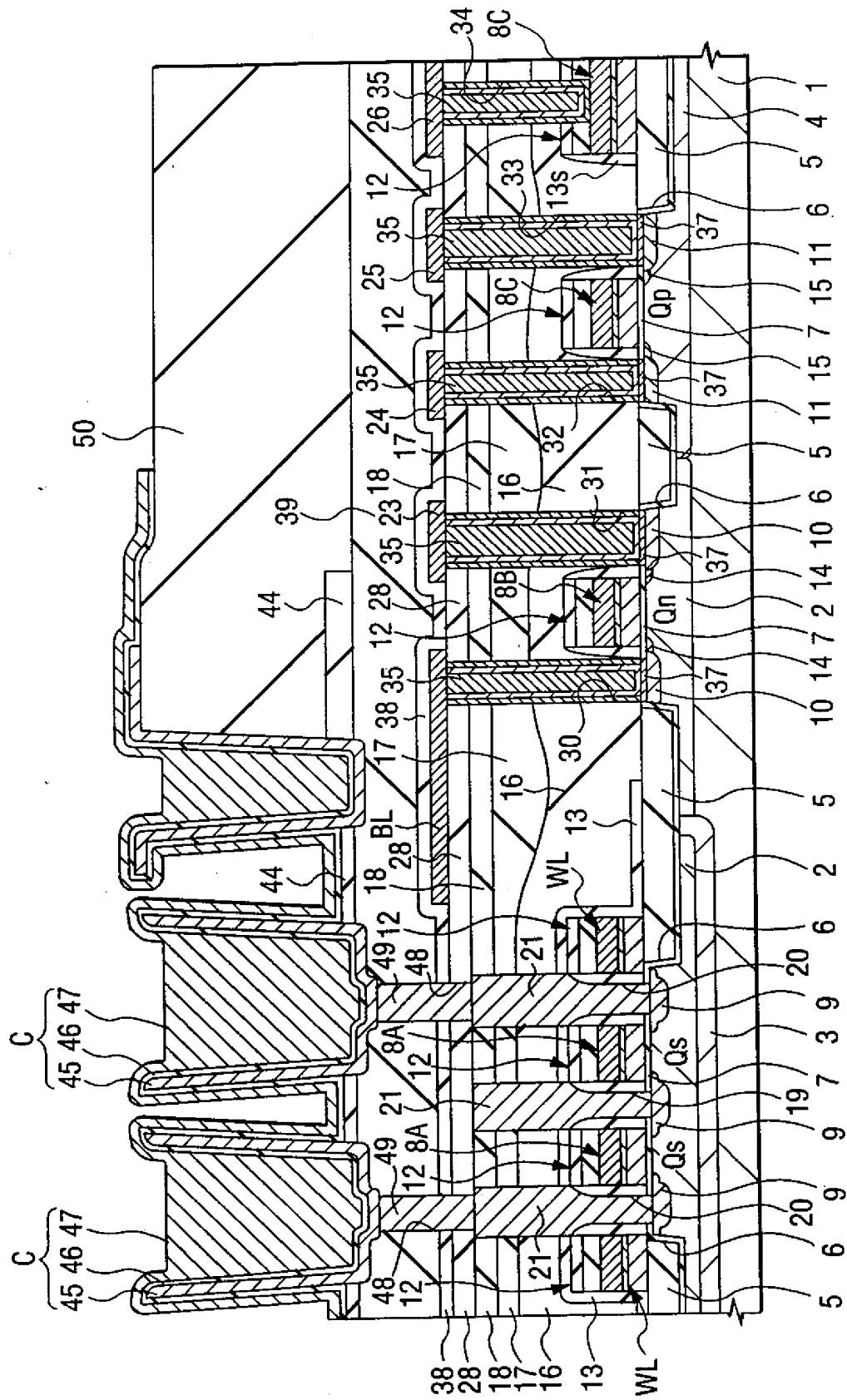


第47圖

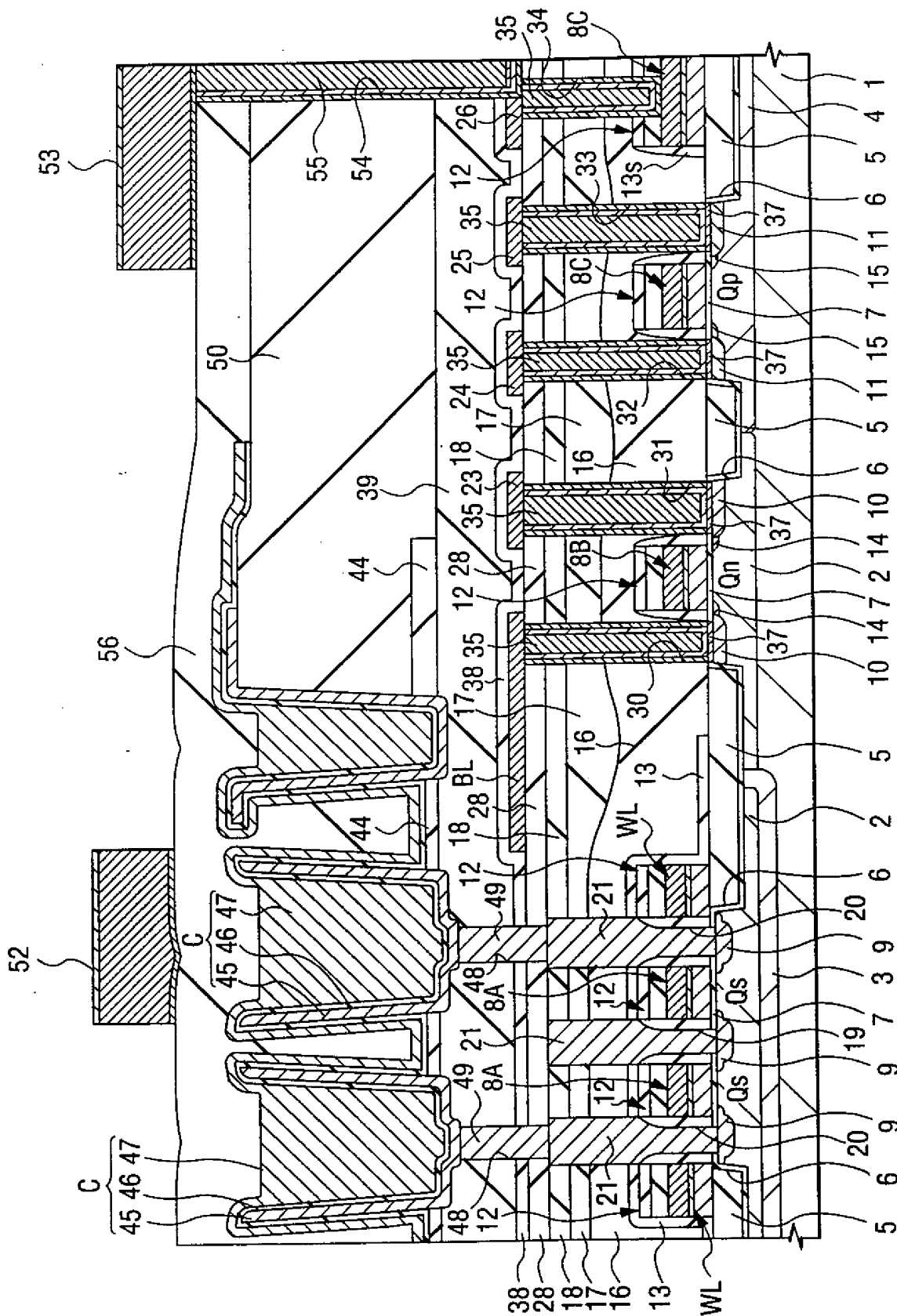


451A00

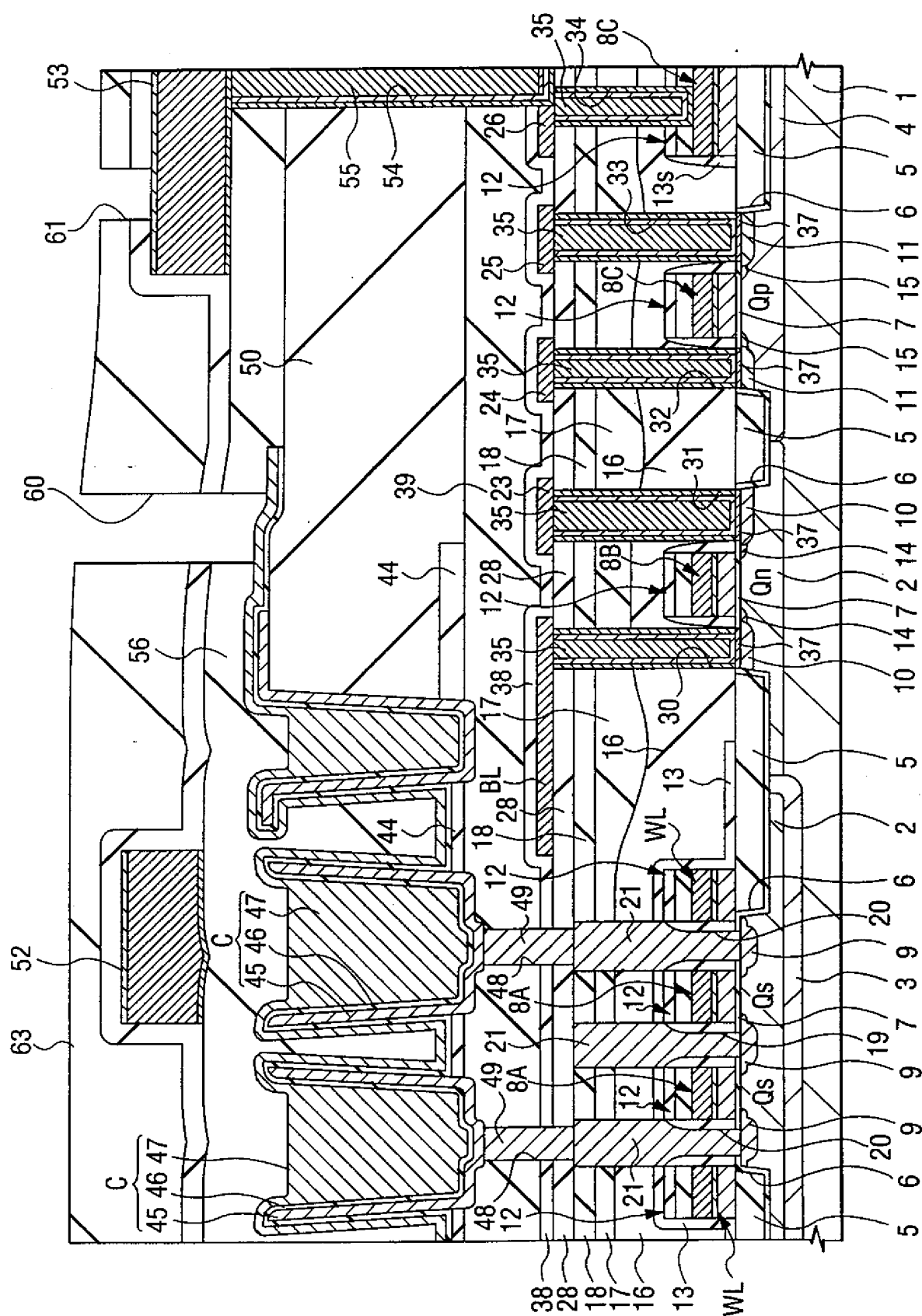
第48圖



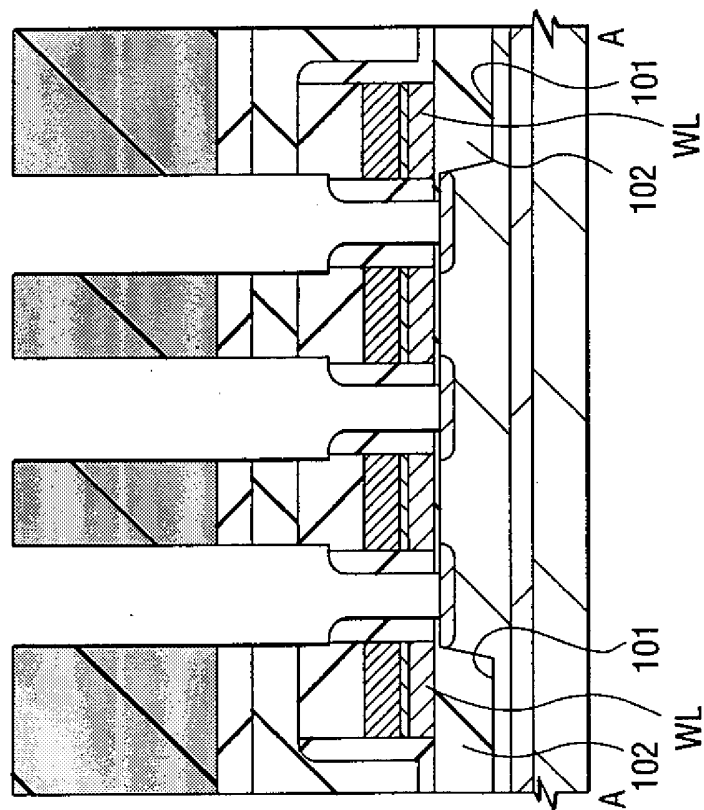
第 50 圖



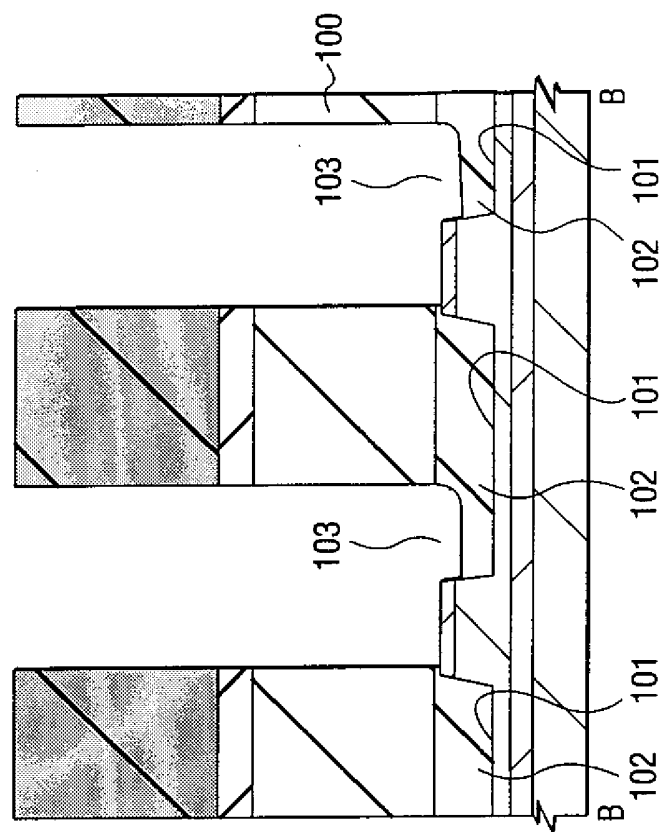
第 51 圖



第 52a 圖



第 52b 圖



第 53 圖

