

(1)

## 玖、發明說明

### 【發明所屬之技術領域】

本發明係相關於一種測試積體電路（IC）之系統，特別是，相關於一種高速測試具有記憶體陣列之 IC 之方法以及裝置。

### 【先前技術】

電子工業至製造商使用測試系統或測試器而自動測試電子構件以及積體電路以排除瑕疵裝置或 IC。一般而言，有兩類數位測試器適合於測試記憶體陣列或電路，像是快閃記憶體或是隨機存取記憶體（RAM），且，該些係適合於測試邏輯電路，像是微控制器，特定應用積體電路（ASIC），以及可程式邏輯裝置（PLD）。一般而言，最好是在 IC 仍為晶圓或基底之一部份，以及在封裝該裝置之後但是接合或組裝於模組、卡或面板上之前，而測試 IC 之許多點。然而，電子工業的趨勢在於電子裝置及電路之日益最小化，因此，IC 之複雜度增加。因此，由於 IC 越來越複雜，測試器之複雜度必須相對的增加。

爲了測試 IC 之功能，資料圖樣經由時序產生器以及接腳電子通道而以特定時序以及電壓設定而被送至待測裝置（DUT），之後資料以特定時序以及電壓設定而自 DUT 讀出，以確定該 DUT 回應正確。在接腳電子通道之比較器將 DUT 輸出信號與所預期輸出信號比較，而將比較結果送入至錯誤攫取記憶體。

(2)

對於測試邏輯 DUT，資料圖樣一般係儲存在位於測試器中大的半導體記憶體。對於記憶體測試器，資料圖樣一般係太大而無法儲存於該測試器中。由於記憶體 DUT 之一般陣列結構，資料圖樣使用稱為邏輯圖樣產生器 (APG) 之特製電腦而演繹地產生。此技術已經實施多年，且係為製造記憶體測試資料圖樣之工業標準方法。

快閃記憶體 DUT 之測試相對於測試其他類型之記憶體裝置具有特定的一些挑戰。快閃記憶體係為一種程式化裝置，其需要不同程式化時間以及電壓於每個裝置之每個晶格中。因為該程式化係藉由演算圖樣產生器 (APG) 而完成，因此當每個 DUT 具有其專屬之 APG 時，最好具有最高之流通量 (throughput)。

許多習知記憶體測試器具有一個扇出 (fanned out) 至多個時序產生器以及接腳電子通道，以通不測試一些 DUT。當快閃記憶體使用此方法而測試時，因為快閃記憶體之程式化在相較於其讀取週期下為非常的慢，因此測試時間變得非常的大，且所有 DUT 必須等待最慢的 DUT 以完成程式化，以進行 APG。因此，當對 APG 程式化時，一般係以慢的週期速率而執行，因此減低效能並使用測試器之資源。習知快閃記憶體測試器藉由設置更多個 APG 於測試器中而賦予每個 DUT 之獨立性而試圖解決此問題。

包含少量實體接腳而有許多信號經多工後送入至此些接腳之快閃 DUT，變得更為人所使用。此種快閃 DUT 之

(3)

例子係為 NAND 快閃 DUT，其一般具有 16 個接腳。更為極端之小接腳數可程式記憶體之例子，係為一串 EEPROM，其只具有四個信號接腳。此 DUT 之製造對於成本係非常敏感，且只可支援非常廉價之測試器之使用。然而，增加測試器中之 APG 之數目以增加每個 DUT 之獨立性將增加測試器之成本。因此，增加 APG 之數目並非一完美之解決方案。

於是，需要一種藉由最大化 APG 之使用而有效以及使用測試器資源之測試器以及方法。進一步，需要一種當獨立測試多數個 DUT 時增加每個 DUT 效能，以及亦可在例如在快閃 DUT 之讀取週期而以 APG 之全週期速率而在鎖住 (lock) 步驟中測試多個 DUT 之測試器以及方法。

本發明之系統以及方法在提供具有上段優點之系統以及方法。

## 【發明內容】

本發明係相關於一種高速測試具有記憶體陣列之 IC 之裝置以及方法。

根據本發明，係提供一種半導體測試裝置或測試器以測試半導體裝置。一般而言，該測試器包括一多工演算圖樣產生器 (APG)。該多工能力允許 APG 同步執行多個成是於單一圖樣產生器中。在一實施例中，該多工 APG 經時間截分 (time-sliced) 為八個，允許使用單一 APG 而使最多八個測試程式獨立以及同步執行於八個獨立十六個

(4)

接腳之 DUT 於 128 個接腳測試處。該多工藉由使每個 DUT 獨立工作而移除圖樣執行中之死週期 (dead cycle) 而增加測試資源之效能以及使用性，使得沒有 DUT 等待其他 DUT 以完成圖樣處理之前之操作。

另外，本發明係相關於使用具有多工 APG 之裝置或測試器之測試 DUT 之方法。

另外，本發明係相關於根據本發明之方法而使用具有多工 APG 之裝置或測試之半導體裝置測試器。

## 【實施方式】

本發明係相關於一種使用具有多工演算圖樣產生器 (APG) 之測試而有效以及高速測試積體電路 (IC) 之系統以及方法。

以下參考圖 1 而介紹本發明實施例之具有多工 APG201 以測試一個或是多個待測裝置 (DUT203) 之測試系統或是測試器 200。DUT203 係指任何具有邏輯電路、記憶體陣列或兩者之 IC 或是電子構件模組。例如，DUT203 可以是晶錠 (die)、封裝或是可以在基底上之多個裝置中之一個。DUT203 可經由多數個接腳 231 或經由與基底 (未顯示) 上之墊襯 (pad) 接觸之探針 (未顯示) 而耦合至測試系統 200。雖然只顯示一個 DUT，該測試系統 200 可以且較佳的包括足以平行測試多數個 DUT203 之足夠空間的多數個測試處。

爲了清楚起見，略過已知以及不相關於本發明之測試

(5)

器的許多細節。關於測試器之細節請參考審查中之美國專利申請號序號 09/895,439,申請認 2001 年 6 月 29 日，名稱”半導體具有雙資料速率接腳混合之測試系統”；美國專利申請序號第 10/039738,申請認 2002 年 1 月 4 日，名稱”具有測試半導體裝置之圖樣混合器之裝置以及其操作方法”；以及美國專利申請序號第 10/170916,申請日 2002 年 6 月 12 日，名稱”可堆疊半導體測試系統以及其操作方法”。

參考圖 1,測試器 200 一般除了多工 APG，還包括一接腳混合器 240,數個時序產生器以及格式電路（T/Fs250），以及數個接腳電子（PE）電路或通道 251,並耦合於 DUT203 之接腳 231 以及 T/Fs 之間。測試側電腦（未顯示）與時脈係耦合於多工 APG201、接腳混合器 240 以及 T/Fs250 中之相隔構件或元件，以提供具有時脈週期之時序或時脈信號並控制其操作。

該接腳混合電路 240 將多工 APG201 之多個輸出中之任何一個，耦合至 T/Fs250 之任何一個，並經由 T/F 而至位在 DUT203 中之任何一個上之任何一個接腳 231.該接腳混合器 240 之功能係作為允許 DUT203 之任何一個接腳 231 在每個時脈週期，而自 APG201 中之任何圖樣資源而驅動。此外，耦合至 DUT203 之每個接腳 231 的多工 APG201 之輸出，可以週期接著週期為基礎而被決定或是選擇。因此，輸出自多工 APG201 之測試信號或圖樣，可耦合至特定 DUT203 上之特定接腳 231,且可在不需重新接

(6)

線連接至 DUT 或對於多工 APG201 額外重新程式化之下，而直接 (on the fly) 切換或改變。在圖 1 所示之測試器 200 中，接腳混合器 240 係藉由多工 APG201 而控制 (控制連接未顯示)，且可例如經設計而允許以週期接著週期之方式對應於 DUT203 之每個接腳 231 上有 64 個不同之圖樣。具有接腳混合器 240 之測試器 200 一般可在 Nextest 系統公司 (美國加州聖荷西)，其相關細節請參考美國專利申請案序號第 09/895439 號。

該 T/Fs 調整測試圖樣之各種信號之時序以及格式，即，驅動/預期資料信號、選通 (strobe) 控制信號以及輸入/輸出 (I/O) 控制信號，該些係經由 PE 通道 251 而接收自多工 APG201，並將來自多工 APG 之輸出耦合至 DUT203。

每個 PE 通道 251 一般經由 T/Fs 而自多工 APG201 而接收測試圖樣或信號之 3 位元部份，每個 3 位元信號包括驅動/預期資料信號、選通控制信號以及 I/O 控制信號。某些測試系統將此些三位元予以解碼為八個 PE 控制函數之不同組合。每個 PE 通道 251 一般包括可將信號耦合至 DUT203 之接腳 231 之信號之 PE 驅動器 (未顯示)、作為將輸出信號與預期輸出信號比較之比較器 (未顯示)、以及作為經由多工 APG201 而將比較結果耦合至錯誤攫取 RAM260 之錯誤邏輯電路 (未顯示)。一般而言，PE 驅動器以及比較器在同一時間在相同 PE 通道 251 中不會作動，因為接腳 231 在同一時間係為接收資料或控制信號，

(7)

或是接收結果，兩者之一。

多工 APG201 包括一控制部份 205、暫存器式演算位址產生器 220、位址拓譜 (topological) 混合器 222、資料產生器 230、以及資料多工器 234。該多工器 APG201 具有在無”死週期”之下而在每一個操作時脈週期產生資料圖樣之能力，所謂”死週期”係指多工 APG 對於 DUT203 計算而無資料之產生者。在資料圖樣中沒有死週期，意指 DUT203 正以其最嚴格之時序限制而運算下之最嚴格測試情形。死週期將產生一相當寬鬆之測試。此外，死週期增加測試時間。

多工 APG201 之控制部份 205 控制多工 APG、接腳混合器 240、T/Fs250 以及 PE 通道 251 之操作，且可由微型 RAM 位址暫存器 202、微型 RAM204、回路計數器以及堆疊暫存器或暫存器為基礎之回路計數器以及堆疊 210、分支邏輯 212 以及工作選擇器，像是 DUT 工作暫存器 280 所組成。該控制部份 205 係為封閉回路系統，其一旦設定執行則控制其本身。在正常操作下，測試器使用者寫入一由主機電腦（未顯示）所載入之演算邏輯至微型 RAM204。該微型 RAM204 一般係 100 至 200 位元寬以及數百至數萬字元深。來自於微型 RAM204 之某些位元係控制多工 APG201 之程式流，而來自於微型 RAM 之其他位元係控制產生 DUT203 之資料圖樣之暫存器。

一旦微型 RAM204 寫入使用者寫入之程式，該多工 APG201 藉由允許時脈產生而被設定執行。該微型 RAM 位

(8)

址暫存器 202 將微型 RAM204 定址，指到下一個將被執行之指令。該微型 RAM204 輸出控制位元至回路計數器以及堆疊 210,以及至分支邏輯 212.該回路計數器以及堆疊 210 加上分支邏輯 212,決定下一個微型 RAM 位址，以載入至微型 RAM 位址暫存器 202.回路計數器允許指令執行，直到到達計數值，之後分支邏輯 212 載入一新的微型 RAM 位址暫存器值。該堆疊提供一返回微型 RAM 位址，當次常式 (subroutine) 被執行。該分支邏輯 212 一般允許跳躍、次常式呼叫、以及根據各種條件之次常式返回，包括之前提到的回路計數器。此圖樣執行程序繼續，直到分支邏輯 212 被微型 RAM204 之專為停止多工 APG201 之位元碼指示要停止。

如上述當控制部份 205 正被執行時，來自於微型 RAM204 之額外位元被同步送至多工 APG201 之其他部份以演算產生 DUT 位址、DUT 資料、以及可能之其他功能。圖 1 展示由微型 RAM204 所驅動之暫存器為基礎之演算位址產生器 220.該位址產生器 220 之輸出驅動位址拓撲混合器 222 以及資料產生器 230.該位址拓譜混合器一般係為隨機存取記憶體，其在經由傳送 DUT 位址解碼器 (未顯示) 之後，而提供一拓撲真 (true) 之資料圖樣至 DUT 內部陣列 (未顯示)，其通常混合送入至 DUT203 之接腳 231 之位址。

該暫存器為基礎之資料產生器 230 經演算而產生 DUT203 之資料圖樣，並根據位址產生器 220 所發送之位

(9)

址而條件化將圖樣反向。除了演算資料之外，特定 DUT203 需要經儲存之回應資料圖樣而作為 DUT 位址之功用。舉一例子，像是唯讀記憶體（ROM），其將資料圖樣永久程式化入至 DUT203。資料緩衝記憶體 232 係為隨機存取記憶體，其保持所儲存之回應資料圖樣，其係作為來自位址產生器 220 之位址之功用而傳送。該測試程式，經由微型 RAM204（控制連接未顯示），可經由資料多工器 234 而控制和資料原需被送入至 DUT。

圖 1 所示之測試器 200 經由接腳混合器 240 而將位址拓譜混合器 222 之輸出、資料多工器 234、以及其他多工 APG 資料源予以路由（route）。

以下參考圖 2 而描述使用在微型 RAM 位址暫存器 202、回路計數器以及堆疊 210、位址產生器 220 以及資料產生器 230 之儲存構件或暫存器。圖 2 係為本發明多工 APG201 所使用之多工 APG 儲存構件或暫存器 270 之實施例之方塊圖。根據本發明，多工 APG 暫存器 270 係由以下組成： $n$  個儲存元件或暫存器 272、273、274，以及一選擇元件或機制，像是多工器 276，送自暫存器 272、273、274。每個暫存器 272、273、274 具有分離時脈致能（未顯示），與多工器選擇同步。例如，當多工器 276 選擇第一輸入時，只有第一暫存器 272 之時脈被致能。當該多工器選擇第  $n$  個輸入，只有第  $n$  個暫存器 274 時脈被致能。因此，在多工 APG201 之暫存器 272、273、274 可對於每個 DUT203 保持一個別值。

本發明之多工 APG201,藉由提供可低速操作之獨立 APG,而減少測試小接腳量 DUT203 之測試器 200 之成本。當需要高速操作時, DUT 可以全 APG 速度而在鎖住步驟中執行,以最大化通量,並提供較低速 APG 所提供之條件更為嚴格之測試條件。即,在 DUT203 之程式化,像是快閃記憶體,該多工 APG201 係在多工模式下操作,其中測試圖樣係只必要之長度而獨立廣播或是寫入至每個 DUT,以程式化該 DUT。相反的,習知應用在測試圖樣程式化之測試器,係同步對所有 DUT 寫入,直到最後或是最慢的 DUT 已經被程式化。獨立的將測試圖樣寫入至每個 DUT203 有以下優點。首先,藉由使較大數量之 DUT203 平行測試之在一給定時間週期中致能,可最大化測試器 200 之通量而更有效使用多工 APG201 之資源。此係因為程式化一般相關於寫入多個圖樣至每個 DUT203。例如,平行程式化多個 DUT203 可包括寫入裝置之記憶體晶格之對角圖樣至每個 DUT,之後寫入數個長條 ( stripe )。因此,對於更快速程式化之 DUT203,測試器可開始對於之前程式化之對焦圖樣之長條圖樣予以寫入,而不用等待最慢 DUT 以程式化該對角圖樣。其次,因為程式化信號或測試圖樣係只將必要程度寫入至每個 DUT203 以程式化 DUT,每個 DUT 可以剛好大於裝置之起始值之累積電荷而程式化,且 DUT 電荷之接續測試或是程式保持能力,由於某些 DUT 以較高起始電荷開始,而將較不會產生易於誤導出之正面解決。

(11)

在所有 DUT203 已經被成功程式化之後，多工 APG201 可以全速 APG 速度而在鎖住步驟中操作，以同步自所有 DUT 回讀該經程式化之圖樣，因此而使通量最大化。

如上述，快閃記憶體相較於其讀取週期係為非常慢速。因此，當程式化時，APG 一般係以慢週期速率而操作。優點在於，藉由將硬體時間多工，而使高速多工 APG201 看起來像是多個獨立的慢速 APG，並藉由對於每個 DUT 或工作予以分時或切割 APG 時間，而將該輸出導引至適當之 DUT。例如，在 20 毫微週期速率而執行之 APG 可在接續週期而連貫的驅動四個 DUT 之每一個。第一 DUT 取得所算出之資訊，並在第一個 20 毫微秒週期而執行，第二 DUT 在第二個 20 毫微秒週期執行，第三 DUT 在第三個 20 毫微秒週期執行，第四 DUT 在第四個 20 毫微秒週期執行。在第一 DUT 再次取得服務時，已經完成 80 毫微秒，使得第一 DUT 得到 80 毫微秒之有效週期，每個其他 DUT 亦如此，但在時間上係交錯的。

由圖 1 可看出，係將多工 APG 儲存構件 270, 像是暫存器，被以如 APG 之習知暫存器所適當取代。該微型 RAM 位址暫存器 202、回路計數器與堆疊 210、位址產生器 220、以及資料產生器 230 係皆為多工 APG201 之多工 APG 暫存器 270. 這些 APG 暫存器 102、210、212、220 接收來自於像是 DUT 工作暫存器 280 之工作選擇器之控制，以指定何 DUT203 在作動時間分割中服務。DUT 工作暫

(12)

存器 280 經由輸入或電腦匯流排 281 而自主機電腦（未顯示）處載入包括將在多工模式下服務之數個 DUT 之資訊予以載入。

在一實施例中，DUT 工作暫存器 280 基本上為計數器，而自 1 至  $n$  計數，其中  $n$  係為將服務之 DUT203 之數目。DUT 工作暫存器 280 之輸出可以二進位碼、一組  $n$  個獨立致能、或某些其他格式或混合格式而廣播。

或者，該 DUT 工作暫存器 280 係為智慧型控制器，其可獨立檢查週期速率（週期時間）、週期開始時間或是 DUT203 受測之順序、以及施加至每個 DUT 之測試圖樣。即，每個 DUT203 可具有其本身之週期時間（週期速率），且每個週期之開始部份在時間上並不（或不需）相交錯。DUT 週期之起始可在任何時間，而無關於其他 DUT 之時序。在此實施例中，DUT 工作暫存器 280 係為一智慧型控制器，其可在下一個週期時間而檢視每一個 DUT203，並根據以下預設標準而決定：(i) 哪一個 DUT 得以下一個週期使用多工 APG201，以及 (ii) 何時對於該特定 DUT 經由 T/Fs250 而傳播資料。該預設標準可包括，例如，可變長度管線（pipeline）以加資料傳播至即時改變之 T/Fs250，以及每個 DUT203 之週期速率或是週期時間。在此實施例之較佳方式中，DUT 工作暫存器 280 使用個別致能於 T/Fs250，而不是三位元碼，藉此使資料依需要而獨立送至每個 DUT。

如習知之 APG，該多工 APG201 包括大量之組合邏輯

(13)

以及 RAM 以演算式計算圖樣。其亦具有相當數量之 RAM 於位址拓撲混合器 222,以及資料緩衝記憶體 232.沒有重複的組合邏輯或是 RAM 於多工 APG201，因而節省顯著之硬體費用。

該 DUT 工作暫存器 280 亦於接腳混合器 240 以及 T/Fs250.經定時續以及格式化之信號，在到達 DUT 之前，針對精密之電壓條件而經過接腳電子通道（P/E251）。接腳電子通道 251 一般包括 PE 驅動器以將測試向量、資料送入至 DUT203 之接腳，一比較器以將 DUT 輸出信號與期望輸出信號比較，以及一錯誤邏輯電路作為將比較之結果連接回錯誤捕捉記憶體或錯誤捕捉 RAM260.

在 APG200 中之此時，信號係以每個 DUT203 接腳位準而分離。該接腳混合器 240 可切換，但是 DUT 工作暫存器 280 將指示時序產生器以及格式器（formatter）250 只對作動 DUT 去定時脈以及發出信號。在該非作動 DUT203 上之時序產生器以及格式器 250 該不會接收致能而門鎖新資料，所以其將繼續其正在進行之操作。

該錯誤捕捉 RAM260 接收 DUT 工作暫存器 280 信號以告知使用錯誤捕捉記憶體之何部份來錯誤記錄。該錯誤捕捉 RAM260 可為大的隨機存取記憶體，其可使用 DUT 工作暫存器 280 作為指標而對於每個 DUT203 而予以分割。

該多工 APG201 可使測試器 200 同步執行多工成是於單一圖樣產生器。當同步執行程式時，該多工運算系統對

(14)

於多工 APG201 操作予以時間分割，而以對於每個程式給予多工 APG 資源一段連續回路之一小段時間，直到該程式完成。該些程式之處理在時間上係為交錯。

在一實施例中，該多工 APG201 硬體或是資源係為最大分割為八通路（way）而時間分割，以允許最大至八個測試程式獨立以及同步執行於單一 APG 上。例如，具有多工 APG201 之測試器 200 之 128 接腳測試座（cite），被分割為 8 通路，產生最多八個獨立十六接腳 DUT 測試座。對於每個十六接腳 DUT 測試座之時序以及格式化，係經由 T/Fs250 而獨立分配。

當多工 APG201 備妥以廣播測試信號或圖樣至 DUT203 時，在只關聯於 DUT（而不關聯於其他 DUT）之測試座上之時序系統被載入。而該測試座之時序系統或 T/Fs250 正在執行剛被載入至 DUT 週期時，該多工 APG201 繼續至其他 DUT 座而執行相同之事。

該多工能力並不會造成在圖樣執行時任何死週期（dead cycles）。圖樣如在習知 APG 般而被執行。使用者自習知 APG 般自主機電腦（未顯示）而寫入測試圖樣至該多工 APG201,且其並不管理任何之多工硬體。使用者唯一需要知道之事乃係被測試之 DUT203 之數目，或是多工 APG201 資源要被分割之時域，以及在多工模式中有用之最大週期時間。

由於平行測試之 DUT203 之數目或是時域在多工模式中增加，因此，在特定 DUT 或測試座之最大週期速率減

(15)

少。此係因為更多之測試座需要自多工 APG201 得到更多之時間段 (time slice)，意指，其需要更多時間處理所有之程式。此對於快閃記憶體係為受惠，因為 DUT 程式化所需要之週期時間以及座，對上 DUT 對於陣列讀取所需要之週期時間以及座相較之本質性使然。

在一實施例中，多工 APG201 具有 50MHz 之最大週期速率，即，20 毫微秒週期。以下表格 I 展示在 DUT 座中之最大週期速率，對上被多工 DUT 之數目。

表格 I

多工待測裝置	最大 DUT 頻率(週期時間)
1	50MHz(20ns)
2	25MHz(40ns)
4	12.5MHz(80ns)
8	6.25MHz(160ns)
n	最大頻率 / n

對於在低速週期速率而程式化之快閃記憶體，可經使用多工以達成獨立 DUT 座之最大流通量。對於高速 DUT 陣列讀取（意指，因為較高之速度而有較高之流通量），該 DUT 座可以最大 50MHz 而在鎖住步驟中執行。因此，此多工 APG 對於獨立之十六接腳 DUT 座而以最大至 6.25MHz 以及以習知平行測試模式而自單一片硬體而發送

以下參考圖 3 而解釋測試第一以及第二 DUT203 之方法以及程序之實施例。圖 3 係為展示參考具有多工 APG201 之測試器之處理，以以多工模式平行寫入或程式化 DUT203 數目之實施例之流程圖。

參考圖 3,藉由載入包含數個作為測試在多工 APG201 中之 DUT203 之位元之測試信號或圖樣，而開始（步驟 300）。藉由自主機電腦個別經由電腦匯流排 282 以及電腦匯流排 281 而載入至微型 RAM 位址暫存器以及 DUT 工作暫存器而完成。一般而言，此關聯於將一測試圖樣載入至該微型 RAM 位址暫存器 202,以及包括多工 APG201 所將分割之時域之數目，將在每個時域而服務之 DUT 之 PE 通道之數目以及標誌（identity）之資訊至 DUT 工作暫存器 280.接著，第一測試圖樣，在多個時域中之第一個而被耦合或提供 DUT203 之至少一個之第一組中（步驟 305）。該測試圖樣可具有銅 1 位元至等於 DUT203 上之 PE 通道或接腳 203 之數目之寬度。在該第一測試圖樣經由關聯之 T/Fs250 而完成提供至該第一組 DUT203 之後，該第一測試圖樣自該第一組 DUT 中去除耦合並移除（步驟 310），且第二測試圖樣在第二時域中而被耦合或是提供至第二組 DUT（步驟 315）。再次，在第二測試圖樣經由關聯 T/Fs250 而已經完全被提供至第一組 DUT203 之後，該第二測試圖樣被去除耦合或自該第一組 DUT 中移除（步驟 320），而步驟 305 至 320 重複直到整

(17)

個第一以及第二測試圖樣皆被應用或提供至第一組以及第二組 DUT (步驟 325)。即，直到所有 DUT203 被完全程式化。

以下參考圖 4 而描述測試第一以及第二 DUT203 之方法或步驟或實施例。圖 5 係為展示作為操作具有多工 APG201 之測試器以在多工模式而平行寫入或程式化多個 DUT203 之程式之實施例之流程圖。

參考圖 4,藉由在第一時域 (DUT 1) 中之一個或是多個 DUT203 以及在第二時域 (DUT 2) 之一個或是多個 DUT 而開始 (兩者皆在其第一週期而開始) (步驟 401)。現有 DUT1/2 週期之第一時間段係使用作為在下一 DUT1 週期中傳送資料 (步驟 402)。所有時間段係為 20ns 長。現有 DUT1/2 週期之第二時間段係使用作為在下一 DUT2 週期而傳送資料 (步驟 403)。下一 DUT1 或是 (DUT1 以及 DUT2) 開始一新的週期 (步驟 404)。新週期之第一時間段係使用作為在下一 DUT1 週期而傳送資料 (步驟 405)。假如 DUT2 與 DUT1 同步開始其新週期，則第二時間段係作為在下一 DUT2 週期而傳送資料 (步驟 406)。假如圖樣尚未完成，則重複步驟 404 至 406。其他 DUT1 以及 DUT2 週期長度不吻合，且時間段指定現在係根據相反於 DUT 數目之優先序，即，控制器，DUT 工作暫存器 280,在此實施例中並不相像。假如 DUT2 在 DUT1 之前而開始一新週期，則低一有效時間段 (在此例中，係定義為在之前時間段之開始之後至少 20nS) 係使用作為

(18)

在下 DUT2 週期而傳送資料（步驟 406）。假如圖樣為完成，則重複步驟 407.否則繼續步驟 404.

應知，因為 DUT 工作暫存器 280 可選擇任何之儲存元件 272、273、274 以在特定時域中與 DUT203 耦合，以及可在該時域中對於每個 DUT 而個別致能，因此，在不同時域中寫入至 DUT 之測試圖樣不需一樣，且時域之時間週期不需要相同。例如，在一實施例中，該多工 APG201 可在當特定時域時之所有 DUT203 被程式化時而辨識並調整測試圖樣在剩餘時域時耦合至 DUT 之測試圖樣的週期或頻率，藉此以使測試器 200 之效能最大化。此外，DUT203 或時域不需以一般或接續交錯之順序而工作，但可選擇任何之儲存元件 272、273、274 以根據優先序之順序而對於 DUT 或時域工作。例如，當多個 DUT 在後續週期時間具有或需要之四個時域而被測試，時間週期為 80nSec,100nSec,80nSec 以及 200nSec,該 DUT 工作暫存器 280 可選擇儲存元件 272、273、274 而在第一時域、之後為第三時域、第二時域最後為第四時域而對於 DUT 工作。且，測試順序可在下一個週期時間改變。

或者，當相同的測試圖樣在不同之時域內被寫入或程式化至所有之 DUT 時，該方法進一步包括額外之步驟：操作多工 APG201 鎖住步驟以耦合所有之 DUT，以在多工 APG 之最大頻率或速度而回讀該測試圖樣（步驟 330）。

雖然本發明係以實施例以而說明，對於熟知此技藝者可在不離開本發明之基本觀念以及範圍下而有許多之修改

## 【圖式簡單說明】

圖 1 係為本發明實施例之測試之暫存器區塊圖，該測試器係作為測試具有多工演算圖樣產生器之積體電路；

圖 2 為本發明實施例之多工演算圖樣產生暫存器之方塊圖，使用在測試具有多工演算圖樣產生器之機提電路之測試器中；

圖 3 為本發明之實施例之具有多工演算圖樣產生器之測試器之操作方法之流程圖；以及

圖 4 為本發明之實施例中具有多工演算圖樣產生器之測試器之另一操作方法之流程圖。

## 主要元件對照表

200	測試器
201	多工演算圖樣產生器
203	DUT(待測裝置)
231	接腳
240	接腳混合器
250	格式電路
251	PE 通道
260	隨機存取記憶體
205	控制部分
202	微型 RAM 位址暫存器

# I278778

(20)

- 204 微型 RAM
- 205 控制部份
- 210 堆疊
- 212 分支邏輯
- 220 位址產生器
- 222 位址拓撲混合器
- 230 資料產生器
- 234 資料多工器
- 280 DUT 工作暫存器
- 270 多工 APG 暫存器
- 272 , 273 , 274 暫存器
- 232 資料緩衝記憶體
- 260 錯誤捕捉 RAM
- 281 電腦匯流排
- 282 電腦匯流排
- 276 多工器

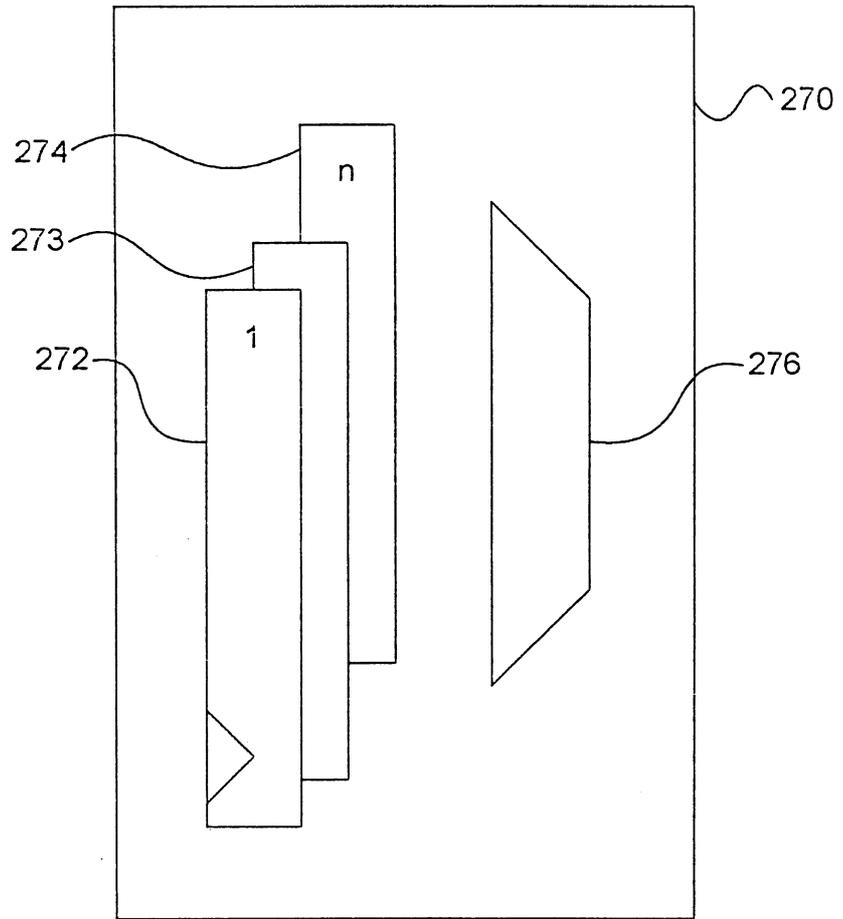


圖 2

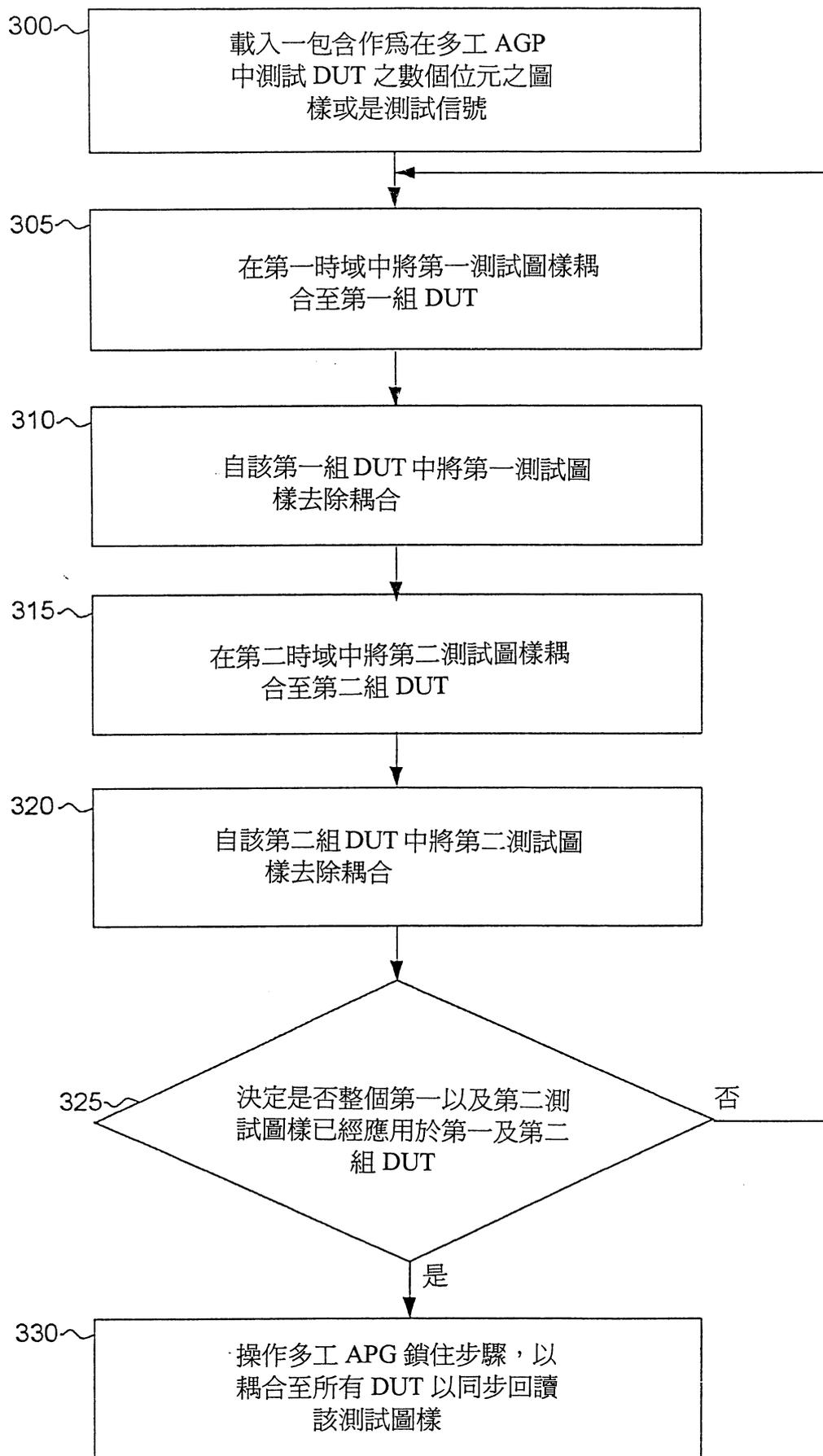


圖 3

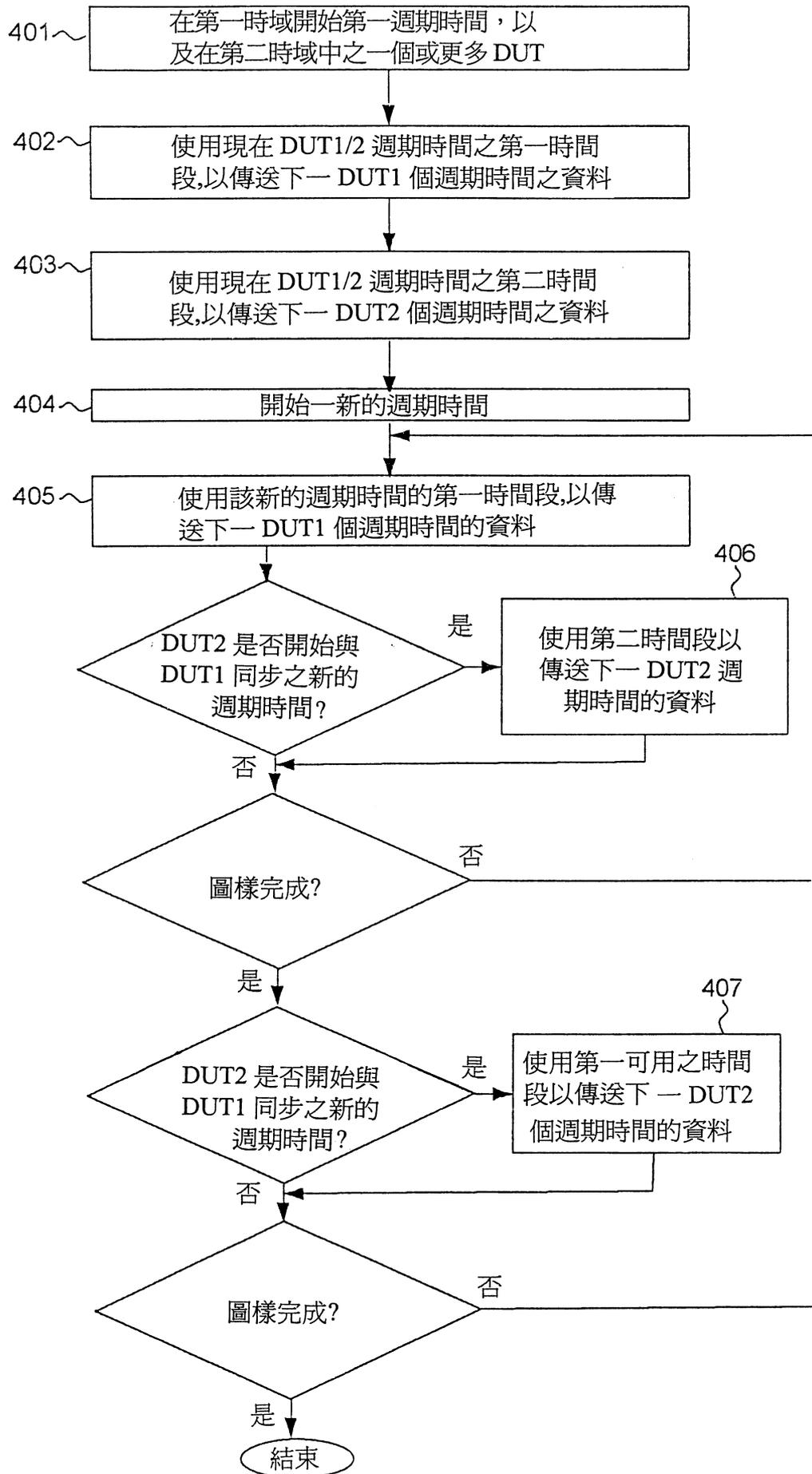


圖 4

陸、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

200 測試器	201 多工演算圖樣產生器
202 微型 RAM 位址暫存器	203 DUT(待測裝置)
204 微型 RAM	205 控制部分
210 堆疊	212 分支邏輯
220 位址產生器	222 位址拓撲混合器
230 資料產生器	231 接腳
232 資料緩衝記憶體	234 資料多工器
240 接腳混合器	250 格式電路
251 PE 通道	260 隨機存取記憶體
280 DUT 工作暫存器	281 電腦匯流排

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

附件 2A: 第 92112502 號專利申請案  
(此處由本局於收  
文時黏貼條碼)

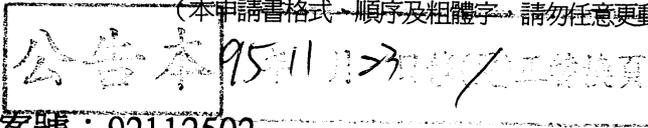
中文說明書替換頁 民國 95 年 11 月 23 日修正

I278778

840903

# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)



※申請案號：92112502

※申請日期：92 年 05 月 06 日

※IPC 分類：

G06F 9/26  
H01L 21/66  
(2006.01)

## 壹、發明名稱：

(中) 用於測試半導體裝置之設備及其所使用之方法

(英) Apparatus for testing semiconductor devices and method for use therewith

## 貳、申請人：(共 1 人)

1. 姓名：(中) 奈泰斯特系統股份有限公司

(英) NEXTEST SYSTEMS CORPORATION

代表人：(中) 1. 保羅 麥格利可

(英) 1. MAGLIOCCO, PAUL

地址：(中) 美國加州聖荷西蒙特瑞公路一九〇一號

(英) 1901 Monterey Highway, San Jose, CA 95112, U.S.A.

國籍：(中英) 美國 U.S.A.

## 參、發明人：(共 1 人)

1. 姓名：(中) 約翰 赫姆斯

(英) HOLMES, JOHN M.

地址：(中) 美國加州坎貝爾佩琪大道一三八一號

(英) 1381 Peggy Avenue, Campbell, CA 95008, U.S.A.

## 肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2002/05/06 ; 60/378,488  有主張優先權

I278778

附件 2A: 第 92112502 號專利申請案  
中文說明書替換頁

民國 95 年 11 月 23 日修正

(此處由本局於收  
文時黏貼條碼)

840903

# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)  
公告本 951111 > 加註 / 二檢決頁

※申請案號：92112502

※申請日期：92 年 05 月 06 日

※IPC 分類：

G06F 9/26  
H01L 21/66  
(>006.01)

## 壹、發明名稱：

(中) 用於測試半導體裝置之設備及其所使用之方法

(英) Apparatus for testing semiconductor devices and method for use therewith

## 貳、申請人：(共 1 人)

1. 姓名：(中) 奈泰斯特系統股份有限公司  
(英) NEXTEST SYSTEMS CORPORATION

代表人：(中) 1. 保羅 麥格利可  
(英) 1. MAGLIOCCO, PAUL

地址：(中) 美國加州聖荷西蒙特瑞公路一九〇一號  
(英) 1901 Monterey Highway, San Jose, CA 95112, U.S.A.

國籍：(中英) 美國 U.S.A.

## 參、發明人：(共 1 人)

1. 姓名：(中) 約翰 赫姆斯  
(英) HOLMES, JOHN M.

地址：(中) 美國加州坎貝爾佩琪大道一三八一號  
(英) 1381 Peggy Avenue, Campbell, CA 95008, U.S.A.

## 肆、聲明事項：

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2002/05/06 ; 60/378,488  有主張優先權

### 伍、中文發明摘要

發明之名稱：用於測試半導體裝置之設備及其所使用之方法

一種測試半導體裝置之測試器以及方法。一般而言，該測試器包括一多工演算圖樣產生器（APG）以使用單一圖樣產生器而同步執行位在多個測試處之多數個程式。在一實施例中，最多至八個測試程式被獨立地以及同步地在一個128接腳測試處上之八個獨立的十六個接腳裝置而執行。當該多工APG經備妥以光撥至一裝置時，只有關聯於該裝置（而非其他之裝置）之時序系統被載入。而該時序系統對於剛被載入之裝置而執行測試程式之週期時，該APG記續以載入其他裝置。因為程式化所需之週期速率較讀取之週期速率為慢，因此測試器特別可測試快閃記憶體。最佳的，會了較高之流通量，APG可在快閃讀取週期而在鎖住步驟而執行最大的操作頻率。

### 陸、英文發明摘要

發明之名稱：

#### **APPARATUS FOR TESTING SEMICONDUCTOR DEVICES AND METHOD FOR USE THEREWITH**

A tester and method are provided for testing semiconductor devices. Generally, the tester includes a multitasking Algorithmic Pattern Generator (APG) to concurrently execute multiple programs on multiple test sites using a single pattern generator. In one embodiment, up to eight test programs are run independently and concurrently on eight independent sixteen-pin devices on a 128 pin test site. When the multitasking APG is ready to broadcast to a device, timing system associated with that device only (and not the other devices) are loaded. While the timing system is executing the cycle of the test programs for the device just loaded, the APG continues on to load the other devices. Because of the slow cycle rates required for programming versus reading, the tester is particular advantageous for testing flash memory. Optionally, for higher throughput, the APG can be run in lock step at up to a maximum operating frequency of the APG during read cycle of flash.

**拾、申請專利範圍**

附件 4A: 第 92112502 號專利申請案

中文申請專利範圍替換本

民國 95 年 11 月 23 日修正

1. 一種測試第一以及第二半導體裝置之多工設備，包含：適用於耦合至第一半導體裝置之第一組接腳，以及適用於耦合至第二半導體裝置之第二組接腳；至少一第一信號產生器耦合至第一組接腳以及至少一第二信號產生器耦合至第二組接腳；一儲存構件耦合至至少一第一信號產生器以及耦合於至少一第二信號產生器，該儲存構件具有第一儲存元件以及第二儲存元件，該第一儲存元件包含符合於第一半導體裝置之資料，該第二儲存元件包含符合於第二半導體裝置之資料；以及一工作選擇器耦合至該儲存構件，該工作選擇器在當第一半導體裝置正工作時而導引來自於正被存取之第一儲存元件之資料以處理以及至第一組接腳之方向，以及該工作選擇器在當第二半導體裝置正工作時而導引來自於正被存取之第二儲存元件之資料以處理以及至第二組接腳之方向。

2. 如申請專利範圍第 1 項之設備，其中至少一第一信號產生器包括耦合至第一組接腳之每一接腳的一第一信號產生器，以及至少一第二信號產生器包括耦合至第二組接腳之每一接腳的一第二信號產生器，該儲存構件被耦合至該耦合至第一組接腳之每一接腳的第一信號產生器與該耦

合至第二組接腳之每一接腳的第二信號產生器。

3.如申請專利範圍第 1 項之設備，其中該第一儲存元件係為暫存器而該第二儲存元件係為一暫存器。

4.如申請專利範圍第 1 項之設備，進一步包含一額外儲存構件，具有一包含符合於第一半導體裝置之額外資料之第一儲存元件，以及包含符合於第二半導體裝置之額外資料之第二儲存元件，該工作選擇器耦合至該額外儲存構件，該工作選擇器在當第一半導體裝置正工作時而導引來自於正被存取之第一儲存元件之資料以處理以及至第一組接腳之方向，以及該工作選擇器在當第二半導體裝置正工作時而導引來自於正被存取之第二儲存元件之資料以處理以及至第二組接腳之方向。

5.一種測試多數個半導體裝置之測試設備，該設備包括一多工演算圖樣產生器（APG）適用於耦合多數個半導體裝置，該多工 APG 經組構而在第一時域而提供第一測試圖樣至該多數個半導體裝置中之第一個，以及在第二時域將第二測試圖樣提供至該多數個半導體裝置中之第二個。

6.如申請專利範圍第 5 項之測試設備，其中在第一時域耦合至該多數個半導體裝置的第一個之該第一測試圖樣，係與在第二時域耦合至該多數個半導體裝置的第二個之該第二測試圖樣不同。

7.如申請專利範圍第 5 項之測試設備，其中該第一時域係包含與第二時域不同之持續時間。

8.如申請專利範圍第 5 項之測試設備，其中該多工 APG 包含具有多數個儲存元件之至少一暫存器，以及一選擇元件，經由該選擇元件而將多數個儲存元件耦合至多數個半導體裝置。

9.如申請專利範圍第 8 項之測試設備，其中該多工 APG 係適合於在最多 n 個不同時域中耦合最多至 n 個不同測試圖樣至多數個半導體裝置。

10.如申請專利範圍第 8 項之測試設備，其中該多工 APG 包含選擇自有以下構成之群組之暫存器：

微型 RAM 位址暫存器；

回路計數器以及堆疊暫存器；

位址產生器；以及

資料產生器。

11.如申請專利範圍第 8 項之測試設備，其中該多工 APG 進一步包含耦合於至少一暫存器之 DUT 工作暫存器，該 DUT 工作暫存器適合於

12.如申請專利範圍第 11 項之測試設備，進一步包含多數個時序與格式化電路 (T/Fs) 以及接腳電子 (PE) 通道，藉此使每個多數個半導體裝置與數個儲存元件耦合，且其中該 DUT 工作暫存器適合於在第一時序只致能耦合至該多數個半導體裝置之第一個中之 T/Fs 與 PE 通道，以及在第二時域只致能耦合至該多數個半導體裝置之第二個中之 T/Fs 與 PE 通道。

13.一種使用具有多工演算圖樣產生器 (APG) 之測

試設備而測試多數個半導體裝置之方法，該方法包含以下步驟：

i. 在數目為  $n$  之時域中之第一個時域，而將第一測試圖樣送至多數個半導體裝置之至少一個中的第一組，其中  $n$  係為大於 1 的整數；

ii. 自該多數個半導體裝置中之第一個移除第一測試圖樣；

iii. 在第二時域中將第二測試圖樣送至該多數個半導體裝置之至少一個中的第二組；

iv. 自該多數個半導體裝置之第二個中移除該第二測試圖樣；以及

v. 重複步驟 i 至 iv，直到整個第一以及第二測試圖樣被送入至第一以及第二多數個半導體裝置。

14. 如申請專利範圍第 13 項之方法，其中將第二測試圖樣送至多數個半導體裝置之第二組，包含將第二測試圖樣送至與第一測試圖樣不同之多數個半導體裝置中之第二組。

15. 如申請專利範圍第 13 項之方法，其中在第二時域時，將第二測試圖樣送至多數個半導體裝置中之第二組之步驟，包含在與將第一測試圖樣於第一時域而送至該多數個半導體裝置之第一組不同之時間週期的時候，而將第二測試圖樣送至該多數個半導體裝置之第二組之步驟。

16. 如申請專利範圍第 13 項之方法，其中該多工 APG 包含含有至少  $n$  個儲存元件之至少一暫存器以及一選擇器

元件，經由該選擇器而使該儲存元件耦合至該多數個半導體裝置，且其中將第一測試圖樣送至該多數個半導體裝置之第一組之步驟，包含：在第一時域，選擇  $n$  個儲存元件中一個而耦合至該多數個半導體裝置之第一組。

17.如申請專利範圍第 16 項之方法，其中該多工 APG 包含含有至少  $n$  個儲存元件之至少一暫存器以及一選擇器元件，經由該選擇器而使該儲存元件耦合至該多數個半導體裝置，且其中將第二測試圖樣送至該多數個半導體裝置之第二組之步驟，包含：在第二時域，選擇  $n$  個儲存元件中一個而耦合至該多數個半導體裝置之第二組。

18.如申請專利範圍第 13 項之方法，其中該測試設備進一步包含多數個時序與格式化電路 (T/Fs) 以及接腳電子 (PE) 通道，藉此使每個多數個半導體裝置與數個儲存元件耦合，且其中將第一測試圖樣送至該多數個半導體裝置之第一組之步驟包含：在第一時序，只致能耦合至該多數個半導體裝置之第一個中之 T/Fs 與 PE 通道之步驟，以及在第二時域只致能耦合至該多數個半導體裝置之第二個中之 T/Fs 與 PE 通道之步驟。

19.如申請專利範圍第 13 項之方法，進一步包含以下起始步驟：

明訂數目為  $n$  之時域；

指定該多數個半導體裝置中之每一個至該多數個半導體裝置之  $n$  組中之一個；以及

將該多數個半導體裝置之  $n$  組中之每一個，與  $n$  個時

I2787178  
1987年11月17日  
(6)

域之一個相關聯。

20. 一種半導體裝置，係以如申請專利範圍第 13 項之方法而測試。

