

# 發明專利分割說明書 200423666

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：92127545 ※IPC 分類：H04L 9/00

※ 申請日期：91-4-4 原申請案號：91106840

## 壹、發明名稱

(中文) 公產生虛擬隨機序列之系統

(英文) SYSTEM FOR GENERATING PSEUDORANDOM SEQUENCES

## 貳、發明人 (共 1 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 艾德華 L. 海普勒

(英文) EDWARD L. HEPLER

住居所地址：(中文) 美國賓州馬爾芬市貝斯海灣路 794 號

(英文) 794 BASS COVE, MALVERN, PA 19355, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

## 參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 美商數位際技術公司

(英文) INTERDIGITAL TECHNOLOGY CORPORATION

住居所或營業所地址：(中文) 美國德來懷州威明頓市德拉瓦大道 300 號

(英文) 300 DELAWARE AVENUE, SUITE 527,  
WILMINGTON, DE 19801, U.S.A.

國籍： (中文) 美國

(英文) U.S.A.

代表人：(中文) 唐納德 M. 伯利斯

(英文) DONALD M. BOLES

## 捌、聲明事項

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：\_\_\_\_\_

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 美國；2001年04月06日；60/282,349

2. 美國；2001年10月23日；10/046,601

3. \_\_\_\_\_

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國；2001年04月06日；60/282,349

2. 美國；2001年10月23日；10/046,601

3. \_\_\_\_\_

4. \_\_\_\_\_

5. \_\_\_\_\_

6. \_\_\_\_\_

7. \_\_\_\_\_

8. \_\_\_\_\_

9. \_\_\_\_\_

10. \_\_\_\_\_

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. \_\_\_\_\_

2. \_\_\_\_\_

3. \_\_\_\_\_

熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

相關申請案交互參考

此申請案主張於2001年4月6日立案之臨時專利申請編號60/282,349之優先權。

發明所屬之技術領域

本發明一般而言關於無線通訊系統。特別是，本發明關於劃時雙工(TDD)及劃頻雙工(FDD)系統，其使用正交可變展開因子(OVSF)碼及Hadamard碼，用以展開傳輸用的資料，並包含供產生這種碼的一改進系統。

先前技術

許多種的通訊系統，例如FDD及TDD通訊系統，其使用一或多個系列的虛擬隨機碼來展開通訊碼。這些碼係同時用於傳送器及接收器中，並在整個通訊系統中的許多地方。數種常用的碼系列包含OVSF碼及Hadamard碼。

圖1所示為一OVSF碼的碼樹，其可保持不同頻道之間的正交性。該OVSF碼可使用圖1的碼數來定義，藉此該頻道化碼可唯一地表示成 $C_{ch,SF,k}$ ，而其中SF為該碼的展開因子，且k為該碼編號， $0 \leq k \leq SF-1$ 。在該碼樹中的每個層級定義了長度SF的頻道化碼，其對應於圖1的展開因子SF。

該頻道化碼的產生方法係定義成：

$$C_{ch,1,0} = 1$$

$$\begin{bmatrix} C_{ch,2,0} \\ C_{ch,2,1} \end{bmatrix} = \begin{bmatrix} C_{ch,1,0} & C_{ch,1,0} \\ C_{ch,1,0} & -C_{ch,1,0} \end{bmatrix} = \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix}$$

(3)

發明說明續頁

$$\begin{bmatrix} C_{ch,2(n-1),0} \\ C_{ch,2(n-1),1} \\ C_{ch,2(n-1),2} \\ C_{ch,2(n-1),3} \\ \cdot \\ \cdot \\ C_{ch,2(n-1),2(n-1)-2} \\ C_{ch,2(n-1),2(n-1)-1} \end{bmatrix} = \begin{bmatrix} C_{ch,2^n,0} & C_{ch,2^n,0} \\ C_{ch,2^n,0} & -C_{ch,2^n,0} \\ C_{ch,2^n,1} & C_{ch,2^n,1} \\ C_{ch,2^n,1} & -C_{ch,2^n,1} \\ \cdot & \cdot \\ \cdot & \cdot \\ C_{ch,2^n,2^n-1} & C_{ch,2^n,2^n-1} \\ C_{ch,2^n,2^n-1} & -C_{ch,2^n,2^n-1} \end{bmatrix}$$

在每個頻道化碼字元的最右側數值係對應於在時間中第一次傳送的晶片。要使用的OVSF碼為該展開因子，所利用的頻道數及該頻道種類之函數。

一種供產生OVSF碼的方法係利用以上的數學描述。但是，這種矩陣操縱在運算上很昂貴，且需要相當快速及昂貴的硬體來執行。此外，當一運算單元為此目的而固定於硬體，其通常不能用於其它目的。此可加入到系統複雜度，並造成整體系統設計中不必要的複雜及昂貴。

因此，其需要一方便的裝置來快速地及有效率地產生OVSF碼，其也需要這種裝置來可適應於其它種類的碼之產生，例如Hadamard序列。

#### 發明內容

本發明同時包含可以快速及有效率地產生OVSF碼的系統及方法，其使用包含所需要碼的碼樹腳之識別的一暫存器，及順序通過該腳的一計數器。該系統可依需求產生該碼，而需要非常少的硬體資源。

此外，相同系統及方法可適合來產生Hadamard序列。

(4)

## 圖式簡單說明

圖1所示為一先前技藝碼樹，用於正交可變展開因子(OVSF)碼。

圖2所示為根據本發明之產生OVSF碼的系統。

圖3A所示為一種用以產生具有一展開因子為4的OVSF碼之系統。

圖3B所示為一種用以產生具有一展開因子為8的OVSF碼之系統。

圖4所示為具有展開因子為8的OVSF碼樹之第七碼的產生。

圖5所示為該結構的擴充性。

圖6所示為一先前技藝的Hadamard碼的碼樹。

圖7所示為本發明之另一具體實施例，用以同時產生Hadamard及OVSF碼。

圖8所示為具有展開因子為8的Hadamard碼樹之第四碼的產生。

圖9所示為本發明之第二具體實施例用以產生虛擬隨機碼。

## 實施方式

目前的較佳具體實施例係參考圖面在以下說明，其中類似的編號代表整個圖面中類似的元件。此外，本發明的較佳具體實施例將參考OVSF及Hadamard碼。但是，本技藝專業人士必須瞭解到相同的原理可應用到其它系列的碼，而本發明必須不能夠嚴格地限制於此處所述的範例具體實施例。

請參考圖2，所示為一種用以產生虛擬隨機序列的系統10。該系統10包含一位元位置計數器12，一多工器14，一展開因子選擇器16，一位元別的AND閘18，一索引選擇器20及一XOR閘22。該計數器12為一自由運行二進位計數器，其可提供一輸出到該多工器14的第一輸入。該計數器12初始化為零，並在產生所需要的OVSF碼時"自由"地運行。一碼的產生係依照需要來重覆許多次，

藉以展開該資料。對於每個需要產生該碼的場合，該計數器即初始化為零。另外，該計數器12可被允許來自由地運行，藉此未使用的最高有效位元可被忽略。此選擇性將在稍後詳細說明。

該展開因子選擇器16提供一輸出到該多工器14的第二輸入，其可識別來自該計數器12中有多少位元必須由該多工器14輸出。對於OSVF碼產生，該多工器14亦倒轉該輸出位元的位元順序，使得該輸出位元即具有倒轉的順序。此係在圖3A及3B中，以該多工器14內的點線來圖形化地說明。

請再參考圖2，該索引選擇器20輸出該索引的二進位辨識，或該碼樹的"分支"，其為所想要產生者。舉例而言，如圖1所示，如果需要一展開因子為4，其亦需要產生該碼樹的第三分支，該索引選擇器20將輸出該號碼2的一兩位元的二進位序列，其為10。類似地，如果其需要一展開因子8及該碼樹的第四分支，該索引選擇器20輸出該號碼3的一三位元的二進位序列，其為011。

該索引選擇器20的輸出及該多工器14的輸出可由該位元別的AND閘18來AND運算在一起。此為一輸出到該XOR閘22，其實際上為一XOR"樹"，其包含複數個XOR閘，其為本技藝專業人士所熟知。

根據本發明的系統10係詳細顯示在圖3A及3B中，其說明了該系統10根據所想要的展開因子之不同的功能性架構。這些圖面顯示來自該計數器12的多重位元輸出 $C_1-C_N$ ，及來自該索引選擇器20的該多重位元輸出 $I_1-I_M$ 。請參考圖3A，如果想要一展開因子4，該展開因子選擇器16控制該多工器14，使得該多工器14僅輸出來自該計數器12的前兩個位元"位置" $C_1$ 及 $C_2$ 中所需要的位元到該AND閘18。來自該計數器12的位元位置 $C_3-C_N$ 基本上可"歸零"或忽略。每個來自該計數器12的所需要的位元，其係成反向順序，並與來自該索引選擇器20的所需要的位元做位元別的邏輯AND運

(6)

算。舉例而言，來自該計數器 12 的第一位元  $C_1$  與來自該索引選擇器 20 的第二位元  $I_2$  做邏輯 AND 運算；而來自該計數器 12 的第二位元  $C_2$  與來自該索引選擇器 20 的第一位元  $I_1$  做邏輯及運算。一旦所有來自該計數器 12 所想要的位元已經與來自該索引選擇器 20 的所需要位元進行位元別的 AND 運算，該 AND 閘 18 即輸出到該 XOR 閘 22。該 XOR 閘 22 的輸出為具有該所想要位元的碼序列。該碼序列的每個新位元係在該計數器 12 序列化時來產生。

請參考圖 3B 所示的第二具體實施例，如果想要一展開因子為 8，該多工器 14 輸出來自該計數器 12 的前三個位置  $C_1$ ， $C_2$  及  $C_3$  之位元到該 AND 閘 18。來自該計數器 12 的第一位元  $C_1$  會與來自該索引選擇器 20 的第三輸出  $I_3$  進行 AND 運算。類似地，來自該計數器  $C_2$  的第二位元與來自該索引選擇器 20 的第二位元  $I_2$  進行 AND 運算。最後，來自該計數器 12 的第三位元  $C_3$  及與來自該索引選擇器 20 的第一位元  $I_1$  進行 AND 運算。一旦來自該計數器 12 的所有想要的位元已經與來自該索引選擇器 20 所想要的位元進行位元別 AND 運算，該 AND 閘 18 輸出到該 XOR 閘 22。該 XOR 閘 22 的輸出為所想要的碼序列。

雖然根據本發明所製作的系統 10 可以用來產生具有任何長度的 S 具有展開因子之 OVSF 碼，為了簡化起見，前述的範例將可參考一展開因子為 8 來解釋。此需要一三位元的展開因子選擇器 16，一三位元的計數器 12 來序列通過該位元，一三輸入 AND 閘 18，及一三輸入 XOR 閘 22，如圖 4 所示。對此範例其亦可參考下表 1-3：

展開因子	
所需要的 SF	位元數目
2	1
4	2
8	3
16	4



(7)

發明說明續頁

32	5
64	6
128	7
256	8

表 1

(8)

發明說明續頁

索引			
分支	$I_3$	$I_2$	$I_1$
第一	0	0	0
第二	0	0	1
第三	0	1	0
第四	0	1	1
第五	1	0	0
第六	1	0	1
第七	1	1	0
第八	1	1	1

表 2

展開因子		
$C_3$	$C_2$	$C_1$
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

表 3

(9)

發明說明續頁

對此範例，其需要產生具有一展開因子為8的碼序列，其包含圖1所示的碼樹之第七腳，如該星號所標示。此在圖1中識別為 $C_{ch.8.6}$ ，其為1, -1, -1, 1, 1, -1, -1, 1。由表1，因為所想要的展開因子為8，所想要的位元數為3。由表2，因為其想要產生該碼樹的第七分支，如表2所示的該索引選擇器之輸出將為該二進位序列1, 1, 0。然後該二進位計數器12即順序通過一二進位計數由0 (0, 0, 0)到7 (1, 1, 1)，如表3所示。

該序列 $C_{ch.8.6}$ 的第一位元將可藉由AND運算來自該計數器12的該二進位序列000來產生，(其在倒轉時仍產生000)，與來自該索引選擇器20的該二進位序列110。該位元的XOR造成一輸出為0。該第二輸入001被倒轉產生100，並與來自該索引選擇器20的該二進位序列110做AND運算，而產生100。這些位元的XOR可造成一輸出為1。類似地，該第三輸入010被倒轉產生010，而在與110進行AND及XOR運算時，造成一輸出為1。該第四輸入011被倒轉產生110，而在與110進行AND及XOR運算時，造成一輸出為0。該第五輸入100被倒轉產生001，而在與110進行AND及XOR運算時，造成該輸出為0。該第六輸入101被倒轉產生101，而在與110進行AND及XOR運算時，造成一輸出為1。該第七輸入110被倒轉產生011，而在與110進行AND及XOR運算時，造成一輸出為1。最後，該第八輸入111被倒轉產生111，而在與110進行AND及XOR運算時，造成一輸出為0。

由於此重覆的過程，該序列輸出將為0, 1, 1, 0, 0, 1, 1, 0 (請注意最右方位元係在時間中首先產生)。這些輸出即後續地對映，藉此一輸出1即對映到-1，而一輸出0即對映到1。因此，用於展開的序列為1, -1, -1, 1, 1, -1, -1, 1。此係符合於圖1所示的該OSVF碼樹的第七腳。

其必須注意到，請參考圖5，此結構可擴充到任何數目所想要

(10)

發明說明續頁

的輸入。另外，該系統可為"過大"，如圖5所示，藉此其所不需要的該計數器12的位元，及該索引選擇器20基本上可以忽略。如圖5所示，因為僅需要四個位元 $C_1-C_4$ ，位元 $C_5-C_N$ 係在通過該多工器14時被停止，或被"歸零"。此外，僅有想要的位元 $C_1-C_4$ 由該多工器14重新排序。在一類似的方式中，僅有位元I1-I4將由該AND閘"處理"，因為該AND閘的剩餘部份將由於缺少來自相對應的位元 $C_5-C_N$ 之輸入而被"歸零"。該輸出形成該XOR閘22，其將為所想要的碼序列位元。

請參考圖6，所示為一Hadamard序列的碼樹。此碼樹的碼將根據本發明的另一具體實施例來產生，其示於圖7。

請參考圖7，所示為一種產生數種虛擬隨機序列的系統100。如圖2所示的具體實施例中，該系統100包含一位元位置計數器12，一多工器14，一展開因子選擇器16，一位元別AND閘，一索引選擇器20，及一XOR閘22。但是，此具體實施例包含一模式開關60，其在用以產生OVSF碼的第一模式與用以產生Hadamard碼的第二模式之間切換。當該模式選擇開關60在一第一位置，該系統100之運作方式相同於圖2所示的系統10，藉此該多工器14倒轉來自該位元位置計數器12的該位元輸出之位元順序。但是，當該模式開關60在一第二位置時，該位元的重新排序並未由該多工器14執行，且該位元係經由該多工器14直接傳送到該位元別AND閘18。此係示於圖8，藉此通過該多工器14的該直虛線說明該位元係經由該多工器14直接傳送，而不用重新排序。

一種產生一Hadamard碼的範例將參考圖8來解釋。由此範例，其需要產生具有一展開因子為8的碼序列，其包含該碼數的第四腳，如圖6所示，其以星號標示。此序列在圖6中顯示為0, 1, 1, 0, 0, 1, 1, 0。由表1，因為所想要的展開因子為8，想要的位元數為3。由表2，因為其想要產生該碼樹的第四分支，如表2所示的該索

(11)

發明說明續頁

引選擇器之輸出將為該二進位序列0, 1, 1。然後該二進位計數器12即序列通過該二進位計數由0 (0, 0, 0)到7 (1, 1, 1)，如表3所示。

相同的AND及XOR運算程序即如所述地參考該OVSF碼的產生來執行，除了來自該計數器12的位元並未倒轉。此造成來自該系統100的輸出為0, 1, 1, 0, 1, 1, 0。此可正確地符合該Hadamard碼預結構的第四腳，如圖6所示。這些輸出可視需要來對映，藉此一輸出1係對映到負1，而一輸出0係對映到1。

一系統200的第二具體實施例用以產生數種虛擬隨機序列，其示於圖9。此系統200包含該索引選擇器20，該位元別AND閘18及該XOR 22。但是，該位元位置計數器12，該多工器14及該展開因子選擇器16已經由一數目產生器202及一選擇器204所取代。該數目產生器202儲存一預定序列的數目，例如儲存在表3中的數目，並依序輸出這些數目。因此，該數目產生器202可依序輸出儲存在表3中的數目，或另外可輸出該"重新排列"的位元順序，如表4中所示。該選擇器204可在要由該數目產生器202所輸出的位元序列之間來選擇。對於OVSF碼，將輸出一第一序列；而對於Hadamard碼，將輸出一第二序列。雖然此具體實施例有必要使用額外的記憶體，其記憶體將小於儲存整個虛擬隨機碼樹所需要者。此外，雖然此具體實施例已經參考具有一展開因子為8的虛擬隨機碼來解釋，任何想要的序列可預先儲存在該數目產生器202中。

計數器		
C <sub>3</sub>	C <sub>2</sub>	C <sub>1</sub>
0	0	0
1	0	0
0	1	0

(12)

發明說明續頁

1	1	0
0	0	1
1	0	1
0	1	1
1	1	1

表 4

當本發明已藉由較佳具體實施例來說明，對於本技藝專業人士將可瞭解在以下申請專利範圍所述的本發明範圍內可有其它變化。

## 肆、中文發明摘要

一種供產生虛擬隨機碼的系統，其使用含有所需要碼的該碼樹腳之識別的一暫存器，及輸出一連續二進位序列的計數器。來自該計數器的輸出為位元別地與該暫存器的輸出做邏輯AND運算，且那些輸出邏輯XOR在一起，以輸出一單一位元。因為該計數器為序列化，每次計數產生一不同的位元，而由該XOR閘輸出，產生所想要的碼。

## 伍、英文發明摘要

A system for generating pseudorandom codes using a register which contains an identification of the code tree leg of the desired code and a counter which outputs a successive binary sequence. The output from the counter is bit-by-bit ANDed with the output of the register, and those outputs are XORed together to output a single bit. As the counter is sequenced, each count results in a different bit that is output from the XOR gate, resulting in the desired code.

## 拾、申請專利範圍

1. 一種用以自一組碼產生一虛擬隨機碼之方法，該組碼係以階層藉由階層和分支而定義，該方法包括下列步驟：

產生一N-位元寬度的二進位數目的一計數序列，該N-位元寬度的二進位數目係具有由一最低有效位元到一最高有效位元排序的位元；

選擇一二進位索引碼，該二進位索引碼係對應於所產生的該虛擬隨機碼之該分支；及

於所產生的二進位數目的一所選擇數目的所選擇位元和所選擇索引碼之間、執行邏輯運算以產生一虛擬隨機碼，其中所選擇之位元在數目上係對應於所產生的該虛擬隨機碼之該階層。

2. 如申請專利範圍第1項之方法，其中該計數序列係起始於一零值，並且每次以該序列的每個數目之一而增加。

3. 如申請專利範圍第2項之方法，其中所選擇的該二進位索引碼在長度上相等於所選擇位元的數目，其中邏輯運算係藉由所產生的二進位數目與所選擇之該位元而執行，並且所選擇的索引碼係與所產生的二進位數目之所選擇的位元之一而被使用於一邏輯運算。

4. 如申請專利範圍第3項之方法，其中所選擇之位元、所產生之二進位數目係被選擇為每個二進位數目之最低和最高有效位元。

5. 如申請專利範圍第4項之方法，其中所執行的邏輯運算包含下列步驟：

對每個索引碼位元以一所選擇、所產生的二進位數目位元執行AND運算；及



對每個連續的二進位數目之所選擇的位元的AND運算之結果執行XOR運算，以產生所產生虛擬隨機碼之連續成份。

6. 一種虛擬隨機碼產生器，用以自一組碼產生一虛擬隨機碼，該組碼係以階層藉由階層和分支而定義，該虛擬隨機碼產生器包括：

用以產生一N-位元寬度的二進位數目的一計數序列之裝置，該N-位元寬度的二進位數目係具有由一最低有效位元到一最高有效位元排序的位元；

用以選擇一二進位索引碼之裝置，該二進位索引碼係對應於所產生的該虛擬隨機碼之該分支；及

用以於所產生的二進位數目的一所選擇數目的所選擇位元和所選擇索引碼之間、執行邏輯運算以產生一虛擬隨機碼的裝置，其中所選擇之位元在數目上係對應於所產生的該虛擬隨機碼之該階層。

7. 如申請專利範圍第6項之虛擬隨機碼產生器，其中產生一計數序列之裝置係將該計數序列起始於一零值，並且每次以該序列的每個數目之一而增加。

8. 如申請專利範圍第7項之虛擬隨機碼產生器，其中執行該邏輯運算之裝置，係使得所選擇的該二進位索引碼在長度上相等於所選擇位元的數目，其中邏輯運算係藉由所產生的二進位數目與所選擇之該位元而執行，並且所選擇的索引碼係與所產生的二進位數目之所選擇的位元之一而被使用於一邏輯運算。

9. 如申請專利範圍第8項之虛擬隨機碼產生器，其中執行該邏輯運算之裝置，係使得所選擇之位元、所產生之二進位數目係被選擇為每個二進位數目之最低和最高有效位元。

10. 如申請專利範圍第9項之虛擬隨機碼產生器，其中執行該邏輯運算之裝置，係包含：

對每個索引碼位元以一所選擇、所產生的二進位數目位元執行AND運算的裝置；及

對每個連續的二進位數目之所選擇的位元的AND運算之結果執行XOR運算，以產生所產生虛擬隨機碼之連續成份的裝置

。

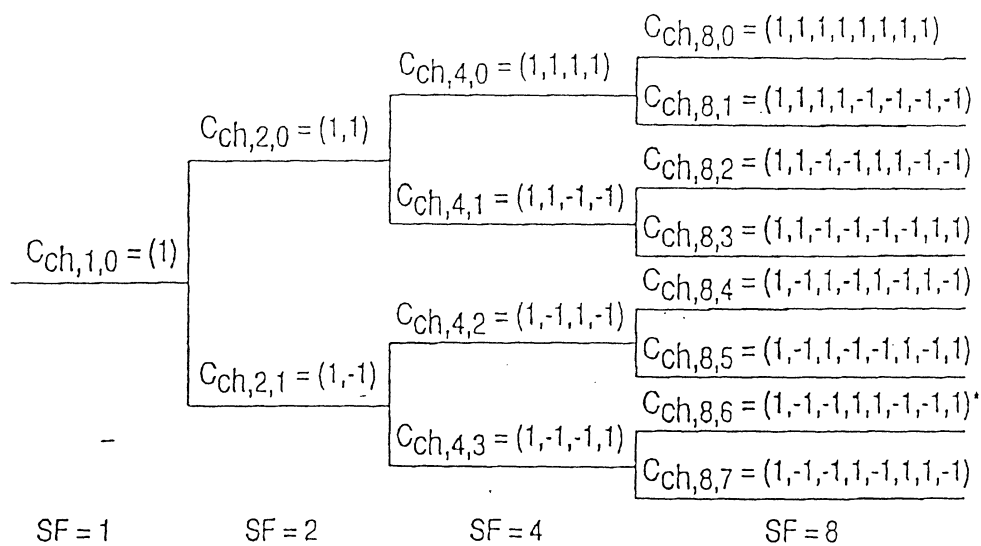


圖 1  
先前技藝

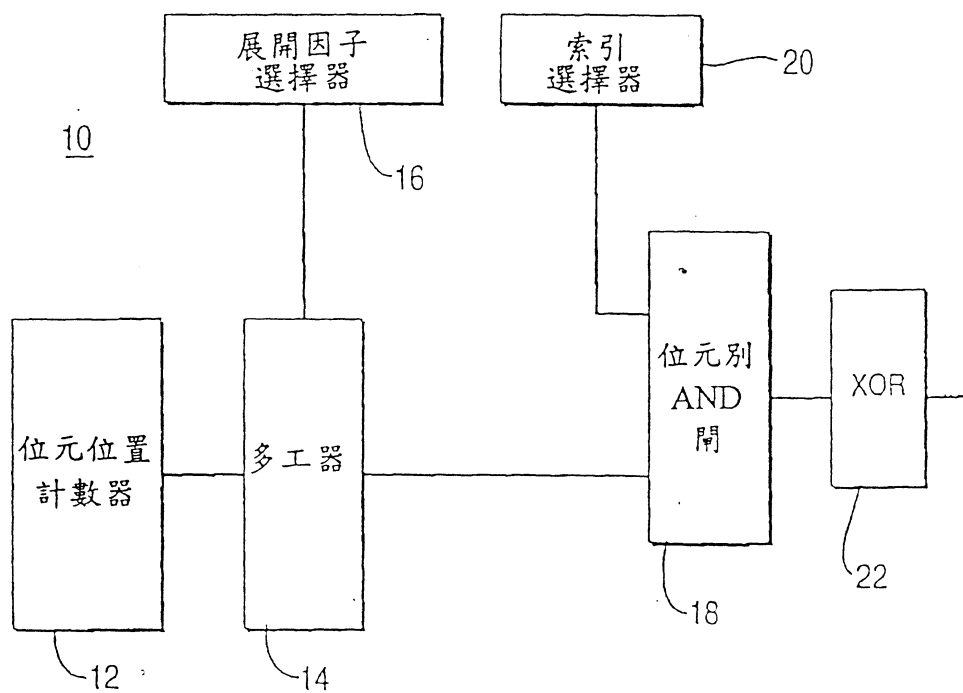


圖 2

10

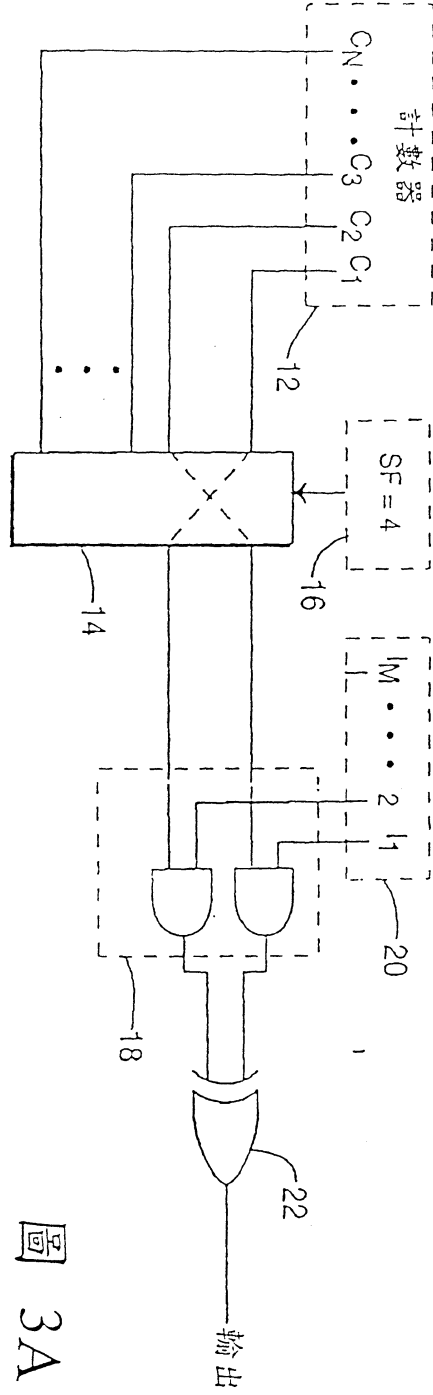


圖 3A

10

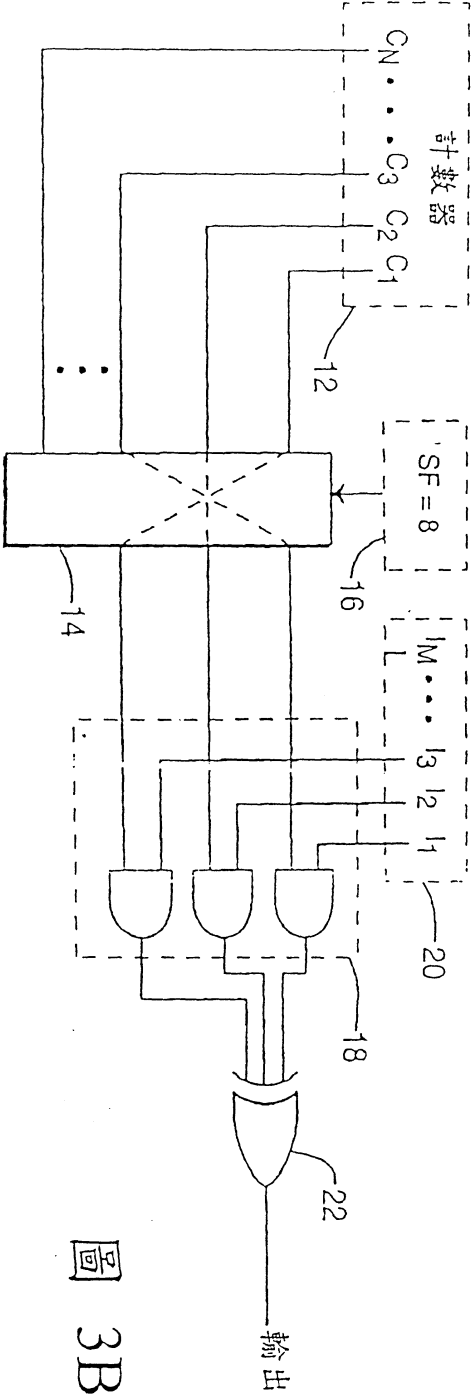


圖 3B

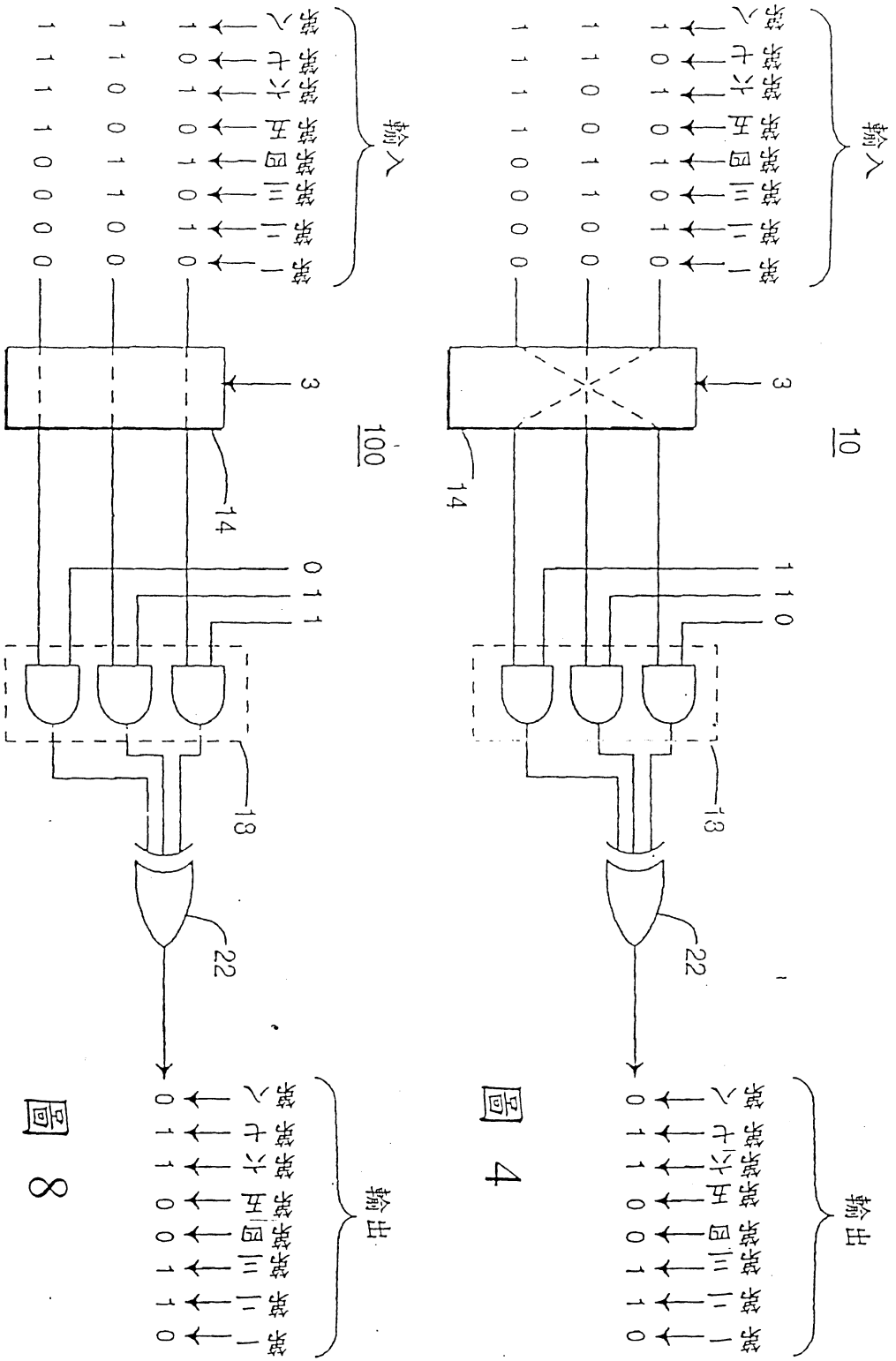


圖 4

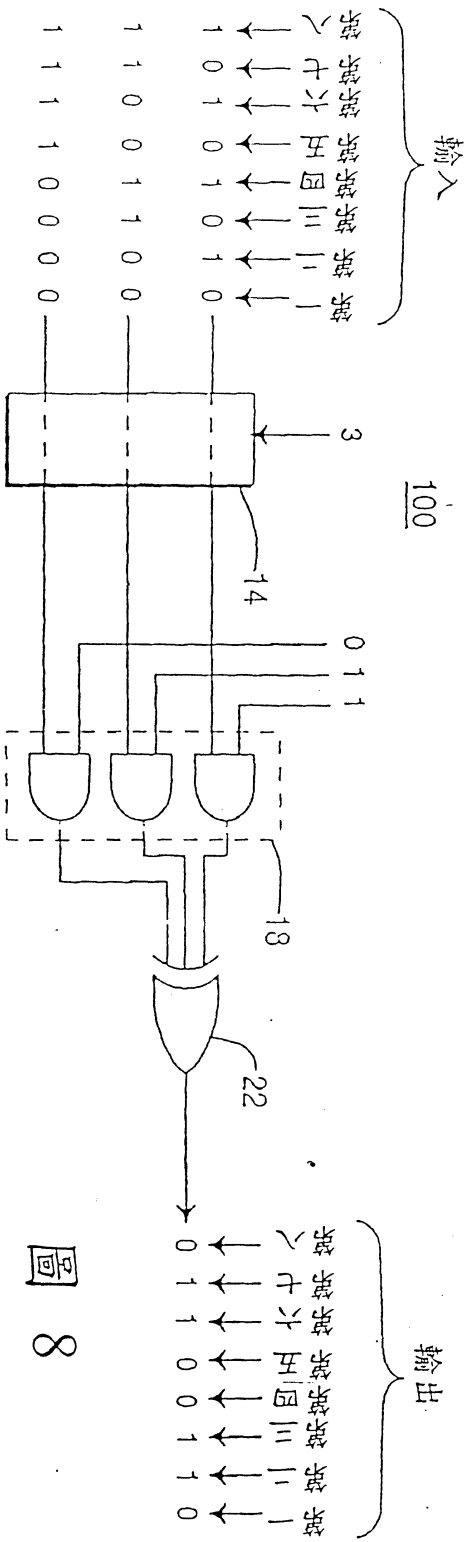


圖 8

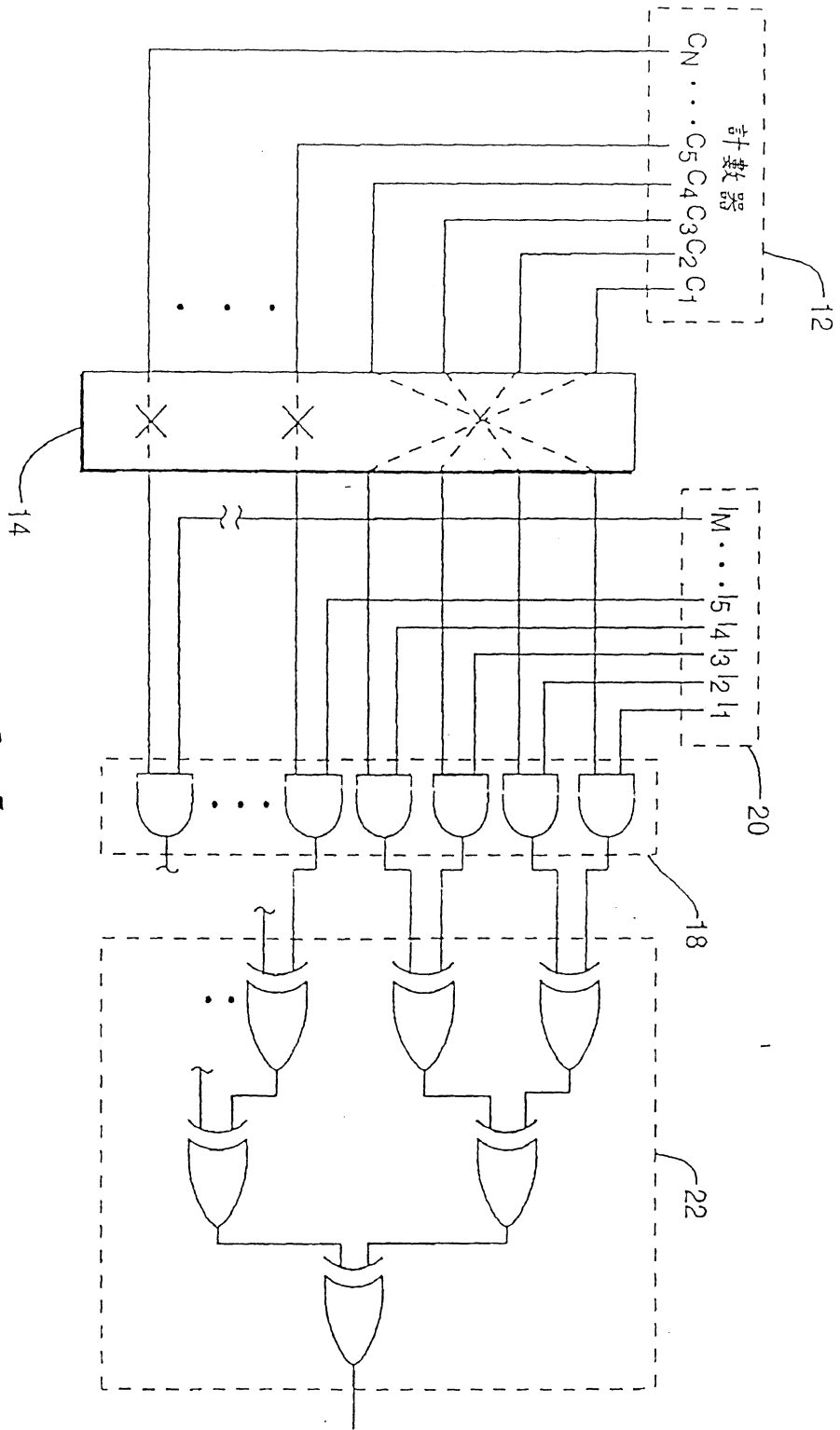


圖 5

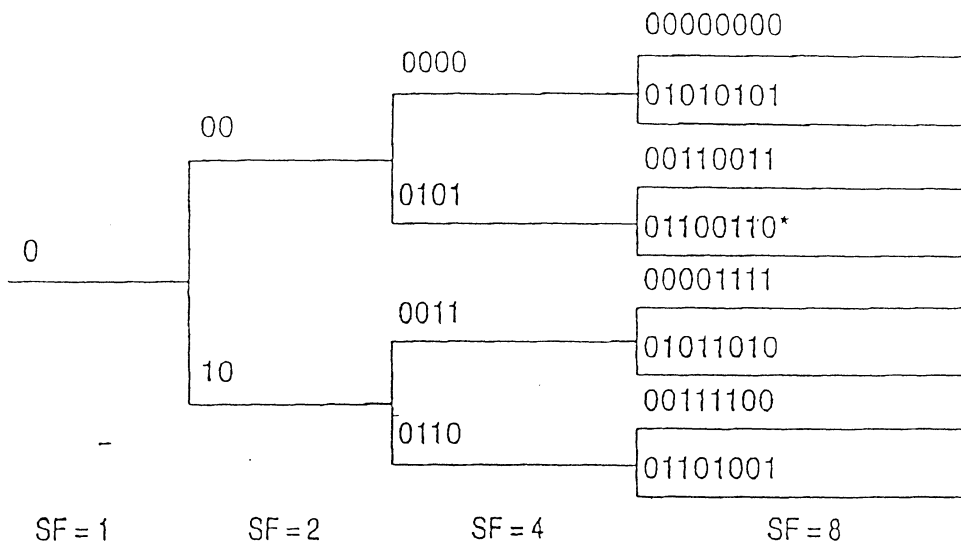


圖 6

先前技藝

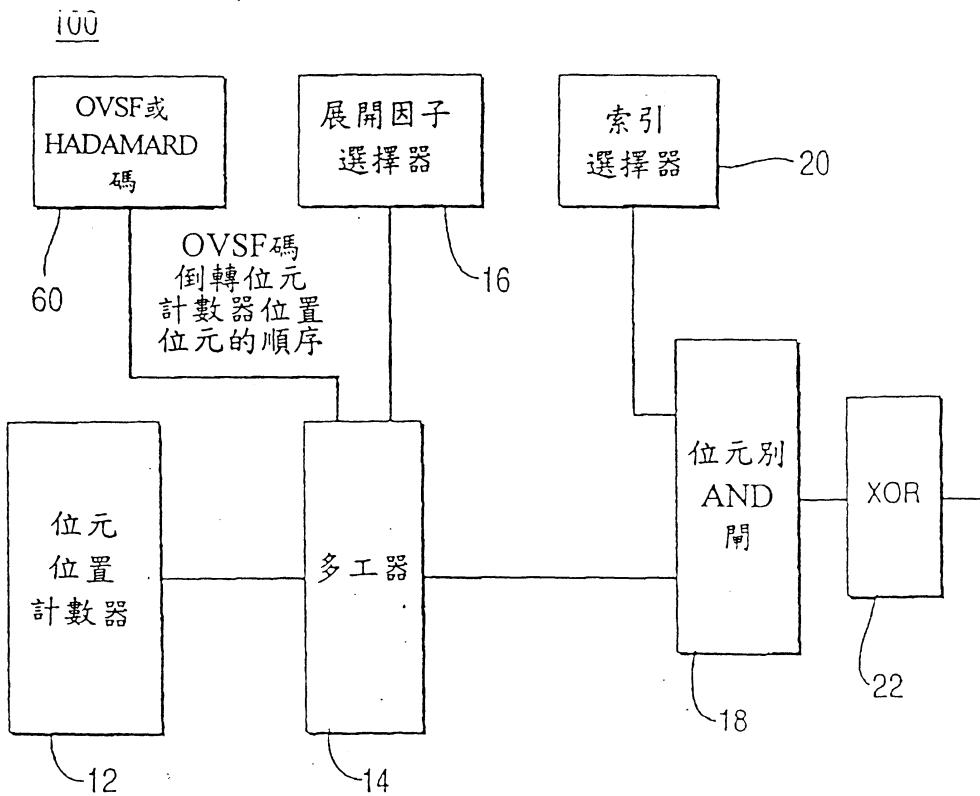


圖 7

200

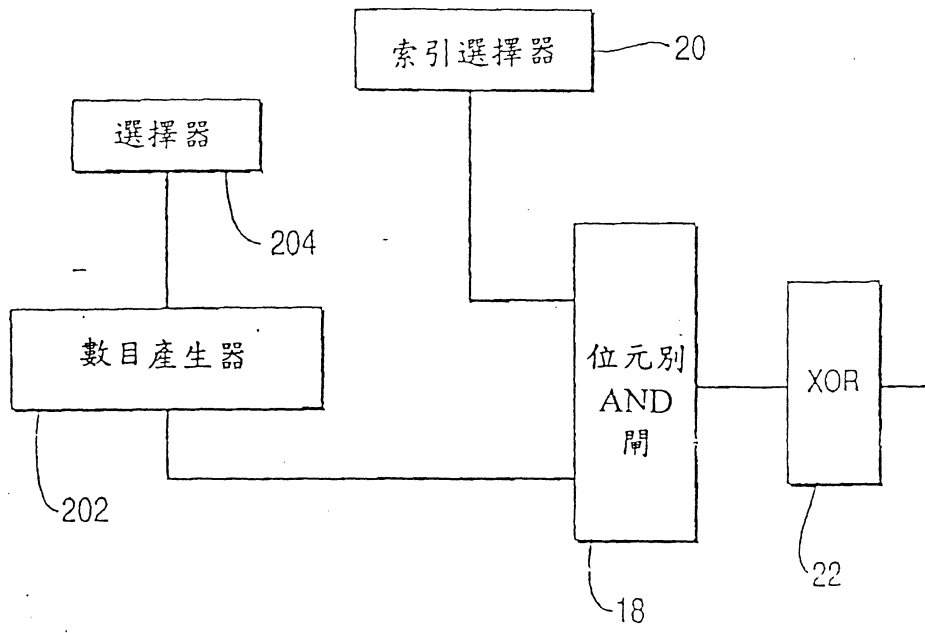


圖 9



陸、(一)、本案指定代表圖為：第 二 圖

(二)、本代表圖之元件代表符號簡單說明：

10 系統

12 位元位置計數器

14 多工器

16 展開因子選擇器

18 位元別的 AND 閘

20 索引選擇器

22XOR 閘

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：