



(12) 发明专利申请

(10) 申请公布号 CN 118318300 A

(43) 申请公布日 2024. 07. 09

(21) 申请号 202280078681.6

(22) 申请日 2022.11.17

(30) 优先权数据

2021-195176 2021.12.01 JP

(85) PCT国际申请进入国家阶段日

2024.05.28

(86) PCT国际申请的申请数据

PCT/JP2022/042650 2022.11.17

(87) PCT国际申请的公布数据

W02023/100663 JA 2023.06.08

(71) 申请人 罗姆股份有限公司

地址 日本

(72) 发明人 柿崎僚太郎 齐藤光俊

(74) 专利代理机构 北京银龙知识产权代理有限公司

11243

专利代理师 曾贤伟 李平

(51) Int.Cl.

H01L 23/48 (2006.01)

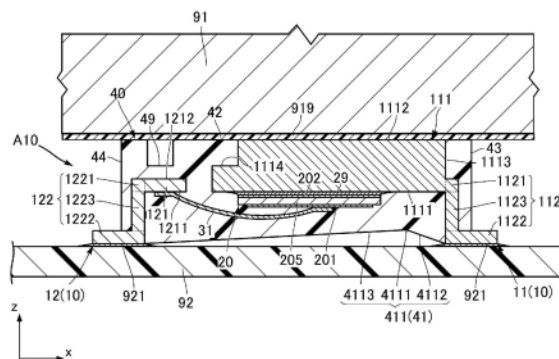
权利要求书2页 说明书16页 附图20页

(54) 发明名称

半导体装置

(57) 摘要

半导体装置具备半导体元件、导通部件以及封固树脂。所述导通部件包括芯片焊盘部、第一端子部以及第二端子部。所述封固树脂覆盖所述导通部件的一部分以及所述半导体元件。所述封固树脂具有第一树脂面、第二树脂面、第三树脂面以及第四树脂面。所述芯片焊盘部具有搭载有所述半导体元件的第一引线主面以及从所述第二树脂面露出的第一引线背面。所述第一端子部向z方向一侧弯曲,并且从所述第三树脂面露出。所述第二端子部向z方向一侧弯曲,并且从所述第四树脂面露出。所述第一树脂面具有在z方向上向所述第二树脂面侧凹陷的凹形状区域。沿z方向观察,所述凹形状区域与连结所述第一端子部和所述第二端子部的假想线段重叠。



1. 一种半导体装置,其特征在于,具备:
半导体元件;
导通部件,其包括芯片焊盘部、第一端子部以及第二端子部;
封固树脂,其覆盖所述导通部件的一部分以及所述半导体元件,
所述封固树脂具有朝向所述封固树脂的厚度方向一侧的第一树脂面、朝向所述厚度方向另一侧的第二树脂面、朝向与所述厚度方向正交的第一方向一侧的第三树脂面以及朝向所述第一方向另一侧的第四树脂面,
所述芯片焊盘部具有朝向所述厚度方向一侧且搭载有所述半导体元件的搭载面以及朝向所述厚度方向另一侧且从所述第二树脂面露出的露出面,
所述第一端子部向所述厚度方向一侧弯曲,并且从所述第三树脂面露出,
所述第二端子部向所述厚度方向一侧弯曲,并且从所述第四树脂面露出,
所述第一树脂面具有在所述厚度方向上向所述第二树脂面侧凹陷的凹形状区域,
沿所述厚度方向观察,所述凹形状区域与连结所述第一端子部和所述第二端子部的假想线段重叠。
2. 根据权利要求1所述的半导体装置,其特征在于,
所述封固树脂具有朝向与所述厚度方向以及所述第一方向双方正交的第二方向一侧的第五树脂面以及朝向所述第二方向另一侧的第六树脂面,
沿所述厚度方向观察,所述凹形状区域从所述第五树脂面延伸至所述第六树脂面。
3. 根据权利要求2所述的半导体装置,其特征在于,
所述凹形状区域具有沿所述厚度方向观察时从所述第五树脂面延伸至所述第六树脂面的线状的谷部以及从所述第一方向的一方与所述谷部相连且相对于所述第二树脂面倾斜的第一倾斜面,
所述第一倾斜面以所述凹形状区域的深度朝向所述谷部变大的方式倾斜。
4. 根据权利要求3所述的半导体装置,其特征在于,
所述凹形状区域具有从所述第一方向的另一方与所述谷部相连且相对于所述第二树脂面倾斜的第二倾斜面,
所述第二倾斜面以所述凹形状区域的深度朝向所述谷部变大的方式倾斜。
5. 根据权利要求2所述的半导体装置,其特征在于,
所述凹形状区域具有一对壁面以及在所述第一方向上被所述一对壁面夹着的槽底。
6. 根据权利要求2至5中任一项所述的半导体装置,其特征在于,
所述第一树脂面具有沿着所述第一方向排列的多个所述凹形状区域。
7. 根据权利要求1至6中任一项所述的半导体装置,其特征在于,
所述第一树脂面具有配置于所述凹形状区域的所述第一方向的两侧的端部区域,
所述端部区域是平坦的。
8. 根据权利要求7所述的半导体装置,其特征在于,
所述第一端子部包括第一部分以及第二部分,
所述第一部分在所述第一方向上配置于比所述第二部分更靠近所述芯片焊盘部的位置,且由所述封固树脂覆盖,
所述第二部分从所述第二树脂面突出,并且在所述端部区域露出。

9. 根据权利要求8所述的半导体装置,其特征在于,
所述第一端子部包括与所述第一部分以及所述第二部分相连的第三部分,
所述第三部分与所述第一部分以及所述第二部分分别正交,并且沿着所述厚度方向延伸。

10. 根据权利要求8或9所述的半导体装置,其特征在于,
所述第二端子部包括第四部分以及第五部分,
所述第四部分在所述第一方向上配置于比所述第五部分更靠近所述芯片焊盘部的位置,并且由所述封固树脂覆盖,
所述第五部分从所述第四树脂面突出,并且在所述端部区域露出。

11. 根据权利要求10所述的半导体装置,其特征在于,
所述第二端子部包括与所述第四部分以及所述第五部分相连的第六部分,
所述第六部分与所述第四部分以及所述第五部分分别正交,并且沿着所述厚度方向延伸。

12. 根据权利要求10或11所述的半导体装置,其特征在于,
所述第一端子部的所述第一部分与所述芯片焊盘部相连,
所述第二端子部与所述芯片焊盘部分离。

13. 根据权利要求12所述的半导体装置,其特征在于,
还具备与所述半导体元件接合的连接部件,
所述连接部件由所述封固树脂覆盖。

14. 根据权利要求13所述的半导体装置,其特征在于,
沿所述厚度方向观察,所述凹形状区域的最深部不与所述连接部件重叠。

15. 根据权利要求14所述的半导体装置,其特征在于,
所述凹形状区域的最深部的深度比所述连接部件与所述端部区域的沿着所述厚度方向的分离距离大。

16. 根据权利要求10至15中任一项所述的半导体装置,其特征在于,
所述凹形状区域的最深部的深度比所述第二部分以及所述第五部分各自的厚度大。

17. 根据权利要求1至16中任一项所述的半导体装置,其特征在于,
所述半导体元件是开关元件或者二极管中的任意一个。

半导体装置

技术领域

[0001] 本公开涉及一种半导体装置。

背景技术

[0002] 在专利文献1中公开了一种半导体装置的一例,具备:第一引线、第二引线、第三引线,其包含具有焊盘主面以及焊盘背面的第一焊盘;半导体元件,其搭载在焊盘主面上;以及封固树脂,其与焊盘主面相接且覆盖半导体元件。第一引线、第二引线以及第三引线具有沿同一方向延伸的第一端子、第二端子以及第三端子。通过将第一端子、第二端子以及第三端子插通于电路基板等的贯通孔,从而将该半导体装置安装于电路基板。另外,在将该半导体装置安装于散热器的情况下,在焊盘背面与散热器之间设置例如绝缘片。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2017-174951号公报

发明内容

[0006] 发明所要解决的课题

[0007] 半导体装置除了要求使端子部插通于电路基板的安装方式以外,有时还要求例如面安装于电路基板的方式。

[0008] 本公开的一个课题在于提供一种与以往相比实施了改良的半导体装置。特别是本公开鉴于上述情况,其一个课题在于提供一种能够进行面安装的半导体装置。

[0009] 用于解决课题的方案

[0010] 由本公开的一个方式提供的半导体装置具备:半导体元件;导通部件,其包括芯片焊盘部、第一端子部以及第二端子部;以及封固树脂,其覆盖所述导通部件的一部分以及所述半导体元件。所述封固树脂具有朝向所述封固树脂的厚度方向一侧的第一树脂面、朝向所述厚度方向另一侧的第二树脂面、朝向与所述厚度方向正交的第一方向一侧的第三树脂面以及朝向所述第一方向另一侧的第四树脂面。所述芯片焊盘部具有朝向所述厚度方向一侧且搭载有所述半导体元件的搭载面以及朝向所述厚度方向另一侧且从所述第二树脂面露出的露出面。所述第一端子部向所述厚度方向一侧弯曲,并且从所述第三树脂面露出。所述第二端子部向所述厚度方向一侧弯曲,并且从所述第四树脂面露出。所述第一树脂面具有在所述厚度方向上向所述第二树脂面侧凹陷的凹形状区域。沿所述厚度方向观察,所述凹形状区域与连结所述第一端子部和所述第二端子部的假想线段重叠。

[0011] 发明效果

[0012] 根据上述结构,能够提供一种能够进行面安装的半导体装置。

[0013] 通过以下参照附图进行的详细说明,本公开的其他特征和优点将变得更加明确。

附图说明

- [0014] 图1是示出根据本公开的第一实施方式的半导体装置的立体图。
- [0015] 图2是示出根据本公开的第一实施方式的半导体装置的立体图。
- [0016] 图3是示出根据本公开的第一实施方式的半导体装置的立体图。
- [0017] 图4是示出根据本公开的第一实施方式的半导体装置的主要部分立体图。
- [0018] 图5是示出根据本公开的第一实施方式的半导体装置的主要部分立体图。
- [0019] 图6是示出根据本公开的第一实施方式的半导体装置的俯视图。
- [0020] 图7是示出根据本公开的第一实施方式的半导体装置的仰视图。
- [0021] 图8是示出根据本公开的第一实施方式的半导体装置的主视图。
- [0022] 图9是示出根据本公开的第一实施方式的半导体装置的主要部分俯视图。
- [0023] 图10是示出根据本公开的第一实施方式的半导体装置的主要部分仰视图。
- [0024] 图11是沿着图10的XI-XI线的剖视图。
- [0025] 图12是沿着图10的XII-XII线的剖视图。
- [0026] 图13是沿着图10的XIII-XIII线的剖视图。
- [0027] 图14是沿着图10的XIV-XIV线的剖视图。
- [0028] 图15是沿着图10的XV-XV线的剖视图。
- [0029] 图16是沿着图10的XVI-XVI线的剖视图。
- [0030] 图17是示出根据本公开的第一实施方式的半导体装置的使用状态的剖视图。
- [0031] 图18是示出根据本公开的第一实施方式的半导体装置的第一变形例的立体图。
- [0032] 图19是示出根据本公开的第一实施方式的半导体装置的第一变形例的剖视图,并且对应于图11的截面。
- [0033] 图20是示出根据本公开的第一实施方式的半导体装置的第二变形例的立体图。
- [0034] 图21是示出根据本公开的第一实施方式的半导体装置的第二变形例的剖视图,并且对应于图11的截面。
- [0035] 图22是示出根据本公开的第一实施方式的半导体装置的第三变形例的剖视图,并且对应于图11的截面。
- [0036] 图23是示出根据本公开的第一实施方式的半导体装置的第四变形例的剖视图,并且对应于图11的截面。
- [0037] 图24是示出本公开的第一实施方式的半导体装置的第五变形例的主要部分俯视图。
- [0038] 图25是示出根据本公开的第一实施方式的半导体装置的第五变形例的剖视图,并且对应于图11的截面。
- [0039] 图26是示出根据本公开的第一实施方式的半导体装置的第六变形例的主要部分俯视图。
- [0040] 图27是示出根据本公开的第二实施方式的半导体装置的主要部分俯视图。
- [0041] 图28是示出根据本公开的第二实施方式的半导体装置的仰视图。
- [0042] 图29是示出根据本公开的第二实施方式的半导体装置的主视图。
- [0043] 图30是示出根据本公开的第二实施方式的半导体装置的剖视图,并且对应于图11的截面。

[0044] 图31是示出根据本公开的第二实施方式的半导体装置的剖视图,并且对应于图13的截面。

[0045] 图32是示出根据本公开的第三实施方式的半导体装置的仰视图。

[0046] 图33是示出根据本公开的第三实施方式的半导体装置的剖视图,并且对应于图13的截面。

[0047] 图34是示出根据本公开的第三实施方式的半导体装置的变形例的剖视图,并且对应于图13的截面。

[0048] 图35是示出根据本公开的第四变形例的半导体装置的仰视图。

具体实施方式

[0049] 以下,参照附图对本公开的优选实施方式进行具体说明。

[0050] 本公开中的“第一”、“第二”、“第三”等术语仅是为了识别而使用的,并不意图对这些对象物附加序列。

[0051] 在本公开中,除非另有说明,否则“某物A形成于某物B”以及“某物A形成在某物B上”包括“某物A直接形成在某物B上”以及“其他物体介于某物A和某物B之间的同时某物A形成在某物B上”。同样地,只要没有特别说明,“某物A配置于某物B”以及“某物A配置在某物B上”包括“某物A直接配置于某物B”以及“其他物介于某物A与某物B之间,并且某物A配置于某物B”。同样地,“某物A位于某物B上”,只要无特别说明,包括“某物A与某物B相接,某物A位于某物B上”以及“其他物介于某物A与某物B之间且某物A位于某物B上”。另外,除非另有说明,“某物A在某个方向上与某物B重叠”包括“某物A与某物B的全部重叠”以及“某物A与某物B的一部分重叠”。另外,只要没有特别说明,“某个面A朝向某个方向B(的一侧或另一侧)”不限定于面A相对于方向B的角度为 90° 的情况,包括面A相对于方向B倾斜的情况。另外,“某物A与某物B(某个方向B)正交”,只要没有特别说明,并不限于某物A相对于某物B(某个方向B)的角度严格地为 90° 的情况,也包括该角度为大致 90° (例如,因制造上的偏差而产生的误差的范围)的情况。另外,只要没有特别说明,“某物A与某物B(某方向B)平行”不限定于某物A与某物B(某方向B)严格地平行的情况,也包括大致平行(例如,因制造上的偏差而产生的误差的范围)的情况。

[0052] 第一实施方式:

[0053] 图1~图17表示本发明的第一实施方式的半导体装置。本实施方式的半导体装置A10具备导通部件10、半导体元件20、多个连接部件31、32、33以及封固树脂40。在这些图中,例如,z方向是“厚度方向”的一例,x方向是“第一方向”的一例,y方向是“第二方向”的一例。

[0054] 导通部件10:

[0055] 导通部件10是构成向半导体元件20的导通路径的部件。本实施方式的导通部件10包括第一引线11、第二引线12、第三引线13以及第四引线14。第一引线11、第二引线12、第三引线13以及第四引线14的材质没有任何限定,例如包括铜(Cu)或铜合金。另外,也可以在第一引线11、第二引线12、第三引线13以及第四引线14的适当位置(例如,从封固树脂40露出的部位)实施银(Ag)、镍(Ni)、锡(Sn)等的镀敷。

[0056] 第一引线11:

[0057] 如图1~图17所示,第一引线11具有芯片焊盘部111以及多个第一端子部112。芯片

焊盘部111具有第一引线主面1111、第一引线背面1112以及第一引线侧面1113。第一引线主面1111是朝向z方向的一侧的面。第一引线背面1112是朝向z方向的另一侧的面。在第一引线主面1111搭载有半导体元件20。第一引线背面1112从封固树脂40(后述的第二树脂面42)露出。因此,芯片焊盘部111具有作为搭载半导体元件20的搭载面的第一引线主面1111以及作为从封固树脂40(后述的第二树脂面42)露出的露出面的第一引线背面1112。

[0058] 第一引线侧面1113在z方向上位于第一引线主面1111与第一引线背面1112之间,是朝向x方向的一侧的面。第一引线侧面1113的形状没有任何限定,在图示的例子中,从x方向观察时为矩形状。

[0059] 本实施方式的芯片焊盘部111还具有第一中间面1114。第一中间面1114在x方向上位于第一引线主面1111与第一引线背面1112之间,是朝向z方向的一侧(与第一引线背面1112同一侧)的面。第一中间面1114由封固树脂40覆盖。通过第一中间面1114,在芯片焊盘部111形成台阶。由此,能够抑制芯片焊盘部111从封固树脂40脱落。另外,芯片焊盘部111也可以不具有第一中间面1114。

[0060] 芯片焊盘部111的形状没有任何限定。在图示的例子中,芯片焊盘部111从z方向观察时为矩形状。另外,第一引线主面1111以及第一引线背面1112的形状没有任何限定,在图示的例子中,从z方向观察时为矩形状。

[0061] 多个第一端子部112在y方向上排列配置。多个第一端子部112分别向z方向一侧弯曲。第一端子部112分别具有第一部分1121、第二部分1122以及第三部分1123。

[0062] 第一部分1121与芯片焊盘部111相连。第一部分1121可以与芯片焊盘部111一体地形成,也可以通过铆接接合或超声波接合、基于导电性接合材料的接合等与芯片焊盘部111接合。第一部分1121从芯片焊盘部111的第一引线侧面1113向x方向的一侧延伸,在图示的例子中与xy平面平行。在图示的例子中,第一部分1121的x方向的尺寸与第六部分1223的x方向的尺寸相同(或者大致相同),但也可以比其更长。并不限定于图示的例子。第一部分1121的形状没有任何限定,在图示的例子中,从z方向观察时为矩形状。在本实施方式中,芯片焊盘部111的z方向的大小比第一部分1121大。第一部分1121在z方向上远离第一引线背面1112,在图示的例子中,与第一引线主面1111相接。第一部分1121的单面与第一引线主面1111为同一面。第一部分1121由封固树脂40覆盖。第一部分1121在y方向上配置于比第二部分1122更靠近芯片焊盘部111。

[0063] 第二部分1122相对于第一部分1121位于z方向的一侧。第二部分1122从封固树脂40的x方向一侧的侧面(后述的第三树脂面43)突出,且在封固树脂40的底面(后述的第一树脂面41)露出。第二部分1122在将半导体装置A10面安装于电路基板等时使用。第二部分1122具有沿x方向延伸的形状。第二部分1122在x方向上位于比第一部分1121远离芯片焊盘部111的位置。

[0064] 第三部分1123介于第一部分1121与第二部分1122之间。第三部分1123从第一部分1121向z方向的一侧延伸。在图示的例子中,第三部分1123沿着z方向延伸,与第一部分1121以及第二部分1122分别正交。与该例不同,第三部分1123可以相对于第一部分1121以及第二部分1122倾斜。第三部分1123与第一部分1121的x方向一侧的端缘相连,并与第二部分1122的x方向另一侧的端缘相连。第三部分1123的形状没有任何限定,在图示的例子中,沿x方向观察时为矩形状。第三部分1123由封固树脂40覆盖。

[0065] 在各第一端子部112中,第一部分1121的厚度(z方向的尺寸)、第二部分1122的厚度(y方向的尺寸)以及第三部分1123的厚度(z方向的尺寸)的关系没有任何限定,在图示的例子中相同(或者大致相同)。

[0066] 第二引线12:

[0067] 第二引线12位于相对于第一引线11(芯片焊盘部111)向x方向的另一侧离开的位置。第二引线12具有焊盘部121以及多个第二端子部122。

[0068] 焊盘部121具有第二引线主面1211以及第二引线背面1212。第二引线主面1211是朝向z方向的一侧的面。第二引线背面1212是朝向z方向的另一侧的面。在第二引线主面1211连接有连接部件31。焊盘部121的形状没有任何限定,在图示的例子中,是以y方向为长度方向的长矩形。另外,从z方向观察,焊盘部121比芯片焊盘部111小。另外,焊盘部121的z方向的大小比芯片焊盘部111小,与第一端子部112相同。

[0069] 多个第二端子部122在y方向上排列配置。多个第二端子部122分别向z方向一侧弯曲。第二端子部122具有第四部分1221、第五部分1222以及第六部分1223。

[0070] 第四部分1221与焊盘部121相连。第四部分1221与焊盘部121一体地形成。第四部分1221从焊盘部121向x方向的另一侧延伸,在图示的例子中与xy平面平行。第四部分1221的形状没有任何限定,在图示的例子中,从z方向观察时为矩形。第四部分1221由封固树脂40覆盖。

[0071] 第五部分1222相对于第四部分1221位于z方向的一侧。第五部分1222从封固树脂40的x方向另一侧的侧面(后述的第四树脂面44)突出,且在封固树脂40的底面(后述的第一树脂面41)露出。第五部分1222在将半导体装置A10面安装于电路基板等时使用。第五部分1222具有沿x方向延伸的形状。第五部分1222在x方向上位于比第四部分1221远离芯片焊盘部111的位置。

[0072] 第六部分1223介于第四部分1221与第五部分1222之间。第六部分1223从第四部分1221向z方向的一侧延伸。在图示的例子中,第六部分1223沿着z方向延伸,与第四部分1221以及第五部分1222分别正交。与该例不同,第六部分1223可以相对于第四部分1221以及第五部分1222倾斜。第六部分1223与第四部分1221的x方向另一侧的端缘相连,并与第五部分1222的x方向一侧的端缘相连。第六部分1223的形状没有任何限定,在图示的例子中,沿x方向观察时为矩形。第六部分1223由封固树脂40覆盖。

[0073] 在各第二端子部122中,第四部分1221的厚度(z方向的尺寸)、第五部分1222的厚度(y方向的尺寸)以及第六部分1223的厚度(z方向的尺寸)的关系没有任何限定,图示的例子相同(或者大致相同)。另外,第五部分1222的厚度与第二部分1122的厚度的关系没有任何限定,在图示的例子中相同(或者大致相同)。

[0074] 第三引线13:

[0075] 第三引线13位于相对于第一引线11(芯片焊盘部111)向x方向的另一侧离开的位置。另外,第三引线13在y方向上与第二引线12并列。第三引线13具有焊盘部131以及第三端子部132。

[0076] 焊盘部131具有第三引线主面1311以及第三引线背面1312。第三引线主面1311是朝向z方向的一侧的面。第三引线背面1312是朝向z方向的另一侧的面。在第三引线主面1311连接有连接部件32。焊盘部131的形状没有任何限定,在图示的例子中,从z方向观察时

为矩形状。此外,从z方向上观察,焊盘部131比焊盘部121小。另外,焊盘部131的z方向的大小比芯片焊盘部111小,与焊盘部121相同。

[0077] 第三端子部132向z方向一侧弯曲。第三端子部132具有第七部分1321、第八部分1322以及第九部分1323。

[0078] 第七部分1321与焊盘部131相连。第七部分1321与焊盘部131一体地形成。第七部分1321从焊盘部131向x方向的另一侧延伸,在图示的例子中与xy平面平行。第七部分1321的形状没有任何限定,在图示的例子中,从z方向观察时为矩形状。第七部分1321由封固树脂40覆盖。

[0079] 第八部分1322相对于第七部分1321位于z方向的一侧。第八部分1322从封固树脂40的x方向另一侧的侧面(后述的第四树脂面44)突出,且在封固树脂40的底面(后述的第一树脂面41)露出。第八部分1322在将半导体装置A10面安装于电路基板等时使用。第八部分1322具有沿x方向延伸的形状。第八部分1322在x方向上位于比第七部分1321远离芯片焊盘部111的位置。

[0080] 第九部分1323介于第七部分1321与第八部分1322之间。第九部分1323从第七部分1321向z方向的一侧延伸。在图示的例子中,第九部分1323沿着z方向延伸,与第七部分1321以及第八部分1322分别正交。与该例不同,第九部分1323可以相对于第七部分1321以及第八部分1322倾斜。第九部分1323与第七部分1321的x方向另一侧的端缘相连,并与第八部分1322的x方向一侧的端缘相连。第九部分1323的形状没有任何限定,在图示的例子中,沿x方向观察时为矩形状。第九部分1323由封固树脂40覆盖。

[0081] 在第三端子部132中,第七部分1321的厚度(z方向的尺寸)、第八部分1322的厚度(y方向的尺寸)以及第九部分1323的厚度(z方向的尺寸)的关系没有任何限定,图示的例子相同(或者大致相同)。另外,第八部分1322的厚度与第五部分1222的厚度的关系没有任何限定,在图示的例子中相同(或者大致相同)。

[0082] 第四引线14:

[0083] 第四引线14位于相对于第一引线11(芯片焊盘部111)向x方向的另一侧离开的位置。另外,第四引线14在y方向上位于第二引线12与第三引线13之间。第四引线14具有焊盘部141以及第四端子部142。

[0084] 焊盘部141具有第四引线主面1411以及第四引线背面1412。第四引线主面1411是朝向z方向的一侧的面。第四引线背面1412是朝向z方向的另一侧的面。在第四引线主面1411连接有连接部件33。焊盘部141的形状没有任何限定,在图示的例子中,从z方向观察时为矩形状。此外,从z方向上观察,焊盘部141比焊盘部121小,是与焊盘部131相同程度的大小。另外,焊盘部141的z方向的大小比芯片焊盘部111小,与焊盘部121以及焊盘部131相同。

[0085] 第四端子部142向z方向一侧弯曲。第四端子部142具有第十部分1421、第十一部分1422以及第十二部分1423。

[0086] 第十部分1421与焊盘部141相连。第十部分1421与焊盘部141一体地形成。第十部分1421从焊盘部141向x方向的另一侧延伸,在图示的例子中与xy平面平行。第十部分1421的形状没有任何限定,在图示的例子中,从z方向观察时为矩形状。第十部分1421由封固树脂40覆盖。

[0087] 第十一部分1422相对于第十部分1421位于z方向的一侧。第十一部分1422从封固

树脂40的x方向另一侧的侧面(后述的第四树脂面44)突出,且在封固树脂40的底面(后述的第一树脂面41)露出。第十一部分1422在将半导体装置A10面安装于电路基板等时使用。第十一部分1422具有沿x方向延伸的形状。第十一部分1422在x方向上位于比第十部分1421远离芯片焊盘部111的位置。

[0088] 第十二部分1423介于第十部分1421与第十一部分1422之间。第十二部分1423从第十部分1421向z方向的一侧延伸。在图示的例子中,第十二部分1423沿着z方向延伸,与第十部分1421以及第十一部分1422分别正交。与该例不同,第十二部分1423可以相对于第十部分1421以及第十一部分1422倾斜。第十二部分1423与第十部分1421的x方向另一侧的端缘相连,并与第十一部分1422的x方向一侧的端缘相连。第十二部分1423的形状没有任何限定,在图示的例子中,沿x方向观察时为矩形状。第十二部分1423由封固树脂40覆盖。

[0089] 在第四端子部142中,第十部分1421的厚度(z方向的尺寸)、第十一部分1422的厚度(y方向的尺寸)以及第十二部分1423的厚度(z方向的尺寸)的关系没有任何限定,图示的例子相同(或者大致相同)。另外,第十一部分1422的厚度与第五部分1222的厚度的关系没有任何限定,在图示的例子中相同(或者大致相同)。

[0090] 半导体元件20:

[0091] 如图5、图10~图14以及图17所示,半导体元件20搭载于芯片焊盘部111的第一引线主面1111。在半导体装置A10中,半导体元件20是开关元件。该开关元件例如是n沟道型且纵型构造的MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)。半导体元件20并不限定于MOSFET。半导体元件20也可以是IGBT(Insulated Gate Bipolar Transistor)等其他晶体管。进而,半导体元件20也可以是二极管。半导体元件20具有半导体层205、第一电极201、第二电极202以及第三电极203。

[0092] 半导体层205包括化合物半导体基板。化合物半导体基板的主材料为碳化硅(SiC)。此外,作为化合物半导体基板的主材料,也可以使用硅(Si)。

[0093] 第一电极201在z方向上设置于第一引线11的芯片焊盘部111的第一引线主面1111所朝向的一侧(一侧)。第一电极201相当于半导体元件20的源极电极。

[0094] 第二电极202在z方向上设置于与第一电极201相反的一侧。第二电极202与第一引线11的芯片焊盘部111的第一引线主面1111对置。第二电极202相当于半导体元件20的漏极电极。在本实施方式中,第二电极202经由接合层29与第一引线主面1111接合。接合层29例如是焊料、银(Ag)膏、烧制银等。

[0095] 第三电极203在z方向上设置于与第一电极201相同的一侧,且位于远离第一电极201的位置。第三电极203相当于半导体元件20的栅极电极。从z方向观察,第三电极203的面积小于第一电极201的面积。

[0096] 连接部件31、32、33:

[0097] 连接部件31与半导体元件20的第一电极201以及第二引线12的焊盘部121的第二引线主面1211接合。连接部件31的材质没有任何限定,包括铝(Al)、铜(Cu)、金(Au)等金属。另外,连接部件31的根数没有任何限定,也可以具备多个连接部件31。在图示的例子中,连接部件31是包含铝(Al)且扁平的带状的部件。与该例不同,连接部件31也可以是细的线状部件(接合线)。

[0098] 连接部件32与半导体元件20的第三电极203和第三引线13的焊盘部131的第三引

线主面1311连接。在图示的例子中,连接部件32是包含金(Au)且比连接部件31细的线状部件(接合线)。

[0099] 连接部件33与半导体元件20的第一电极201以及第四引线14的焊盘部141的第四引线主面1411连接。在图示的例子中,连接部件33是包含金(Au)且比连接部件31细的线状部件(接合线)。

[0100] 在本实施方式中,第一引线11的第一端子部112是漏极端子,第二引线12的第二端子部122是源极端子,第三引线13的第三端子部132是栅极端子,第四引线14的第四端子部142是源极感应端子。

[0101] 封固树脂40:

[0102] 如图1~图15所示,封固树脂40覆盖半导体元件20、连接部件31、32、33、第一引线11、第二引线12、第三引线13以及第四引线14的一部分。封固树脂40具有电绝缘性。封固树脂40例如由包含黑色的环氧树脂的材料构成。封固树脂40具有第一树脂面41、第二树脂面42、第三树脂面43、第四树脂面44、第五树脂面45以及第六树脂面46。

[0103] 第一树脂面41在z方向上朝向与第一引线11的芯片焊盘部111的第一引线主面1111相同的一侧(一侧)。第二树脂面42在z方向上朝向与第一树脂面41相反的一侧(另一侧)。第一引线11的芯片焊盘部111的第一引线背面1112从第二树脂面42露出。第二树脂面42与第一引线背面1112相互为同一面。

[0104] 第三树脂面43朝向x方向的一侧。在图示的例子中,第一引线11的多个第一端子部112的各第一部分1121从第三树脂面43向x方向突出。与该例子不同,各第一部分1121的端面(朝向x方向外侧的面)也可以与第三树脂面43为同一面。

[0105] 第四树脂面44在x方向上朝向与第三树脂面43相反的一侧(另一侧)。在图示的例子中,第二引线12的多个第二端子部122的各第五部分1222、第三引线13的第三端子部132的第八部分1322以及第四引线14的第四端子部142的第十一部分1422从第四树脂面44向x方向突出。也可以与该例子不同,第五部分1222、第八部分1322以及第十一部分1422的各端面(朝向x方向外侧的面)与第四树脂面44为同一面。

[0106] 第五树脂面45朝向y方向的一侧。第六树脂面46在y方向上朝向与第五树脂面45相反的一侧(另一侧)。在图14~图16所示的例子中,第五树脂面45以及第六树脂面46分别与y方向正交,但也可以相对于y方向倾斜。例如,第五树脂面45以及第六树脂面46也可以以越从第一树脂面41朝向第二树脂面42,与z方向正交的截面的面积越小的方式倾斜。

[0107] 在本实施方式中,如图2、图7、图8、图11~图13以及图17所示,第一树脂面41包括凹形状区域411以及端部区域412。

[0108] 凹形状区域411是第一树脂面41中的在z方向上向第二树脂面42侧凹陷的区域。如图7所示,从z方向观察时,凹形状区域411与连结各第一端子部112和各第二端子部122的假想线段L1重叠。在本实施方式中,如图7所示,从z方向观察,凹形状区域411与全部假想线段L1重叠。在图示的例子(参照图2以及图7)中,从z方向观察,凹形状区域411从第五树脂面45延伸至第六树脂面46。

[0109] 从图示的例子可知,凹形状区域411是V字状的槽。凹形状区域411具有谷部4111、第一倾斜面4112以及第二倾斜面4113。

[0110] 谷部4111从z方向观察时为线状。谷部4111是凹形状区域411中的在z方向上位于

最靠近第二树脂面42的位置的部位。即,谷部4111是凹形状区域411中的最深部。谷部4111从第五树脂面45延伸至第六树脂面46。如图10~图13所示,从z方向观察,谷部4111(凹形状区域411的最深部)与连接部件31、32、33均不重叠。从z方向观察,谷部4111配置于比封固树脂40的x方向中央靠x方向一侧(各第一端子部112所在的一侧)的位置,但谷部4111的x方向的位置并不限于此。从z方向观察,谷部4111与第三树脂面43以及第四树脂面44平行(或者大致平行),但也可以相对于第三树脂面43以及第四树脂面44倾斜。

[0111] 第一倾斜面4112从x方向一侧与谷部4111相连,第二倾斜面4113从x方向另一侧与谷部4111相连。第一倾斜面4112以及第二倾斜面4113分别相对于第二树脂面42以及端部区域412倾斜。第一倾斜面4112以使凹形状区域411的深度朝向谷部4111变大的方式倾斜,第二倾斜面4113以使凹形状区域411的深度朝向谷部4111变大的方式倾斜。在图示的例子中,第一倾斜面4112相对于xy平面的倾斜角比第二倾斜面4113相对于xy平面的倾斜角大。与图示的例子不同,第一倾斜面4112以及第二倾斜面4113中的任一方也可以是相对于xy平面直立的面。

[0112] 如图7以及图8所示,端部区域412配置在凹形状区域411的x方向两侧。端部区域412是平坦的。端部区域412与第二树脂面42平行(或者大致平行)。端部区域412具有配置于凹形状区域411的x方向一侧的第一区域4121以及配置于凹形状区域411的x方向另一侧的第二区域4122。

[0113] 凹形状区域411的最深部的深度(z方向上的从端部区域412到谷部4111的距离)没有任何限定,例如相对于封固树脂40的z方向的尺寸为10%以上且20%以下。在图11所示的例子中,凹形状区域411的最深部的深度(z方向上的从端部区域412到谷部4111的距离)比z方向上的从连接部件31到端部区域412的距离小,但也可以大。另外,在图12以及图13所示的例子中,凹形状区域411的最深部的深度(z方向上的从端部区域412到谷部4111的距离)比z方向上的从连接部件32、33到端部区域412的距离大,但也可以小。凹形状区域411的最深部的深度比第二部分1122以及第五部分1222各自的厚度(z方向的尺寸)大。在半导体装置A1中,各连接部件32、33的z方向一侧的顶部位于比连接部件31的z方向一侧的顶部靠z方向一侧的位置,但相反地,连接部件31的z方向一侧的顶部也可以位于比各连接部件32、33的z方向一侧的顶部靠z方向一侧的位置。凹形状区域411的最深部的深度根据各连接部件31、32、33的z方向的尺寸而适当变化。

[0114] 如图15所示,第二部分1122的朝向z方向一侧的面在第一区域4121中从封固树脂40露出。在图示的例子中,第一区域4121与第二部分1122的朝向z方向一侧的面为同一面。此外,在第一端子部112中对从封固树脂40露出的部位实施镀敷的情况下,第二部分1122的朝向z方向一侧的面比第一区域4121向z方向一侧突出该镀敷的量。

[0115] 如图16所示,第五部分1222、第八部分1322以及第十一部分1422的朝向各z方向一侧的面在第二区域4122中从封固树脂40露出。在图示的例子中,第二区域4122与第五部分1222、第八部分1322以及第十一部分1422的朝向各z方向一侧的面为同一面。此外,在第二端子部122、第三端子部132以及第四端子部142中对从封固树脂40露出的部位实施镀敷的情况下,第五部分1222、第八部分1322以及第十一部分1422的朝向各z方向一侧的面比第二区域4122向z方向一侧突出该镀敷的量。

[0116] 在图示的例子中,封固树脂40具有槽49。槽49从第二树脂面42向x方向凹陷,沿着y

方向延伸。槽49到达第五树脂面45以及第六树脂面46。

[0117] 另外,在图示的例子中,封固树脂40具有两个凹部47。一个凹部47从第一树脂面41以及第五树脂面45凹陷。另一个凹部47从第一树脂面41以及第六树脂面46凹陷。在图示的例子中,第一引线主面1111的一部分从凹部47露出。与该例不同,第一引线主面1111也可以不从凹部47露出。两个凹部47被用作表示半导体装置A10中的端子配置的标记,或者在制造或安装半导体装置A10时在输送(夹持)时使用。

[0118] 图17表示半导体装置A10的使用状态。在本使用例中,半导体装置A10面安装于电路基板92。即,第一端子部112的第二部分1122、第二端子部122的第五部分1222、第三端子部132的第八部分1322以及第四端子部142的第十一部分1422例如通过焊料921与电路基板92的布线图案(省略图示)导通接合。另外,在芯片焊盘部111的第一引线背面1112对置配置有散热器91。在图示的例子中,在第一引线背面1112与散热器91之间配置有片材919。片材919例如是绝缘片。

[0119] 接着,对半导体装置A10的作用进行说明。

[0120] 如图17所示,第一引线背面1112从第二树脂面42露出。由此,能够使例如散热器91与第一引线背面1112对置配置。另外,第一端子部112以及第二端子部122分别向z方向一侧弯曲。由此,能够将半导体装置A10面安装于电路基板92等。另外,第一端子部112从第三树脂面43突出,第二端子部122从第四树脂面44突出。第一树脂面41具有凹形状区域411,从z方向观察,凹形状区域411与将第一端子部112和第二端子部122连结的假想线段L1重叠。由此,能够延长第一端子部112与第二端子部122的沿着第一树脂面41的沿面距离。因此,能够抑制第一端子部112与第二端子部122的意外短路。

[0121] 第三部分1123与第一部分1121以及第二部分1122正交(与z方向平行)。由此,能够缩小半导体装置A10的x方向的尺寸。同样地,第六部分1223与第四部分1221以及第五部分1222正交(与z方向平行),因此能够缩小半导体装置A10的x方向的尺寸。

[0122] 第一部分1121的x方向的尺寸与第三部分1123的厚度(x方向的尺寸)相同(或者大致相同)。由此,能够极力减小第一部分1121的x方向的尺寸,缩小半导体装置A10的x方向的尺寸。同样地,第四部分1221的x方向的尺寸与第六部分1223的厚度(x方向的尺寸)相同(或者大致相同),因此能够极力减小第四部分1221的x方向的尺寸,缩小半导体装置A10的x方向的尺寸。

[0123] 第二部分1122在第一树脂面41(端部区域412的第一区域4121)露出。由此,第二部分1122的一部分配置在比第三树脂面43靠封固树脂40的x方向内侧,因此能够缩小半导体装置A10的x方向的尺寸。同样地,第五部分1222在第一树脂面41(端部区域412的第二区域4122)露出。由此,第五部分1222的一部分配置在比第四树脂面44靠封固树脂40的x方向内侧,因此能够缩小半导体装置A10的x方向的尺寸。另外,在第二部分1122以及第五部分1222分别在第一树脂面41露出的结构中,第一端子部112与第二端子部122的沿着x方向的分离距离缩小。因此,在第一树脂面41设置凹形状区域411以延长该沿面距离在抑制第一端子部112与第二端子部122的意外的短路方面是有效的。即,半导体装置A10能够减小x方向的尺寸,并且适度地确保第一端子部112和第二端子部122的沿着第一树脂面41的沿面距离。

[0124] 从z方向观察,凹形状区域411的最深部(谷部4111)与连接部件31、32、33均不重叠。由此,能够适度地确保z方向上的从连接部件31、32、33到第一树脂面41的距离,因此能

够提高半导体装置A10的绝缘耐压。另外,从z方向观察,凹形状区域411的最深部(谷部4111)与连接部件31、32、33均不重叠,由此能够使凹形状区域411的最深部的深度(z方向上的从端部区域412到谷部4111的距离)比z方向上的从连接部件31、32、33到端部区域412的距离大。

[0125] 凹形状区域411的最深部的深度(z方向上的从端部区域412到谷部4111的距离)比z方向上的从连接部件32、33到端部区域412的距离大。由此,能够适度地增大第一端子部112与第二端子部122的沿着第一树脂面41的沿面距离。此外,若使凹形状区域411的最深部的深度(z方向上的从端部区域412到谷部4111的距离)比z方向上的从连接部件31到端部区域412的距离大,则能够进一步增大第一端子部112与第二端子部122的沿着第一树脂面41的沿面距离。

[0126] 凹形状区域411的最深部的深度(z方向上的从端部区域412到谷部4111的距离)比第二部分1122以及第五部分1222的各厚度(z方向的尺寸)大。由此,能够适度地增大第一端子部112与第二端子部122的沿着第一树脂面41的沿面距离。

[0127] 芯片焊盘部111的z方向的大小比第一部分1121大。由此,在热从半导体元件20向第一引线背面1112传递的过程中,能够在x方向以及y方向上将热传递到更宽的范围。因此,通过芯片焊盘部111的更宽的区域,能够将来自半导体元件20的热向散热器91等散热,能够提高散热效率。

[0128] 在封固树脂40上形成槽49。由此,能够延长从第一引线背面1112到第二引线12(第四部分1221)、第三引线13(第七部分1321)以及第四引线14(第十部分1421)的沿着封固树脂40的表面的沿面距离。

[0129] 在半导体元件20是MOSFET(开关元件)的例子中,第一端子部112是漏极端子,第二端子部122是源极端子。在该结构中,第一端子部112与第二端子部122的电位差变大。因此,通过凹形状区域411延长第一端子部112与第二端子部122的沿着第一树脂面41的沿面距离在抑制第一端子部112与第二端子部122的意外短路方面是有效的。

[0130] 图18~图35表示本公开的其他实施方式。此外,在这些图中,对与上述实施方式相同或类似的要素标注与上述实施方式相同的附图标记。另外,各变形例以及各实施方式中的各部的结构能够在不产生技术上的矛盾的范围內相互适当地组合。

[0131] 第一实施方式第一变形例:

[0132] 图18以及图19表示半导体装置A10的第一变形例。在本变形例的半导体装置A11中,在封固树脂40设置有两个槽49。

[0133] 各槽49沿y方向延伸,到达第五树脂面45以及第六树脂面46。另外,两个槽49在x方向上分离地配置。

[0134] 根据本变形例,也能够对半导体装置A11进行面安装,起到与上述例子同样的效果。另外,具有两个槽49,从而能够进一步延长第一引线背面1112与第二端子部122、第三端子部132以及第四端子部142的沿面距离。从本变形例可知,槽49的个数没有任何限定。

[0135] 第一实施方式第二变形例:

[0136] 图20以及图21表示半导体装置A10的第二变形例。在本变形例的半导体装置A12中,在封固树脂40设置有凸部48。

[0137] 凸部48从第二树脂面42向z方向的另一侧突出。凸部48沿着y方向延伸,到达第五

树脂面45以及第六树脂面46。在图示的例子中,凸部48配置于封固树脂40的x方向的另一侧端,与第四树脂面44相接。

[0138] 根据本变形例,也能够对半导体装置A12进行面安装。另外,具有凸部48,从而能够延长第一引线背面1112与第二端子部122、第三端子部132以及第四端子部142的沿面距离。

[0139] 第一实施方式第三变形例:

[0140] 图22表示半导体装置A10的第三变形例。本变形例的半导体装置A13在封固树脂40设置有两个凸部48。

[0141] 各凸部48向z方向的另一侧突出。各凸部48沿着y方向延伸,到达第五树脂面45以及第六树脂面46。两个凸部48在x方向上隔着第一引线背面1112相互分离地配置。一个凸部48与第四树脂面44相接。另一个凸部48与第三树脂面43相接。

[0142] 根据本变形例,也能够对半导体装置A13进行面安装。另外,具有两个凸部48,从而能够进一步延长第一引线背面1112与第一端子部112、第三端子部132以及第四端子部142的沿面距离。根据本变形例可知,凸部48的个数没有任何限定。

[0143] 第一实施方式第四变形例:

[0144] 图23表示半导体装置A10的第四变形例。在本变形例的半导体装置A14中,封固树脂40不具有上述的凸部48以及槽49。

[0145] 根据本变形例,也能够对半导体装置A14进行面安装。另外,根据本变形例可知,封固树脂40也可以是不具有凸部48以及槽49的结构。

[0146] 第一实施方式第五变形例:

[0147] 图24以及图25表示半导体装置A10的第五变形例。在本变形例的半导体装置A15中,第二端子部122的第六部分1223、第三端子部132的第九部分1323以及第四端子部142的第十二部分1423分别相对于z方向(xy平面)倾斜。

[0148] 根据本变形例,也能够对半导体装置A15进行面安装。另外,根据本变形例可知,第二端子部122的第六部分1223相对于第四部分1221以及第五部分1222倾斜还是正交、第三端子部132的第九部分1323相对于第七部分1321以及第八部分1322倾斜还是正交、第四端子部142的第十二部分1423相对于第十部分1421以及第十一部分1422倾斜还是正交没有任何限定。

[0149] 在半导体装置A15中,示出了各第六部分1223、第九部分1323以及第十二部分1423分别倾斜的例子,但也可以取而代之,或者在此基础上,第一端子部112的第三部分1123相对于第一部分1121以及第二部分1122倾斜。

[0150] 第一实施方式第六变形例:

[0151] 图26表示半导体装置A10的第六变形例。本变形例的半导体装置A16不具备上述的连接部件31、32、33。

[0152] 在本变形例中,第二引线12的焊盘部121的第二引线背面1212与半导体元件20的第一电极201导通接合。另外,第三引线13的焊盘部131的第三引线背面1312与半导体元件20的第三电极203导通接合。另外,第四引线14的焊盘部141的第四引线背面1412与半导体元件20的第一电极201导通接合。

[0153] 根据本变形例,也能够对半导体装置A16进行面安装。另外,根据本变形例可知,第二引线12、第三引线13以及第四引线14与半导体元件20的具体的导通方式没有任何限定。

[0154] 第二实施方式:

[0155] 图27~图31表示根据本发明的第二实施方式的半导体装置。本实施方式的半导体装置A20的第一树脂面41的凹形状区域411的结构与上述的例子不同。

[0156] 本实施方式的凹形状区域411是矩形或U字状的槽。本实施方式的凹形状区域411具有一对壁面4115、4116以及槽底4117。

[0157] 一对壁面4115、4116分别与yz平面平行。一对壁面4115、4116分别与端部区域412以及槽底4117正交。与该例子不同,一对壁面4115、壁面4116也可以分别相对于端部区域412倾斜。

[0158] 槽底4117在x方向上由一对壁面4115、4116夹着。在图示的例子中,槽底4117是平坦面。与该例子不同,也可以是槽底4117的至少一部分弯曲。在本实施方式中,槽底4117成为凹形状区域411中的最深部。

[0159] 根据本实施方式,也能够对半导体装置A20进行面安装。另外,根据本实施方式,也能够通过凹形状区域411延长第一端子部112与第二端子部122的沿着第一树脂面41的沿面距离。因此,根据本实施方式可知,凹形状区域411的形状并不限定于半导体装置A10等的V字状的槽,也可以是矩形或U字状的槽。

[0160] 第三实施方式:

[0161] 图32以及图33表示根据本公开的第三实施方式的半导体装置。本实施方式的半导体装置A30的第一树脂面41具有多个凹形状区域411。

[0162] 从z方向观察,多个凹形状区域411分别从第五树脂面45延伸至第六树脂面46。在半导体装置A30中,各凹形状区域411与半导体装置A10同样地是V字状的槽。即,各凹形状区域411分别具有谷部4111、第一倾斜面4112以及第二倾斜面4113。多个凹形状区域411沿着x方向排列。在图示的例子中,多个凹形状区域411平行(或者大致平行)地配置,但也可以不平行地配置。在图示的例子中,多个凹形状区域411在x方向上无间隙地配置,但也可以在x方向上隔开一定的间隔配置。在该情况下,在x方向上相邻的两个凹形状区域411之间形成平坦的部分。

[0163] 根据本实施方式,也能够对半导体装置A30进行面安装。另外,根据本实施方式,也能够通过各凹形状区域411延长第一端子部112与第二端子部122的沿着第一树脂面41的沿面距离。因此,根据本实施方式可知,凹形状区域411的数量并不限定于一个。

[0164] 第三实施方式第一变形例:

[0165] 图34表示半导体装置A30的变形例。本变形例的半导体装置A31的多个凹形状区域411分别由与半导体装置A30同样的矩形状的槽构成。即,各凹形状区域411分别具有一对壁面4115、4116以及槽底4117。在图示的例子中,多个凹形状区域411在x方向上以等间距配置,但也可以不是等间距。

[0166] 根据本变形例,也能够对半导体装置A31进行面安装。另外,根据本变形例,也能够通过各凹形状区域411延长第一端子部112与第二端子部122的沿着第一树脂面41的沿面距离。

[0167] 第四实施方式:

[0168] 图35表示根据本公开的第四实施方式的半导体装置。从z方向观察,本实施方式的半导体装置A40的凹形状区域411不从第五树脂面45连接到第六树脂面46。

[0169] 在图示的例子中,从z方向观察到的凹形状区域411的形状为矩形状,但也可以不是矩形状,而是多边形、圆状、椭圆状或环状。凹形状区域411的形成范围并不限定于图示的例子,只要是从z方向观察时凹形状区域411与各假想线段L1重叠的范围即可。凹形状区域411从z方向观察时与各凹部47分离,但也可以形成为将两个凹部47相连。在该情况下,使凹形状区域411的深度比各凹部47的深度浅,以使半导体元件20不从封固树脂40露出。

[0170] 根据本实施方式,也能够对半导体装置A40进行面安装。另外,根据本实施方式,从z方向观察,凹形状区域411也与假想线段L1重叠,因此能够延长第一端子部112与第二端子部122的沿着第一树脂面41的沿面距离。根据本实施方式可知,凹形状区域411只要形成为从z方向观察时与假想线段L1重叠即可,其形成范围和形状(凹陷方式)没有任何限定。

[0171] 在上述的各实施方式以及各变形例中,示出了芯片焊盘部111与第一端子部112相连的例子,但第一端子部112也可以与芯片焊盘部111分离。在该情况下,通过追加的连接部件使搭载于芯片焊盘部111的半导体元件20与第一端子部112导通即可。

[0172] 根据本公开的半导体装置不限于上述实施方式。根据本公开的半导体装置的具体结构能够自由地进行各种设计变化。本公开包括以下的附记所记载的实施方式。

[0173] 附记1.一种半导体装置,具备:

[0174] 半导体元件;

[0175] 导通部件,其包括芯片焊盘部、第一端子部以及第二端子部;

[0176] 封固树脂,其覆盖所述导通部件的一部分以及所述半导体元件,

[0177] 所述封固树脂具有朝向所述封固树脂的厚度方向一侧的第一树脂面、朝向所述厚度方向另一侧的第二树脂面、朝向与所述厚度方向正交的第一方向一侧的第三树脂面以及朝向所述第一方向另一侧的第四树脂面,

[0178] 所述芯片焊盘部具有朝向所述厚度方向一侧且搭载有所述半导体元件的搭载面以及朝向所述厚度方向另一侧且从所述第二树脂面露出的露出面,

[0179] 所述第一端子部向所述厚度方向一侧弯曲,且从所述第三树脂面露出,

[0180] 所述第二端子部向所述厚度方向一侧弯曲,且从所述第四树脂面露出,

[0181] 所述第一树脂面具有在所述厚度方向上向所述第二树脂面侧凹陷的凹形状区域,

[0182] 沿所述厚度方向观察,所述凹形状区域与连结所述第一端子部和所述第二端子部的假想线段重叠。

[0183] 附记2.根据附记1所述的半导体装置,

[0184] 所述封固树脂具有朝向与所述厚度方向以及所述第一方向正交的第二方向一侧的第五树脂面以及朝向所述第二方向另一侧的第六树脂面,

[0185] 沿所述厚度方向观察,所述凹形状区域从所述第五树脂面延伸至所述第六树脂面。

[0186] 附记3.根据附记2所述的半导体装置,

[0187] 所述凹形状区域具有沿所述厚度方向观察时从所述第五树脂面延伸至所述第六树脂面的线状的谷部以及从所述第一方向的一方与所述谷部相连且相对于所述第二树脂面倾斜的第一倾斜面,

[0188] 所述第一倾斜面以所述凹形状区域的深度朝向所述谷部变大的方式倾斜。

[0189] 附记4.根据附记3所述的半导体装置,

- [0190] 所述凹形状区域具有从所述第一方向的另一方与所述谷部相连且相对于所述第二树脂面倾斜的第二倾斜面，
- [0191] 所述第二倾斜面以所述凹形状区域的深度朝向所述谷部变大的方式倾斜。
- [0192] 附记5. 根据附记2所述的半导体装置，
- [0193] 所述凹形状区域具有一对壁面以及在所述第一方向上被所述一对壁面夹着的槽底。
- [0194] 附记6. 根据附记2至5中任一项所述的半导体装置，
- [0195] 所述第一树脂面具有沿着所述第一方向排列的多个所述凹形状区域。
- [0196] 附记7. 根据附记1至6中任一项所述的半导体装置，
- [0197] 所述第一树脂面具有配置于所述凹形状区域的所述第一方向的两侧的端部区域，
- [0198] 所述端部区域是平坦的。
- [0199] 附记8. 根据附记7所述的半导体装置，
- [0200] 所述第一端子部包括第一部分以及第二部分，
- [0201] 所述第一部分在所述第一方向上配置于比所述第二部分更靠近所述芯片焊盘部的位置，并且由所述封固树脂覆盖，
- [0202] 所述第二部分从所述第二树脂面突出，并且在所述端部区域露出。
- [0203] 附记9. 根据附记8所述的半导体装置，
- [0204] 所述第一端子部包括与所述第一部分以及所述第二部分相连的第三部分，
- [0205] 所述第三部分与所述第一部分以及所述第二部分分别正交，且沿着所述厚度方向延伸。
- [0206] 附记10. 根据附记8或9所述的半导体装置，
- [0207] 所述第二端子部包括第四部分以及第五部分，
- [0208] 所述第四部分在所述第一方向上配置于比所述第五部分更靠近所述芯片焊盘部的位置，且由所述封固树脂覆盖，
- [0209] 所述第五部分从所述第四树脂面突出，并且在所述端部区域露出。
- [0210] 附记11. 根据附记10所述的半导体装置，
- [0211] 所述第二端子部包括与所述第四部分以及所述第五部分相连的第六部分，
- [0212] 所述第六部分与所述第四部分以及所述第五部分分别正交，且沿着所述厚度方向延伸。
- [0213] 附记12. 根据附记10或附注11所述的半导体装置，
- [0214] 所述第一端子部的所述第一部分与所述芯片焊盘部相连，
- [0215] 所述第二端子部与所述芯片焊盘部分离。
- [0216] 附记13. 根据附记12所述的半导体装置，
- [0217] 还具备连接部件，其与所述半导体元件接合，
- [0218] 所述连接部件由所述封固树脂覆盖。
- [0219] 附记14. 根据附记13所述的半导体装置，
- [0220] 沿所述厚度方向观察，所述凹形状区域的最深部不与所述连接部件重叠。
- [0221] 附记15. 根据附记14所述的半导体装置，
- [0222] 所述凹形状区域的最深部的深度比所述连接部件与所述端部区域的沿着所述厚

度方向的分离距离大。

[0223] 附记16.根据附记10至15中任一项所述的半导体装置,

[0224] 所述凹形状区域的最深部的深度比所述第二部分以及所述第五部分各自的厚度大。

[0225] 附记17.根据附记1至16中任一项所述的半导体装置,

[0226] 所述半导体元件是开关元件或者二极管中的任意一个。

[0227] 符号说明

[0228] A10~A16、A20、A30、A31、A40—半导体装置,10—导通部件,11—第一引线,12—第二引线,13—第三引线,14—第四引线,20—半导体元件,29—接合层,31—连接部件,32—连接部件,33—连接部件,40—封固树脂,41—第一树脂面,42—第二树脂面,43—第三树脂面,44—第四树脂面,45—第五树脂面,46—第六树脂面,47—凹部,48—凸部,49—槽,91—散热器,92—电路基板,111—芯片焊盘部,112—第一端子部,121—焊盘部,122—第二端子部,131—焊盘部,132—第三端子部,141—焊盘部,142—第四端子部,201—第一电极,202—第二电极,203—第三电极,205—半导体层,411—凹形状区域,412—端部区域,919—片材,921—焊料,1111—第一引线主面,1112—第一引线背面,1113—第一引线侧面,1114—第一中间面,1121—第一部分,1122—第二部分,1123—第三部分,1211—第二引线主面,1212—第二引线背面,1221—第四部分,1222—第五部分,1223—第六部分,1311—第三引线主面,1312—第三引线背面,1321—第七部分,1322—第八部分,1323—第九部分,1411—第四引线主面,1412—第四引线背面,1421—第十部分,1422—第十一部分,1423—第十二部分,4111—谷部,4112—第一倾斜面,4113—第二倾斜面,4115—壁面,4116—壁面,4117—槽底,4121—第一区域,4122—第二区域,L1—假想线段。

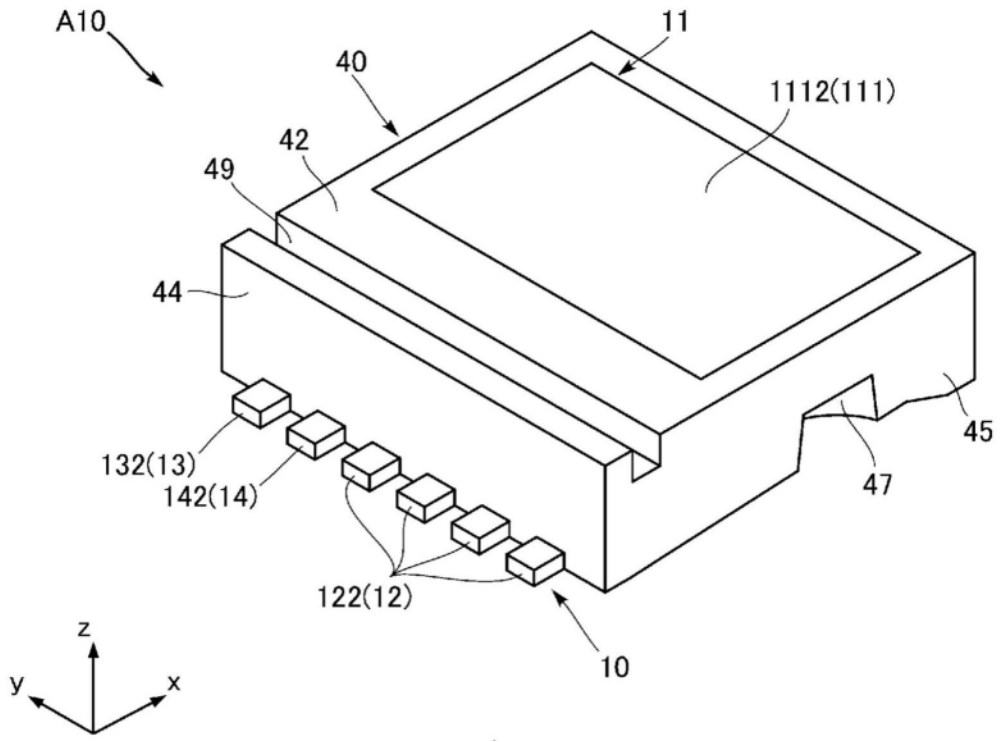


图1

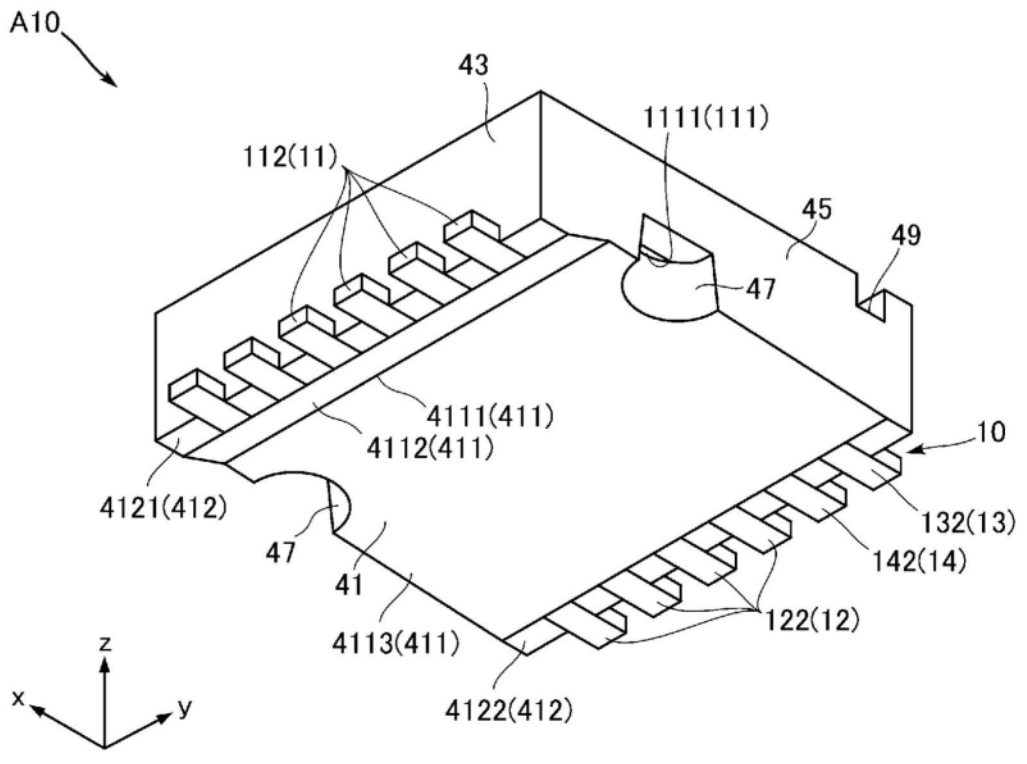


图2

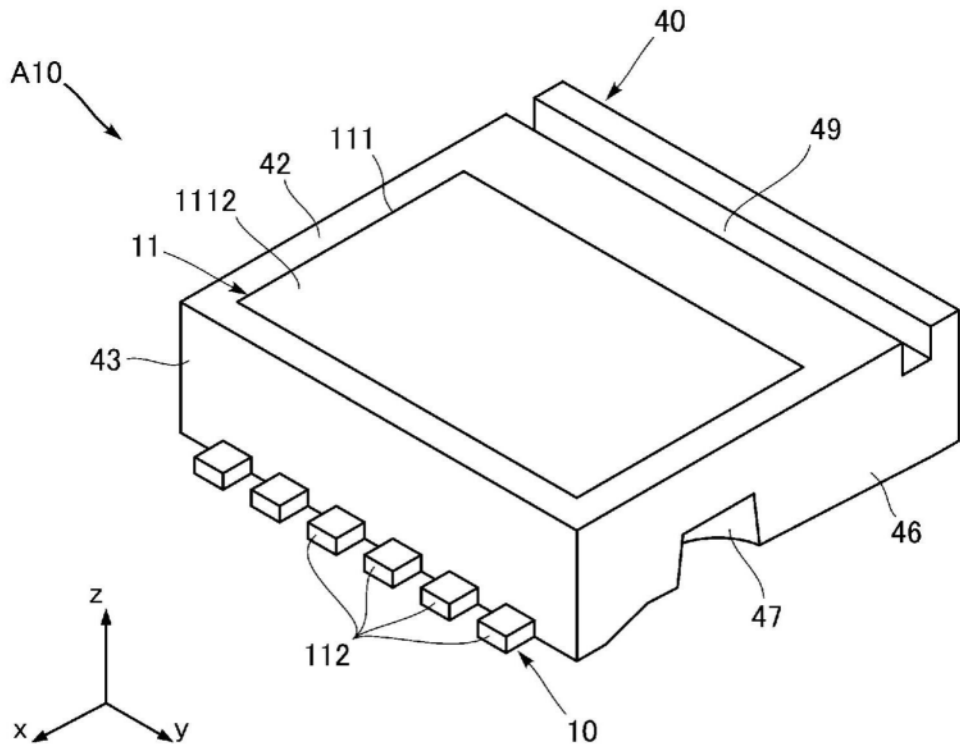


图3

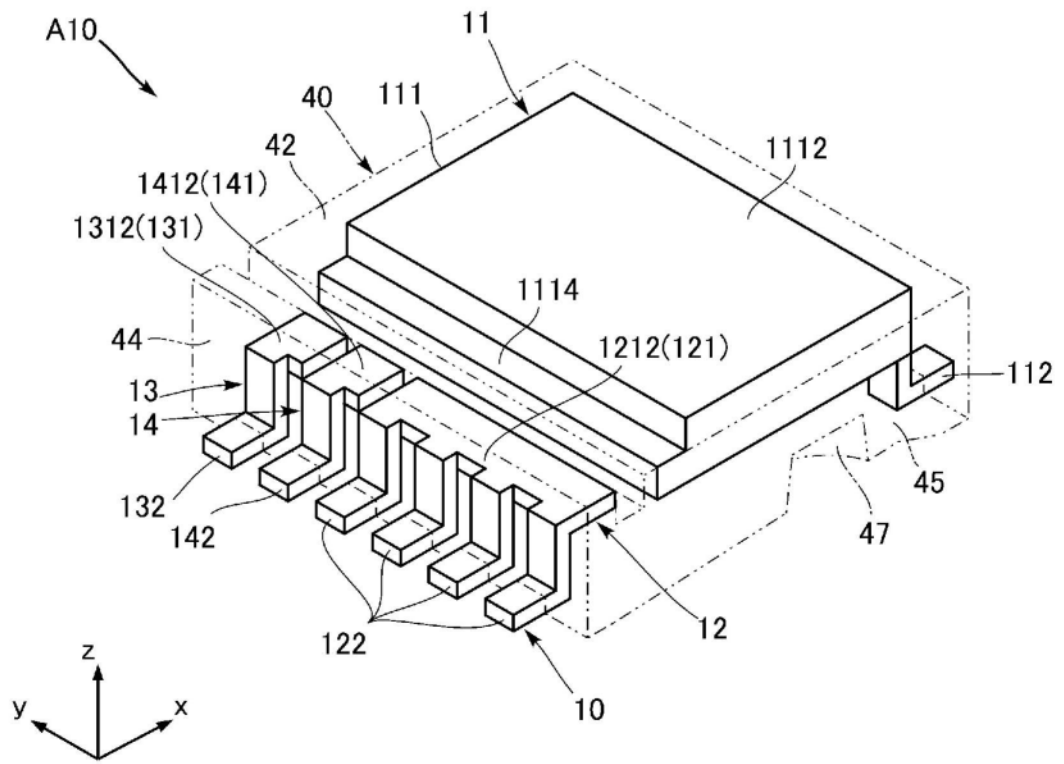


图4

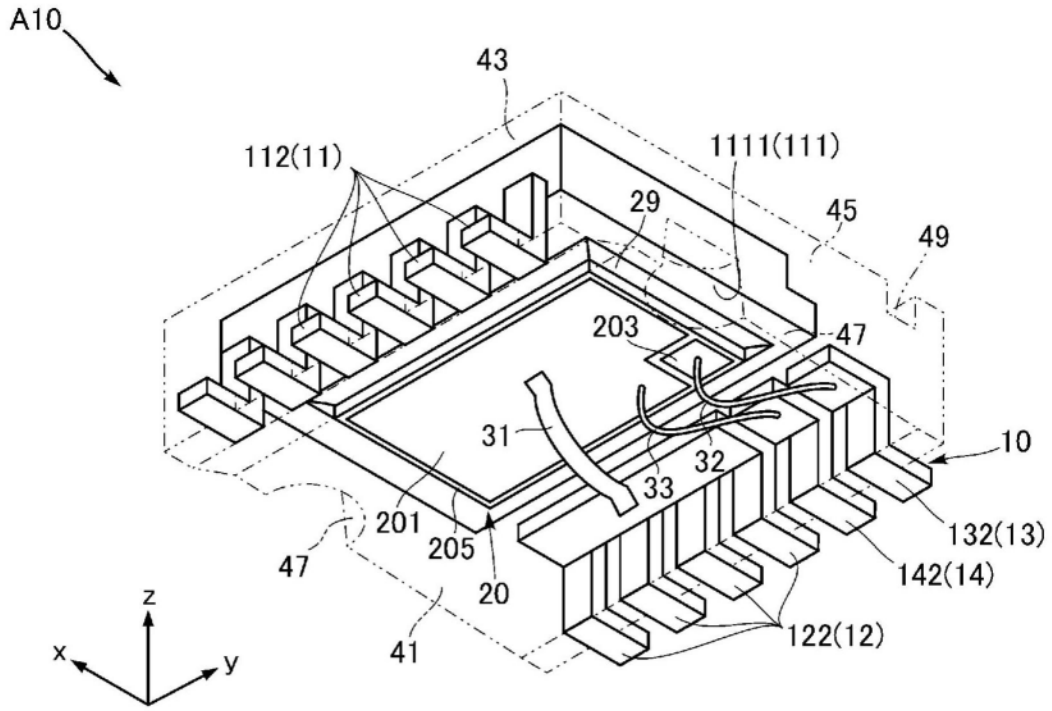


图5

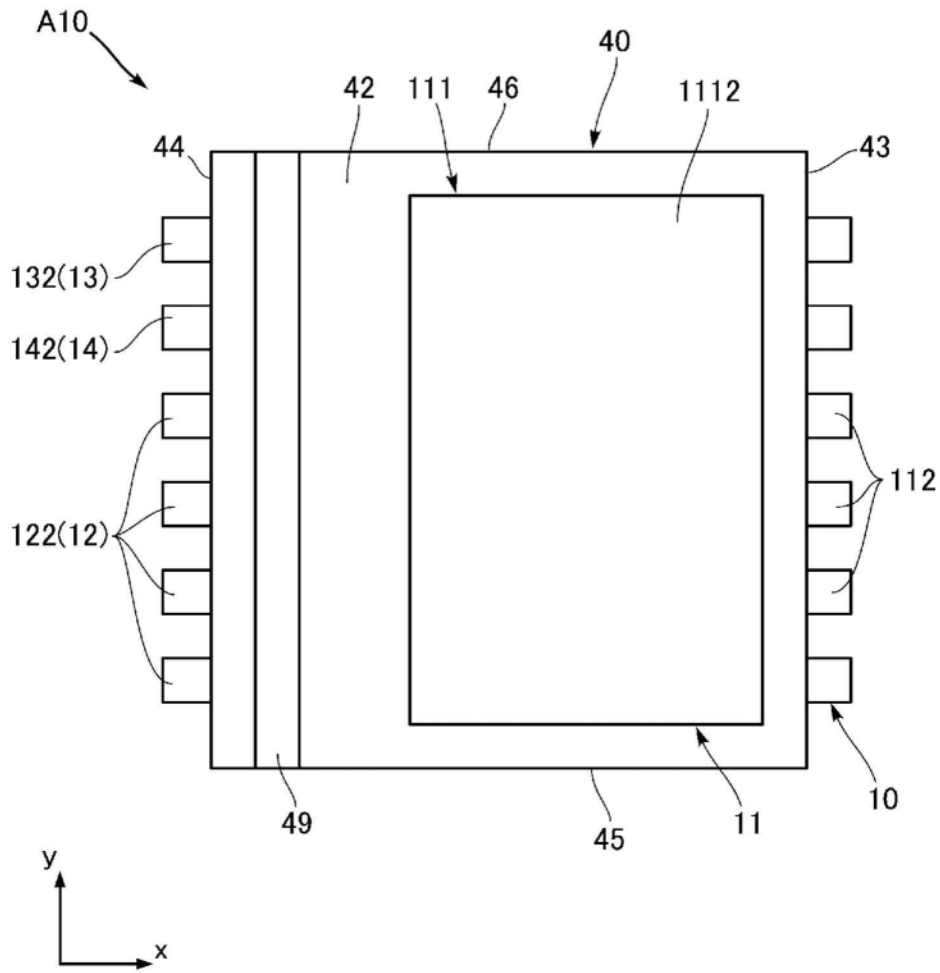


图6

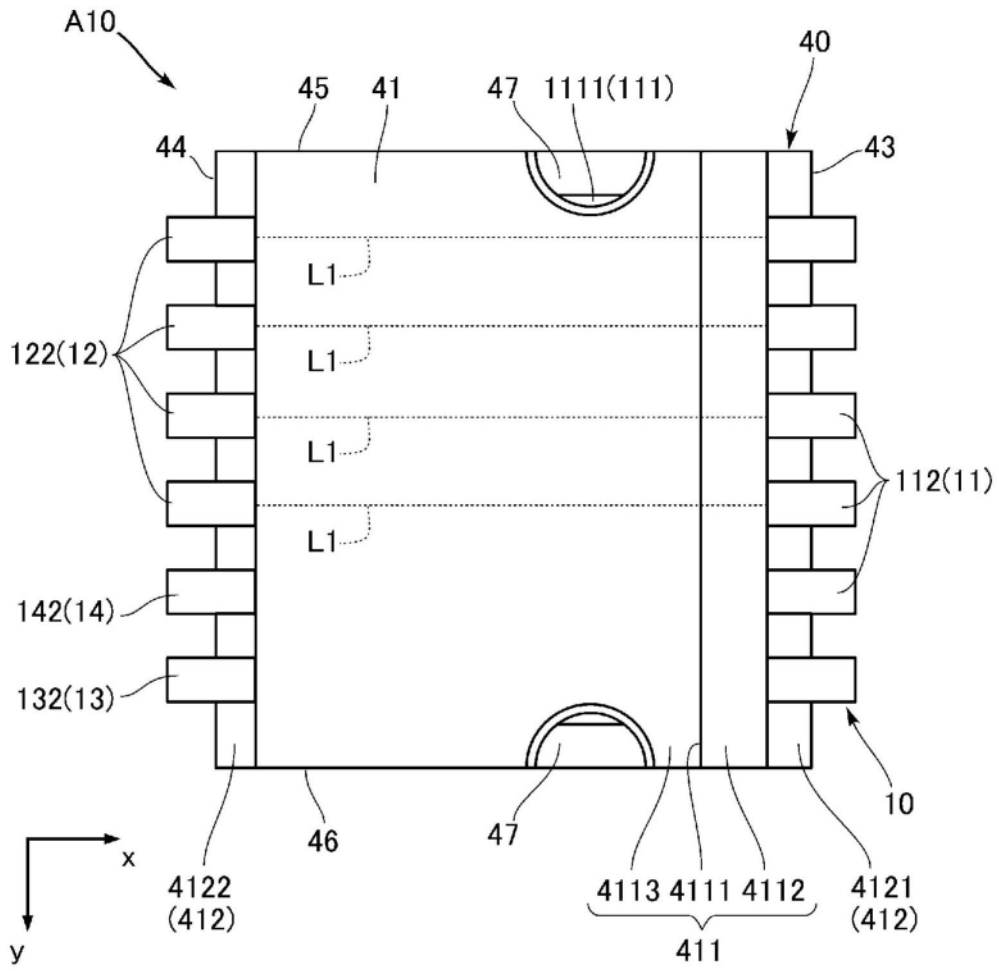


图7

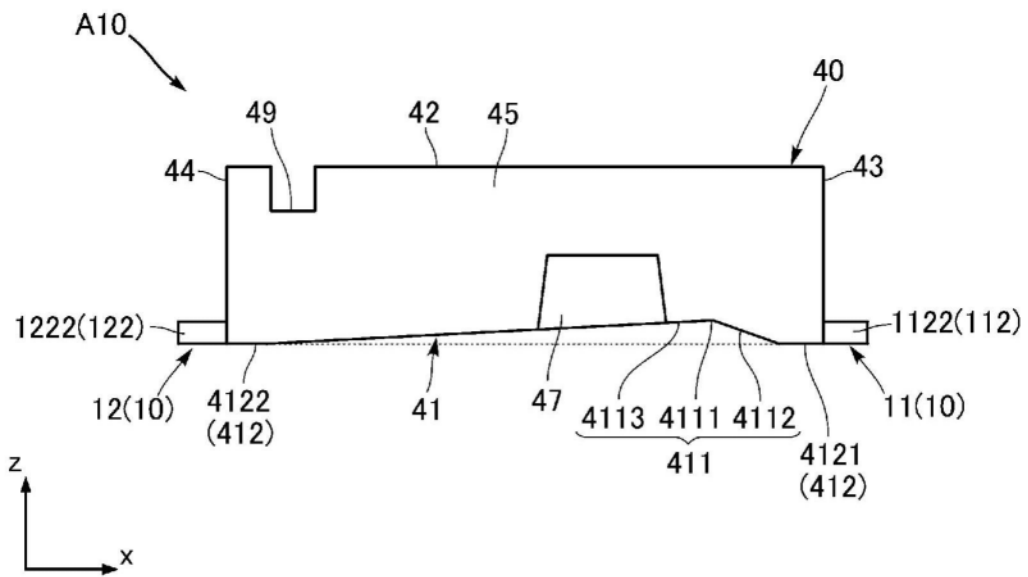


图8

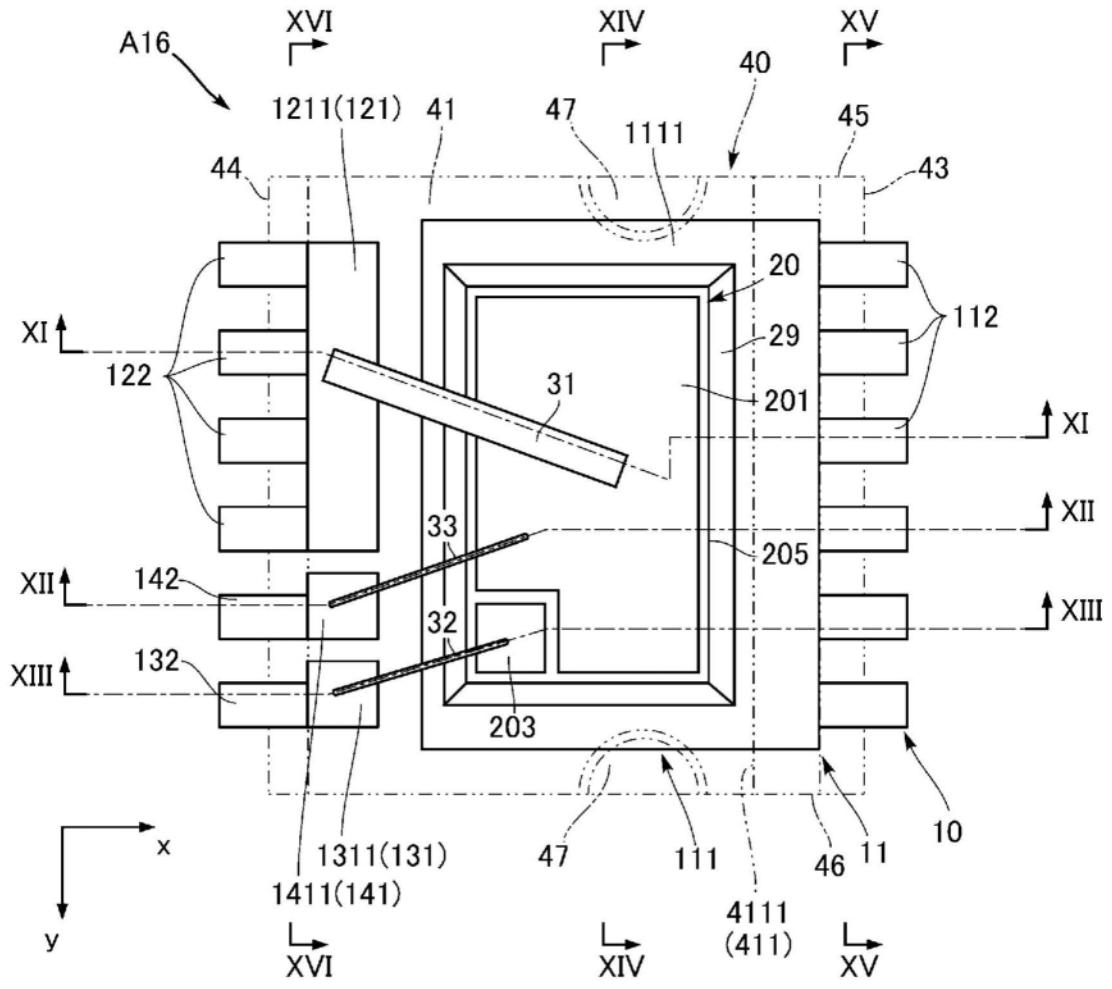


图10

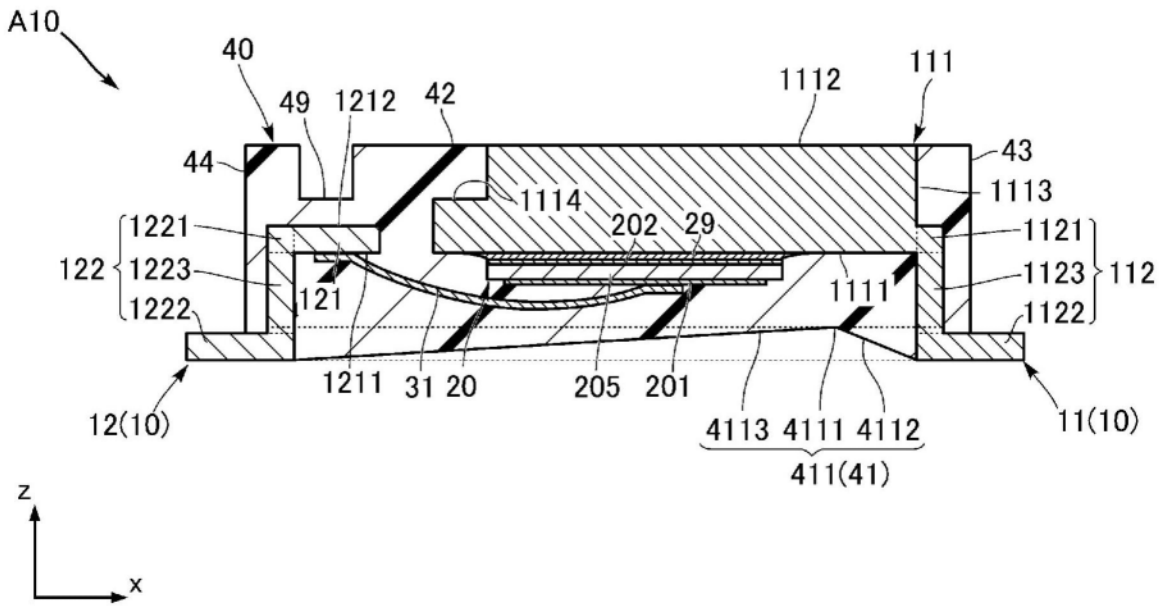


图11

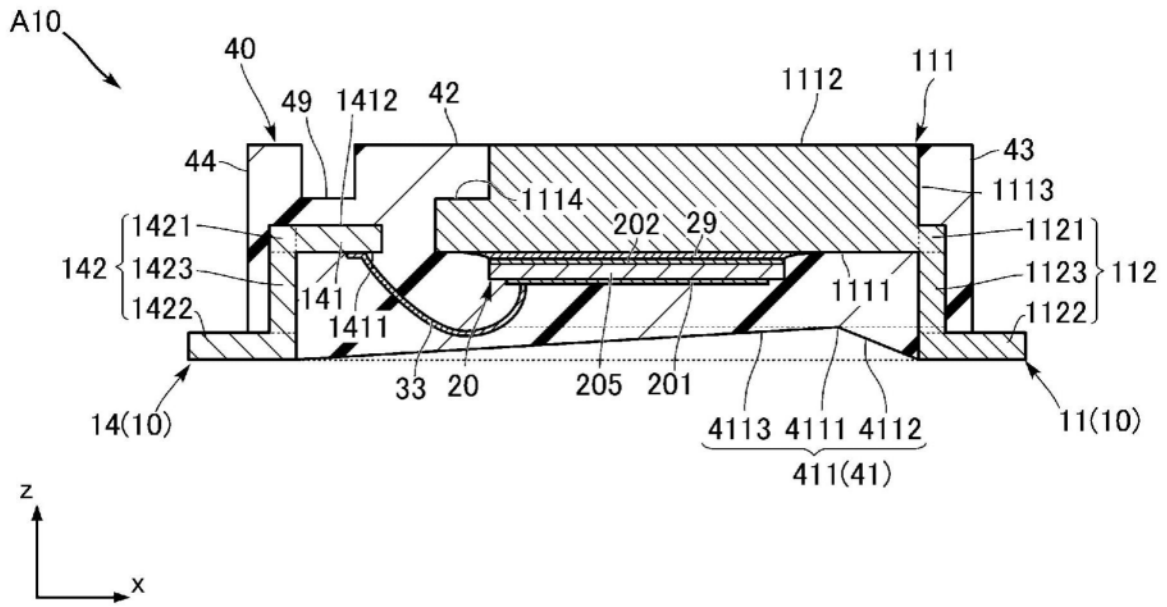


图12

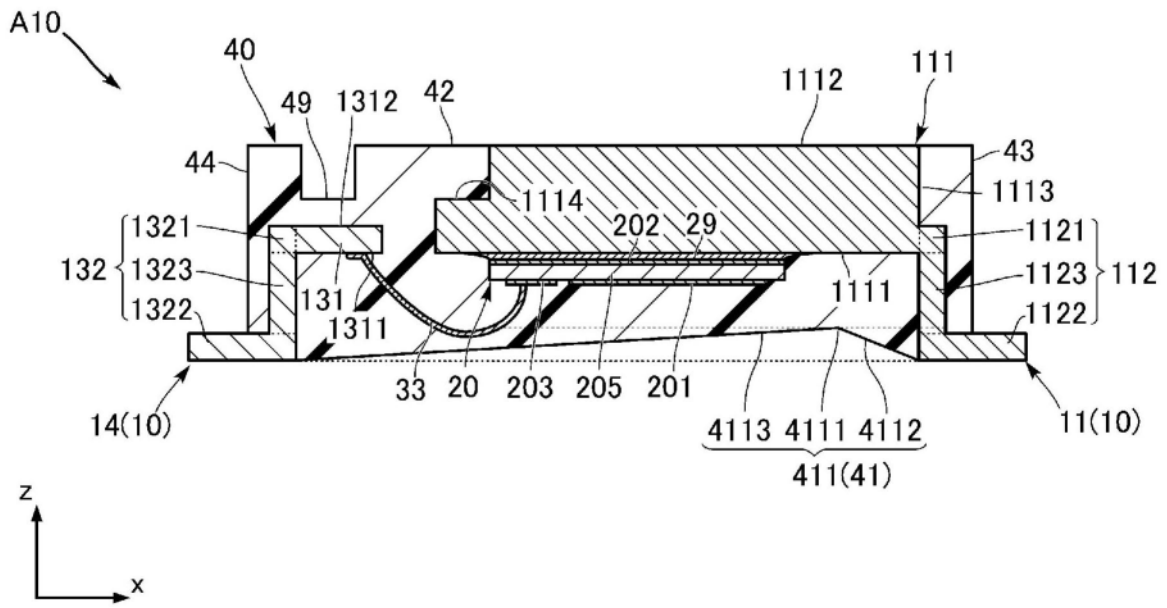


图13

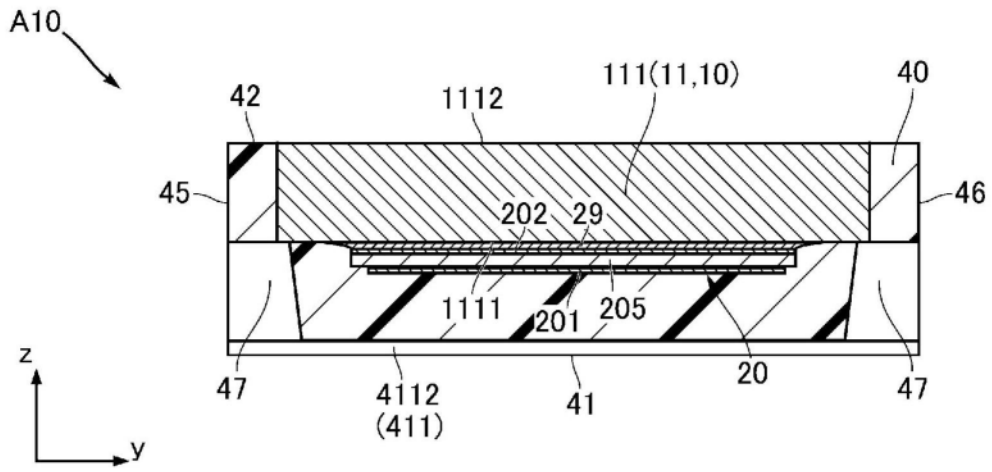


图14

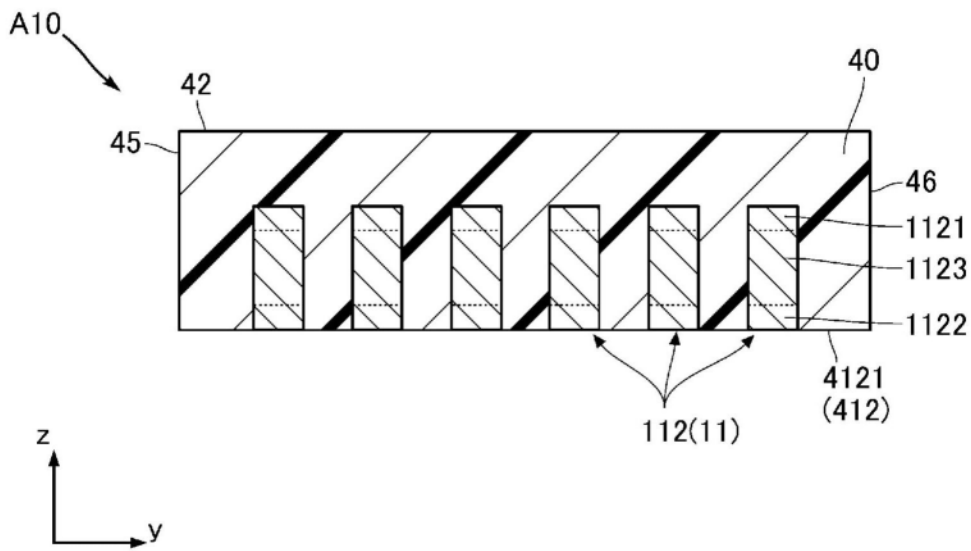


图15

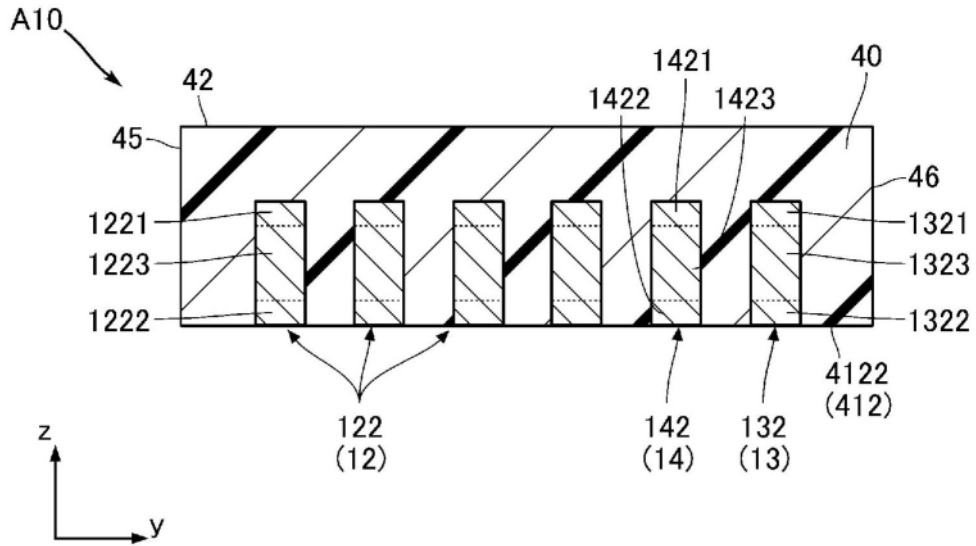


图16

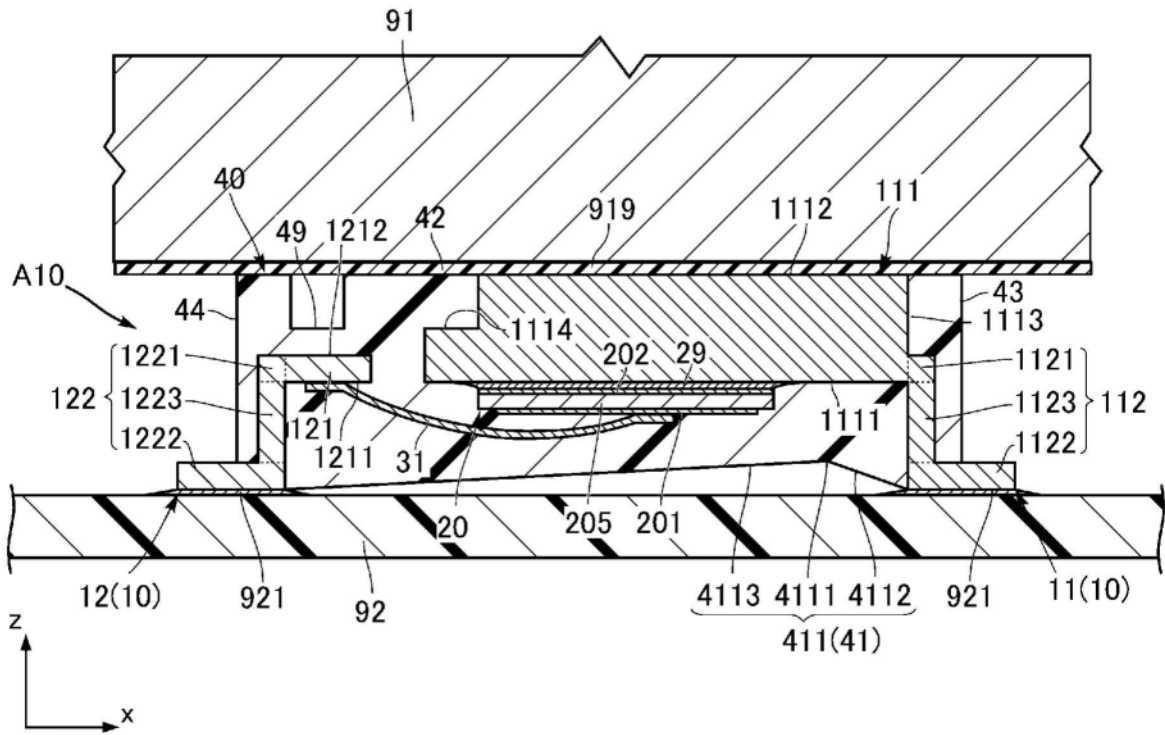


图17

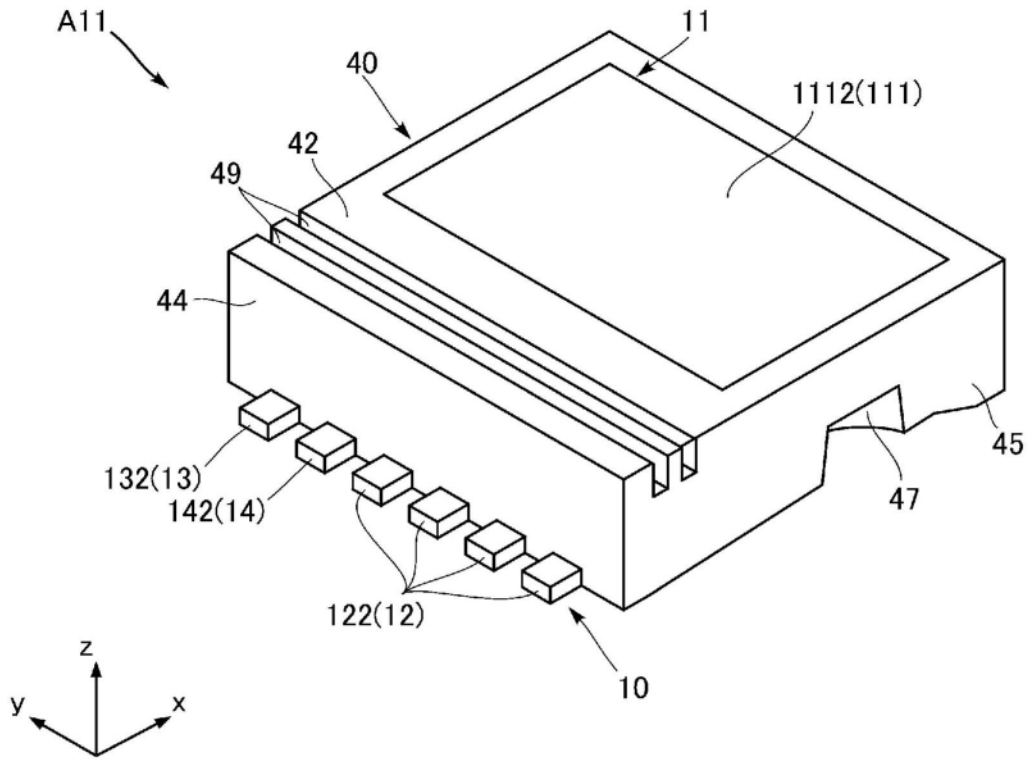


图18

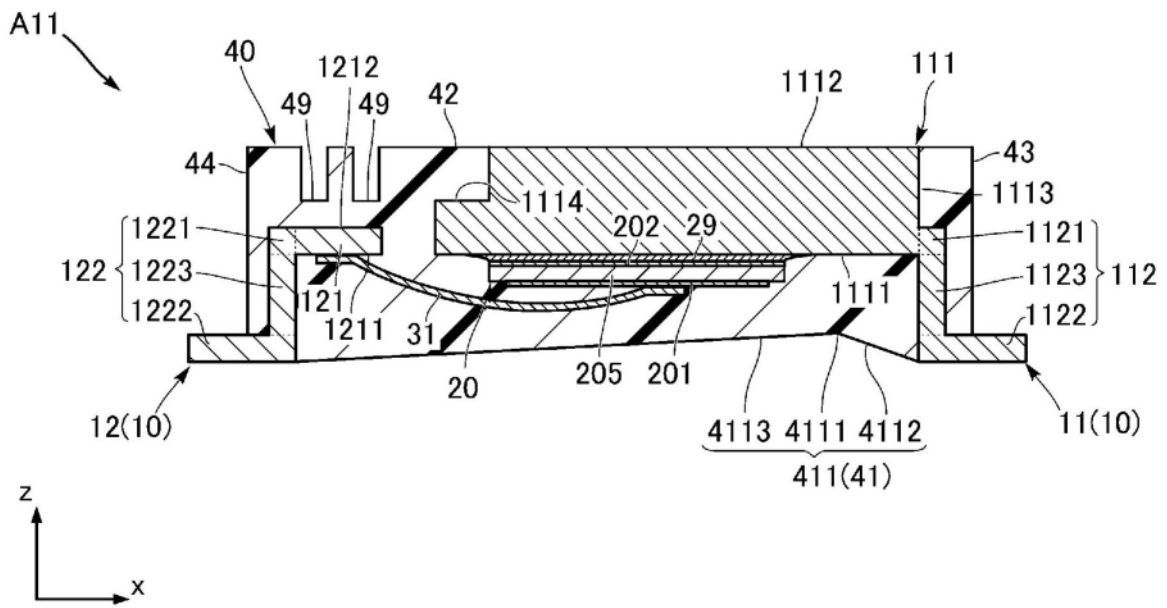


图19

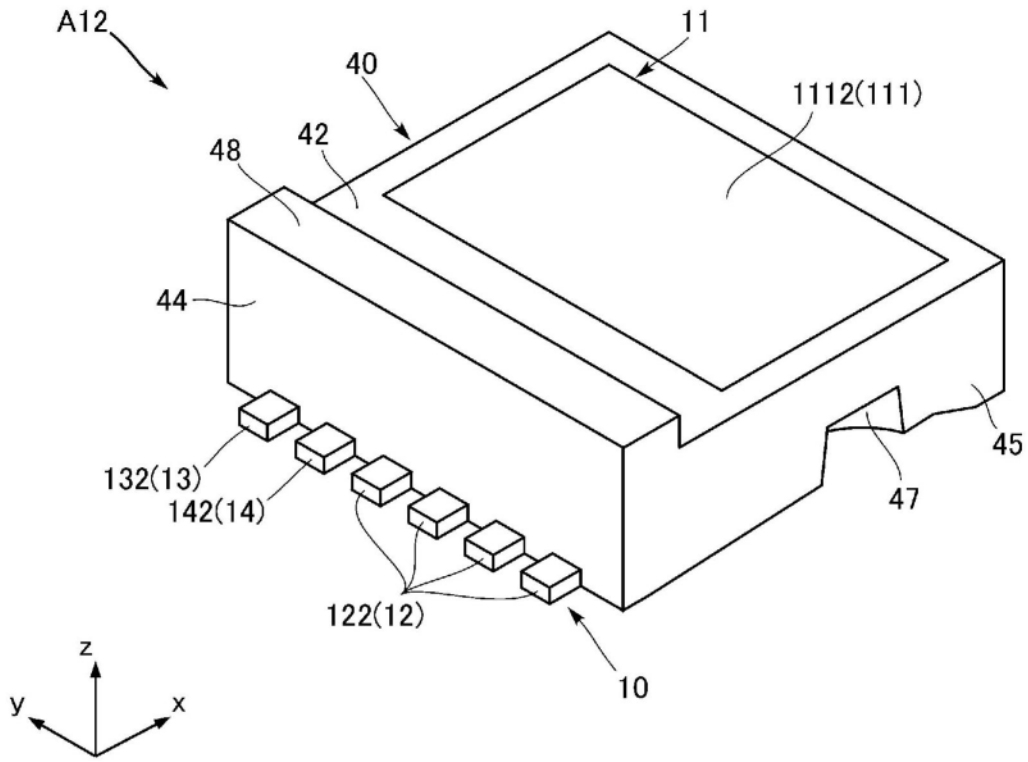


图20

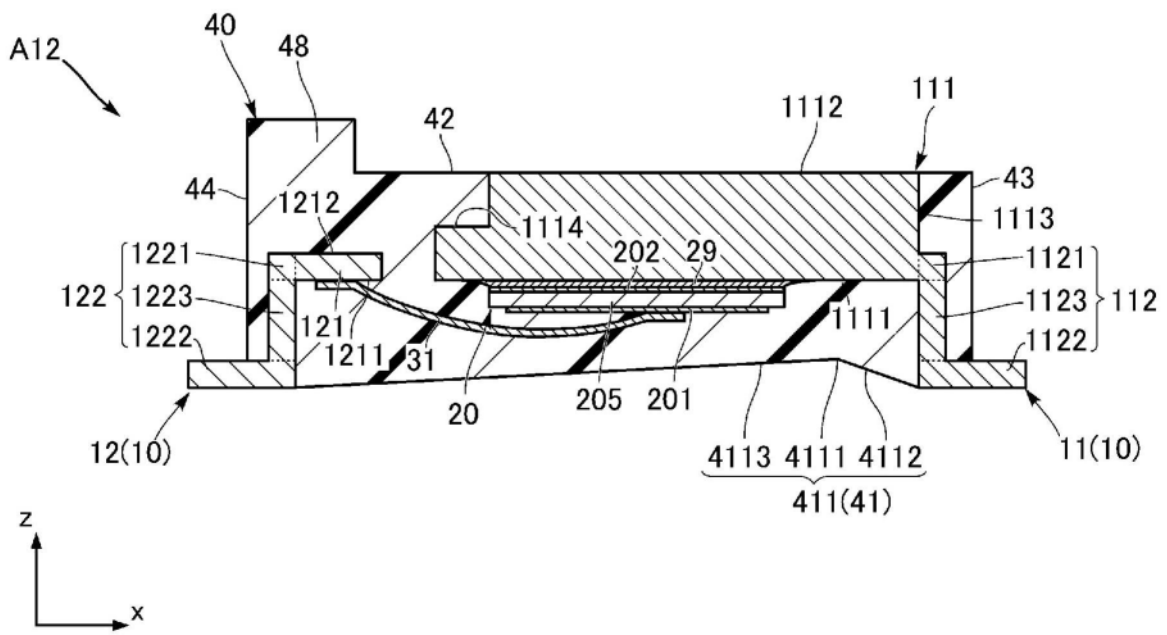


图21

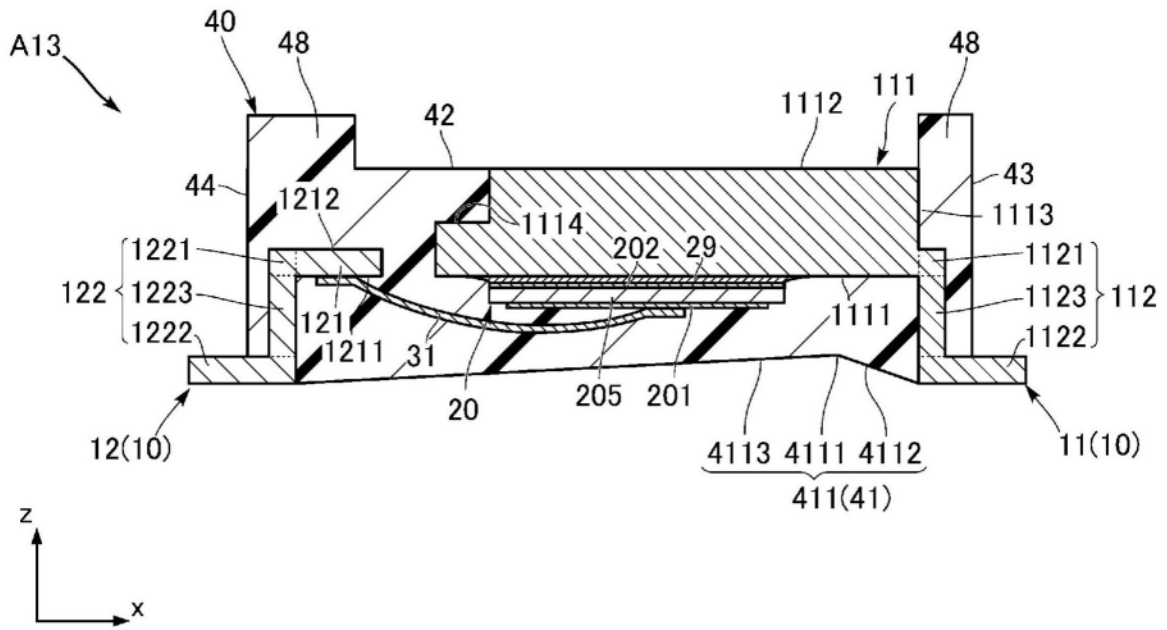


图22

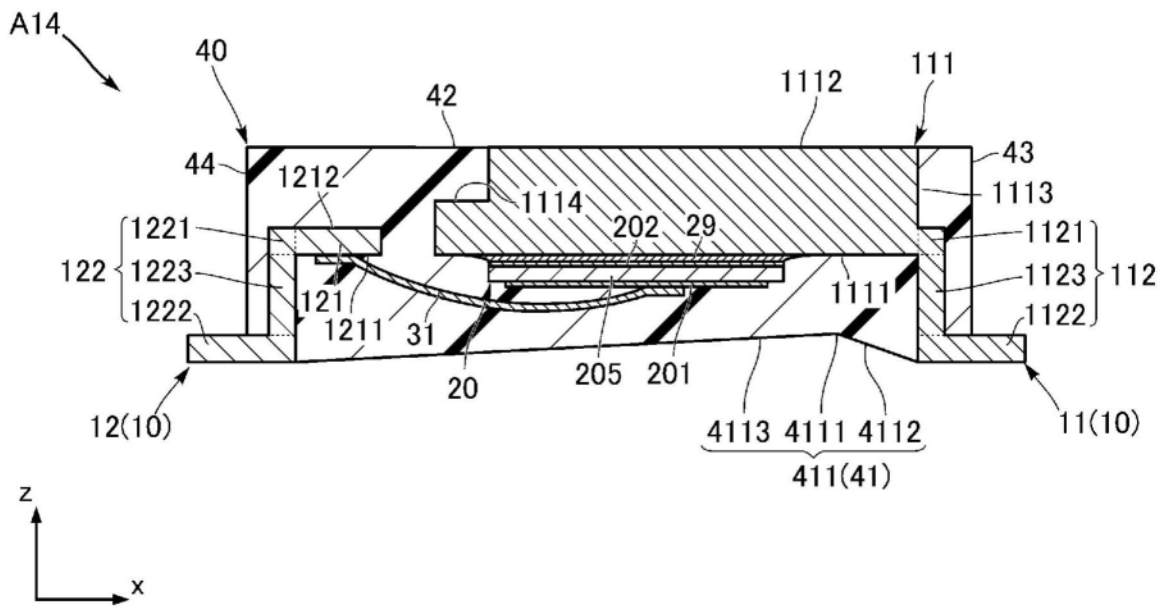


图23

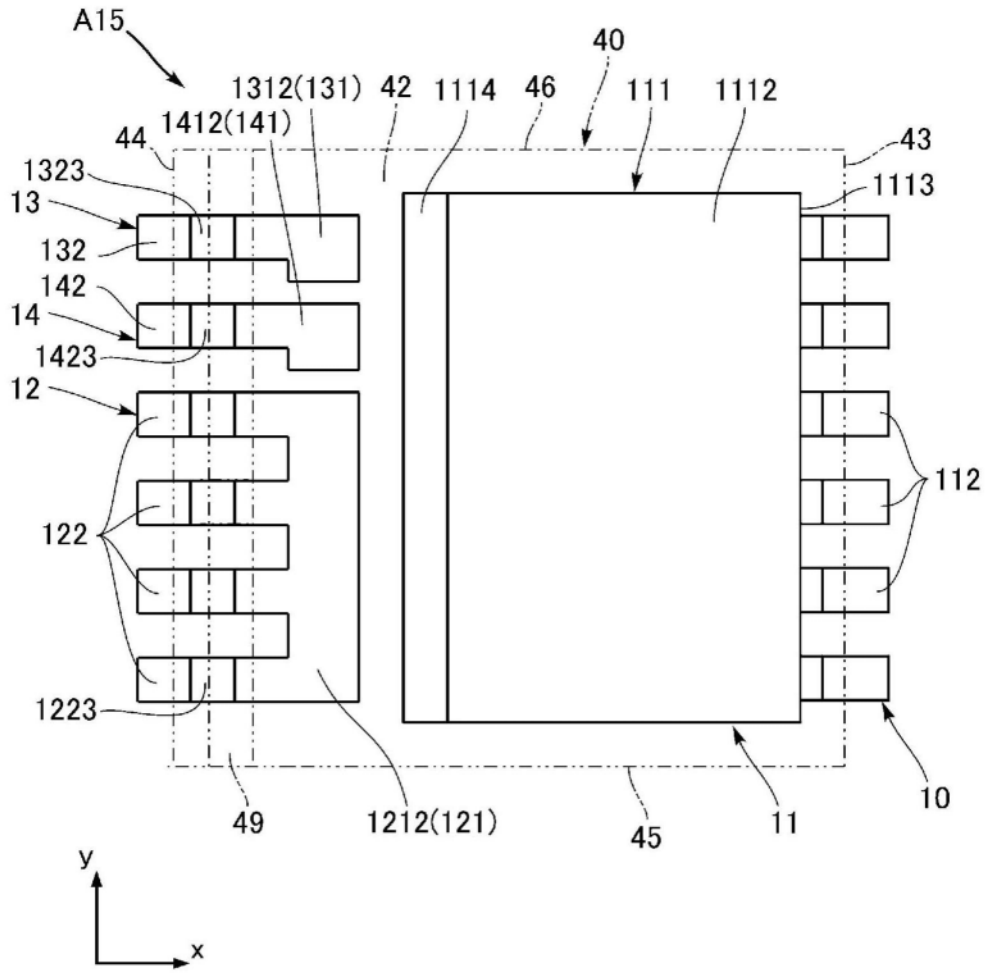


图24

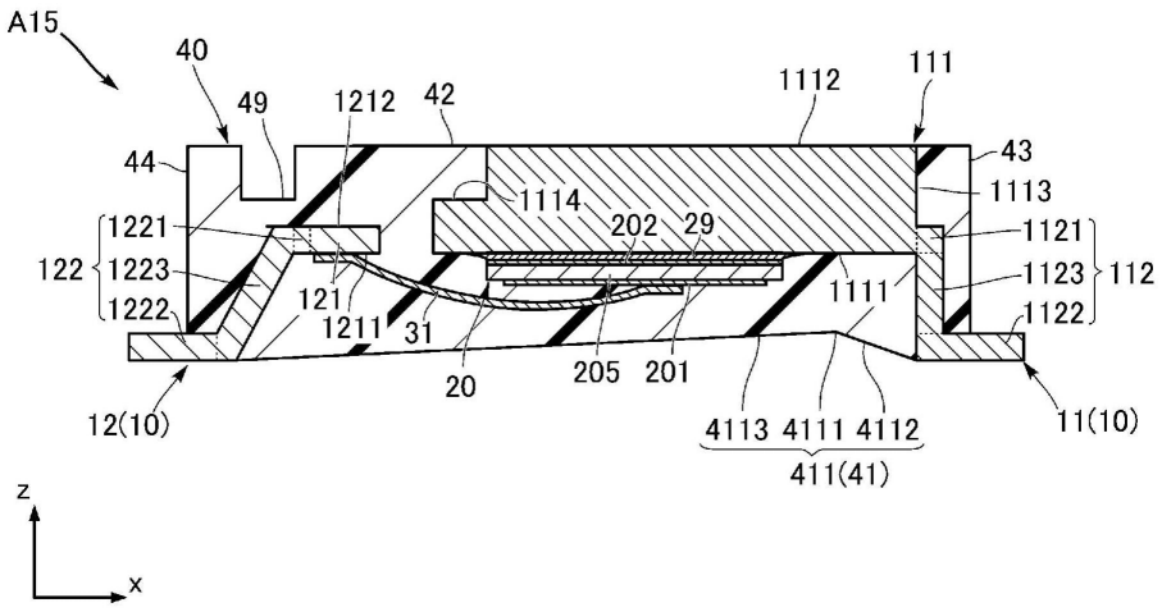


图25

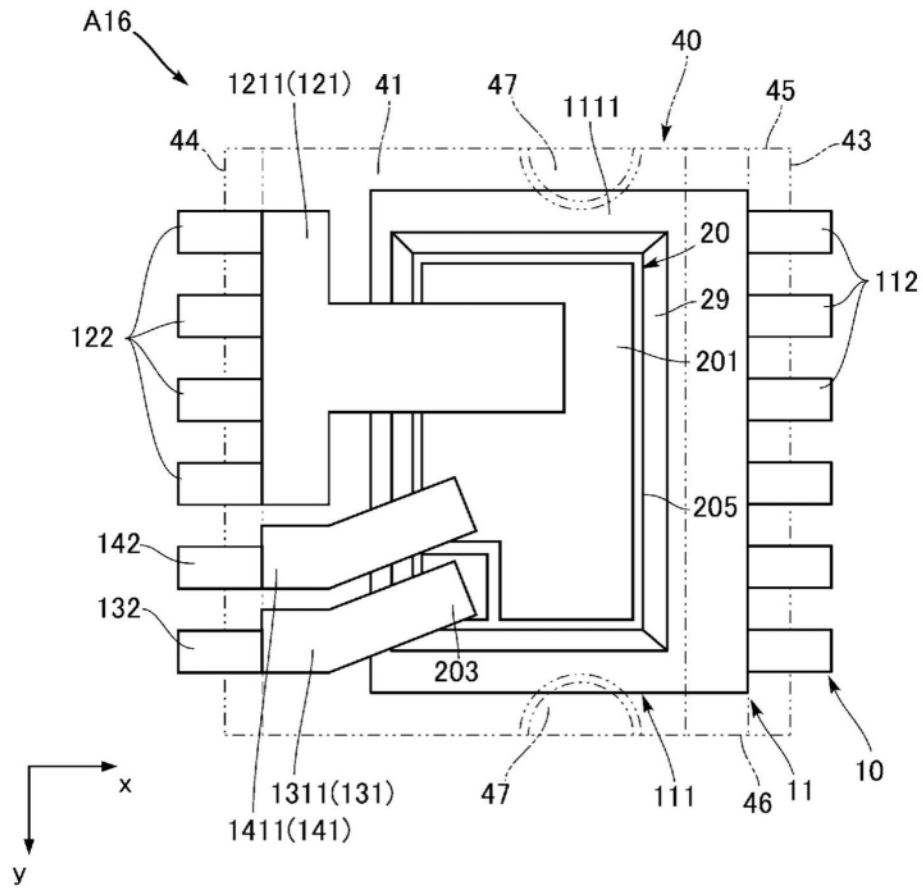


图26

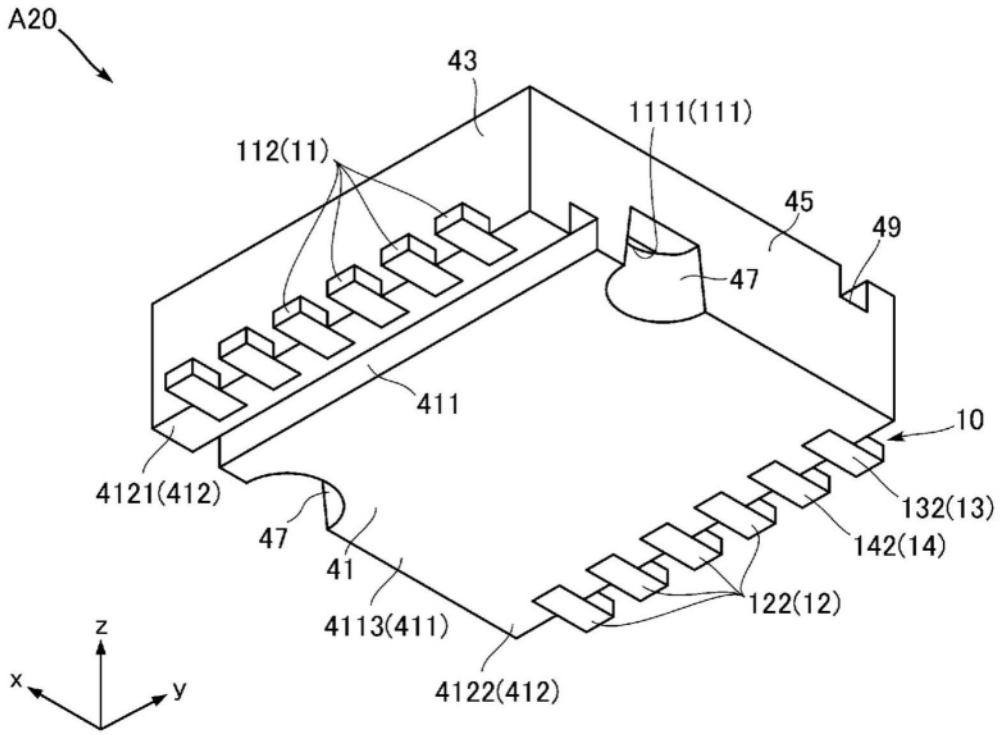


图27

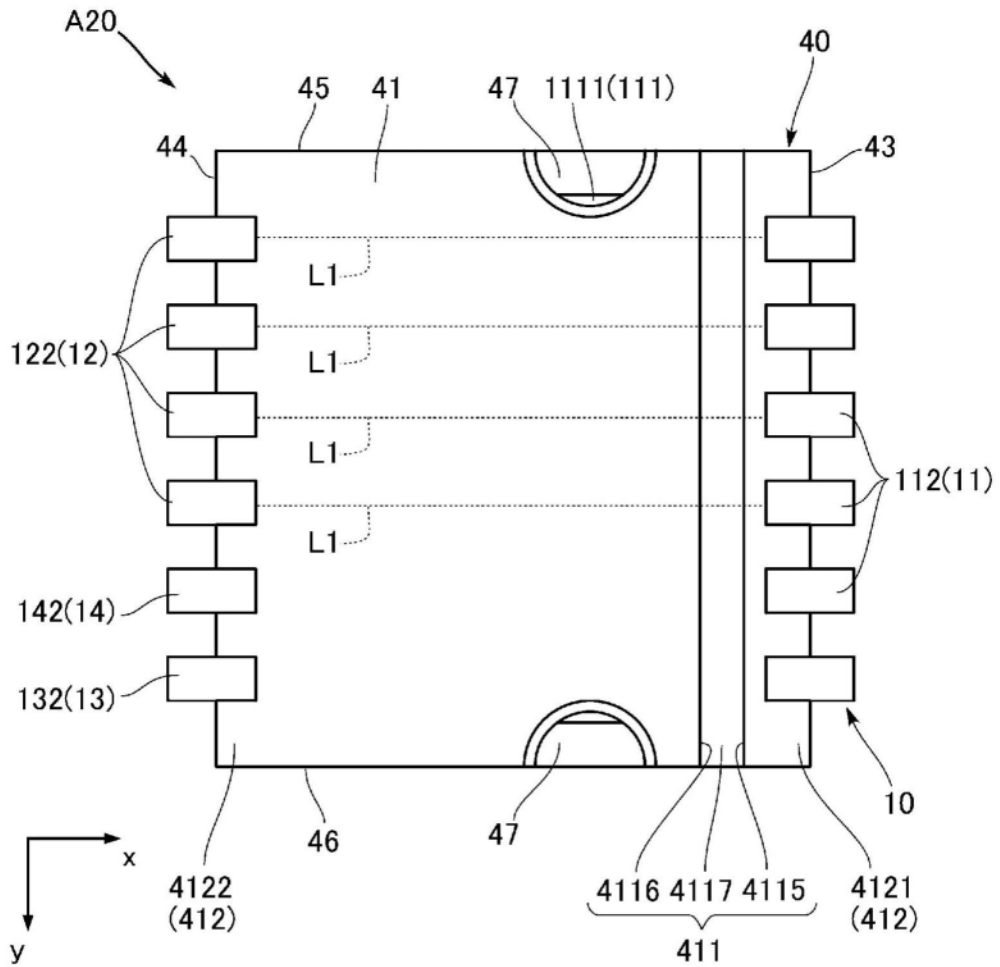


图28

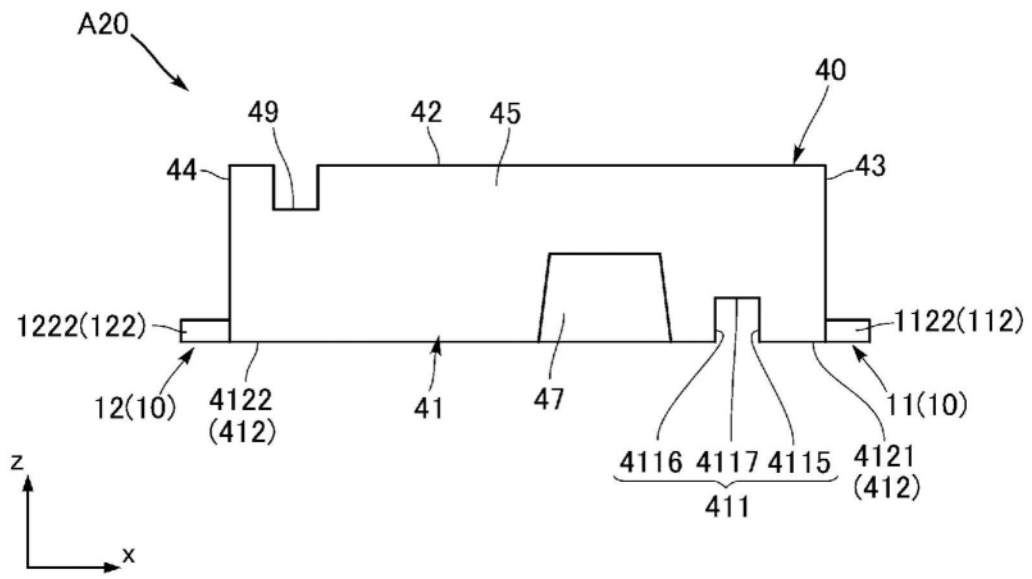


图29

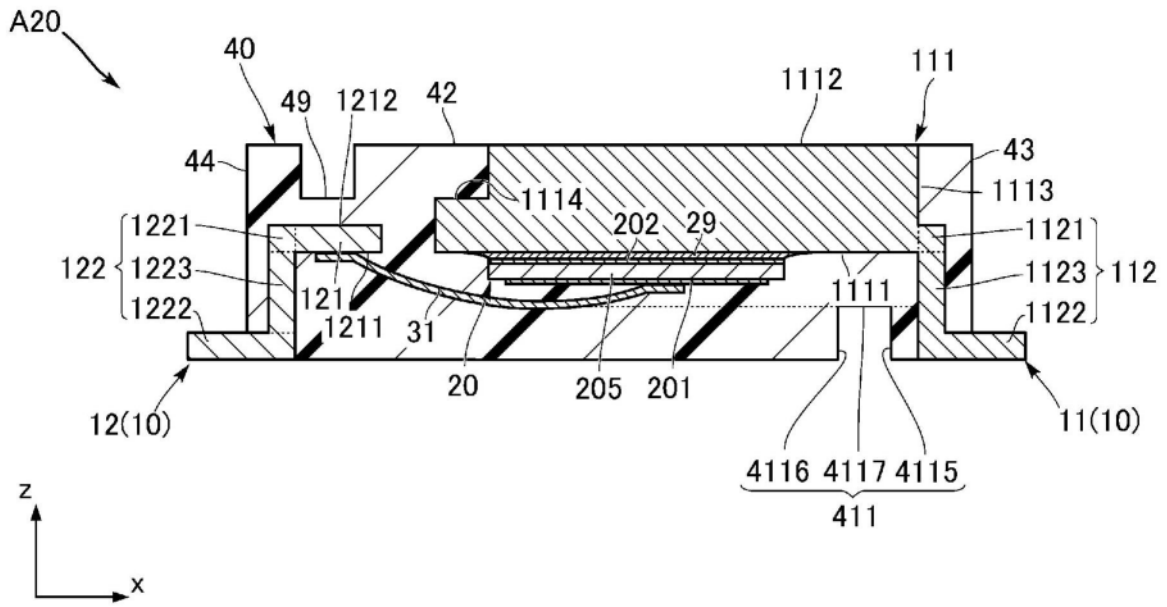


图30

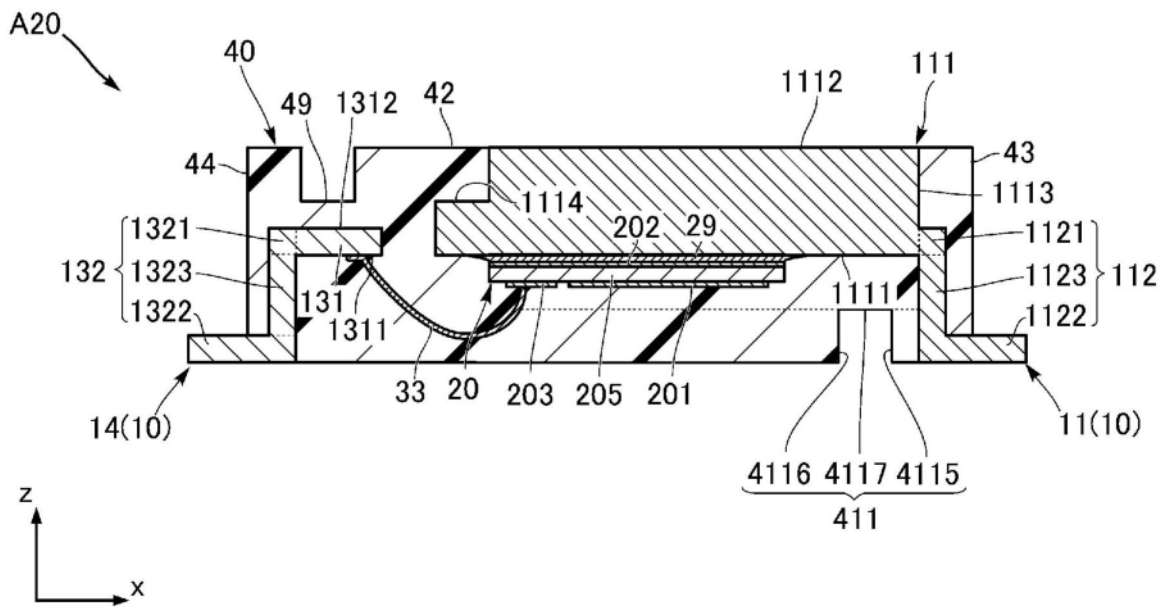


图31

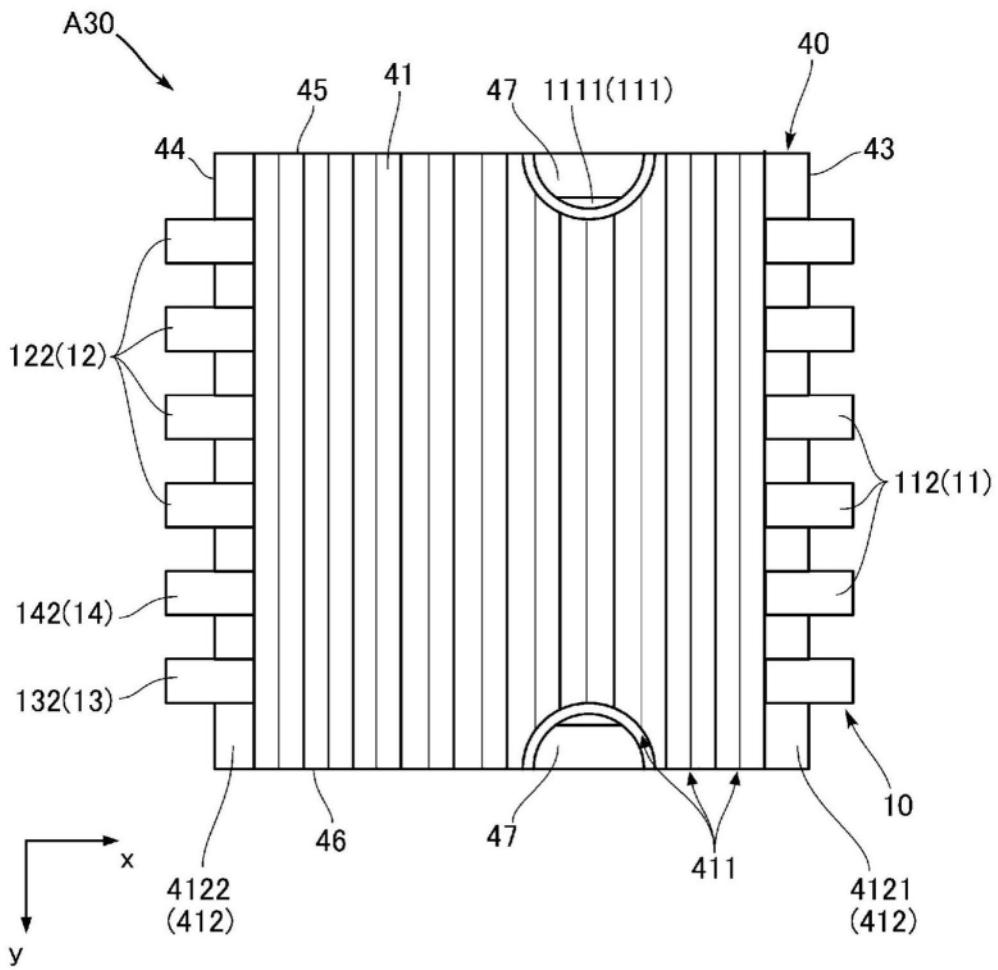


图32

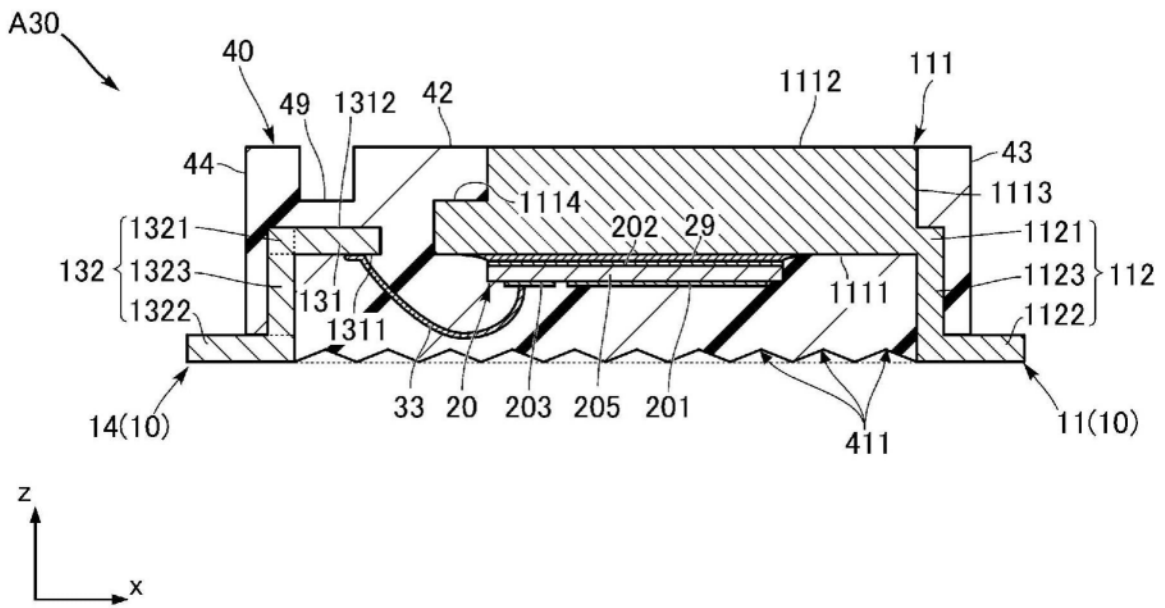


图33

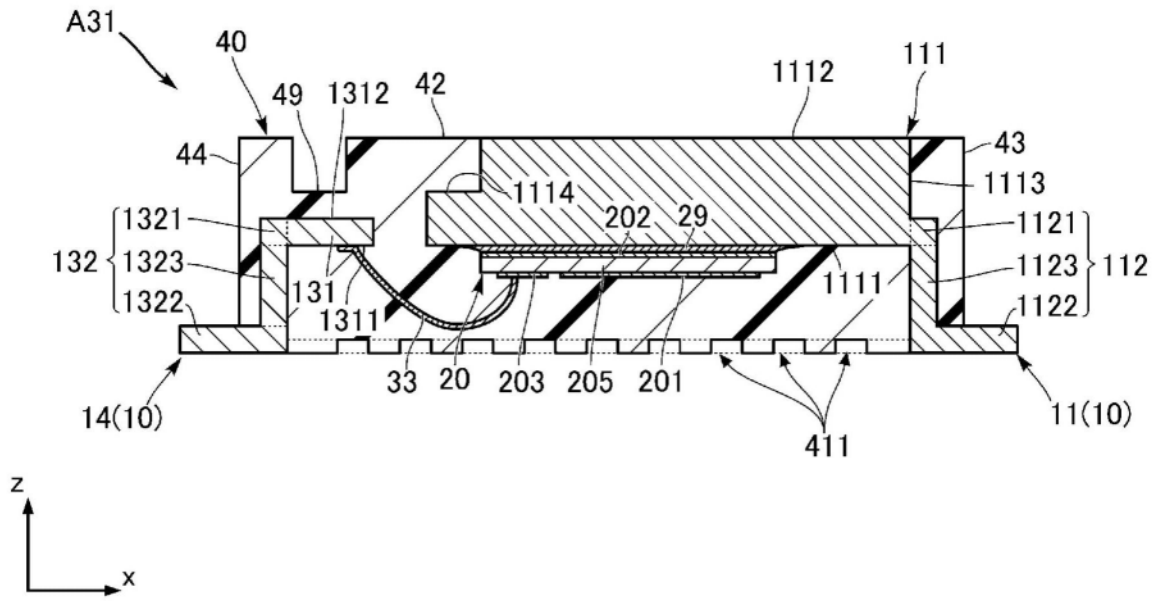


图34

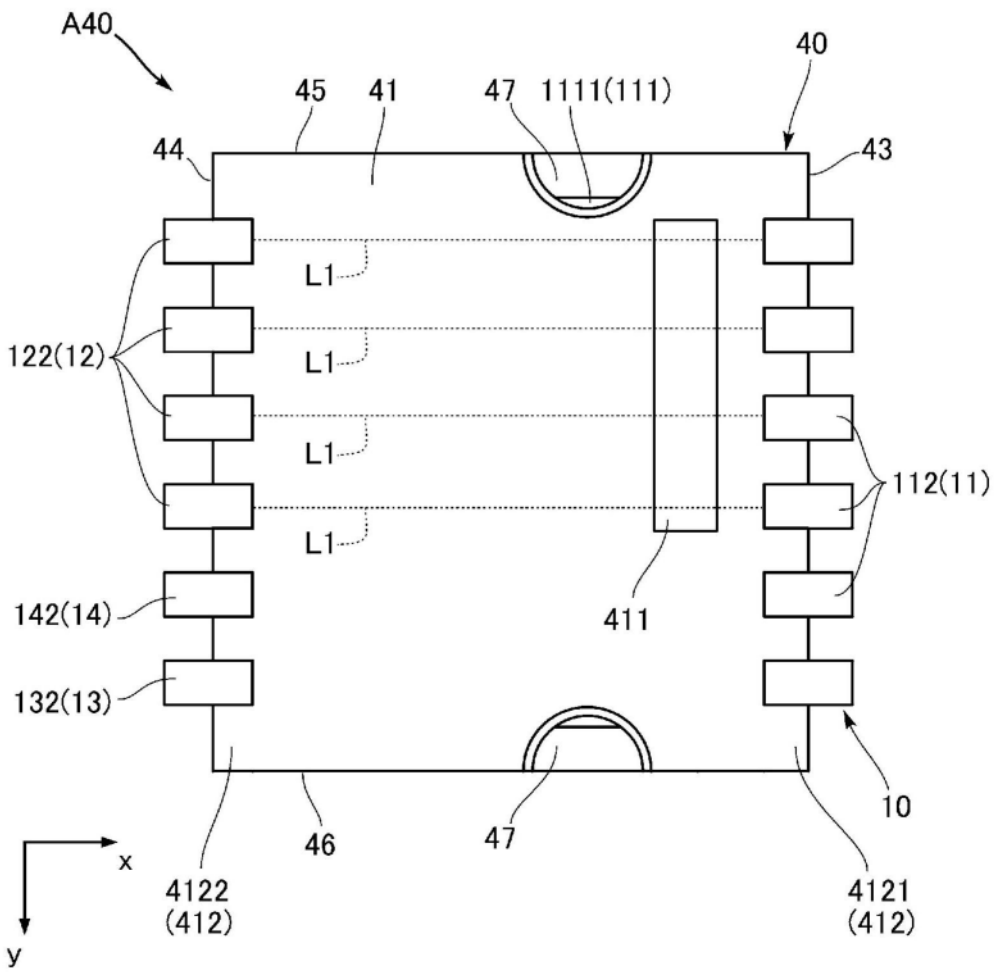


图35