



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I828018 B

(45)公告日：中華民國 113 (2024) 年 01 月 01 日

(21)申請案號：110145728

(22)申請日：中華民國 105 (2016) 年 05 月 24 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L21/336 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2015/06/27 世界智慧財產權組織 PCT/US15/38194

(71)申請人：美商英特爾股份有限公司 (美國) INTEL CORPORATION (US)

美國

(72)發明人：金世淵 KIM, SEIYON (KR)；哈瑪撒帝 古賓納 BHIMARASETTI, GOPINATH (IN)；羅伊斯 瑞菲爾 RIOS, RAFAEL (US)；卡瓦萊羅斯 傑克 KAVALIEROS, JACK T. (US)；甘尼 塔何 GHANI, TAHIR (US)；穆爾蒂 阿南德 MURTHY, ANAND S. (US)；梅安卓 里沙 MEHANDRU, RISHABH (IN)

(74)代理人：林志剛

(56)參考文獻：

US 2010/0163971A1

US 2013/0087845A1

US 2013/0181263A1

US 2014/0124863A1

審查人員：劉聖尉

申請專利範圍項數：16 項 圖式數：15 共 32 頁

(54)名稱

多高度半導體裝置及其製造方法

(57)摘要

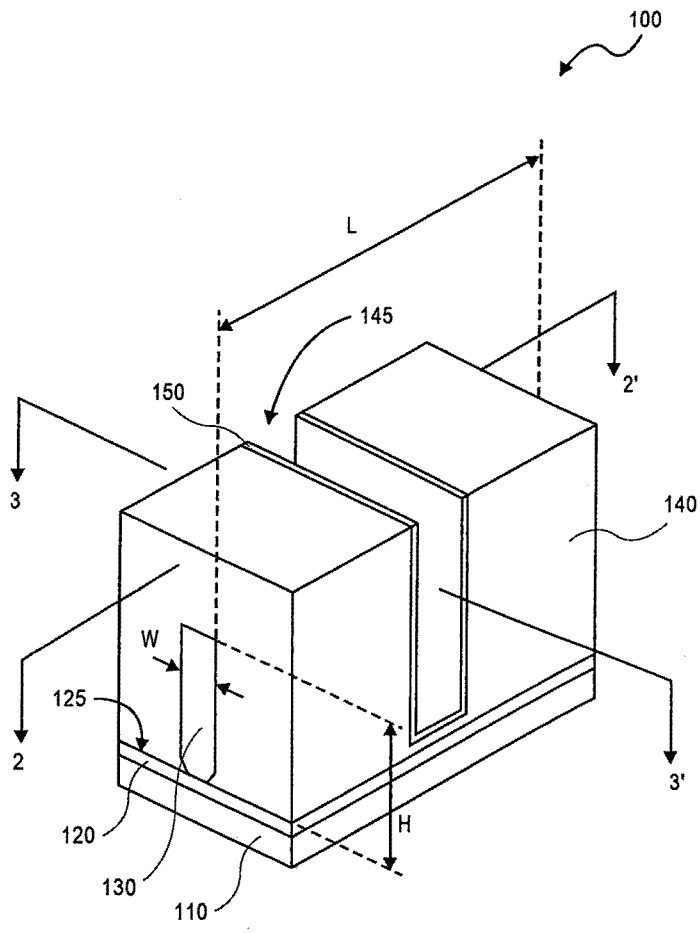
一方法，包括：將多閘極裝置的非平面裝置傳導通道形成在基板上，通道包括從基板的表面上之基層所定義的高度尺寸；進行修改，範圍小於通道的整個部位；以及將閘極堆疊形成在通道上，閘極堆疊包括介電材料及閘極電極。設備包括：基板上之非平面多閘極裝置，其包括通道，通道包括定義傳導部位及氧化部位的高度尺寸與配置在通道上的閘極堆疊，閘極堆疊包含介電材料及閘極電極。

A method including forming a non-planar conducting channel of a multi-gate device on a substrate, the channel including a height dimension defined from a base at a surface of the substrate; modifying less than an entire portion of the channel; and forming a gate stack on the channel, the gate stack including a dielectric material and a gate electrode. An apparatus including a non-planar multi-gate device on a substrate including a channel including a height dimension defining a conducting portion and an oxidized portion and a gate stack disposed on the channel, the gate stack including a dielectric material and a gate electrode.

指定代表圖：

符號簡單說明：

- 100:結構
- 110:基板
- 120:緩衝層
- 125:表面
- 130:鰭狀物
- 140:介電材料
- 145:閘極電極區
- 150:間隔物



【圖 1】

【發明摘要】**【中文發明名稱】**

多高度半導體裝置及其製造方法

【英文發明名稱】

MULTI-HEIGHT SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE SAME

【中文】

一方法，包括：將多閘極裝置的非平面裝置傳導通道形成在基板上，通道包括從基板的表面上之基層所定義的高度尺寸；進行修改，範圍小於通道的整個部位；以及將閘極堆疊形成在通道上，閘極堆疊包括介電材料及閘極電極。設備包括：基板上之非平面多閘極裝置，其包括通道，通道包括定義傳導部位及氧化部位的高度尺寸與配置在通道上的閘極堆疊，閘極堆疊包含介電材料及閘極電極。

【英文】

A method including forming a non-planar conducting channel of a multi-gate device on a substrate, the channel including a height dimension defined from a base at a surface of the substrate; modifying less than an entire portion of the channel; and forming a gate stack on the channel, the gate stack including a dielectric material and a gate electrode. An apparatus including a non-planar multi-gate device on a substrate including a channel including a height dimension defining a conducting portion and an oxidized portion and a gate stack disposed on the channel, the gate stack including a dielectric material and a gate electrode.

【指定代表圖】圖1

【代表圖之符號簡單說明】無

100:結構

110:基板

120:緩衝層

125:表面

130:鰭狀物

140:介電材料

145:閘極電極區

150:間隔物

【特徵化學式】無

【發明說明書】

【中文發明名稱】

多高度半導體裝置及其製造方法

【英文發明名稱】

MULTI-HEIGHT SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE SAME

【技術領域】

包括具有有著低能帶隙包覆層之通道區的非平面半導體裝置之半導體裝置。

【先前技術】

過去幾十年來，積體電路中的特徵的縮放已成為持續成長的半導體工廠背後之驅動力。縮放到越來越小的特徵能夠增加半導體晶片的有限面積上之功能單元的密度。例如，縮小的電晶體尺寸能夠在晶片上結合更多數量的記憶體裝置，使得能夠製造具有更多容量的產品。然而，持續增加的容量之裝置並非沒有問題。最佳化各個裝置的性能之需要變得日益重要。

諸如中央處理單元裝置等未來電路裝置希望具有高性能裝置及低電容二者，整合在單晶粒或晶片中之低功率裝置。目前，三維非平面金屬氧化半導體場效電晶體（MOSFET）通常利用單一高度的鰭狀物。單一高度鰭狀

物有限制設計的傾向並且需要有所犧牲。

【圖式簡單說明】

[圖 1]為基板的一部分之俯瞰側視立體圖，即、例如，晶圓上之積體電路晶粒或晶片的一部分且具有形成在基板上之三維電路裝置的一部分。

[圖 2]為圖 1 直通線 2-2'的結構之橫剖面側視圖。

[圖 3]為圖 1 直通線 3-3'的結構圖。

[圖 4]為在裝置的鰭狀物上引進催化劑層之後的圖 2 之結構圖。

[圖 5]為在裝置的鰭狀物上引進催化劑層之後的圖 3 之結構圖。

[圖 6]為移除或凹入催化劑層的一部分之後的圖 4 之結構圖。

[圖 7]為移除或凹入催化劑層的一部分之後的圖 5 之結構圖。

[圖 8]為修改鰭狀物的一部分之後的圖 6 之結構圖。

[圖 9]為修改鰭狀物的一部分之後的圖 7 之結構圖。

[圖 10]為移除催化劑層、在閘極電極區中引進介電材料到鰭狀物的修改部位之高度、及在鰭狀物上引進閘極堆疊之後的圖 8 之結構圖。

[圖 11]為移除催化劑層、在閘極電極區中引進介電材料到鰭狀物的修改部位之高度、及在鰭狀物上引進閘極堆疊之後的圖 9 之結構圖。

[圖 12]為圖 11 的結構之放大圖以圖示基板上之兩裝置的存在。

[圖 13]為裝置結構的另一實施例之剖面圖。

[圖 14]為實施一或更多個實施例之互連體。

[圖 15]為計算裝置的實施例圖。

【發明內容及實施方式】

此處所說明的實施例係相關於具有目標或預定的鰭狀物或通道高度之非平面半導體裝置（如、三維裝置）以及在基板上製造目標或預定的鰭狀物或通道高度之非平面半導體裝置的方法，其中，此種鰭狀物高度可以是基板上的裝置之多鰭狀物高度的其中之一。在一此種實施例中，非平面裝置的閘極堆疊包圍鰭狀物的通道區（諸如三閘極或鰭式場效電晶體裝置等）。此方法能夠結合在晶片或晶粒上具有不同鰭狀物高度之三維裝置，諸如需要具有低電容的高電流之高性能裝置、較低功率裝置等。

圖 1-11 說明將非平面多閘極半導體裝置之鰭狀物或通道高度從最初鰭狀物高度修改至不同於最初鰭狀物高度之目標鰭狀物高度的方法或處理。在一實施例中，裝置為三維金屬氧化半導體場效電晶體（MOSFET），及為隔離裝置或者為複數個套疊式裝置中之一裝置。如所知一般，有關典型的積體電路，在單一基板上可製造 N 通道電晶體及 P 通道電晶體二者，以形成互補金屬氧化物半導體（CMOS）積體電路。而且，可製造其他互連以便將此種

裝置整合到積體電路內。

圖 1 為例如為晶圓上之積體電路晶粒或晶片的一部分之矽或絕緣體上矽晶片（SOI）基板的一部分之俯瞰側視立體圖。尤其是，圖 1 為包括矽或 SOI 的基板 110 之結構 100。覆蓋的基板 110 為選用的緩衝層 120。在一實施例中，緩衝層為在一實施例中由生長技術引進基板 110 上之矽鍺緩衝層。緩衝層 120 具有幾百奈米（nm）等級之代表性厚度。

在圖 1 所示之實施例中，配置在緩衝層 120 之表面上的是電晶體裝置的一部分，諸如 N 型電晶體裝置或 P 型電晶體裝置等。在此實施例中，N 型或 P 型電晶體裝置所共同的是配置在緩衝層 120 的表面（表面 125）上之鰭狀物 130。用於鰭狀物 130 的代表性材料為第 III-V 族半導體材料，諸如銦鎵砷化物（InGaAs）材料等。在一實施例中，鰭狀物 130 具有大於高度尺寸 H 的長度尺寸 L。代表性長度範圍係在 10 nm 至 1 毫米（mm）的等級，及代表性高度範圍係在 5 nm 至 200 nm 的等級。鰭狀物 130 亦具有代表性為等級 4-10 nm 之寬度 W。如圖示，鰭狀物 130 為從基板 110 的表面 125（或者選用地從緩衝層 120）延伸之三維本體。如圖 1 所示之三維本體為矩形本體，但是應明白在此種本體的處理中，由於可利用的工具可能無法達成正矩形及可能導致其他形狀。代表性形狀包括但並不侷限於梯形（如、底邊大於頂邊）及拱形。

在一實施例中，配置在鰭狀物 130 上的是例如二氧化

矽的介電材料 140，或者具有介電常數（ k ）小於二氧化矽之介電材料（低 k 介電）。介電材料 140 被引進至適合閘極電極結構的厚度。圖 1 為定義閘極電極的區域之間隔物 150。典型上，間隔物 150 連同犧牲性或假閘極電極一起沉積在鰭狀物 130 的指定通道區上（與此處鰭狀物或通道 1300 視作同一物），接著形成接面區及引進介電材料 140。因此，為了此實施例的目的，此種犧牲性或假閘極電極事先沉積在閘極電極區 145 中，及視需要根據習知處理技術來形成接面區，接著介電材料 140 沉積。在圖 1 所示之圖解中，諸如藉由蝕刻處理等已移除犧牲性或假閘極，留下暴露在閘極電極區 145 中之鰭狀物或通道 1300。

圖 2 為圖 1 直通線 2-2' 的結構之橫剖面側視圖。圖 3 為圖 1 直通線 3-3' 的結構圖。參考圖 2，結構 100 圖示具有高度 H 之鰭狀物或通道 1300，其配置在接面區 160A 及接面區 160B 之間（分別為源極及汲極區）。接面區 160A 及 160B 可以是被摻雜的第 III-V 族化合物材料區。在接面區 160A 及接面區 160B 的每一個下面是摻雜劑或植入物區 155。接面區及摻雜劑/植入物係根據習知處理來形成。覆蓋或在接面區 160A/160B 上（如所看見）是定義閘極電極區 145 之介電材料 140 及間隔物 150。圖 3 圖示經過閘極電極區 145 中之鰭狀物或通道 1300 所取之結構 100，及圖示具有高度 H 之基板上的鰭狀物 130。

圖 4 及圖 5 分別圖示在引進（如、沉積）催化劑層

165 在鰭狀物 1300 上之後的圖 2 及圖 3 之結構，在一實施例中，催化劑層 165 為被選擇來增強鰭狀物 1300 的材料之氧化的材料。在一實施例中，增強鰭狀物 1300 的材料之氧化的材料為被選擇來降低鰭狀物材料的氧化溫度之材料。典型上，半導體的鰭狀物材料將在約 1000°C 中的氫及氧環境中氧化。在一實施例中，催化劑層 165 為在低於 1000°C 的溫度中將促進鰭狀物 1300 的材料之氧化的材料，諸如 600°C 或更低（如、 500°C ）的等級等。催化劑層的適當材料為氧化鋁（ Al_2O_3 ）。典型上，氧化鋁的催化劑層可以經由原子層沉積處理引進到 10 nm 或更小的等級之厚度。如圖 5 所示，催化劑層 165 係保形地沉積在鰭狀物 1300 上，及在一實施例為閘極電極區 145 中之基板的基層上（緩衝層 120 上）。

圖 6 及圖 7 分別圖示在移除或凹入催化劑層 165 的一部分之後的圖 4 及圖 5 的結構。在一實施例中，催化劑層 165 被降低到選定用於鰭狀物 1300 的修改之高度。典型上，催化劑層 165 係藉由將犧牲性充填層引進到閘極電極區內、接著乾蝕刻及濕蝕刻組合來予以凹入。如所示，催化劑層 165 係從其基層到小於鰭狀物的尖頂來形成在鰭狀物 1300 上。圖 7 圖示引進到催化劑層 165 的高度之犧牲性充填層 170。用於犧牲性充填層 170 的適當材料包括可流動的氧化物，諸如碳熱掩模等。如圖 7 所示，在凹入處理之後，催化劑層 165 維持在鰭狀物 1300 的底部位四周。

圖 8 及圖 9 分別圖示在藉由例如選擇性蝕刻來移除犧牲性充填層及鰭狀物 1300 的一部分之修改之後的圖 6 及圖 7 的結構。修改在移除犧牲性充填層之後。在此實施例中，修改為鰭狀物 1300 的下部位之氧化。在一實施例中，鰭狀物 1300 的一部分之氧化係在低於習知氧化溫度的溫度中執行（如，低於 1000℃ 的溫度）。經由催化劑層 165 的存在來完成在例如低於材料的氧化溫度之溫度中氧化鰭狀物 1300 的下部位。圖 8 及圖 9 圖示鰭狀物 1300 的氧化部位 175。在修改之後，鰭狀物 1300 具有有著高度 h 之主動部位（如、非氧化部位）。在接面區 160A 及 160B 底表面的投影下方沒有與之接觸的氧化物材料。

圖 10 及圖 11 分別圖示在藉由例如選擇性蝕刻處理來移除催化劑層 165 及在閘極電極區中引進介電材料到鰭狀物 1300 之修改部位 175 的高度之後的圖 8 及圖 9 的結構。在閘極電極區中引進介電層 185 之後，閘極堆疊被引進（如、沉積）在包括閘極介電及閘極電極之結構上。在實施例中，閘極電極堆疊的閘極電極 180 係由金屬閘極所組成，及閘極介電層 190 係由具有介電常數大於二氧化矽的介電常數之材料（高 K 材料）所組成。例如，在一實施例中，閘極介電層 190 係由諸如但並不侷限於氧化鉛、氮氧化鉛、鉛矽酸鹽、氧化釧、氧化鋳、鋳矽酸鹽、氧化鉭、鉭銻鉍酸鹽、鉭鉍酸鹽、銻鉍酸鹽、氧化鉍、氧化鋁、氧化鉛鉍鉭、鉛鋅鉍酸鹽、或其組合等材料所組成。在一實施例中，閘極電極 180 係由諸如但並不侷限於金屬

氮化物、金屬碳化物、金屬矽化物、金屬鋁化物、鉛、銦、鈦、鉭、鋁、鈮、鈹、鉑、鈷、鎳、或導電金屬氧化物等金屬層所組成。

如圖 10 及圖 11 所示，鰭狀物 1300 的主動部位具有有著閘極電極 180 包圍鰭狀物之高度 h 。如所示，鰭狀物 1300 的修改高度 h 係小於例如圖 2 及 3 所示之鰭狀物 1300 的開始高度 H 。

圖 12 圖示圖 11 的結構之放大圖以圖示基板上之兩裝置的存在。裝置 A 為圖 11 所示之裝置。裝置 B 為包括通道或鰭狀物 1310 及閘極電極 1800 之第二三維或非平面多閘極裝置。裝置 A 具有修改鰭狀物高度 h 。同一基板上之裝置 B 具有大於裝置 A 的修改鰭狀物高度 h 之鰭狀物高度 H （鰭狀物 1310）。因此，根據此處所說明之處理，圖解用以整合同一基板上之不同鰭狀物高度的裝置之方法。裝置 A 具有典型上短於裝置 B 的鰭狀物或通道。典型上，裝置 A 可被用在需要較低電容及想要較少漏流之應用中。一例子為用於圖形應用之裝置。裝置 B 典型上可被用於想要高電流之高性能應用。在圖式中，裝置 A 具有約為裝置 B 的鰭狀物高度之尺寸的一半之鰭狀物高度 h 。應明白，鰭狀物高度可被修改至任何想要的高度，包括高度的一半、高度的四分之三、高度的四分之一等。

圖 13 圖示裝置結構的另一實施例之橫剖面圖。在此實施例中，諸如三維鰭式場效電晶體等非平面半導體利用接面區下面的修改區以隔離裝置的通道。參考圖 13，裝

置結構 200 包括鰭狀物 2300 作為通道區。鰭狀物 2300 具有鰭狀物高度 $H1$ ，以及接面區 260A 及接面區 260B 在鰭狀物的相反側上。除了具有植入物或摻雜劑區在各個接面區下面之外，裝置還包括修改區 275。在一實施例中，修改區 275 為可如上文參考圖 2-11 所說明一般形成之氧化區。在一實施例中，鰭狀物 2300 的修改僅在其基層上，使得鰭狀物（通道）具有約最大的目標鰭狀物高度。在此實施例中，結構的氧化不僅包括鰭狀物 2300 的底部位，而且還包括接面區 260A 及 260B 下面的氧化區。應明白，在其他實施例中，若想要的話，亦可修改（如、氧化）鰭狀物 2300 較大的部位。

在另一實施例中，除了根據上文參考圖 2-11 所說明之處理來形成裝置結構 200 以外，在形成接面區 260A 及 260B 之前可進行鰭狀物的底部位及接面區下面的區域之氧化。

圖 14 圖解一包括一或更多個實施例之互連體。互連體 300 為用於橋接第一基板 302 至第二基板 304 之中間基板。第一基板 302 可以是例如積體電路晶粒。第二基板 304 可以是例如記憶體模組、電腦母板、或另一積體電路晶粒。通常，互連體 300 的目的係用於延伸連接到更寬的間距或用於重新路由連接到不同連接。例如，互連體 300 可耦合積體電路晶粒到可隨後耦合到第二基板 304 之球柵陣列（BGA）306。在一些實施例中，第一及第二基板 302/304 係裝附至互連體 300 的相反側。在其他實施例

中，第一及第二基板 302/304 係裝附至互連體 300 的同一側。在其他實施例中，三或更多個基板係藉由互連體 300 互連。

互連體 300 係由環氧樹脂、玻璃纖維強化環氧樹脂、陶瓷材料、或諸如聚醯亞胺等聚合物材料來形成。在其他實施中，互連體係由包括上述用於半導體基板中的相同材料之交替的堅硬或撓性材料所形成，諸如矽、鍺、及其他第 III-V 族及第 IV 族材料等。

互連體包括金屬互連 308 及通孔 310，包括但並不侷限於矽導通孔（TSV）312。互連體 300 可另包括嵌入式裝置 314，嵌入式裝置包括被動及主動裝置二者。此種裝置包括但並不侷限於電容器、解偶電容器、電阻器、電導體、熔絲、二極體、變壓器、感應器、及靜電放電（ESD）裝置。亦可將諸如射頻（RF）裝置、功率放大器、電力管理裝置、天線、陣列、感應器、及 MEMS 裝置等更複雜的裝置形成在互連體 300 上。

根據實施例，可在製造互連體 300 時使用此處所揭示之設備或處理。

圖 15 圖解根據一實施例之計算裝置 400。計算裝置 400 可包括一些組件。在一實施例中，這些組件係裝附至一或更多個母板。在另一實施例中，這些組件被製造至除了母板以外的單一單晶片系統（SoC）晶粒上。計算裝置 400 中的組件包括但並不侷限於積體電路晶粒 402 及至少一通訊晶片 408。在一些實施例中，通訊晶片 408 被製造

作為積體電路晶粒 402 的部分。積體電路晶粒 402 可包括處理器 404 及晶粒上記憶體 406（通常被使用作為快取記憶體），它們可藉由諸如崁入式 DRAM（eDRAM（崁入式動態隨機存取記憶體））或自旋轉移力矩記憶體（STTM 或 STTM-RAM（自旋轉移力矩隨機存取記憶體））等技術來提供。

計算裝置 400 可包括可以或不用實體上及電耦合到母板或者製造在 SoC 晶粒內之其他組件。這些其他組件包括但並不侷限於揮發性記憶體 410（如、DRAM）、非揮發性記憶體 412（如、ROM 或快閃記憶體）、圖形處理單元 414（GPU）、數位信號處理器 416、密碼處理器 442（執行硬體內的加密演算法之專門處理器）、晶片組 420、天線 422、顯示器或觸碰式螢幕顯示器 424、觸碰式螢幕控制器 426、電池 428 或其他電源、功率放大器（未圖示）、全球定位系統（GPS）裝置 444、羅盤 430、運動協同處理器或感應器 432（其可包括加速儀、迴轉儀、及羅盤）、揚聲器 434、相機 436、使用者輸入裝置 438（諸如鍵盤、滑鼠、電子筆、及觸碰式墊板等）、及大量儲存體裝置 440（諸如硬碟機、小型碟（CD）、數位多用途碟（DVD）、諸如此類等）。

通訊晶片 408 能夠無線通訊以轉移資料至及自計算裝置 400。“無線”一詞及其衍生字可被用於說明電路、裝置、系統、方法、技術、通訊頻道等等，它們可經由非固態媒體經由使用已調變電磁輻射來通訊資料。此一詞未暗

示相關裝置未包含任何線路，但是在一些實施例中可不包含線路。通訊晶片 408 可實施一些無線標準或協定的任一個，包括但並不侷限於 Wi-Fi (IEEE 802.11, 家用)、WiMAX (IEEE 802.16, 家用)、IEEE 802.20、長期演進技術 (LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍芽、其衍生物，以及被指定作 3G、4G、5G 及以上之任何其他無線協定。計算裝置 400 可包括複數個通訊晶片 408。例如，第一通訊晶片 408 專屬於較短範圍無線通訊，諸如 Wi-Fi 及藍芽等，而第二通訊晶片 408 專屬於較長範圍無線通訊，諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 及其他等。

計算裝置 400 的處理器 404 包括一或更多個裝置，諸如電晶體或金屬互連等，它們係根據此處所說明的實施例所形成，包括具有為特別應用所裁剪的鰭狀物高度（如、處理器 404 上之不同的鰭狀物高度）之三維多閘極電晶體裝置。”處理器”一詞可意指任何裝置或裝置的部位，其處理來自暫存器及/或記憶體之電子資料以將那電子資料轉換成可儲存在暫存器及/或記憶體中之其他電子資料。

通訊晶片 408 亦可包括一或更多個裝置，諸如電晶體或金屬互連等，它們係根據上文所說明的實施例所形成，包括包括修改或裁剪的鰭狀物高度之三維電晶體裝置。

在其他實施例中，框覆在計算裝置 400 內之另一組件可包含一或更多個裝置，諸如電晶體或金屬互連等，它們

係根據上文所說明的實施例所形成，包括包括修改或裁剪的鰭狀物高度之三維電晶體裝置。

在各種實施例中，計算裝置 400 可以是膝上型電腦、小筆電、筆記型電腦、超輕薄筆電、智慧型電話、平板電腦、個人數位助理（PDA）、迷你行動型個人電腦、行動電話、桌上型電腦、伺服器、列印機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或數位視頻記錄器。在其他實施中，計算裝置 400 可以是處理資料之任何其他電子裝置。

例子

下面例子係有關於實施例。

例子 1 為包括將多閘極裝置之非平面傳導通道形成在基板上之方法，通道包括從基板的表面上之基層所定義的高度尺寸；進行修改，範圍小於通道的整個部位；以及將閘極堆疊形成在通道上，閘極堆疊包含介電材料及閘極電極。

在例子 2 中，例子 1 的修改包括氧化，及在氧化小於通道的整個部位之前，方法包括將一層催化劑材料形成在通道上，其中，催化劑材料包含具有將增強該通道的材料之氧化的特性之材料。

在例子 3 中，例子 2 的氧化通道包括將通道經過低於通道的材料之氧化溫度的溫度。

在例子 4 中，例子 2 之催化劑材料的此層係僅形成在

通道的基層中。

在例子 5 中，將例子 2 之催化劑材料的此層形成在從通道的基層至低於通道之頂點的高度之通道上。

在例子 6 中，例子 5 之催化劑材料的此層係形成在通道之長度的一半上。

在例子 7 中，例子 3 的形成催化劑層包括：將催化劑層沉積在通道的整個高度尺寸上；及在沉積之後，方法包括從通道之高度尺寸的一部分移除催化劑材料的此層。

在例子 8 中，例子 1 或例子 2 的通道係配置在基板上的接面區之間，方法另包括氧化接面區下面之基板的一部分。

在例子 9 中，在形成閘極堆疊之前，例子 1 或例子 2 的方法包括：將鄰近通道的介電材料引進到等同通道的氧化部位之高度。

例子 10 為方法，包括將多閘極裝置的非平面傳導通道形成在基板上；氧化通道的一部分，所氧化的部分係藉由從低於通道的總高度尺寸之基板的表面所測量之通道的高度尺寸來定義；以及將閘極堆疊形成在通道上，閘極堆疊包含介電材料及閘極電極。

在例子 11 中，在氧化小於通道的整個部位之前，例子 10 的方法包括將一層催化劑材料形成在通道上，其中，催化劑材料包括具有將增強通道的材料之氧化的特性之材料。

在例子 12 中，例子 11 的氧化通道包括將通道經過低

於通道的材料之氧化溫度的溫度。

在例子 13 中，例子 11 的將催化劑材料的此層形成在通道上包括：將催化劑材料的此層沉積在通道的整個部位上；及在氧化之前，方法另包括移除催化劑材料之此層的一部分。

在例子 14 中，例子 13 的移除催化劑材料之此層的一部分包括：從通道之總高度尺寸的至少一半移除此層。

在例子 15 中，例子 10-14 的任一個之通道係配置在基板上的接面區之間，方法另包括氧化接面區下面之基板的一部分。

在例子 16 中，在形成閘極堆疊之前，例子 10-15 的任一個之方法包括：將鄰近通道的介電材料引進到等同通道的氧化部位之高度。

例子 17 為設備，包括基板上之非平面多閘極裝置，其包括通道，通道包括定義傳導部位及修改部位的高度尺寸與配置在通道上的閘極堆疊，閘極堆疊包含介電材料及閘極電極。

在例子 18 中，例子 17 的閘極堆疊係僅配置在通道的傳導部位上。

在例子 19 中，例子 17 或例子 18 的通道之修改部位係配置在基板與通道的傳導部位之間。

在例子 20 中，例子 17 或例子 18 的多閘極裝置為第一多閘極裝置，設備另包括第二多閘極裝置，第二多閘極裝置包含通道，通道包含具有高度尺寸大於第一多閘極裝

置的該傳導部位之高度尺寸的傳導部位。

在例子 21 中，將例子 17 或例子 18 的通道之修改部位氧化。

在例子 22 中，例子 17 或例子 18 的多閘極裝置另包括通道之相對側上的每一個上之接面區，將接面區下面的區域氧化。

上述圖解實施的說明（包括摘要中所說明者）並不想成為全面性的或者將本發明侷限於所揭示的精確形式。儘管為了圖解此處揭示例如發明的特定實施及用於發明的例子，但是精於相關技術之人士應明白，在此範疇內可有各種同等修改。

按照上述詳細說明可進行這些修改。下面申請專利範圍所使用的語詞不應被闡釋成將本發明侷限於說明書及申請專利範圍中所揭示的特定實施。而是，本發明的範疇係完全由下面申請專利範圍來決定，申請專利範圍係根據所建立的申請專利解釋條例來闡釋。

【符號說明】

A:裝置

B:裝置

H:高度

H1:高度

h:高度

100:結構

110:基板
120:緩衝層
130:鰭狀物
140:介電材料
145:閘極電極區
150:間隔物
155:摻雜劑區
160A:接面區
160B:接面區
165:催化劑層
170:犧牲性充填層
175:氧化部位
180:閘極電極
185:介電層
190:閘極介電層
200:裝置結構
260A:接面區
260B:接面區
275:修改區
300:互連體
302:基板
304:基板
306:球柵陣列
308:金屬互連

310:通孔
400:計算裝置
402:積體電路晶粒
404:處理器
406:晶粒上記憶體
408:通訊晶片
410:揮發性記憶體
412:非揮發性記憶體
414:圖形處理單元
416:數位信號處理器
420:晶片組
422:天線
424:顯示器或觸碰式螢幕顯示器
426:觸碰式螢幕控制器
428:電池
430:羅盤
432:動作感應器
434:揚聲器
436:相機
438:使用者輸入裝置
440:大量儲存體裝置
442:密碼處理器
444:全球定位系統裝置
1300:鰭狀物

1310: 鰭狀物

1800: 閘極電極

2300: 鰭狀物

【發明申請專利範圍】

【請求項 1】一種製造多高度半導體裝置的方法，包含：

在基板上形成第一非平面多閘極裝置，該第一非平面多閘極裝置包括第一通道，該第一通道包含具有第一高度尺寸的第一傳導部位；

在該第一通道上形成催化劑材料的層，其中，該催化劑材料包含具有增強該第一通道的材料氧化的特性的材料，以降低該第一通道的氧化溫度；

氧化該第一通道的整個部位的一部分以形成具有修改高度尺寸的該第一通道的氧化部位，其中，該第一傳導部位係設置於該第一通道的該氧化部位之上，該第一通道係配置在該基板上的接面區之間，其中，該第一通道之相對側的每一側上之該接面區的底表面在該第一通道的該第一傳導部位的底表面下方，且其中，該第一通道的該氧化部位具有頂表面；

將第一閘極堆疊形成在該第一通道上，該第一閘極堆疊包含閘極介電材料及第一閘極電極，其中，該第一閘極堆疊具有與該第一通道的該氧化部位的該頂表面共平面的底表面；

在該基板上形成第二非平面多閘極裝置，該第二非平面多閘極裝置包括第二通道，該第二通道包含具有第二高度尺寸的第二傳導部位；以及

將第二閘極堆疊形成在該第二非平面多閘極裝置的該

第二通道上，

其中，該第一通道的該修改高度尺寸小於該第二通道的該第二高度尺寸，且其中，該第二通道的該第二高度尺寸大於該第一通道的該第一高度尺寸。

【請求項 2】如請求項 1 之方法，其中，氧化包含將該第一通道經過低於該第一通道的材料之氧化溫度的溫度。

【請求項 3】如請求項 1 之方法，其中，該催化劑材料的層係僅形成在該第一通道的基層上。

【請求項 4】如請求項 1 之方法，其中，將該催化劑材料的層形成在從該第一通道的該基層至低於該第一通道之頂點的高度之該第一通道上。

【請求項 5】如請求項 4 之方法，其中，將該催化劑材料的該層形成在該第一通道之長度的一半上。

【請求項 6】如請求項 1 之方法，其中，形成該催化劑材料的層包含：將該催化劑層沉積在該第一通道的整個高度尺寸上，及在沉積之後，該方法包含從該第一通道之該整個高度尺寸的一部分移除該催化劑材料的層。

【請求項 7】如請求項 1 之方法，其中，在形成該第一閘極堆疊之前，該方法包含將鄰近該第一通道的介電材料引進到等同該第一通道的該氧化部位之高度。

【請求項 8】一種製造多高度半導體裝置的方法，包含：

在基板上形成第一非平面多閘極裝置，該第一非平面

多閘極裝置包括第一通道，該第一通道包含具有第一高度尺寸的第一傳導部位；

在該第一通道上形成催化劑材料的層，其中，該催化劑材料包含具有增強該第一通道的材料氧化的特性的材料，以降低該第一通道的氧化溫度；

氧化該第一通道的整個部分的一部分以形成該第一通道的氧化部位，該第一通道的該氧化部位係藉由從小於該第一通道的總高度尺寸之該基板的表面所測量之該第一通道的修改高度尺寸來定義，其中，該第一通道係配置在該基板上的接面區之間，其中，該第一通道之相對側的每一側上之該接面區的底表面在該第一通道的該第一傳導部位的底表面下方，該第一傳導部位係設置於該氧化部位之上，且其中，該第一通道的該氧化部位具有頂表面；

將第一閘極堆疊形成在該第一通道上，該第一閘極堆疊包含閘極介電材料及第一閘極電極，其中，該第一閘極堆疊具有與該第一通道的該氧化部位的該頂表面共平面的底表面；

在該基板上形成第二非平面多閘極裝置，該第二非平面多閘極裝置包括第二通道，該第二通道包含具有第二高度尺寸的第二傳導部位；以及

將第二閘極堆疊形成在該第二非平面多閘極裝置的該第二通道上，

其中，該第一通道的該修改高度尺寸小於該第二通道的該第二高度尺寸，且其中，該第二通道的該第二高度尺

寸大於該第一通道的該第一高度尺寸。

【請求項 9】如請求項 8 之方法，其中，氧化包含將該通道經過低於該第一通道的材料之氧化溫度的溫度。

【請求項 10】如請求項 8 之方法，其中，將該催化劑材料的該層形成在該第一通道上包含將該催化劑材料的層沉積在該第一通道的整個部位上，及在氧化之前，該方法進一步包含移除該催化劑材料的層的一部分。

【請求項 11】如請求項 10 之方法，其中，移除該催化劑材料的層的一部分包含從該第一通道之該總高度尺寸的至少一半移除該層。

【請求項 12】如請求項 8 之方法，其中，在形成該閘極堆疊之前，該方法包含將鄰近該第一通道的介電材料引進到等同該第一通道的該氧化部位之高度。

【請求項 13】一種多高度半導體裝置，包含：

基板上之非平面多閘極裝置，其包含第一通道與配置在該第一通道上的第一閘極堆疊，該第一通道包含具有第一高度尺寸的第一傳導部位及具有第一修改高度尺寸的第一修改部位，其中，該第一傳導部位係設置於該第一修改部位之上，該第一修改部位具有頂表面，其中，該第一修改部位係透過在該第一通道上形成催化劑材料的層並且氧化該第一通道的整個高度尺寸的一部分來形成，該第一閘極堆疊包含閘極介電材料及第一閘極電極，其中，該第一閘極堆疊具有與該第一修改部位的該頂表面共平面的底表面，其中，該催化劑材料包含具有增強該第一通道的材料

氧化的特性的材料，以降低該第一通道的氧化溫度，其中，該第一非平面多閘極裝置還包含該第一通道之相對側的每一側上之接面區，且其中，該第一通道之相對側的每一側上之該接面區的底表面在該第一通道的該第一傳導部位的底表面下方；

在該基板上的第二非平面多閘極裝置，該第二非平面多閘極裝置包括第二通道，該第二通道包含具有第二高度尺寸的第二傳導部位；以及

配置在該第二非平面多閘極裝置的該第二通道上的第二閘極堆疊，

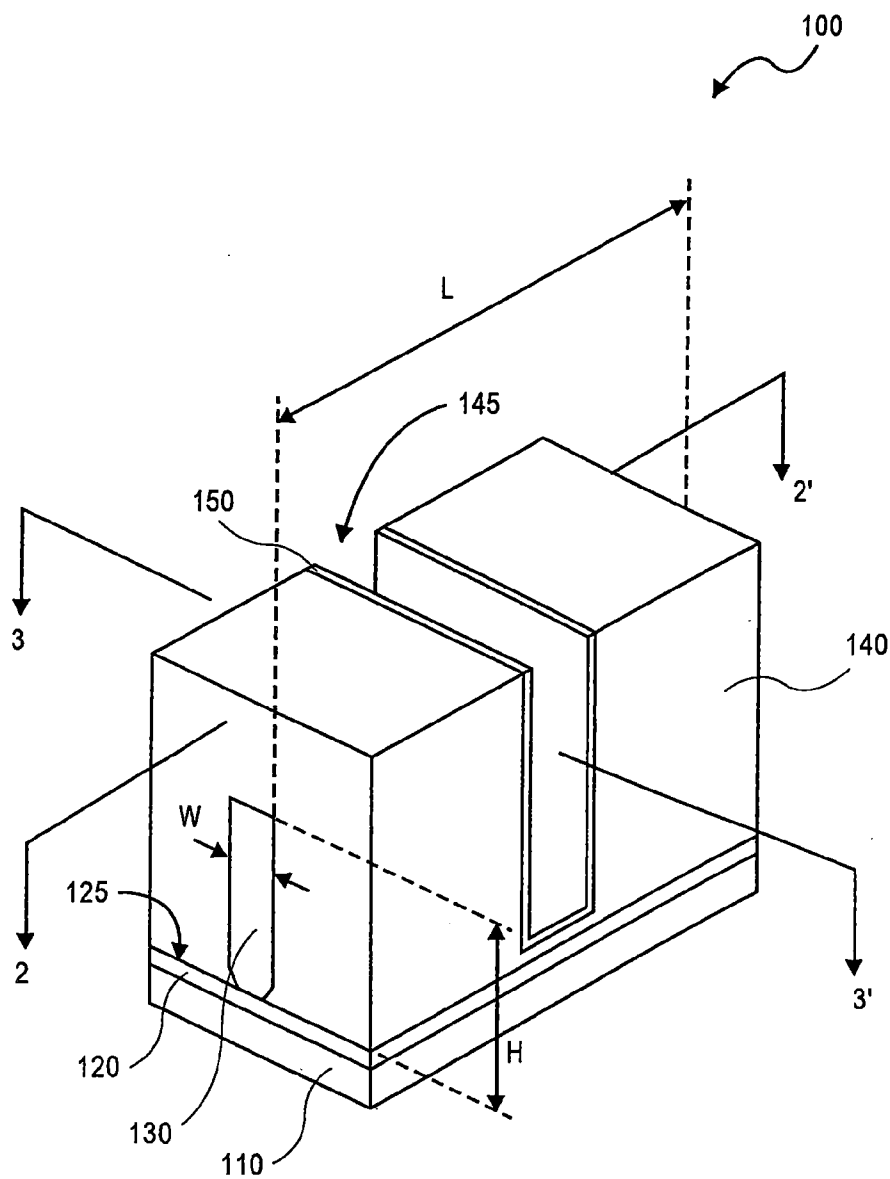
其中，該第一通道的該第一修改高度尺寸小於該第二通道的該第二高度尺寸，且其中，該第二通道的該第二高度尺寸大於該第一通道的該第一高度尺寸。

【請求項 14】如請求項 13 之裝置，其中，該第一閘極堆疊係僅配置在該第一通道的該第一傳導部位上。

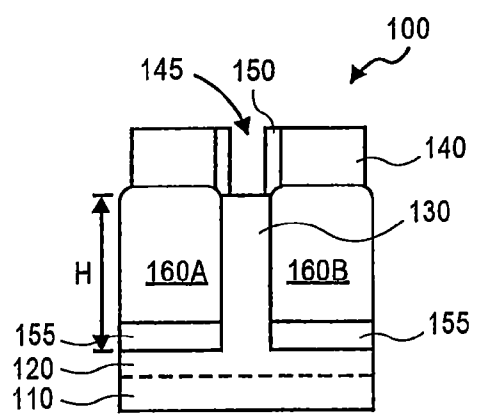
【請求項 15】如請求項 13 之裝置，其中，該第一通道的該第一修改部位係配置在該基板與該第一通道的該第一傳導部位之間。

【請求項 16】如請求項 13 之裝置，其中，該第一通道的該第一修改部位係被氧化。

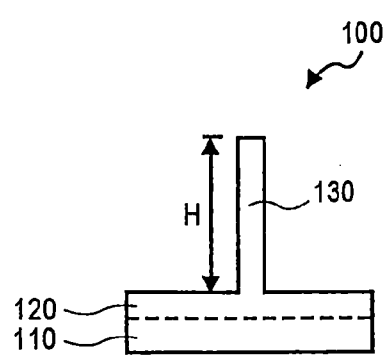
【發明圖式】



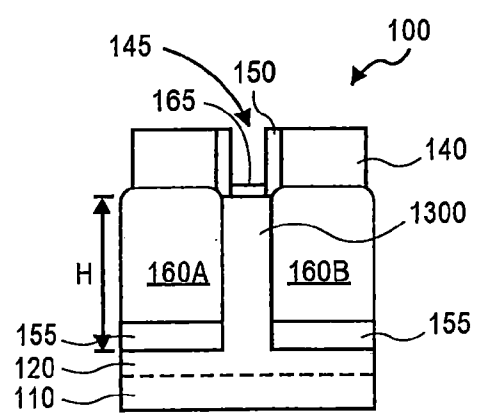
【圖 1】



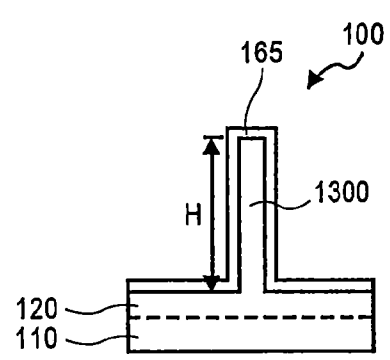
【圖 2】



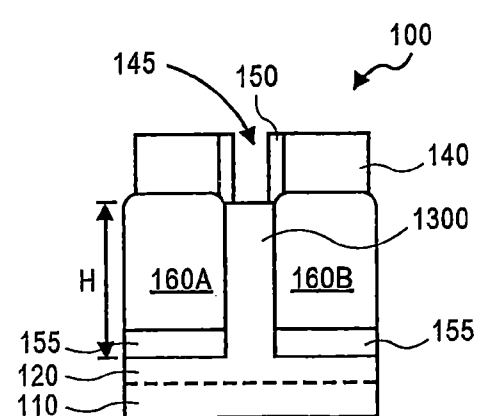
【圖 3】



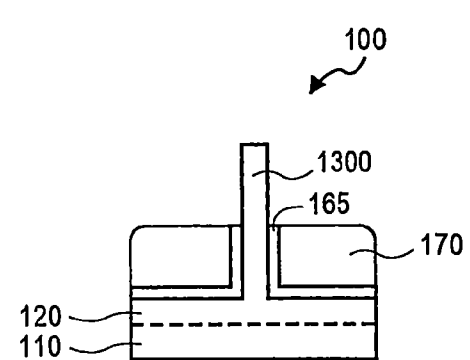
【圖 4】



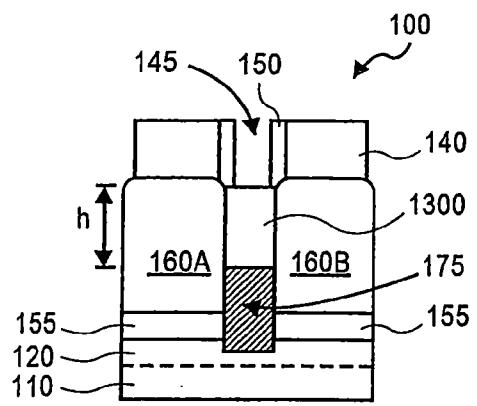
【圖 5】



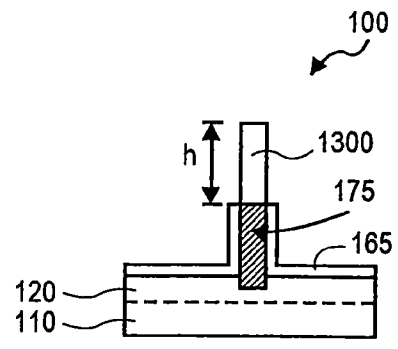
【圖 6】



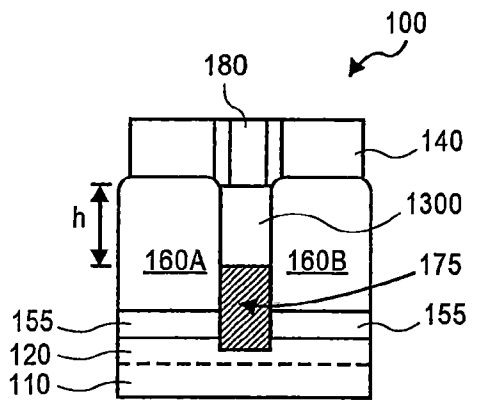
【圖 7】



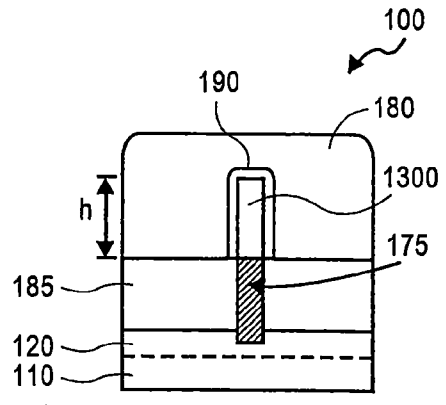
【圖 8】



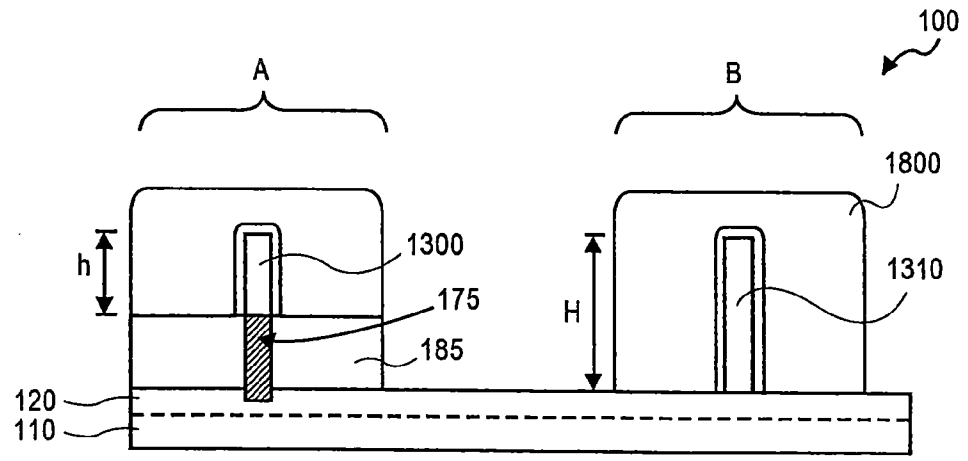
【圖 9】



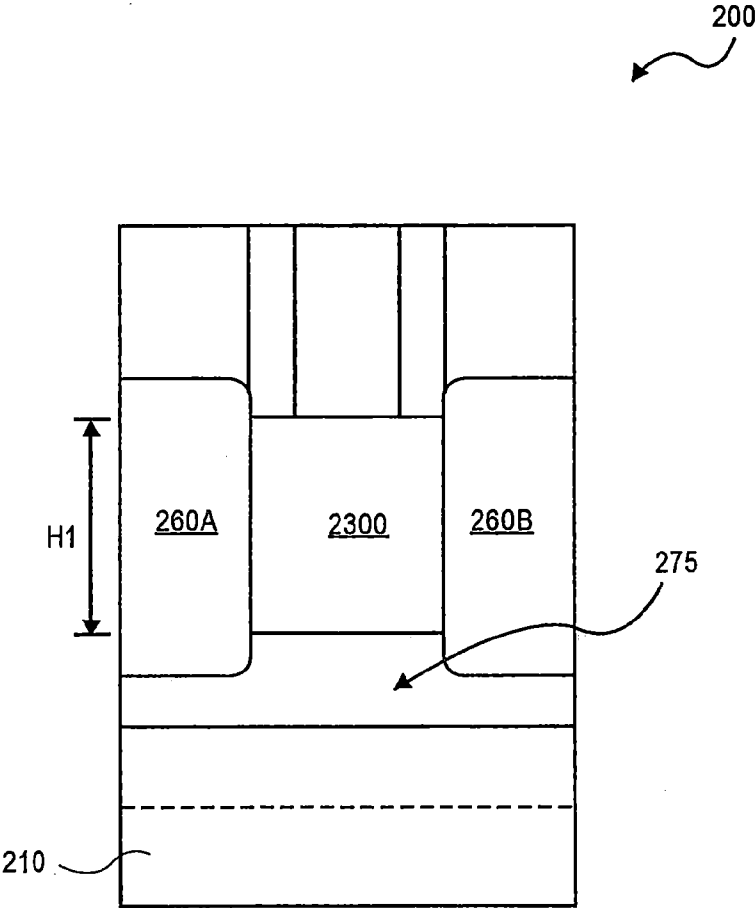
【圖 10】



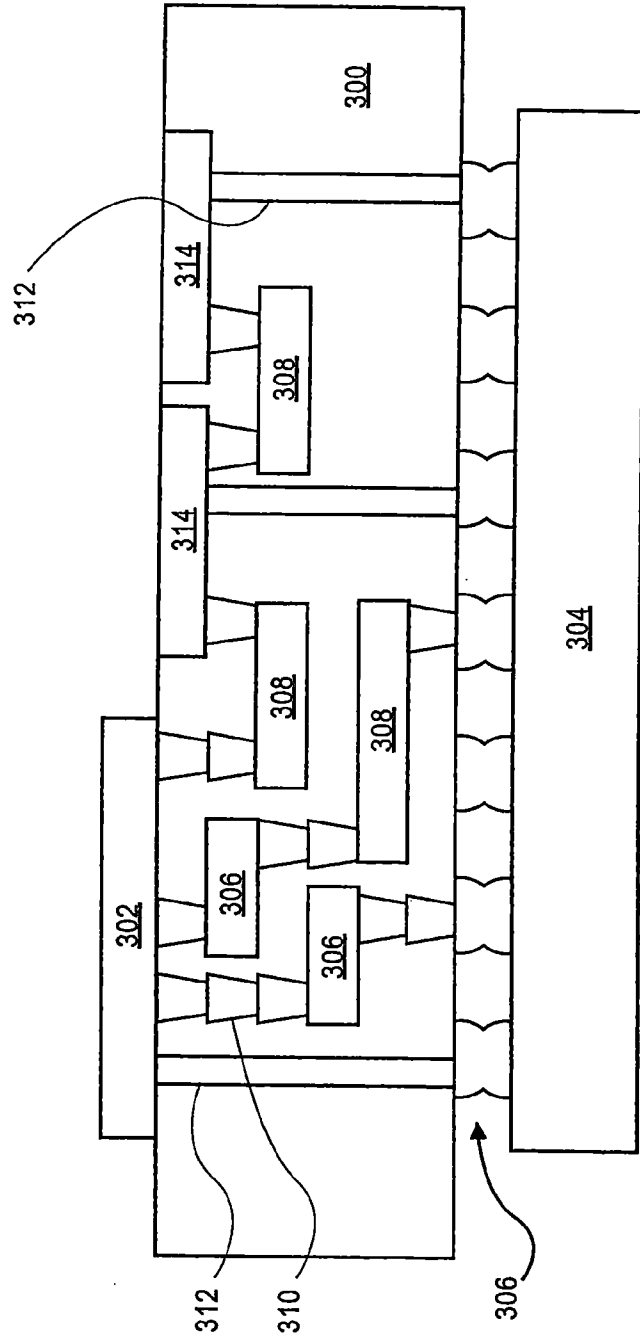
【圖 11】



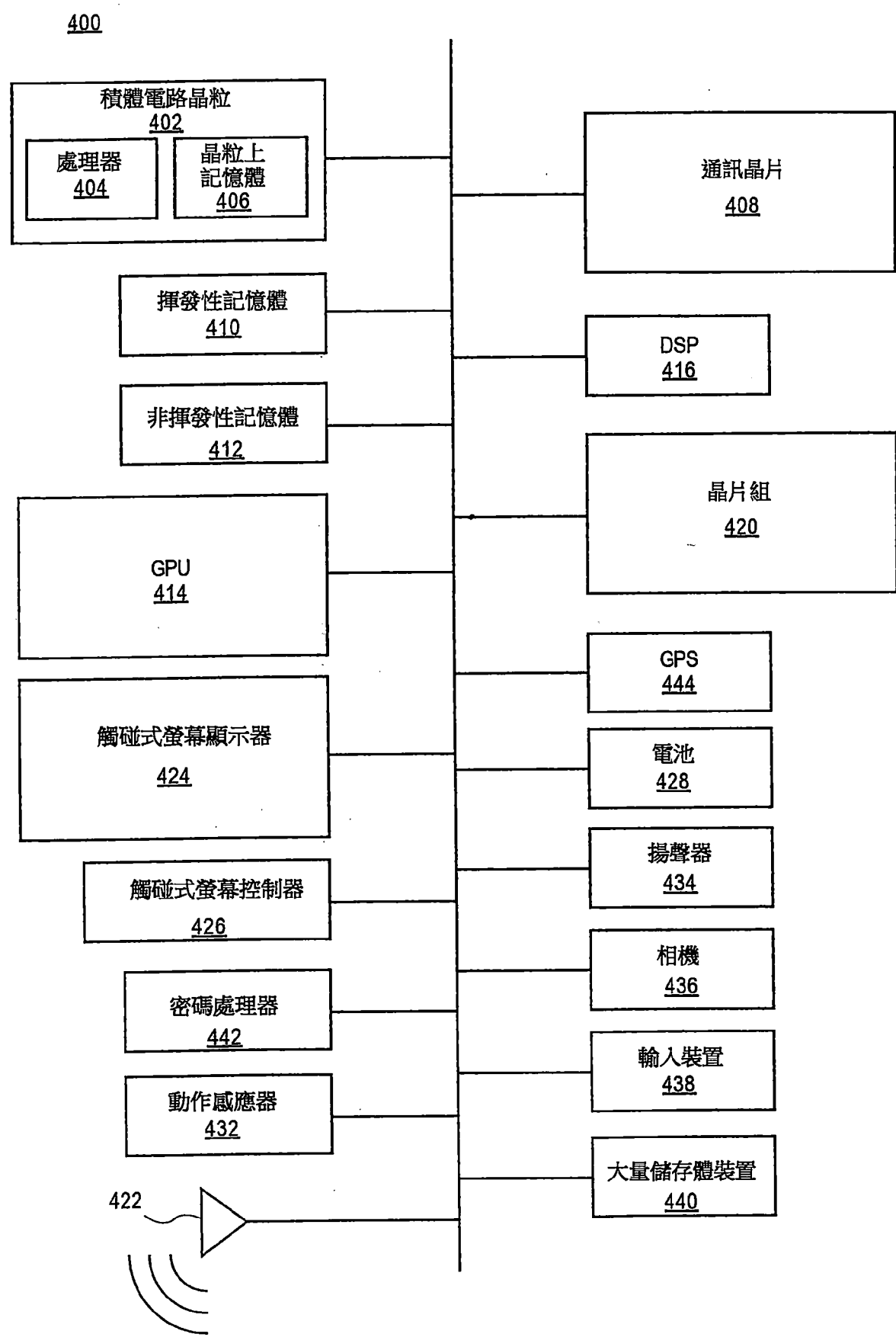
【圖 12】



【圖 13】



【14】



【圖 15】