

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6416454号
(P6416454)

(45) 発行日 平成30年10月31日 (2018. 10. 31)

(24) 登録日 平成30年10月12日 (2018. 10. 12)

(51) Int. Cl.		F I	
H O 1 L	23/02	(2006. 01)	H O 1 L 23/02 Z
H O 1 L	23/36	(2006. 01)	H O 1 L 23/36 Z
B 8 1 B	7/02	(2006. 01)	B 8 1 B 7/02

請求項の数 5 外国語出願 (全 14 頁)

(21) 出願番号	特願2012-210260 (P2012-210260)	(73) 特許権者	390041542
(22) 出願日	平成24年9月25日 (2012. 9. 25)		ゼネラル・エレクトリック・カンパニー
(65) 公開番号	特開2013-80923 (P2013-80923A)		アメリカ合衆国、ニューヨーク州 1 2 3
(43) 公開日	平成25年5月2日 (2013. 5. 2)		4 5、スケネクタデイ、リバーロード、1
審査請求日	平成27年9月11日 (2015. 9. 11)		番
(31) 優先権主張番号	13/249, 492	(74) 代理人	100137545
(32) 優先日	平成23年9月30日 (2011. 9. 30)		弁理士 荒川 聡志
(33) 優先権主張国	米国 (US)	(74) 代理人	100105588
			弁理士 小倉 博
		(74) 代理人	100129779
			弁理士 黒川 俊久
		(74) 代理人	100113974
			弁理士 田中 拓人

最終頁に続く

(54) 【発明の名称】 向上した熱散逸能力を有する 3D 集積電子デバイス構造

(57) 【特許請求の範囲】

【請求項 1】

三次元 (3D) 集積チップアセンブリ (105) であって、
 デバイス基板 (132)、
 前記デバイス基板 (132) 上に配置される 1 つまたは複数の熱生成要素を備える M E M S リレー (144)、
 前記デバイス基板 (132) に物理的に接合されるキャップ層 (114)、
 前記 M E M S リレー (144) の周囲に配置され、前記 M E M S リレーと前記デバイス基板とに電氣的に接続されていないシールリング (146)、および
 前記 M E M S リレー (144) の周囲に形成され、少なくとも部分的に、前記デバイス基板 (132)、前記シールリング (146) および前記キャップ層 (114) によって画定される、気密シール
 を備える、三次元 (3D) 集積チップアセンブリ (105) と、
 前記三次元 (3D) 集積チップアセンブリ (105) がフリップチップ接合される基板 (110) と、
 前記デバイス基板 (132) よりも熱抵抗が低い複数の熱伝導及び導電経路 (156) と、
 を備え、

前記複数の熱伝導及び導電経路 (156) は、その中で生成される熱を散逸させると共に、前記 M E M S リレーに並列電氣的接続を提供するために前記三次元 (3D) 集積チッ

10

20

プアセンブリ（１０５）を通じて延在する、
装置（１００、２００、３００）。

【請求項２】

前記装置（１００、３００）からの熱の散逸を容易にするために、熱伝導材料（ＴＩＭ）（１５４）を介して前記三次元（３Ｄ）集積チップアセンブリ（１０５）に近接して位置付けられるヒートスプレッド（１５２）をさらに備える、請求項１に記載の装置（１００、３００）。

【請求項３】

前記キャップ層（１１４）は、その中に形成される複数のウェハ貫通ビア（１３０）と、
その第１の主面（１２２）の上に配置される複数の第１の入出力接点（１２０）と、
その第２の主面（１２４）の上に配置される複数の第２の入出力接点（１２６）と、
をさらに備え、

前記複数の第２の入出力接点（１２６）は、前記複数のウェハ貫通ビア（１３０）を通じて前記複数の第１の入出力接点（１２０）に電氣的に接続されている、
請求項１または２に記載の装置（１００、３００）。

【請求項４】

前記デバイス基板（１３２）は、
その中に形成される複数のウェハ貫通ビア（１３０）と、
その第１の主面（１４０）の上に配置される複数の第１の入出力接点（１２０）と、
をさらに備え、
前記複数の第１の入出力接点（１２０）は、前記複数のウェハ貫通ビア（１３０）を通じて前記ＭＥＭＳリレー（１４４）に電氣的に接続されている、
請求項１乃至３のいずれかに記載の装置（２００）。

【請求項５】

三次元（３Ｄ）集積チップアセンブリ（１０５）であって、
デバイス基板（１３２）上に配置される１つまたは複数の熱生成要素を備えるＭＥＭＳリレー（１４４）を備える前記デバイス基板（１３２）と、
半導体材料を含み、前記デバイス基板（１３２）に物理的に接合されるキャップ層（１１４）、

前記ＭＥＭＳリレー（１４４）の周囲に配置され、前記ＭＥＭＳリレーと前記デバイス基板とに電氣的に接続されていないシールリング（１４６）、および

前記ＭＥＭＳリレー（１４４）の周囲に形成され、少なくとも部分的に、前記デバイス基板（１３２）、前記シールリング（１４６）および前記キャップ層（１１４）によって画定される、気密シール

を備える、三次元（３Ｄ）集積チップアセンブリと、

前記三次元（３Ｄ）集積チップアセンブリ（１０５）がフリップチップ接合される基板（１１０）と、

熱伝導材料（ＴＩＭ）を介して前記三次元（３Ｄ）集積チップアセンブリ（１０５）の近傍に配置されるヒートスプレッドと、

前記デバイス基板（１３２）よりも熱抵抗が低い複数の熱伝導及び導電経路（１５６）と、
を備え、

前記複数の熱伝導及び導電経路（１５６）は、その中で生成される熱を散逸させると共に、前記ＭＥＭＳリレーに並列電氣的接続を提供するために前記三次元（３Ｄ）集積チップアセンブリ（１０５）を通じて延在する、
装置（１００、２００、３００）。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本明細書において提示する実施形態は、マイクロ電子デバイス構造に関し、より詳細には、向上した熱散逸能力を有する三次元（３Ｄ）マイクロ電子集積回路（ＩＣ）チップ構造に関する。

【 背景技術 】

【 0 0 0 2 】

微小電気機械システム（ＭＥＭＳ）は、サイズが１マイクロメートル（１ミクロン）未満から約１ｍｍ以上に及び得る、マイクロスイッチのような小型デバイスである。３Ｄ集積回路は一般的に、垂直および水平の両方において集積される積層構成にある２層以上の電子的構成要素を含む。これらのデバイスは一般的に、長期間にわたって動作するために制御環境を必要とする。熱の散逸は任意の高出力電子機器または電気的用途において主要な課題であり、高出力の微小電気機械システムすなわちＭＥＭＳデバイスにおいて非常に重要である。ＴＳＶと称される基板貫通ビアが、メモリチップのようなチップのスタックにおいて、他の機能の中でもチップ間の熱経路を提供する伝導体として利用される。熱を散逸させる追加の手段が集積される場合がある。

10

【 0 0 0 3 】

ほとんどのＭＥＭＳデバイスはワイヤボンディングを使用して相互接続される。しかしながら、高性能ＭＥＭＳ用途では、ワイヤボンディングによってデバイスの性能が著しく制限されることになる可能性がある。ワイヤボンディングに付随する制限は、以下の、ワイヤの電流処理能力、および、短い電流サージの処理に特に影響を与え得る不十分な熱経路を含むが、これらには限定されない要因に関連する。他の場合では、ＭＥＭＳデバイスはリボンボンディングを使用して相互接続される場合があるが、これにはデバイスの性能に同様の制限がある。

20

【 0 0 0 4 】

熱散逸が不十分であることに起因する性能劣化に加えて、湿気、粒子またはガスのような汚染物質がデバイスを取り巻く環境内に導入されることによって、金属接点の固着、汚染、または干渉が引き起こされる可能性があり、これによってデバイスの故障がもたらされる。

【 先行技術文献 】

【 特許文献 】

30

【 0 0 0 5 】

【 特許文献 1 】 米国特許第 7 8 9 7 5 0 3 号明細書

【 発明の概要 】

【 0 0 0 6 】

従って、通電能力が向上したより信頼性の高い高性能デバイスをもたらす、熱散逸経路の改善のような、改善された熱的管理を含む改善されたマイクロ電子チップ構造が望ましい場合がある。加えて、これは、能動素子に対する汚染からの保護を提供することができる。

【 0 0 0 7 】

原出願の発明の範囲に一致する特定の態様を下記に記載する。これらの態様は、本発明がとり得る特定の形態の簡単な概要を読者に提供するためにのみ提示されること、および、これらの態様は本発明の範囲を限定するようには意図されていないことが理解されるべきである。事実、本発明は、下記に記載されていない場合があるさまざまな態様を包含することができる。

40

【 0 0 0 8 】

特定の態様によれば、三次元（３Ｄ）集積チップアセンブリおよび基板を含む装置が開示され、三次元（３Ｄ）集積チップアセンブリは基板にフリップチップ接合され、複数の熱散逸経路が三次元（３Ｄ）集積チップアセンブリを通じて延在し、その中で生成される熱を散逸させる。チップアセンブリは、デバイス基板と、デバイス基板上に配置される１つまたは複数の熱生成要素を備える能動素子と、デバイス基板に物理的に接合されるキャ

50

ップ層と、能動素子の周囲に形成される気密シールとを含み、気密シールは少なくとも部分的に、デバイス基板およびキャップ層によって画定される。

【0009】

他の実施形態によれば、三次元(3D)集積チップアセンブリと、基板と、熱伝導材料(TIM)を介して三次元(3D)集積チップアセンブリに近接して配置されるヒートスプレッドを含む装置が開示される。三次元(3D)集積チップアセンブリは、基板にフリップチップ接合される。装置は、装置内で生成される熱を散逸させるための、三次元(3D)集積チップアセンブリを通る複数の熱散逸経路を提供する。チップアセンブリは、デバイス基板と、デバイス基板上に配置される1つまたは複数の集積回路を備える能動素子と、デバイス基板に物理的に接合され、半導体材料を含むキャップ層と、能動素子の周囲に形成される気密シールとを含み、気密シールは少なくとも部分的に、デバイス基板およびキャップ層によって画定される。

10

【0010】

さらなる実施形態によれば、キャップ層と、少なくとも部分的にキャップ層によって画定される気密シールと、基板とを含むMEMSデバイスを含む装置が開示される。MEMSデバイスは、基板にフリップチップ接合されるように構成される。

【0011】

さらなる実施形態によれば、装置内の熱を散逸させる方法であって、三次元(3D)集積チップアセンブリを提供することを含む、方法が開示される。チップアセンブリを提供する方法は、第1の主面および第2の主面を有するデバイス基板を提供することと、デバイス基板上に、1つまたは複数の集積回路を備える能動素子を配置することと、デバイス基板にキャップ層を接合することと、能動素子の周囲に気密シールを形成することと、複数の入出力接続部を含む基板を提供することとを含む。デバイス基板は、第1の主面および第2の主面のうちの少なくとも一方の上に複数の入出力接続部を含む。キャップ層は、第1の主面および第2の主面を有し、第1の主面および第2の主面のうちの少なくとも一方の上に複数の入出力接点を含む。気密シールは少なくとも部分的に、デバイス基板およびキャップ層によって画定される。方法は、装置を形成するために三次元(3D)集積チップアセンブリの基板へのフリップチップ接合をさらに提供し、装置は三次元(3D)集積チップアセンブリを通る複数の熱散逸経路を提供し、装置内で生成される熱を散逸させる。

20

30

【0012】

本発明のさまざまな態様に関連して上記の特徴のさまざまな改良が存在する。さらなる特徴も同様にこれらのさまざまな態様に組み込まれてもよい。これらの改良および追加の特徴は個別にまたは何らかの組み合わせにおいて存在してもよい。例えば、例示される実施形態のうちの1つまたは複数に関連して下記に論じられるさまざまな特徴が、単独でまたは何らかの組み合わせにおいて本発明の上記の態様のいずれかに組み込まれてもよい。ここでも、上記で提示されている簡単な概要は、特許請求される主題を限定することなく、読者に本発明の特定の態様およびコンテキストを周知させることのみを意図したものである。

【0013】

アセンブリの部品は部分的には一方の方向において、かつ部分的にはもう一方の方向において処理されるため、「上面」および「底面」という用語はここでは使用されない。代わりに、「第1の表面」および「第2の表面」という用語が使用され、それによって、完成したデバイス構造において第1の表面のすべてが最終的に同じ方向に面し、完成したデバイス構造においてすべての第2の表面が同じ方向に面する。

40

【図面の簡単な説明】

【0014】

【図1】一実施形態による、熱散逸能力が向上した三次元集積電子アセンブリを含むデバイス構造の断面図である。

【図2】一実施形態による、熱散逸経路を示す、図1のデバイス構造の断面図である。

50

【図 3】別の実施形態による、熱散逸能力が向上した三次元集積電子アセンブリを含むデバイス構造の断面図である。

【図 4】さらに別の実施形態による、熱散逸能力が向上した三次元集積電子アセンブリを含むデバイス構造の断面図である。

【図 5】一実施形態によるデバイス構造における、過渡電流立ち上がり状態における熱散逸を比較したグラフである。

【発明を実施するための形態】

【0015】

1つまたは複数の具体的な実施形態を下記に説明する。これらの実施形態の簡潔な記載を提供するために、実際の実施態様のすべての特徴が本明細書に記載されているとは限らない場合がある。工学的または設計プロジェクトにおけるものとしての、任意のこのような実際の実施態様の開発において、開発者の特定の目標を達成するために、システム関連およびビジネス関連の制約の順守のような、多数の実施態様特有の決定が為されなければならない、これは実施形態ごとに変わり得ることが認識されるべきである。その上、このような開発努力は複雑かつ時間のかかるものであり得るが、それにもかかわらず、本開示の利益を得る当業者にとっては日常的な設計、製造および生産の作業であろうことが認識されるべきである。

10

【0016】

革新的な3D集積マイクロ電子チップアセンブリ、特に、熱的管理を改善する手段を含む微小電気機械システム(MEMS)デバイスが開示される。3D集積デバイスアセンブリは、これはデバイス構造内で生成された熱を効率的に熱散逸させ、相互接続構造における電気抵抗を低減しながら、向上した通電能力を提供するのに役立つ、集積された層と、並列接続された相互接続部とを含む。

20

【0017】

図面は、熱散逸を向上させることが可能な3D集積チップアセンブリを含む、マイクロ電子デバイス、特にMEMSデバイスの例示的な構造を示す。ここで図面を、特に図1を参照すると、同様の参照符号はいくつかの図全体を通じて同様の要素を指すが、熱散逸能力が向上した3D集積チップアセンブリを採用するデバイス構造の一例の実施形態が断面図で示されている。全体的に100で示されるこのデバイス構造は、第1の主面111および第2の主面112を有する基板110に載置される3D集積チップアセンブリ105を含む。3D集積チップアセンブリ105は概して、第1の主面122および第2の主面124を有するキャップ層114と、第1の主面140および第2の主面150を有するデバイス基板132とを備える。デバイス構造100の製造中、3D集積チップアセンブリ105は基板110の第2の主面112に載置される。デバイス構造100のこの特定の実施形態において、キャップ層114は、本明細書においてはフリップチップバンプ接合とも称される、高い通電能力を可能にする複数のマイクロバンプ接続部115を利用して第1の主面122を介して基板110に載置される。デバイス基板132は、標準的な金属相互接続(まもなく説明する)によってデバイス基板132の第1の主面140を介して、キャップ層114の第2の主面124上に載置される。ヒートスプレッド152が、熱伝導材料(TIM)154を介してデバイス基板132の第2の主面150上に配置されることができる。基板110、キャップ層114、デバイス基板132、複数の層の間の相互接続部、熱伝導材料134およびヒートスプレッド136を含む積層される要素が、組み合わさってデバイス構造100を形成する。

30

40

【0018】

この特定の実施形態では、電気相互接続のための基板110は当該技術分野において既知のプリント回路基板(PCB)であってもよい。しかしながら、代替的な実施形態における基板材料は、シリコン、炭化ケイ素、ガリウムヒ素などのような金属酸化膜半導体(MOS)ベースの層のような能動素子層を含んでもよく、または能動層を考慮しない場合には、研磨された金属、柔軟なプラスチック、ポリイミド、半導体材料、またはガラスもしくは水晶材などの絶縁体のような任意の平坦な支持材料から成ってもよいことを当業者

50

は認識しよう。

【 0 0 1 9 】

この特定の実施形態では、デバイス基板 1 3 2 は当該技術分野において既知のシリコンから成ってもよい。しかしながら、代替的な実施形態におけるデバイス基板材料は、シリコン、炭化ケイ素、ガリウムヒ素、窒化ガリウム、アルミナ、サファイア、チタン、鋼鉄、プラスチック、ポリイミド、ガラス、石英などのような、半導体および M E M S ベースの製造工程およびパッケージング工程に適合する任意の平坦な支持材料を含んでもよいことを当業者は認識しよう。

【 0 0 2 0 】

基板 1 1 0 の第 2 の主面 1 1 2 は、複数の並列に構成されるはんだバンプ 1 1 8 を介して、キャップ層 1 1 4 の第 1 の主面 1 2 2 上に配置されるとともに基板 1 1 0 の入出力接点 1 1 6 に整合するように構成される複数の第 1 の入出力接点 1 2 0 にはんだ付けされて示されている複数の入出力接点 1 1 6 を含む。3 D 集積チップアセンブリ 1 0 5、より詳細にはキャップ層 1 1 4 が取り付けられることになる、キャップ層 1 1 4 の入出力接点 (まもなく説明する) に整合するようにパターンングされ配置される基板 1 1 0 層の複数の入出力接点 1 1 6 を製造するのに、標準的なウェハプロセスが使用される。複数の入出力接点 1 1 6 は、1 つまたは複数の金属層、例えば、銅、ニッケルおよび / または金の層として構築され得る。入出力接点スタックにおける金属層の実際の組成は基板 1 1 0 の材料によって決まることになる。一実施形態では、デバイス構造 1 3 2 およびキャップ層 1 1 4 は、最初にもとに接合されて、本明細書において「 M E M S 」または「デバイスチップ」とも称される 3 D 集積チップアセンブリ 1 0 5 を形成し、これはその後はんだバンプ 1 1 8 を介して基板 1 1 0 に取り付けられる。好ましい実施形態では、多くの並列バンプが使用されて、高電流キャリアならびに熱シャントとして役割を果たす。並列マイクロバンプ相互接続は、パッケージサイズ、I O カウントなどに応じて、I O 当たり 2 ~ 5 0 またはそれ以上の数に及ぶことができる。

【 0 0 2 1 】

当該技術分野において既知であるアンダーフィル材料 1 2 1 が、基板 1 1 0 とキャップ層 1 1 4 との間に配置されるものとして示されている。アンダーフィル材料 1 2 1 は、基板 1 1 0 とキャップ層 1 1 4 との間の空間を埋めるために使用することができ、それによって、マイクロバンプ接続部 1 1 5、より詳細には複数の入出力接続部 1 1 6、複数の第 1 の入出力接続部 1 2 0 およびはんだバンプ 1 1 8 が固定されたままになる。基板 1 1 0 とキャップ層 1 1 4 との間で膨張率が異なる場合、それらは、デバイス構造 1 0 0 が動作中に生成される熱に起因して加熱または冷却されるときに膨張または収縮する量が異なる場合がある。デバイス構造 1 0 0 のこの加熱または冷却は、デバイス構造 1 0 0 のさまざまな層の間に相対運動をもたらし場合がある。アンダーフィル材料 1 2 1 を含むことが、基板 1 1 0 とキャップ層 1 1 4 との間で相互接続して安全でなくなることを防止するのに役立つ場合がある。

【 0 0 2 2 】

キャップ層 1 1 4 は、第 2 の主面 1 2 4 上で、デバイス基板 1 3 2 上に形成される複数の入出力接点 (まもなく説明する) と整合し、または他の状態で結合もしくは適合するように構成される、複数の第 2 の入出力接点 1 2 6 を支持するようにさらに構成される。キャップ層 1 1 4 の下側主面 1 2 2 から第 2 の主面 1 2 4 への相互接続は、例えば、ピア形成のためのレーザ、高速反応性イオンエッチングなどを使用して構築される複数の基板貫通ピア 1 3 0、より詳細には複数のシリコン貫通ピア (T S V) 1 3 0 を構築すること、およびピアメタライゼーションのための標準的なウェハプロセスを含むさまざまな手段によって達成することができる。

【 0 0 2 3 】

図示されるように、複数の第 1 の入出力接点 1 2 0 は、複数のウェハ貫通ピア 1 2 8 を介して、キャップ層 1 1 4 の第 2 の主面 1 2 4 上に配置される複数の第 2 の入出力接点 1 2 6 に電氣的に接続する。複数のウェハ貫通ピア 1 2 8 はキャップ層 1 1 4 から電氣的に

10

20

30

40

50

絶縁される。

【0024】

本明細書に記載されるデバイス100の1つの実施形態は、基板110がプリント回路基板(PCB)でない場合には、半導体材料からキャップ層114を製造すること、および、例えば、キャップ層114の材料を、このキャップ層が接続されることになる基板110に一致させることを含む。より具体的には、デバイス構造100を製造する1つの方法は、基板110によって採用される材料に一致する半導体材料、例えば、シリコンから成るキャップ層114を選択することである。これによって機械適応力、負担が最小限に抑えられ、その他の点では高信頼性パッケージおよび相互接続が提供され、均等な電氣的相互接続性能ももたらされる。例として、デバイス構造100がシリコン基板110を含む場合、キャップ層114もシリコンから製造されてもよい。シリコンベースの集積回路デバイスが今日優勢を占めているため、本明細書において提供される説明はシリコンキャップ層114を論じているものであり得る。しかしながら、デバイス基板材料およびキャップ層材料は、シリコン、炭化ケイ素、ガリウムヒ素などを含む任意の半導体材料、または代替的には石英のような材料などを含み得ることを当業者は認識しよう。キャップ層114の製造に、ウェハ処理を使用してキャップ層114上に複数の第1の入出力接点120を作成することを含む、標準的なウェハプロセスを採用することができる。

10

【0025】

キャップ層114の材料が選択された後、複数のウェハ貫通ビア128が(例えば、キャップ層114を貫通するプラズマエッチング、穿孔、レーザ穿孔、化学エッチング、高速反応性イオンエッチング、レーザ切断などによって)作成され、任意選択的に、キャップ層114と後続の電氣的相互接続とを電氣的に絶縁するために絶縁され、金属化されてキャップ層114の第1の主面122からキャップ層114の第2の主面124までの電氣的接続が形成される。

20

【0026】

上記のようなビア作成に続いて、金属化されたウェハ貫通ビア128を作成するために標準的なウェハプロセス(フォトリソグラフィ、湿式化学、物理気相成長(PVD)、電気めっきなど)を採用することができる。貫通ビア構築工程の1つの実施形態は、(応力を軽減するために)湿式化学を使用して、続いて、キャップ層114の表面および(ビアを充填することなく)ビアの壁面を部分的に被覆する絶縁層を確立するために酸化させ、キャップ層114からの必要な電氣的絶縁を提供することである。次いで、シードメタルが堆積されてビア内に金属層が確立され、その後、ビアが金属、例えば、銅、ニッケル、金などによってめっきされる。フォトマスクが被着され、もしあれば、貫通ビアに対する回路(例えば、入出力)接点および相互接続部がパターニングされる。完成すると、図1に示されるようなキャップ層114が実現し、金属化された貫通ビアはキャップ層114の第1の主面122から第2の主面124まで延在する。

30

【0027】

貫通ビアの形成に続いて、複数の第1の入出力接点120の製造に加えて、キャップ層114が取り付けられることになる、デバイス基板132の入出力接点に整合するようにパターニングされ配置される、キャップ層114の複数の入出力接点126を製造するのに、標準的なウェハプロセスが使用される。反対側の、キャップ層114の第1の主面122上には例えば、複数の入出力接点120が形成される。複数の入出力接点120および126は、金属層、例えば、銅、ニッケルおよび/または金の層のスタックとして構築され得る。入出力接点スタックにおける金属層の実際の組成はキャップ層114の材料および使用される取り付け方法によって決まることになる。

40

【0028】

図1の実施形態では、キャップ層114内に形成される複数のウェハ貫通ビア128が、キャップ層114の第1の主面122上に配置されることになる複数の第1の入出力接点120およびキャップ層114の第2の主面124上に配置されることになる複数の第2の入出力接点126の下にまたは近接して位置合わせされる。複数の第2の入出力接点

50

1 2 6 は、1 つの実施形態では、複数の入出力接点 1 3 8 またはキャップ層 1 1 4 が取り付けられることになるデバイス基板 1 3 2 のパッド構成に整合するようにパターンニングされ、一方で複数の第 1 の入出力接点 1 2 0 は、同じくキャップ層 1 1 4 が接続されることになる基板 1 1 0 への接続を容易にするように構成される。1 つの実施形態では、ウェハ貫通ビア 1 2 8 の直径は、ウェハ貫通ビア 1 2 8 の量およびデバイス基板 1 3 2、複数の入出力接点 1 3 8 および複数の入出力接点 1 1 6 の位置によって決まる。高密度入出力構成のために、各ビア 1 2 8 の直径は、今日の技術を使用すれば 1 0 マイクロメートル (1 0 ミクロン) 以下にまで小さくすることができる。

【 0 0 2 9 】

図示されるように、キャップ層 1 1 4 の第 1 の主面 1 2 2 上に配置される複数の第 1 の入出力接点 1 2 0 は、金属化されたビア 1 2 8 を介して、キャップ層 1 1 4 の第 2 の主面 1 2 4 上に配置される複数の第 2 の入出力接点 1 2 6 に電氣的に接続する。

【 0 0 3 0 】

デバイス基板 1 3 2 は、既に説明されたように、第 1 の主面 1 4 0 上に形成される複数の入出力接点 1 3 8 を含む。複数の入出力接点 1 3 8 は、熱圧着などを通じて、キャップ層 1 1 4 の第 2 の主面 1 2 4 上に配置されるとともにキャップ層 1 1 4 の入出力接点 1 2 6 に整合するように構成される複数の第 2 の入出力接点 1 2 6 にはんだ付けされて示されている。相互接続部 1 2 5 を形成するために図面全体を通じて 2 つの別個の層が描かれているが、任意の数の材料層を利用することができることが理解されるべきである。熱伝導性配線 1 4 3 が、能動素子の、デバイス基板 1 3 2 の第 1 の主面 1 4 0 への相互接続および熱の散逸 (まもなく説明する) を提供する。「能動素子」という用語は、本明細書使用される場合、半導体集積回路 (I C)、単純な抵抗器、音響 (超音波) センサのようなセンサ、光 (L C D、フォトダイオード、空間光変調器) デバイス、または任意の類似のタイプの熱生成デバイスのような、任意の熱生成要素を含んでもよい。示されている例示的な実施形態では、能動素子 1 4 4 は、微小電気機械システム (M E M S) 回路、特にマイクロスケール継電器を含む。

【 0 0 3 1 】

図 1 に示されているように、シールリング 1 4 6 は能動素子 1 4 4 の気密シーリングを提供する。シーリング 1 4 6 は、ガラスフリット、共晶金属組成物、高分子接着剤、熱圧着メタルボンドなどのような、任意の既知のシーリング材料から成ってもよい。ガラスフリットシールリング 1 4 6 を含む実施形態では、組み立て中、チクソペーストのようなガラスフリットリングがデバイス基板 1 3 2 またはキャップ層 1 1 4 のうちの一方の上にスクリーン印刷され、乾燥されることができる。例示的な実施形態では、フリットの厚さは 5 ~ 2 0 マイクロメートル (5 ~ 2 0 ミクロン) の範囲内にある。印刷されたガラスフリットリングは、最終的には、個別の能動素子 (複数の場合もあり) 1 4 4 に対する気密シール 1 4 8 を形成することになる。気密シール 1 4 8 を形成するために、ガラス粒子を溶融させるウェハボンディング工程が実行され、それによって、シールリング 1 4 6 および気密シール 1 4 8 が作成される。通常のガラスフリットリングのウェハ処理は、ガラスリフロー、および、真空下でかつウェハからウェハへの力が印加された状態で約 4 0 0 の接着温度を採用することができる。リフローされたガラスフリットのシーリング工程は、シールリング 1 4 6 が、キャップ層 1 1 4 の第 2 の主面 1 2 4 とデバイス基板 1 3 2 の第 1 の主面 1 4 0 との間で能動素子 1 4 4 を気密封止することを可能にする。動作中の機械的構成要素によって生成される運動に起因して、能動素子 1 4 4 は、外気、および、湿気、塵埃粒子などのような望ましくない粒子の影響を受けやすい。シールリング 1 4 6 および能動素子 1 4 4 の周囲の気密シール 1 4 8 は、これらの望ましくない汚染からの保護を提供することができる。

【 0 0 3 2 】

デバイス基板 1 3 2 の第 2 の主面 1 5 0 は、任意選択のヒートスプレッド 1 5 2 に、それらの間に配置される熱伝導材料 (T I M) 1 5 4 を介して取り付けられてもよい。示されている実施形態では、能動素子 1 4 4 によって生成される熱は、ヒートスプレッド 1 5

10

20

30

40

50

2を通じて外部環境内に散逸させることができる。ヒートスプレッド152およびTIM154を含むか否かは、構造100内に追加の熱散逸能力が必要か否かによって決まり得る。

【0033】

上記で論じられたように構築されるキャップ層114、能動素子144の気密シール、複数の並列相互接続およびデバイス構造100全体は、高出力マイクロ電子チップ構造、より詳細には高出力微小電気機械システム(MEMS)内の熱散逸に付随する問題のいくらかまたはすべてを軽減することができる。加えて、本明細書に記載されるように構築される3D集積チップアセンブリ105は、高精度の高容量装着機を用いて容易に選定および配置され、パッケージングのために基板110上に組み付けられることができる。

10

【0034】

ここで図2を参照すると、上記の記載に従って構築されるデバイス構造100が示されており、これは、一実施形態による複数の熱散逸経路156を描いたものである。既に述べたように、同様の参照符号はいくつかの図面全体を通じて同様の要素を指す。過渡電流状態の間、複数の熱散逸経路156は示されているように利用可能である。本明細書において開示されるような熱散逸経路156は、熱が最初にバルク基板を通じて流れ、次いでTIMを通じて、次いでヒートスプレッドへと流れることを必要とするヒートスプレッドと比較して、熱生成を電力線を介した散逸へと直接結び付ける。示されるように、動作中、デバイス基板100、より詳細には能動素子144によって生成される熱は、複数の熱散逸経路156を介して、特に、デバイス144からの熱を相互接続構造125へ、下っ

てはんだバンプフリップチップアセンブリ115へと導く、ウェハまたはキャップ表面上の熱伝導配線143に沿って散逸される。熱散逸経路156は、能動素子144からその金属相互接続部までの連続的な熱伝導金属経路を提供し、従って、熱散逸のための主要な経路としての役割を果たす。フリップチップ相互接続部115は、熱生成源、より詳細には能動素子144に、バルクシリコンなどを通じての熱散逸にもっぱら依拠するよりも良好に熱的に結合される各電気的接合部を通じて多くの熱散逸経路156を提供する。多くの並列のより短い電気路156を提供することに加えて、フリップチップ相互接続部115は、より短い散逸経路156を提供する。描かれているように、熱は、基110とキャップ層114との間に位置するフリップチップ接合部によって形成されるマイクロバンプ相互接続部115、および、キャップ層114とデバイス基板132との間に形成される

金属相互接続部125によって散逸され得る。任意の追加の熱が、デバイス基板100内に含まれる場合にはヒートスプレッド152を通じて散逸されてもよい。記載されている新規のフリップチップ手法は、より短い相互接続経路長を提供し、それによって、熱を散逸させるためにより好ましいものにする。このような短くかつ高度に並列化された熱経路は、ワイヤボンドおよびリボンボンディングのような他の相互接続方法にまさる重要な利点を供する。

20

30

【0035】

より高出力の熱散逸能力を採用するデバイス構造構成のさらなる例が図3および図4に描かれており、ここでも、同様の参照符号は図面全体を通じて同様の要素を指す。図3をより具体的に参照すると、基板110と、概してキャップ層114およびデバイス基板132を備える3D集積チップアセンブリ105とを含むデバイス基板の別の実施形態200が示されている。この特定の実施形態では、図1および図2に描かれている実施形態とは対照的に、デバイス基板132が3D集積チップアセンブリ105の下側部分内に配置されており、より詳細には、キャップ層114がデバイス基板132の第2の主面150上に配置されている。加えて、能動素子144が、熱伝導性配線143を介してデバイス基板132の第2の主面150上に位置付けられている。デバイス基板132は、その中に形成される複数のウェハ貫通ビア130と、その第1の主面140の上に配置される複数の第1の入出力接点120とをさらに含み、複数の第1の入出力接点120は、複数のウェハ貫通ビア130を通じて能動素子144に電気的に接続されている。図1および図2に示されている第1の実施形態のものと同様に構成されるフリップチップバンプ相互接

40

50

続部が、基板 1 1 0 の第 2 の主面 1 1 2 と、デバイス基板 1 3 2 の第 1 の主面 1 4 0 との間に形成される。アンダーフィル材料 1 2 1 も提供されることができる。シールリング 1 4 6 は、デバイス基板 1 3 2 とキャップ層 1 1 4 との間に能動素子 1 4 4 に対する気密シール 1 4 8 を形成する。加えて、シールリング 1 4 6 は、デバイス基板 1 3 2 の第 2 の主面 1 5 0 とキャップ層 1 1 4 の第 1 の主面 1 2 2 との間に物理的接合を提供する。この特定の実施形態では、図 1 および図 2 に描かれている実施形態とは対照的に、ヒートスプレッド 1 5 2 および熱伝導材料 1 5 4 は省かれている。最初に開示された実施形態と同様に、デバイス構造 2 0 0、より詳細には能動素子 1 4 4 によって生成される熱は、同様に図 2 に示されている熱散逸経路に従って散逸される。3 D 集積チップアセンブリ 1 0 5 内のキャップ層 1 1 4 およびデバイス基板 1 3 2 の構成に関わりなく、熱伝導材料 1 5 4 およびヒートスプレッド 1 5 2 を含むか否かは、依然として追加の熱散逸能力が必要であるか否かによって決まることが付加的に理解されるべきである。

10

【 0 0 3 6 】

ここで図 4 を参照すると、概して図 1 および図 2 に描かれている実施形態と同様にスタック内に構成されている、基板 1 1 0 と、概してキャップ層 1 1 4 およびデバイス基板 1 3 2 を備える 3 D 集積チップアセンブリ 1 0 5 とを含むデバイス構造のさらに別の実施形態 3 0 0 が示されている。この特定の実施形態では、図 1 および図 2 に描かれている実施形態とは対照的に、ヒートスプレッド 1 5 2 および熱伝導材料 1 5 4 は省かれている。任意選択のヒートスプレッド 1 5 2 が、熱伝導材料 (T I M) 1 5 4 を介してキャップ層 1 1 4 の第 1 の主面 1 2 4 上に位置付けられている。この特定の実施形態ではシールリングが省かれており、能動素子 1 4 4 に対する気密シール 1 4 8 は、デバイス基板 1 3 2 と、キャップ層 1 1 4 と、キャップ層 1 1 4 およびデバイス基板 1 3 2 の間に形成される金属相互接続部 1 2 5 とによって形成される。より具体的には、キャップ層 1 1 4 の第 2 の主面 1 2 4 上に形成される複数の第 2 の入出力接点 1 2 6、および、デバイス基板 1 3 2 の第 1 の主面 1 4 0 上に形成される複数の入出力接点 1 3 8 が、能動素子 1 4 4 の周囲の気密シール 1 4 8 を提供する。さらに別の代替の実施形態では、追加のシールを形成するために、キャップ層 1 1 4 およびデバイス基板 1 3 2 の間に形成される金属相互接続部 1 2 5 のセットと、ビア 1 3 0 と、キャップ層 1 1 4 および基板 1 1 0 の間に形成される相互接続部 1 1 6、1 2 0 およびバンプ 1 1 8 とを備える、追加の相互接続ビア構造が能動素子 1 4 4 の周囲に含まれることができる。

20

30

【 0 0 3 7 】

既に開示された実施形態と同様に、デバイス構造 3 0 0、より詳細には能動素子 1 4 4 によって生成される熱は、同様に図 2 に示されている熱散逸経路に従って散逸される。図 4 はキャップ層 1 1 4 が基板 1 1 0 に取り付けられることを可能にするように位置決められて構成されている 3 D 集積チップアセンブリ 1 0 5 を含んでいるが、代替的な実施形態では、キャップ層 1 1 4 およびデバイス基板 1 3 2 は、デバイス基板 1 3 2 が基板 1 1 0 に取り付けられることを可能にするために、図 3 に記載および図示されているように、3 D 集積チップアセンブリ 1 0 5 内の構成に関して逆になってもよいことが理解されるべきである。3 D 集積チップアセンブリ 1 0 5 内のキャップ層 1 1 4 およびデバイス基板 1 3 2 の構成に関わりなく、熱伝導材料 1 5 4 およびヒートスプレッド 1 5 2 を含むか否かは、依然として追加の熱散逸能力が必要であるか否かによって決まることが付加的に理解されるべきである。

40

【 0 0 3 8 】

図 5 には、既知の相互接続 / スタック構成および本明細書に記載される新規の相互接続 / スタック構成を含む高出力マイクロ電子デバイス構造の実施形態の熱散逸を示すシミュレーション結果 4 0 0 が示されている。より具体的には、熱散逸は、フリップチップボード構成の熱散逸品質の向上を示す図 5 においてグラフで表されている。電流 (A) が x 軸 4 0 2 上に表されており、パッケージ内の (通常は M E M S ビームにおける) 最大温度および温度 (K) が y 軸 4 0 3 上に表されている。標準的なワイヤボンド / 配線相互接続およびヒートスプレッドを含む、既知のマイクロ電子デバイス構造における一般的な熱散逸

50

が線 404 に描かれている。示されているように、約 30 アンペアの電流において、ワイヤボンド / 配線相互接続はパッケージされたデバイスの熱伝導性を限定しており、700 K を超えて示されているように温度を過剰に熱くしてしまっている。

【0039】

銅ストラップ相互接続およびヒートスプレッドを含む、既知のマイクロ電子デバイス構造の一般的な熱散逸が線 406 に描かれている。示されているように、約 30 アンペアの電流において、銅ストラップ相互接続を含む既知のデバイスにおける熱は、ワイヤボンド / 配線相互接続を含む上記のデバイスよりも効率的に熱を散逸させることが可能であるが、デバイスが 460 K を超える温度に留まるような熱散逸が可能であるに過ぎない。

【0040】

図 1 ~ 図 4 の上記の実施形態におけるもののような、キャップ層と、気密シールと、相互接続とを含むように構成されるマイクロ電子デバイス構造の一般的な熱散逸が線 408 および 410 において描かれている。線 408 において示されているように、約 30 アンペアの電流において、図 1 ~ 図 4 に描かれているもののような、キャップ層と、気密シールと、新規のフリップチップ相互接続と、ヒートスプレッドとを含む新規のデバイスは、ワイヤボンド / 配線相互接続またはリボンベースの相互接続を含む上記の既知のデバイスよりも効率的に熱を散逸させることが可能である。線 408 において描かれているように、温度は効率的に散逸され、約 30 アンペアにおけるデバイスの温度は 400 K 未満である。

【0041】

図 4 の上記の実施形態におけるもののような、キャップ層と、気密シールと、相互接続とを含むように構成されるマイクロ電子デバイス構造であって、ヒートスプレッドがデバイス構造内に組み込まれていない、マイクロ電子デバイス構造の一般的な熱散逸が線 410 において描かれている。線 410 において示されているように、約 30 アンペアの電流において、図 1 ~ 図 4 に描かれているもののような、キャップ層と、新規のフリップチップ相互接続とを含むが、ヒートスプレッドを含まない新規のデバイスは、線 408 におけるヒートスプレッドを組み込んだフリップチップの実施形態よりも熱を散逸させないが、依然として、ヒートスプレッドが利用されたワイヤボンド / 配線相互接続または銅ストラップ相互接続を含む上記の既知のデバイスよりも効率的に熱を散逸させることが可能である。線 410 において描かれているように、この実施形態における温度は効率的に散逸され、約 30 アンペアにおけるデバイスの温度は 450 K 未満である。

【0042】

上記の例から、本明細書において、微小電気機械システム (MEMS) デバイスのような高出力マイクロ電子デバイスにおける熱散逸を向上させるために採用されることができ、新規の相互接続構造およびデバイス構造スタックまたはパッケージが提供されることを当業者は理解しよう。標準的な化学、機械的処理などを使用して、このデバイスを、キャップ層、デバイス基板、複数の金属相互接続部および能動素子を備える 3D 集積チップアセンブリと、3D 集積チップアセンブリおよび下層基板の間の複数のバンプ相互接続部と、能動素子の周囲でかつキャップ層およびデバイス基板の間にある気密シールとを含むように製造することによって、コストが低く、高性能で、収率の高いデバイス構造を得ることができる。さらに、本明細書において開示されるデバイス構造および技法は結果として、熱散逸能力の向上による熱的管理の改善、パッケージ統合の簡易化、および電気抵抗相互接続の低減を含むが、これらに限定されない利点をもたらすことができる。より薄い、壊れやすい集積回路チップおよびデバイスのための機械的および熱的管理システムも提供される。

【0043】

本発明はさまざまな変更および代替の形態の影響を受け得るが、具体的な実施形態が例として図面内に示されており、本明細書において詳細に記載されている。しかしながら、本発明は開示されている特定の形態に限定されるようには意図されていないことが理解されるべきである。そうではなく、本発明は、添付の特許請求の範囲によって定義される発

10

20

30

40

50

明の趣旨および範囲内に入るすべての変更、均等物、および代替物を包含するものである。

【符号の説明】

【 0 0 4 4 】

1 0 0	デバイスアセンブリ	
1 0 5	3 D 集積チップアセンブリ	
1 1 0	基板	
1 1 1	1 1 0 の第 1 の主面	
1 1 2	1 1 0 の第 2 の主面	
1 1 4	キャップ層	10
1 1 5	マイクロバンプ接続部	
1 1 6	複数の入出力接点	
1 1 8	はんだバンプ	
1 2 0	複数の第 1 の入出力接点	
1 2 1	アンダーフィル材料	
1 2 2	1 1 4 の第 1 の主面	
1 2 4	1 1 4 の第 2 の主面	
1 2 5	金属相互接続部	
1 2 6	複数の第 2 の入出力接点	
1 2 8	複数のウェハ貫通ビア	20
1 3 0	複数のシリコン貫通電極 (T S V)	
1 3 2	デバイス基板	
1 3 4	熱伝導材料	
1 3 6	ヒートスプレッダ	
1 3 8	複数の入出力接点	
1 4 0	1 3 2 の第 1 の主面	
1 4 1	熱伝導層	
1 4 2	はんだバンプ	
1 4 3	熱伝導性配線	
1 4 4	能動素子	30
1 4 6	ガラスフリット	
1 4 8	気密シール	
1 5 0	1 3 2 の第 2 の主面	
1 5 2	ヒートスプレッダ	
1 5 4	熱伝導材料	
1 5 6	熱散逸経路	
2 0 0	第 2 の実施形態	
3 0 0	第 3 の実施形態	

【図 1】

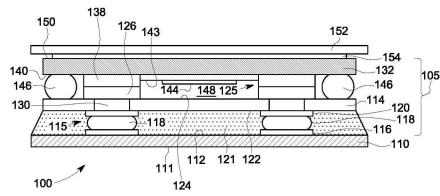


FIG. 1

【図 3】

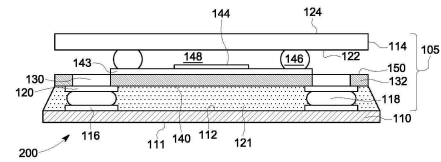


FIG. 3

【図 2】

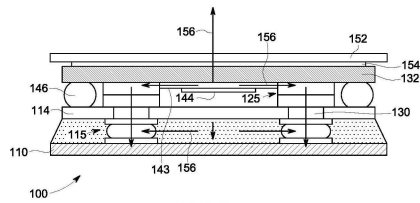


FIG. 2

【図 4】

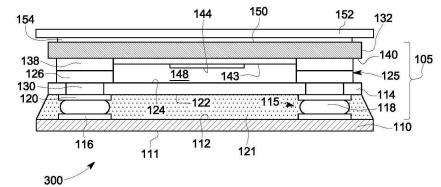


FIG. 4

【図 5】

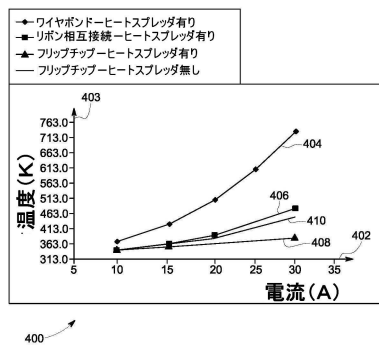


FIG. 5

フロントページの続き

- (72)発明者 カウスタブー・ラヴィンドラ・ナガールカール
アメリカ合衆国、ニューヨーク州・12309、ニスカユナ、ワン・リサーチ・サークル
- (72)発明者 クリストファー・フレッド・カイメル
アメリカ合衆国、ニューヨーク州・12309、ニスカユナ、ワン・リサーチ・サークル

審査官 豊島 洋介

- (56)参考文献 特開2005-072419(JP, A)
特開2005-019966(JP, A)
特開2004-209585(JP, A)
特開平09-148499(JP, A)
実公昭50-040941(JP, Y1)

(58)調査した分野(Int.Cl., DB名)

B81B 1/00 - 7/04
B81C 1/00 - 99/00
H01L 21/54
23/00 - 23/04
23/06 - 23/10
23/16 - 23/26
23/29
23/34 - 23/36
23/373 - 23/427
23/44
23/467 - 23/473
H05K 7/20