

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年5月26日(26.05.2016)



(10) 国際公開番号

WO 2016/079798 A1

- (51) 国際特許分類:
H04L 25/02 (2006.01) H04L 25/03 (2006.01)
- (21) 国際出願番号: PCT/JP2014/080472
- (22) 国際出願日: 2014年11月18日(18.11.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社ソシオネクスト (SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者: 川井 重明 (KAWAI, Shigeaki); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).
- (74) 代理人: 青木 篤, 外 (AOKI, Atsushi et al.); 〒1058423 東京都港区虎ノ門三丁目5番1号 虎ノ門37森ビル 青和特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

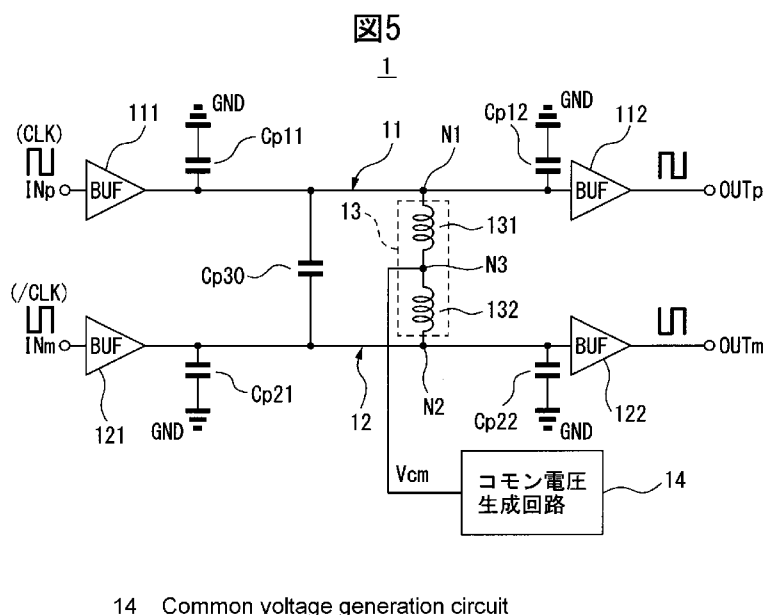
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロアジア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: CLOCK TRANSMISSION CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: クロック伝送回路および半導体集積回路



(57) Abstract: This clock transmission circuit has: a first buffer, which receives a first clock, i.e., one of differential clocks, performs buffering, and outputs the first clock to first clock wiring; a second buffer, which receives a second clock, i.e., the other one of the differential clocks, performs buffering, and outputs the second clock to second clock wiring; an inductor section, which is connected between a first node in the first clock wiring, and a second node in the second clock wiring, and in which a common voltage is applied to an intermediate tap. The clock transmission circuit stably transmits the differential clocks, while suppressing reduction of a transmission band.

(57) 要約: 差動クロックの一方の第1クロックを受け取り、バッファリングして第1クロック配線に出力する第1バッファと、前記差動クロックの他方の第2クロックを受け取り、バッファリングして第2クロック配線に出力する第2バッファと、前記第1クロック配線における第1ノードと、前記

第2クロック配線における第2ノードの間に接続され、中間タップに共通電圧が印加されるインダクタ部と、を有し、伝送帯域の減少を抑えつつ、安定して差動クロックを伝送する。

明 細 書

発明の名称：クロック伝送回路および半導体集積回路

技術分野

[0001] この出願で言及する実施例は、クロック伝送回路および半導体集積回路に関する。

背景技術

[0002] クロック伝送回路は、半導体集積回路(L S I)に用いられるクロックを、クロック発振源からクロックを使用する各回路ブロックまで伝送するためのものであり、通信用 L S I や C P U を始めとしてクロック信号を用いる様々な L S I 等で幅広く利用されている。

[0003] すなわち、クロック伝送回路は、例えば、クロック発振源からのクロックを、複数のバッファを介して波形を維持し、各回路ブロックまで伝送する。

[0004] ところで、一般的に、クロック伝送回路によるクロックの伝送は、例えば、C M O S インバータまたは C M L (Current Mode Logic) を適用して行う。ここで、クロックを伝送する配線や C M O S インバータ(バッファ)には寄生容量(負荷容量)が存在するため、クロックを伝送する場合、その負荷容量を充放電することになり、消費電流が大きくなる。例えば、C M O S インバータを適用してクロック伝送を行う場合、消費電流は、負荷容量と周波数に比例することになる。

[0005] さらに、近年、C P U の処理速度や通信の高速化に伴って、L S I における内部クロックの周波数は、数 G H z またはそれ以上に増加している。上述のように、消費電流は、周波数に比例するため、内部クロックの周波数が数 G H z 以上に増加すると、クロック伝送回路による消費電流の増大が問題になって来ている。

[0006] そこで、クロック伝送を低消費電力で行う手法として、インダクタピーキング(共鳴によるクロック分配: Resonant Clock Distribution)という手法が提案されている。なお、インダクタピーキングは、共振によるクロック伝送

とも称される。

[0007] インダクタピーキングとは、例えば、負荷容量と並列にインダクタを配置して並列共振させることにより、クロック伝送回路のバッファから見たインピーダンスを上げ、小さな負荷容量に見せてクロック伝送を行うという手法である。

[0008] ところで、従来、インダクタピーキングを利用してクロック伝送を行うものとしては、様々な提案がなされている。

先行技術文献

特許文献

[0009] 特許文献1：特開平 1 1 - 2 5 2 1 8 5 号公報

非特許文献

[0010] 非特許文献1：Fukuda et al., "A 12.3mW 12.5Gb/s Complete Transceiver in 65nm CMOS," Solid-State Circuits IEEE International Conference-ISSC C, pp.368-369, February, 2010

発明の概要

発明が解決しようとする課題

[0011] 前述したように、インダクタピーキングを利用してクロック伝送を行うものが提案されているが、このようなクロック伝送回路では、例えば、コモン電圧(バイアス電圧)を高抵抗バイアスにより印加している。

[0012] すなわち、コモン電圧を所望の値に設定するには、例えば、高速信号(クロック)を伝送する信号線に対して、オペアンプや抵抗によりバイアスするために、容量性または抵抗性の素子を付けることが行われている。

[0013] このとき、伝送されるクロックに対して、できるだけ影響を与えないようにするには、高抵抗素子を介してバイアスする手法、すなわち、インピーダンスを高くしてコモン電圧を設定する手法がある。なお、インピーダンスを低くしてコモン電圧を設定すると、例えば、伝送する差動(相補)のクロックに大きな影響を与えることになるため、通常行われない。

[0014] しかしながら、高抵抗素子を介してバイアスする手法では、高抵抗素子を半導体基板内作成(半導体チップ上に形成)するため、例えば、数 f_F ~ 数 $100 f_F$ 程度の寄生容量の付与は避けることができず、クロック伝送回路の帯域を減少させることになる。

[0015] また、インピーダンスを高くすると、例えば、外来ノイズの影響を受けやすくなり、また、コモン電圧のノイズにより、伝送されるクロックにジッタが発生し、或いは、デューティ比がずれることにもなる。

課題を解決するための手段

[0016] 一実施形態によれば、第1バッファと、第2バッファと、インダクタ部と、を有するクロック伝送回路が提供される。前記第1バッファは、差動クロックの一方の第1クロックを受け取り、バッファリングして第1クロック配線に出力する。

[0017] 前記第2バッファは、前記差動クロックの他方の第2クロックを受け取り、バッファリングして第2クロック配線に出力する。前記インダクタ部は、前記第1クロック配線における第1ノードと、前記第2クロック配線における第2ノードの間に接続され、中間タップにコモン電圧が印加される。

発明の効果

[0018] 開示のクロック伝送回路および半導体集積回路は、伝送帯域の減少を抑えつつ、安定してクロックを伝送することができるという効果を奏する。

図面の簡単な説明

[0019] [図1] 図1は、クロック伝送回路が適用される半導体集積回路の一例を示すブロック図である。

[図2] 図2は、図1に示すクロック伝送回路の一例を説明するための図である。

[図3] 図3は、図2に示すクロック伝送回路におけるコモン電圧の印加を説明するための図である。

[図4] 図4は、図1に示すクロック伝送回路の他の例を説明するための図である。

[図5]図5は、クロック伝送回路の第1実施例を示すブロック図である。

[図6]図6は、図5に示すクロック伝送回路に適用されるインダクタの一例を説明するための図である。

[図7]図7は、クロック伝送回路の第2実施例を示すブロック図である。

[図8]図8は、図7に示すクロック伝送回路に適用されるインダクタの一例を説明するための図である。

[図9]図9は、図7に示すクロック伝送回路におけるコモン電圧生成回路の例を説明するための図である。

[図10]図10は、クロック伝送回路の第3実施例を示すブロック図である。

[図11]図11は、クロック伝送回路の第4実施例を示すブロック図である。

[図12]図12は、クロック伝送回路の第5実施例を示すブロック図である。

[図13]図13は、本実施例のクロック伝送回路が適用される半導体集積回路の一例を示すブロック図である。

発明を実施するための形態

[0020] まず、クロック伝送回路および半導体集積回路の実施例を詳述する前に、図1～図4を参照してクロック伝送回路および半導体集積回路の例、並びに、その課題を説明する。図1は、クロック伝送回路が適用される半導体集積回路の一例を示すブロック図であり、通信用半導体集積回路(通信用LSI)の一例を示すものである。

[0021] 図1に示されるように、通信用LSI100は、クロック伝送回路1、複数のデータ受信回路(RX)21～24、複数のデータ送信回路(TX)31～34およびクロック発生回路(クロック発振源：オシレータOSC)4を含む。

[0022] クロック発生回路4は、例えば、PLL(Phase Locked Loop)によりクロックCLKを発生してクロック伝送回路1に入力する。クロック伝送回路1は、複数のバッファ(BUF)101を含み、これらバッファ101を介して、クロックCLKを各データ受信回路21～24および各データ送信回路31～34に伝送する。

[0023] データ受信回路21(21～24)は、それぞれ同様の構成を有し、例えば

、バッファ201、フリップフロップ(FF)202およびスイッチ203を含む。ここで、クロック伝送回路1からのクロックCLKは、例えば、同期回路を形成するフリップフロップ202およびスイッチ203の制御信号として利用される。

[0024] そして、データ受信回路21～24は、それぞれ入力データ(受信信号)Di1～Di4を受け取ってバッファ201で増幅し、クロックCLKに基づくフリップフロップ202およびスイッチ203の同期回路により受信信号Di1～Di4を再生する。

[0025] データ送信回路31(31～34)は、それぞれ同様の構成を有し、例えば、増幅器301、フリップフロップ302(FF)およびスイッチ303を含む。ここで、クロック伝送回路1からのクロックCLKは、例えば、同期回路を形成するフリップフロップ302およびスイッチ303の制御信号として利用される。

[0026] そして、データ送信回路31～34は、クロックCLKに基づくフリップフロップ302およびスイッチ303の同期回路により処理した後、増幅器301で増幅して出力データ(送信信号)Do1～Do4を出力する。

[0027] このように、クロック伝送回路1は、クロック発生回路4からのクロックCLKを、クロックを使用する各データ受信回路21～24(202, 203)および各データ送信回路31～34(302, 303)に伝送する。

[0028] なお、図1は通信用LSI100を概略的に描いたものであり、実際には、クロック伝送回路1からのクロックCLKは、データ受信回路およびデータ送信回路におけるフリップフロップやスイッチだけでなく、様々な回路ブロックに対して伝送される。

[0029] 図2は、図1に示すクロック伝送回路の一例を説明するための図であり、インダクタピーキングを適用してクロック伝送を行うクロック伝送回路の一例を示すものである。図2において、参照符号11, 12は配線(クロック配線)を示し、111, 112, 121, 122はバッファ(BUF)を示し、103はインダクタを示し、そして、Cp11, Cp12, Cp21, Cp22, Cp30は寄生

容量を示す。

[0030] なお、インダクタピーキングとは、前述したように、例えば、負荷容量と並列にインダクタを配置して並列共振させることで、クロック伝送回路のバッファから見たインピーダンスを上げてクロック伝送を行う手法である。

[0031] 図2に示されるように、クロック伝送回路1は、差動(相補)のクロックCLK, /CLKを入力端子INp, INmで受け取り、バッファ111, 112、クロック配線11, 12およびバッファ121, 122を介して出力端子OUTp, OUTmから出力する。

[0032] ここで、例えば、クロック配線11と接地(グランド)GNDの間には、容量(寄生容量)Cp11およびCp12が存在し、クロック配線12と接地GNDの間には、容量Cp21およびCp22が存在し、クロック配線11と12の間には、容量Cp30が存在している。なお、例えば、容量Cp30は、クロック配線11と12の間に寄生する容量ではなく、意図的に設けた容量であってもよい。

[0033] インダクタ103は、正論理のクロックCLKを伝送するバッファ111と112の間のクロック配線11のノードN11と、負論理のクロック/CLKを伝送するバッファ121と122の間のクロック配線12のノードN21に接続されている。

[0034] すなわち、クロック配線11と12の間にインダクタ103を設けることにより、負荷容量(寄生容量Cp11, Cp12, Cp21, Cp22, Cp30)と並列共振させ、例えば、バッファ111, 121から見た負荷容量の大きさを小さく見せるようになっている。

[0035] ここで、クロックCLKの周波数をf、負荷容量のキャパシタンス値をC、そして、インダクタ103のインダクタンスをLとすると、Lの最適値は、次の式で与えられる。

$$L = 1 / (4 \pi^2 f^2 C)$$

[0036] このような最適値のインダクタンスLを有するインダクタ103をクロック配線11と12の間に設けることにより、例えば、前段のバッファ111

， 1 2 1 のサイズを縮小することができ、消費電流を低減することが可能となる。

[0037] ところで、例えば、1 GHz よりも低い周波数のクロックを伝送するクロック伝送回路では、クロック伝送回路による消費電流が問題になることは殆どなかった。また、インダクタピーキングを適用したクロック伝送回路において、低い周波数のクロックを伝送する場合、最適な L の値を有するインダクタ 1 0 3 を L S I (半導体基板：チップ)に形成することは、例えば、占有面積の問題から困難であった。

[0038] 具体的に、例えば、 $f = 0.5 \text{ GHz}$ ， $C = 1 \text{ pF}$ の場合、 $L = 0.1 \mu\text{H}$ となるため、チップ内での実現は難しいものであった。しかしながら、動作速度が 1 0 倍になると、 $f = 5 \text{ GHz}$ ， $C = 1 \text{ pF}$ の場合、 $L = 1 \text{ nH}$ となる。

[0039] ここで、 $L = 1 \text{ nH}$ のインダクタ 1 0 3 は、例えば、数 $100 \mu\text{m}^2$ で実現可能である。さらに、今後の CPU の処理速度や通信の高速化に伴って、より一層の高速化が見込まれる L S I では、インダクタピーキングを適用したクロック伝送回路が広く適用され得るものと考えられる。

[0040] 図 3 は、図 2 に示すクロック伝送回路におけるコモン電圧の印加を説明するための図である。なお、図 3 では、図 2 における負荷容量(寄生容量 C_{p11} ， C_{p12} ， C_{p21} ， C_{p22} ， C_{p30})は省略されている。

[0041] 図 3 と前述した図 2 の比較から明らかなように、図 3 に示すクロック伝送回路 1 は、クロック配線 1 1 と 1 2 の間に直列に設けられた抵抗 1 5 1，1 5 2、および、コモン電圧 V_{cm} を生成するコモン電圧生成回路 1 4 を含む。

[0042] 抵抗 1 5 1 の一端は、クロック配線 1 1 のノード N11 に接続され、抵抗 1 5 2 の一端は、クロック配線 1 2 のノード N21 に接続され、そして、抵抗 1 5 1 および 1 5 2 の他端は、ノード N300 において共通接続されている。そして、コモン電圧生成回路 1 4 からのコモン電圧 V_{cm} は、抵抗 1 5 1 と 1 5 2 の共通接続ノード N300 に印加されるようになっている。

[0043] このように、図 3 に示すクロック伝送回路は、前述した高抵抗素子(1 5 1

， 152：例えば、数十KΩ～数百KΩ)を介してバイアス(インピーダンスを高くしてコモン電圧を設定)する手法を適用したものに相当する。

[0044] しかしながら、高抵抗素子を介してバイアスする手法では、高抵抗素子を半導体チップ上に形成するため、例えば、数fF～数100fF程度の寄生容量の付与は避けることができず、クロック伝送回路の帯域を減少させることになる。

[0045] また、インピーダンスを高くすると、例えば、外来ノイズの影響を受けやすくなり、また、コモン電圧のノイズにより、伝送されるクロックにジッタが発生し、或いは、デューティ比がずれることにもなる。

[0046] 図4は、図1に示すクロック伝送回路の他の例を説明するための図である。図4に示されるように、クロック伝送回路1は、例えば、クロック発生回路4からの差動クロックCLK， /CLKをバッファ(BUF)110でバッファリング(例えば、波形整形および増幅)して各内部回路1a～1hに伝送する。

[0047] ここで、図4の例では、差動クロックCLK， /CLKを伝送するクロック配線11， 12における複数の内部回路1a～1h(例えば、データ送信回路TX)に対して、それぞれインダクタ103a～103hが設けられるようになっている。なお、内部回路1hは、例えば、データ送信回路のダミー回路としてもよい。

[0048] 以下、クロック伝送回路および半導体集積回路の実施例を、添付図面を参照して詳述する。図5は、クロック伝送回路の第1実施例を示すブロック図である。図5と前述した図2および図3の比較から明らかなように、第1実施例のクロック伝送回路1は、コモン電圧V_{cm}を、クロック配線11および12の間に直列に設けたインダクタ131， 132の接続ノードN3に印加する。

[0049] すなわち、差動クロックの一方の第1クロックCLKは、入力端子IN_pから第1バッファ111に入力され、バッファリング(例えば、波形整形および増幅)されて第1クロック配線11および第3バッファ112を介して出力端子OUT_pから出力される。

- [0050] また、差動クロックの他方の第2クロック／CLKは、入力端子IN_mから第2バッファ121に入力され、バッファリングされて第2クロック配線12および第4バッファ122を介して出力端子OUT_mから出力される。
- [0051] ここで、インダクタ部13は、第1インダクタ131および第2インダクタ132を含み、第1インダクタ131の一端が第1クロック配線11の第1ノードN1に接続され、第2インダクタ132の一端が第2クロック配線12の第2ノードN2に接続される。
- [0052] 第1インダクタ131の他端および第2インダクタ132の他端は、第3ノードN3で共通接続され、この第3ノードN3に対して、コモン電圧生成回路14で生成されたコモン電圧V_{cm}が印加されるようになっている。
- [0053] なお、第1インダクタ131および第2インダクタ132は、同じインダクタンスを有している。また、図5において、参照符号C_{p11}, C_{p12}, C_{p21}, C_{p22}, C_{p30}は、寄生容量(負荷容量)を示す。さらに、図2を参照して説明したのと同様に、例えば、容量C_{p30}は、クロック配線11と12の間に寄生する容量ではなく、意図的に設けた容量であってもよい。
- [0054] そして、インダクタ131, 132を負荷容量(C_{p11}, C_{p12}, C_{p21}, C_{p22}, C_{p30})と並列に配置して並列共振させることで、クロック伝送回路1のバッファ111, 121から見たインピーダンスを上げるインダクタピーキングを利用してクロックを伝送する。
- [0055] すなわち、第1実施例のクロック伝送回路において、コモン電圧生成回路14で生成されるバイアス印加用のコモン電圧V_{cm}は、等しいインダクタンスのインダクタ131と132の共通接続ノードN3に印加される。
- [0056] これにより、ノードN3は、差動クロックCLK, /CLKの差動中心となり、差動信号が現れることはなく、低インピーダンス回路や大きな寄生容量が付いた状態でも、伝送される差動クロックCLK, /CLKに悪影響を与えないようにすることができる。
- [0057] このように、第1実施例のクロック伝送回路によれば、図3を参照して説明したような高抵抗素子を使用せず、クロック伝送回路の帯域を減少させる

ことなく、ジッタの発生やデューティ比のずれを抑えて安定したクロック伝送を行うことができる。

[0058] 図6は、図5に示すクロック伝送回路に適用されるインダクタの一例を説明するための図である。図6において、参照符号L1は、例えば、半導体チップ(半導体基板、ダイ)における一層目の導電層(金属層)を示し、L2は、導電層L1の上の二層目の導電層を示す。また、参照符号V1、V2は、一層目の導電層L1と二層目の導電層L2を電氣的に接続するビア(コンタクトホール)を示す。

[0059] 図5および図6に示されるように、第1実施例のクロック伝送回路におけるインダクタ部13は、2つのインダクタ131、132を有し、これら第1インダクタ131と第2インダクタ132は、半導体チップにおいて対称な構造となるように形成されている。

[0060] すなわち、対称な構造で等しいインダクタンスを有する2つのインダクタ131、132のノードN1、N2に対して差動の信号(クロックCLK、 $\overline{\text{CLK}}$)が入力されることになるため、ノードN3は差動中心となる。そして、この差動中心のノードN3に対してコモン電圧V_{cm}によるバイアスが与えられる。

[0061] ここで、第1クロック配線11は、例えば、第1インダクタ131における二層目の導電層L2の端部(第1ノードN1)に接続され、第2クロック配線12は、例えば、第2インダクタ132における二層目の導電層L2の端部(第2ノードN2)に接続される。

[0062] また、コモン電圧生成回路14で生成されたコモン電圧V_{cm}は、例えば、一層目の導電層L1で形成されたノードN3に印加される。なお、図6に示すインダクタ部13は、単なる例であり、様々な変形および変更が可能である。

[0063] 図7は、クロック伝送回路の第2実施例を示すブロック図であり、図8は、図7に示すクロック伝送回路に適用されるインダクタ(共通インダクタ130)の一例を説明するための図である。なお、図7において、図5に示す負荷

容量 C_{p11} , C_{p12} , C_{p21} , C_{p22} , C_{p30} は、省略されており、この負荷容量の省略は、後述する図9～図13でも同様である。

[0064] 図8において、参照符号 L_1 は、例えば、半導体チップにおける一層目の導電層を示し、 L_2 は、導電層 L_1 の上の二層目の導電層を示し、そして、 L_3 は、導電層 L_2 の上の三層目の導電層を示す。

[0065] また、参照符号 V_{11} , V_{12} , V_{21} , V_{22} は、一層目の導電層 L_1 と二層目の導電層 L_2 を接続するビアを示し、 V_{30} は、一層目の導電層 L_1 と三層目の導電層 L_3 を接続するビアを示す。

[0066] 図7および図8と前述した図5および図6の比較から明らかなように、第2実施例のクロック伝送回路1において、インダクタ部13は、中間タップ(センタータップ：第3ノード) N_{30} を有する1つのインダクタ(共通インダクタ)130とされている。

[0067] すなわち、共通インダクタ130において、図5の第1インダクタ131は、第1クロック配線11の第1ノード N_1 と中間タップ N_{30} の間に対応し、図5の第2インダクタ132は、第2クロック配線12の第2ノード N_2 と中間タップ N_{30} の間に対応する。

[0068] 従って、図8に示す共通インダクタ130において、第1ノード N_1 から中間タップ N_{30} までに相当するインダクタと、第2ノード N_2 から中間タップ N_{30} までに相当するインダクタは、同じインダクタンスを有するようになっている。

[0069] なお、図8と前述した図6の比較から明らかなように、インダクタ部13を、中間タップ N_{30} を有する1つの共通インダクタ130で形成した方が、2つのインダクタ131, 132を形成するよりも、占有面積を低減させることができる。

[0070] 図7および図8に示されるように、第2実施例のクロック伝送回路におけるインダクタ部13は、1つの共通インダクタ130を有し、前述した第1および第2インダクタ131, 132に対応する部分は、半導体チップにおいて対称な構造とされている。

- [0071] すなわち、対称な構造で等しいインダクタンスを有する2つのインダクタ131, 132に対応する部分のノードN1, N2に対して差動の信号(CLK, /CLK)が入力されることになるため、ノードN30は差動中心となる。そして、この差動中心のノードN30に対してコモン電圧V_{cm}によるバイアスが与えられる。
- [0072] ここで、第1クロック配線11は、例えば、共通インダクタ130における一層目の導電層L1の一端(第1ノードN1)に接続され、第2クロック配線12は、例えば、共通インダクタ130における一層目の導電層L1の他端(第2ノードN2)に接続される。
- [0073] また、コモン電圧生成回路14で生成されたコモン電圧V_{cm}は、例えば、三層目の導電層L3で形成されたノードN30に印加される。なお、図8に示すインダクタ部13は、単なる例であり、様々な変形および変更が可能なのはもちろんである。
- [0074] さらに、上述した図5および図7では、インダクタ部13は、差動クロックCLK, /CLKが伝送される2段のバッファ111, 121と112, 122間に設けられているが、例えば、前述した図4のように、複数個所に設けることも可能である。例えば、図4におけるインダクタ103a~103hとして、それぞれコモン電圧V_{cm}が印加されるインダクタ部13を適用することができる。
- [0075] 以下に説明する図9~図13では、上述した第2実施例のように、インダクタ部13を、中間タップN30を有する1つの共通インダクタ130として描いているが、第1実施例のように、2つのインダクタ131, 132とすることもできるのはいうまでもない。
- [0076] 図9は、図7に示すクロック伝送回路におけるコモン電圧生成回路の例を説明するための図であり、コモン電圧生成回路14の3つの例14a, 14b, 14cを示すものである。
- [0077] すなわち、コモン電圧生成回路14aは、例えば、高電位電源線V_{dd}と低電位電源線(接地線)GNDに対して直列に抵抗141, 142を接続し、その

抵抗分割により分圧した電圧をコモン電圧 V_{cm} として生成するものである。

[0078] また、コモン電圧生成回路 14 b は、例えば、 V_{dd} と GND の間に電流源 143 および抵抗 142 を直列に接続し、抵抗 142 を流れる電流によりコモン電圧 V_{cm} を生成するものである。

[0079] さらに、コモン電圧生成回路 14 c は、例えば、 V_{dd} と GND の間に電流源 143 およびゲート／ソースを接続したトランジスタ ($nMOS$ トランジスタ) 144 を直列に接続し、トランジスタ 144 による電圧をコモン電圧 V_{cm} として生成するものである。なお、それぞれのコモン電圧生成回路 14 a ~ 14 c により生成するコモン電圧 V_{cm} は、例えば、差動クロック CLK , $\neg CLK$ の中間電位 (コモン電位) に設定される。

[0080] 図 10 は、クロック伝送回路の第 3 実施例を示すブロック図であり、コモン電圧生成回路 14 が、後段のバッファ (112, 122) の出力をフィードバックしてコモンモード電圧 V_{cm} を生成するようになっている。

[0081] 図 10 に示されるように、コモン電圧生成回路 14 は、演算増幅器 (オペアンプ) 40、抵抗 41, 42 および容量 43, 44 を含む。抵抗 (第 1 抵抗素子) 41 および容量 (第 3 容量素子) 43 は、第 3 バッファ 112 の出力配線 (ノード N10) と接地線 GND の間に直列接続されている。

[0082] また、抵抗 (第 2 抵抗素子) 42 および容量 (第 3 容量素子) 44 は、第 4 バッファ 122 の出力配線 (ノード N20) と接地線 GND の間に直列接続されている。なお、容量 43 および 44 は、1 つの容量により形成してもよい。

[0083] 抵抗 41, 容量 43, 抵抗 42 および容量 44 の共通接続ノード N4 は、演算増幅器 40 の非反転入力端子 (+) に入力され、演算増幅器 40 の反転入力端子 (-) は、出力端子に接続され、その出力端子からコモン電圧 V_{cm} が出力されるようになっている。

[0084] すなわち、後段の第 3 バッファ 112 および第 4 バッファ 122 の出力におけるコモンモード電圧に基づいて、コモンモード電圧 V_{cm} を生成してノード (中間タップ) N30 にフィードバックするようになっている。なお、図 10 に示すコモン電圧生成回路 14 は、単なる例であり、様々な変形および変更

が可能である。

[0085] 図11は、クロック伝送回路の第4実施例を示すブロック図であり、後段のバッファ(112, 122)の出力を交流結合(AC coupling)して演算増幅器40の出力インピーダンスを低下させずに消費電力の増加を抑えるようにしたものである。

[0086] 第4実施例のクロック伝送回路では、第1バッファ111と第1クロック配線11の間に容量(第1容量素子)113が設けられ、第2バッファ121と第2クロック配線12の間に容量(第2容量素子)123が設けられている。

[0087] 図12は、クロック伝送回路の第5実施例を示すブロック図であり、図10に示す第3実施例のクロック伝送回路に対して第5バッファ114および第6バッファ124を追加したものに相当する。

[0088] ここで、第5バッファ114は、第3バッファ112よりも小さいサイズ、すなわち、ゲート長が短いトランジスタで形成され、また、第6バッファ124は、第4バッファ122よりも小さいサイズ、すなわち、ゲート長が短いトランジスタで形成されている。なお、コモン電圧生成回路14には、バッファ111および121の出力ではなく、バッファ114および124の出力が入力されている。

[0089] すなわち、第5実施例において、コモン電圧生成回路14は、専用の小さいサイズのバッファ114, 124の出力を使用してコモン電圧 V_{cm} を生成するため、差動クロックCLK, $\overline{CLK}$ を伝送するバッファ112, 122の出力に悪影響を与える虞が無い。

[0090] ここで、コモン電圧生成回路14用の第5および第6バッファ114, 124は、差動クロックCLK, $\overline{CLK}$ を伝送するための、負荷容量が付いたクロック配線を駆動しなくてもよいため、小さいサイズで消費電力の少ないバッファとすることができる。

[0091] すなわち、第5および第6バッファ114, 124は、第3および第4バッファ112, 122と同じものとせずに、容量特性が影響を与えない程度

のシュリンクした小型のバッファで十分である。

[0092] このように、第5実施例のクロック伝送回路によれば、伝送される差動クロックに影響を与えることなく、コモン電圧生成回路14からのコモン電圧 V_{cm} をインダクタ130の中間タップ(N30)に印加することができる。

[0093] 以上、詳述したように、本実施例のクロック伝送回路によれば、動作帯域の減少を抑えることができ、高速クロックの伝送が可能となる。さらに、本実施例のクロック伝送回路によれば、コモンモードノイズによるジッタの発生やデューティ比のずれを抑え、安定したクロック伝送を行うことが可能となる。

[0094] 図13は、本実施例のクロック伝送回路が適用される半導体集積回路の一例を示すブロック図であり、本実施例のクロック伝送回路を、4入力を1出力に直列化(シリアライズ)するシリアライザ400に適用した例を示すものである。

[0095] 図13に示されるように、シリアライザ400は、オシレータ(OSC)401、バッファ402、インダクタ部13、コモン電圧生成回路14、分周回路403、フリップフロップ(FF)440~443、460、461およびセクタ(SEL)450、451、470およびバッファ(BUF)480を含む。ここで、オシレータ401は、例えば、図1におけるクロック発生回路4に対応し、バッファ402は、例えば、図5、図7および図9~図11におけるバッファ111および121に対応する。

[0096] バッファ402は、オシレータ401から出力される差動クロックCLK、 $\overline{CLK}$ をバッファリングしてクロック配線11、12に出力する。バッファ402の出力クロックは、クロック配線11、12を介してフリップフロップ460、461およびセクタ470に伝送されると共に、分周回路403で分周(二分周)されてフリップフロップ440~443およびセクタ450、451に伝送される。

[0097] フリップフロップ440~443は、それぞれ並列に入力されるデータ信号DATA<0>~DATA<3>を、分周回路403で分周された低速クロックに基づいて取り込んで保持し、その低速クロックで制御されるセクタ450、451を介してフリップフロップ460、461に入力される。

[0098] フリップフロップ460, 461は、バッファ402の出力クロック(高速クロック)により、セクタ450, 451の出力を取り込んで保持し、その高速クロックで制御されるセクタ470を介してシリアルデータに変換される。そして、セクタ470の出力は、バッファ480によりバッファリングされ、シリアルデータ出力DATA<0-3>として出力される。

[0099] なお、本実施例のクロック伝送回路は、上述したシリアルライザ、或いは、図1を参照して説明した通信用LSIを始めとして、様々な半導体集積回路に対して幅広く適用することができ、特に、数GHz以上の高速クロックを適用するものに適している。

[0100] 以上、実施形態を説明したが、ここに記載したすべての例や条件は、発明および技術に適用する発明の概念の理解を助ける目的で記載されたものであり、特に記載された例や条件は発明の範囲を制限することを意図するものではなく、明細書のそのような例の構成は発明の利点および欠点を示すものではない。発明の実施形態を詳細に記載したが、各種の変更、置き換え、変形が発明の精神および範囲を逸脱することなく行えることが理解されるべきである。

符号の説明

- [0101] 1 クロック伝送回路
- 4, 401 クロック発生回路(クロック発振源, オシレータ: OSC)
- 11, 12 クロック配線
- 13 インダクタ部
- 21~24 データ受信回路(RX)
- 31~34 データ送信回路(TX)
- 40 演算増幅器(オペアンプ)
- 41, 42 抵抗(抵抗素子)
- 43, 44, 113, 123 容量(容量素子)
- 100 半導体集積回路(通信用LSI)
- 101, 111, 112, 114, 121, 122, 124, 201, 4

0 2, 4 8 0 バッファ (BUF)

1 0 3, 1 3 0, 1 3 1, 1 3 2 インダクタ

2 0 2, 3 0 2, 4 4 0 ~ 4 4 3, 4 6 0, 4 6 1 フリップフロップ (FF)

2 0 3, 3 0 3 スイッチ

4 0 0 半導体集積回路 (シリアライザ)

4 0 3 分周回路

4 5 0, 4 5 1, 4 7 0 セレクタ (SEL)

請求の範囲

- [請求項1] 差動クロックの一方の第1クロックを受け取り、バッファリングして第1クロック配線に出力する第1バッファと、
前記差動クロックの他方の第2クロックを受け取り、バッファリングして第2クロック配線に出力する第2バッファと、
前記第1クロック配線における第1ノードと、前記第2クロック配線における第2ノードの間に接続され、中間タップにコモン電圧が印加されるインダクタ部と、を有する、
ことを特徴とするクロック伝送回路。
- [請求項2] 前記インダクタ部は、
一端が前記第1ノードに接続された第1インダクタと、
一端が前記第2ノードに接続された第2インダクタと、を含み、
前記第1インダクタおよび前記第2インダクタは、同じインダクタンスを有し、
前記第1インダクタの他端と、前記第2ノードの他端は、第3ノードで共通接続され、
前記コモン電圧は、前記第3ノードに印加される、
ことを特徴とする請求項1に記載のクロック伝送回路。
- [請求項3] 前記第1インダクタおよび前記第2インダクタは、1つの共通インダクタとして形成され、
前記第3ノードは、前記共通インダクタの中間タップとして形成される、
ことを特徴とする請求項2に記載のクロック伝送回路。
- [請求項4] 前記第1インダクタおよび前記第2インダクタは、前記第1クロック配線および前記第2クロック配線の負荷容量と並列共振するインダクティブピーキング回路を形成する、
ことを特徴とする請求項2に記載のクロック伝送回路。
- [請求項5] 前記負荷容量は、前記第1クロック配線および前記第2クロック配

線に寄生する寄生容量を含む、

ことを特徴とする請求項 4 に記載のクロック伝送回路。

[請求項6]

さらに、

前記第 1 バッファの出力と、前記第 1 クロック配線の間に直列に設けられた第 1 容量素子と、

前記第 2 バッファの出力と、前記第 2 クロック配線の間に直列に設けられた第 2 容量素子と、を有する、

ことを特徴とする請求項 1 に記載のクロック伝送回路。

[請求項7]

さらに、

前記コモン電圧を生成するコモン電圧生成回路を有する、

ことを特徴とする請求項 1 乃至請求項 6 のいずれか 1 項に記載のクロック伝送回路。

[請求項8]

さらに、

前記第 1 クロック配線を介して前記第 1 クロックを受け取り、バッファリングして出力する第 3 バッファと、

前記第 2 クロック配線を介して前記第 2 クロックを受け取り、バッファリングして出力する第 4 バッファと、

前記第 3 バッファおよび前記第 4 バッファの出力を受け取って、前記コモン電圧を生成するコモン電圧生成回路と、を有する、

ことを特徴とする請求項 1 乃至請求項 6 のいずれか 1 項に記載のクロック伝送回路。

[請求項9]

前記コモン電圧生成回路は、

前記第 3 バッファの出力配線に一端が接続された第 1 抵抗素子と、

前記第 4 バッファの出力配線に一端が接続された第 2 抵抗素子と、

固定電位の配線に一端が接続された第 3 容量素子と、

前記第 1 および第 2 抵抗素子の他端、並びに、前記第 3 容量素子

の他端の共通接続ノードからの、前記第3および第4バッファの出力におけるコモンモード電圧をフィードバックして前記コモン電圧を生成する演算増幅器と、を含む、

ことを特徴とする請求項8に記載のクロック伝送回路。

[請求項10]

さらに、

前記第1クロック配線を介して前記第1クロックを受け取り、バッファリングして出力する第3バッファと、

前記第2クロック配線を介して前記第2クロックを受け取り、バッファリングして出力する第4バッファと、

前記第3バッファよりも小さいサイズで、前記第3バッファと並列に設けられ、前記第1クロック配線を介して前記第1クロックを受け取り、バッファリングして出力する第5バッファと、

前記第4バッファよりも小さいサイズで、前記第4バッファと並列に設けられ、前記第2クロック配線を介して前記第2クロックを受け取り、バッファリングして出力する第6バッファと、

前記第5バッファおよび前記第6バッファの出力を受け取って、前記コモン電圧を生成するコモン電圧生成回路と、を有する、

ことを特徴とする請求項1乃至請求項6のいずれか1項に記載のクロック伝送回路。

[請求項11]

前記コモン電圧生成回路は、

前記第5バッファの出力配線に一端が接続された第1抵抗素子と、

前記第6バッファの出力配線に一端が接続された第2抵抗素子と、

固定電位の配線に一端が接続された第3容量素子と、

前記第1および第2抵抗素子の他端、並びに、前記第3容量素子の他端の共通接続ノードからの、前記第5および第6バッファの出力におけるコモンモード電圧をフィードバックして前記コモン電圧を生

成する演算増幅器と、を含む、

ことを特徴とする請求項 10 に記載のクロック伝送回路。

[請求項12] 前記コモン電圧は、前記差動クロックの中間電位に設定される、
ことを特徴とする請求項 1 に記載のクロック伝送回路。

[請求項13] 前記第 1 バッファ、前記第 2 バッファおよび前記インダクタ部は、
1 つの半導体チップの内部に形成されている、
ことを特徴とする請求項 1 に記載のクロック伝送回路。

[請求項14] 前記第 1 バッファ、前記第 2 バッファ、前記第 1 インダクタおよび
前記第 2 インダクタは、1 つの半導体チップの内部に形成され、
前記第 1 インダクタおよび前記第 2 インダクタは対称な構造を有し
ている、
ことを特徴とする請求項 2 に記載のクロック伝送回路。

[請求項15] 差動クロックの一方の第 1 クロックを受け取り、バッファリングし
て第 1 クロック配線に出力する第 1 バッファと、
前記差動クロックの他方の第 2 クロックを受け取り、バッファリン
グして第 2 クロック配線に出力する第 2 バッファと、
前記第 1 クロック配線における第 1 ノードと、前記第 2 クロック配
線における第 2 ノードの間に接続され、中間タップにコモン電圧が印
加されるインダクタ部と、を有する、クロック伝送回路と、
前記クロック伝送回路による前記差動クロックを受け取る内部回路
と、を有する、
ことを特徴とする半導体集積回路。

[請求項16] 前記インダクタ部は、
一端が前記第 1 ノードに接続された第 1 インダクタと、
一端が前記第 2 ノードに接続された第 2 インダクタと、を含み、
前記第 1 インダクタおよび前記第 2 インダクタは、同じインダクタ
ンスを有し、
前記第 1 インダクタの他端と、前記第 2 ノードの他端は、第 3 ノー

ドで共通接続され、

前記コモン電圧は、前記第3ノードに印加される、
ことを特徴とする請求項15に記載の半導体集積回路。

[請求項17] 前記第1インダクタおよび前記第2インダクタは、1つの共通インダクタとして形成され、

前記第3ノードは、前記共通インダクタの中間タップとして形成される、

ことを特徴とする請求項16に記載の半導体集積回路。

[請求項18] 前記第1インダクタおよび前記第2インダクタは、前記第1クロック配線および前記第2クロック配線の負荷容量と並列共振するインダクティブピーキング回路を形成する、

ことを特徴とする請求項16に記載の半導体集積回路。

[請求項19] 前記クロック伝送回路は、さらに、

前記第1クロック配線を介して前記第1クロックを受け取り、バッファリングして出力する第3バッファと、

前記第2クロック配線を介して前記第2クロックを受け取り、バッファリングして出力する第4バッファと、

前記第3バッファおよび前記第4バッファの出力を受け取って、前記コモン電圧を生成するコモン電圧生成回路と、を有する、

ことを特徴とする請求項15乃至請求項18のいずれか1項に記載の半導体集積回路。

[請求項20] 前記クロック伝送回路は、さらに、

前記第1クロック配線を介して前記第1クロックを受け取り、バッファリングして出力する第3バッファと、

前記第2クロック配線を介して前記第2クロックを受け取り、バッファリングして出力する第4バッファと、

前記第3バッファよりも小さいサイズで、前記第3バッファと並列に設けられ、前記第1クロック配線を介して前記第1クロックを受

け取り、バッファリングして出力する第5バッファと、

前記第4バッファよりも小さいサイズで、前記第4バッファと並列に設けられ、前記第2クロック配線を介して前記第2クロックを受け取り、バッファリングして出力する第6バッファと、

前記第5バッファおよび前記第6バッファの出力を受け取って、前記コモン電圧を生成するコモン電圧生成回路と、を有する、

ことを特徴とする請求項15乃至請求項18のいずれか1項に記載の半導体集積回路。

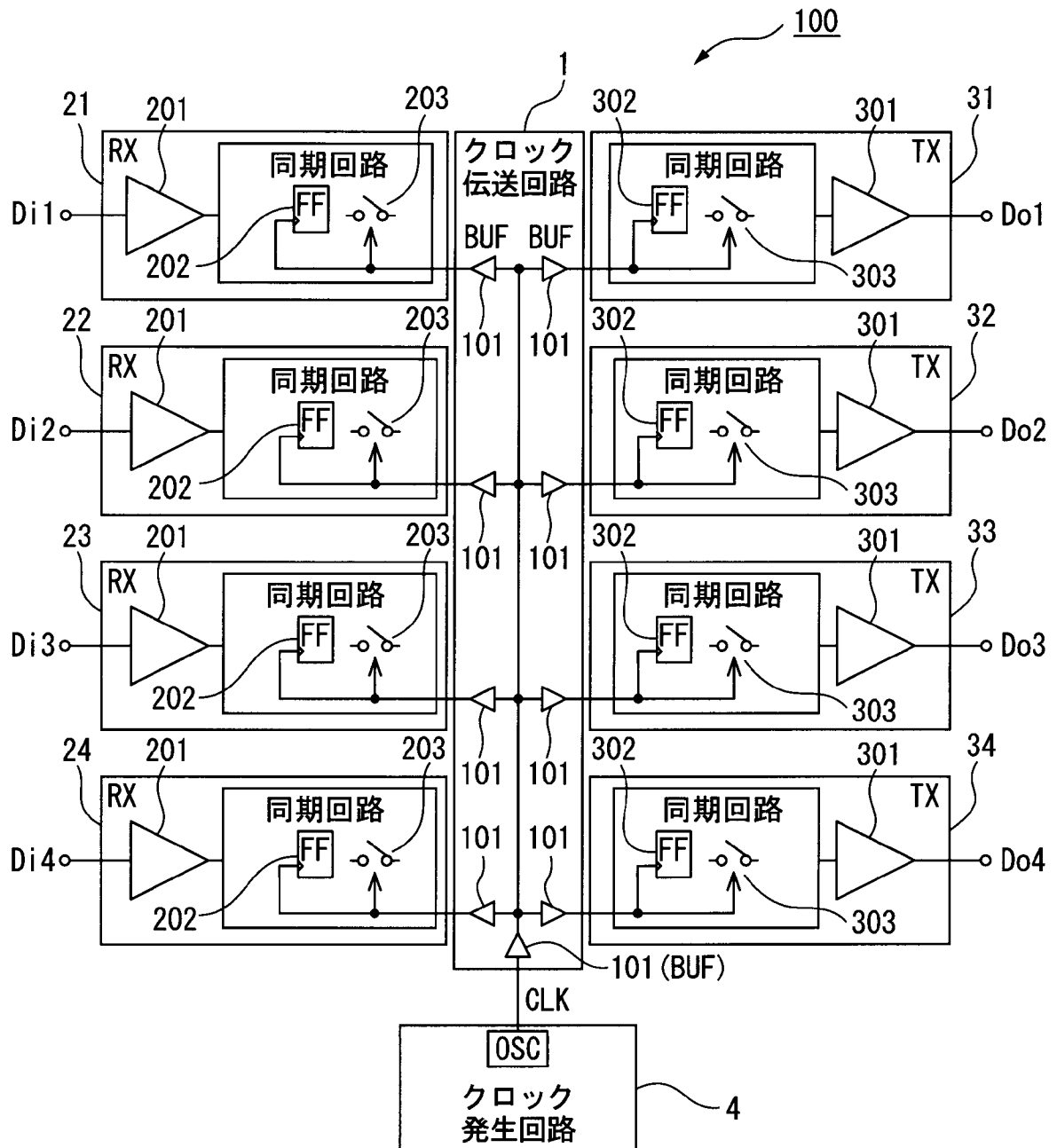
[請求項21] 前記第1バッファ、前記第2バッファ、前記第1インダクタおよび前記第2インダクタは、1つの半導体チップの内部に形成され、

前記第1インダクタおよび前記第2インダクタは対称な構造を有している、

ことを特徴とする請求項16に記載の半導体集積回路。

[図1]

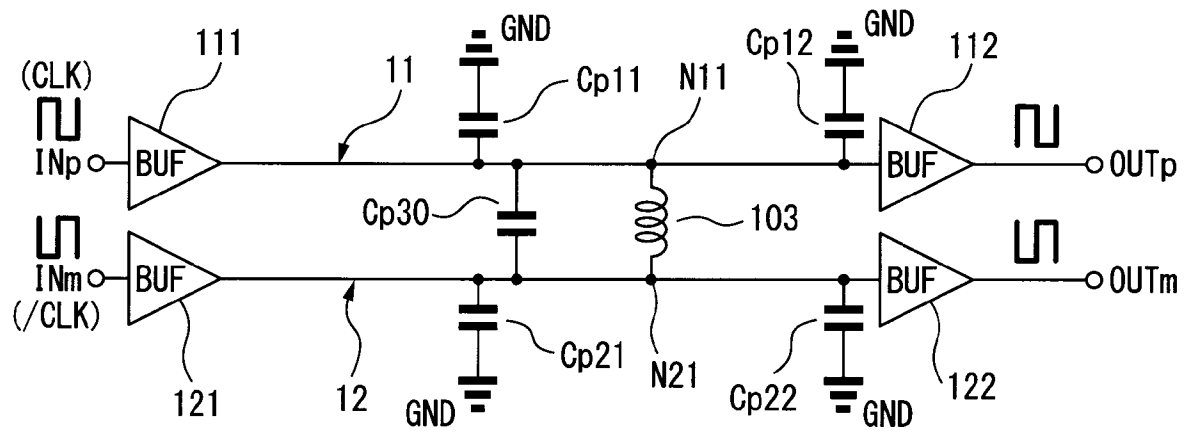
図1



[図2]

図2

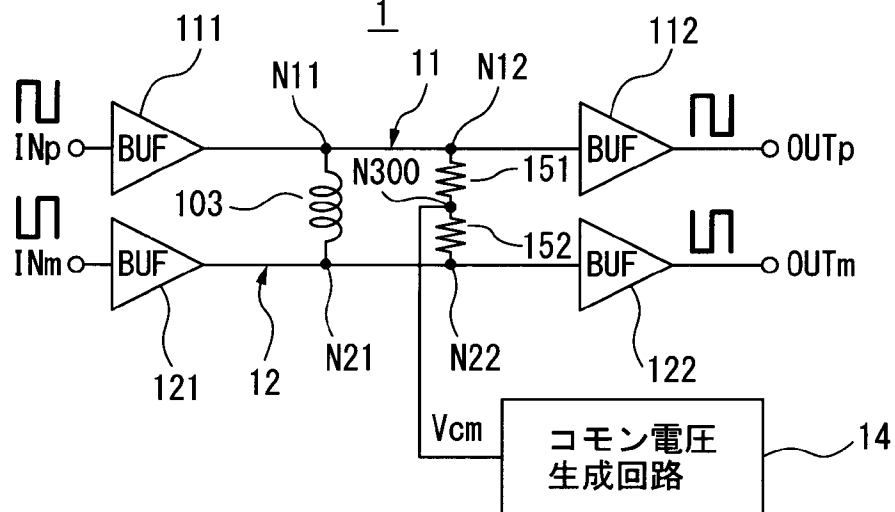
1



[図3]

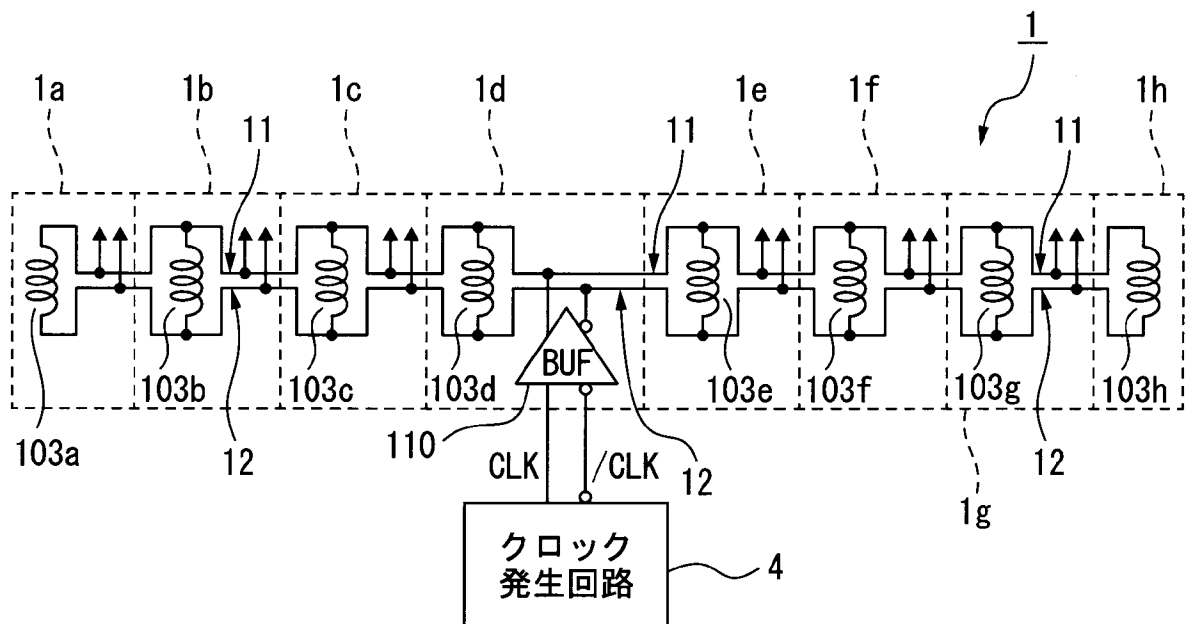
図3

1



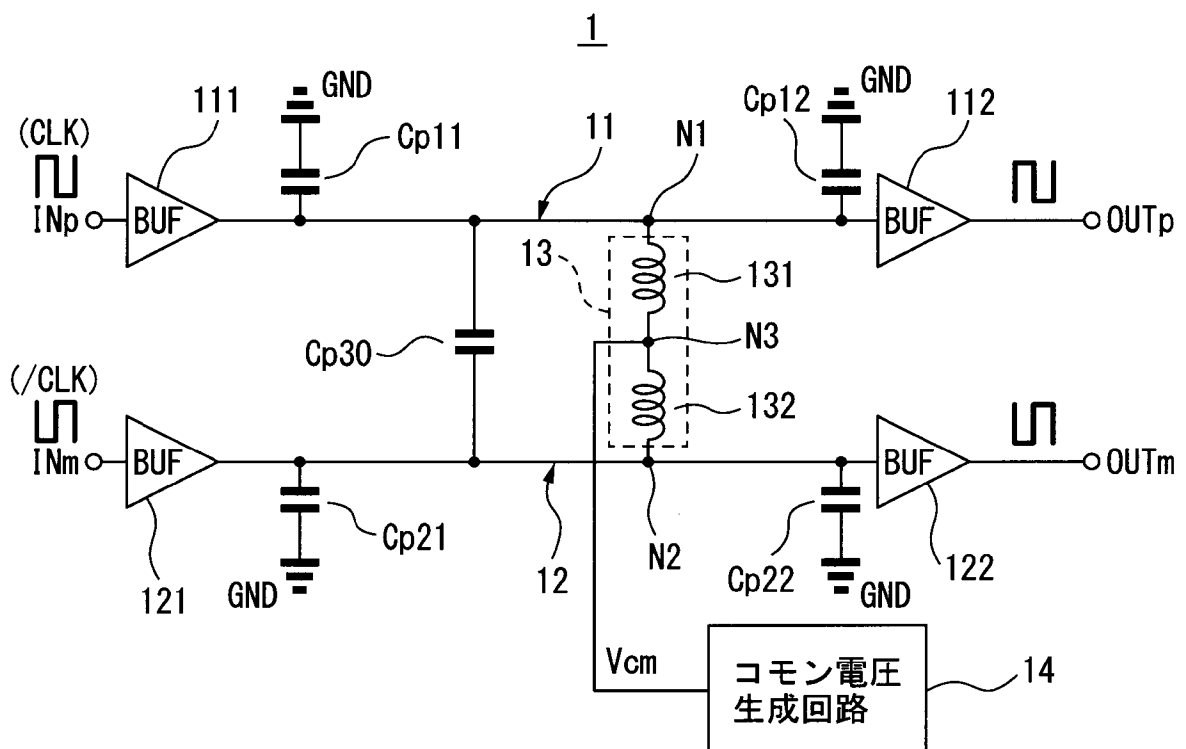
[図4]

図4



[図5]

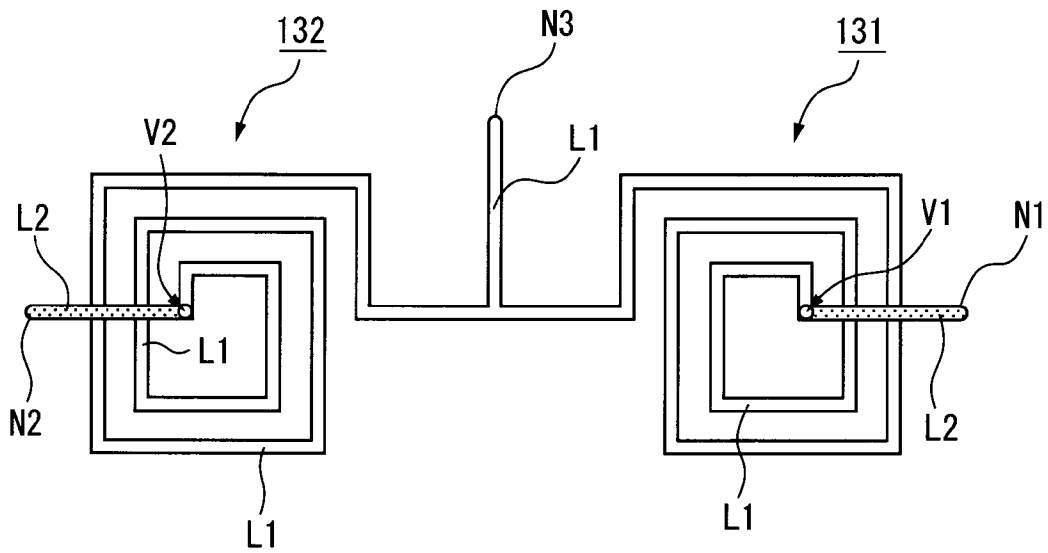
図5



[図6]

図6

13



[図7]

図7

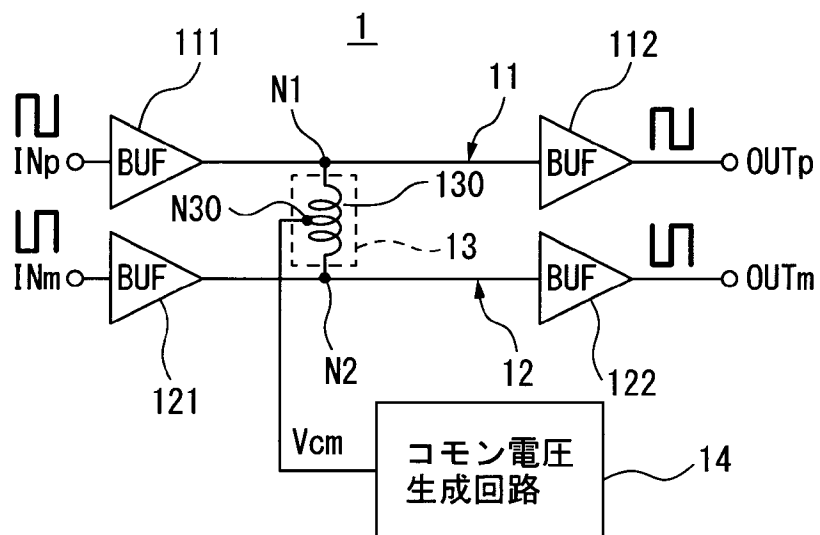
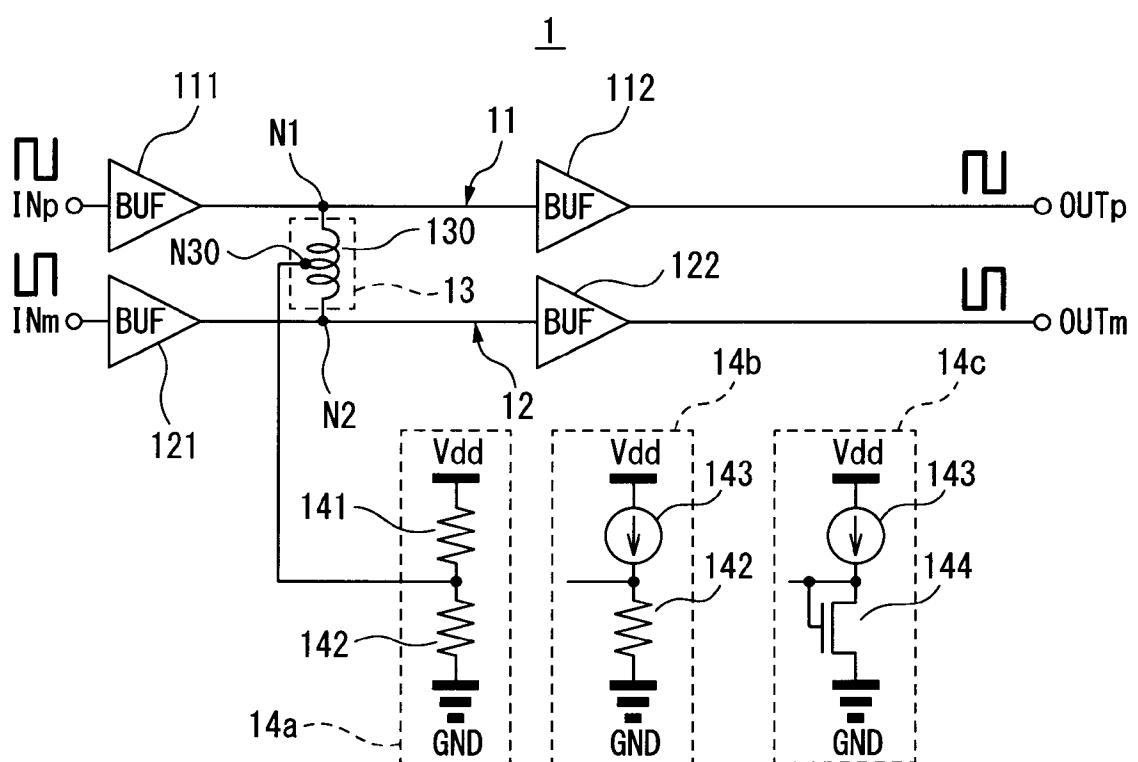


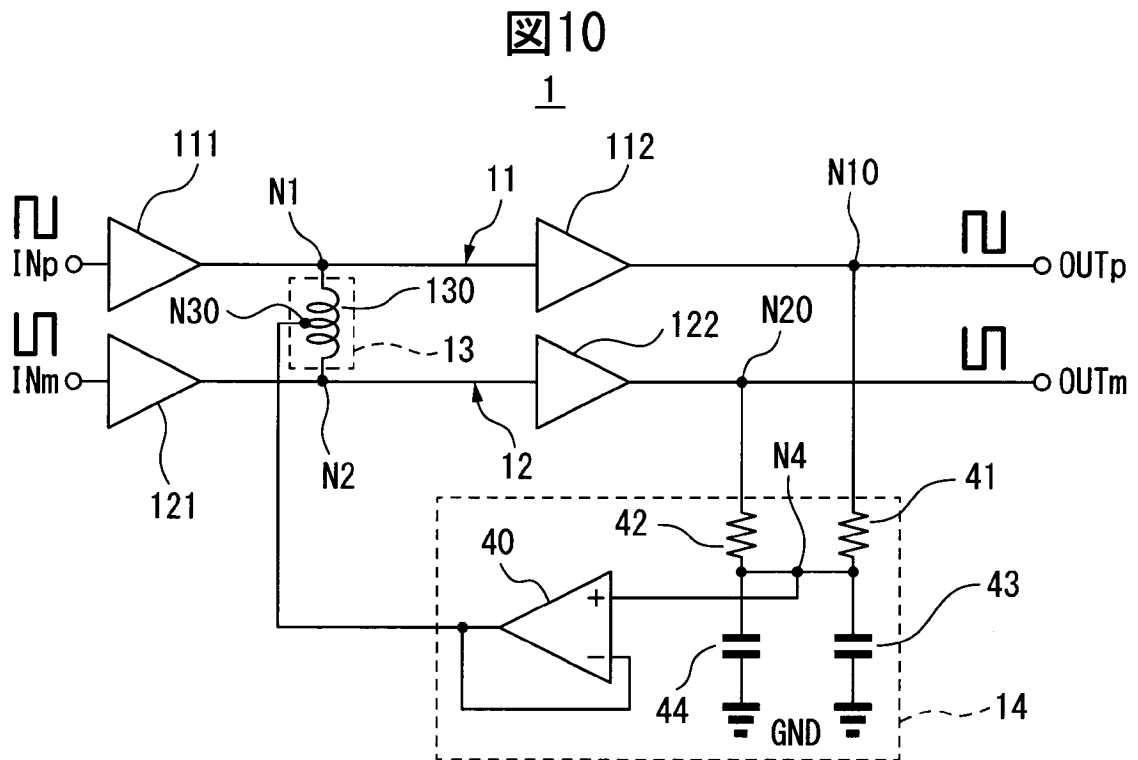
图8



图9



[図10]



[図11]

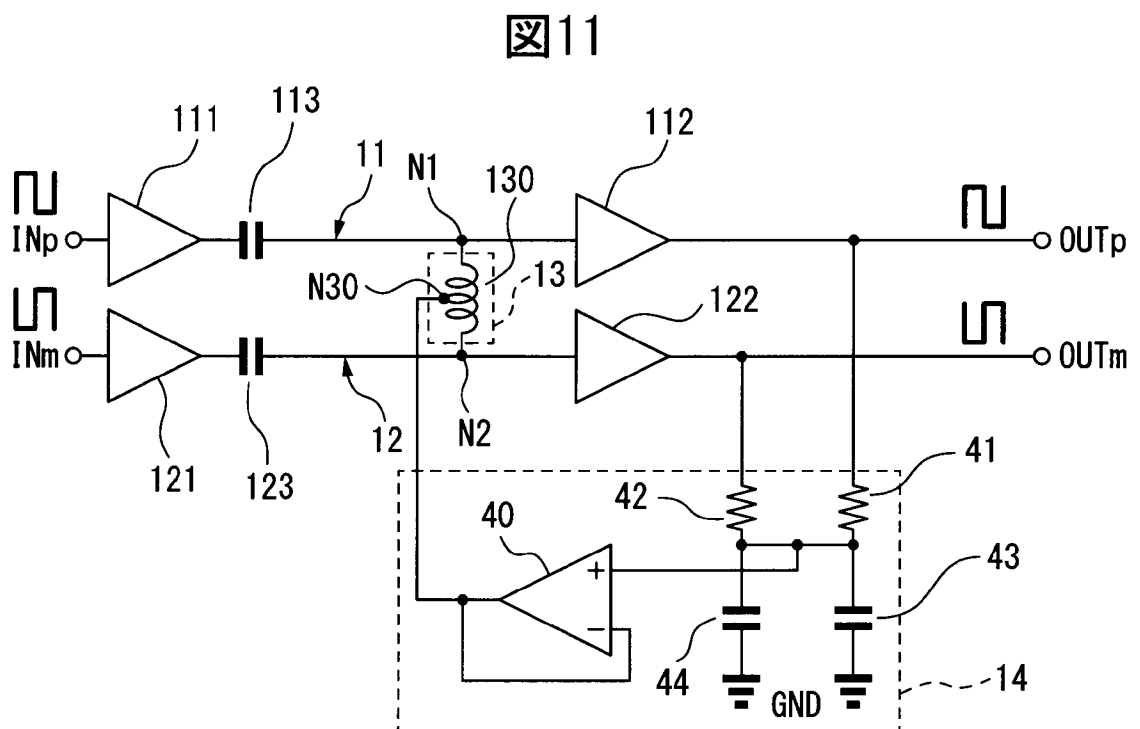
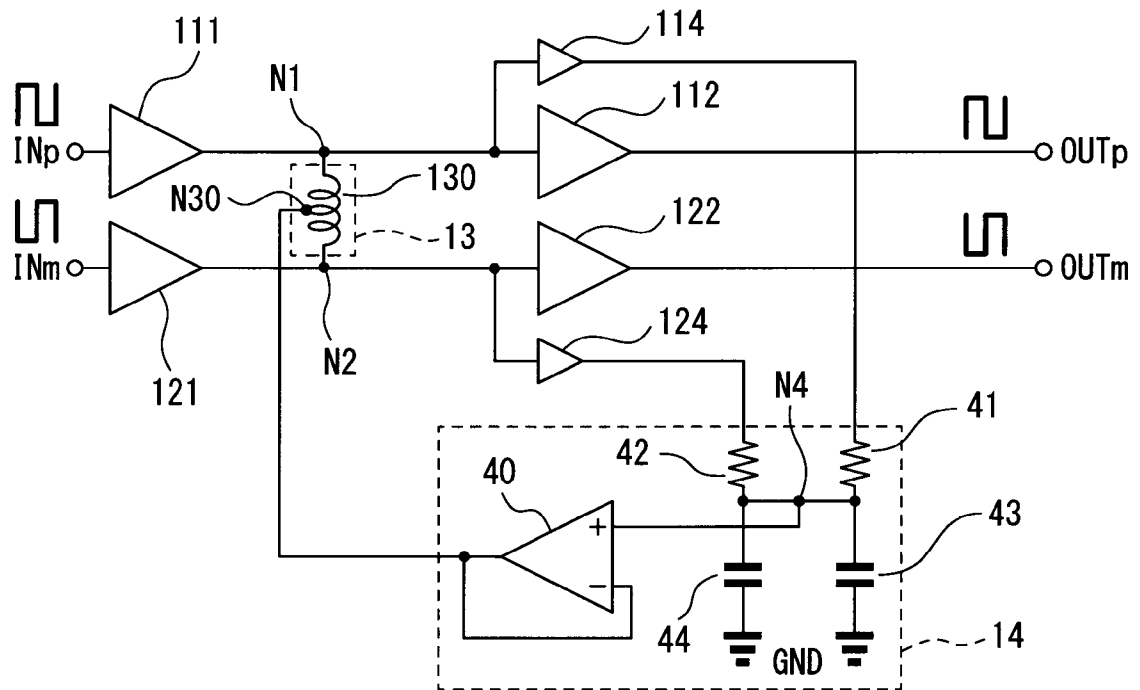
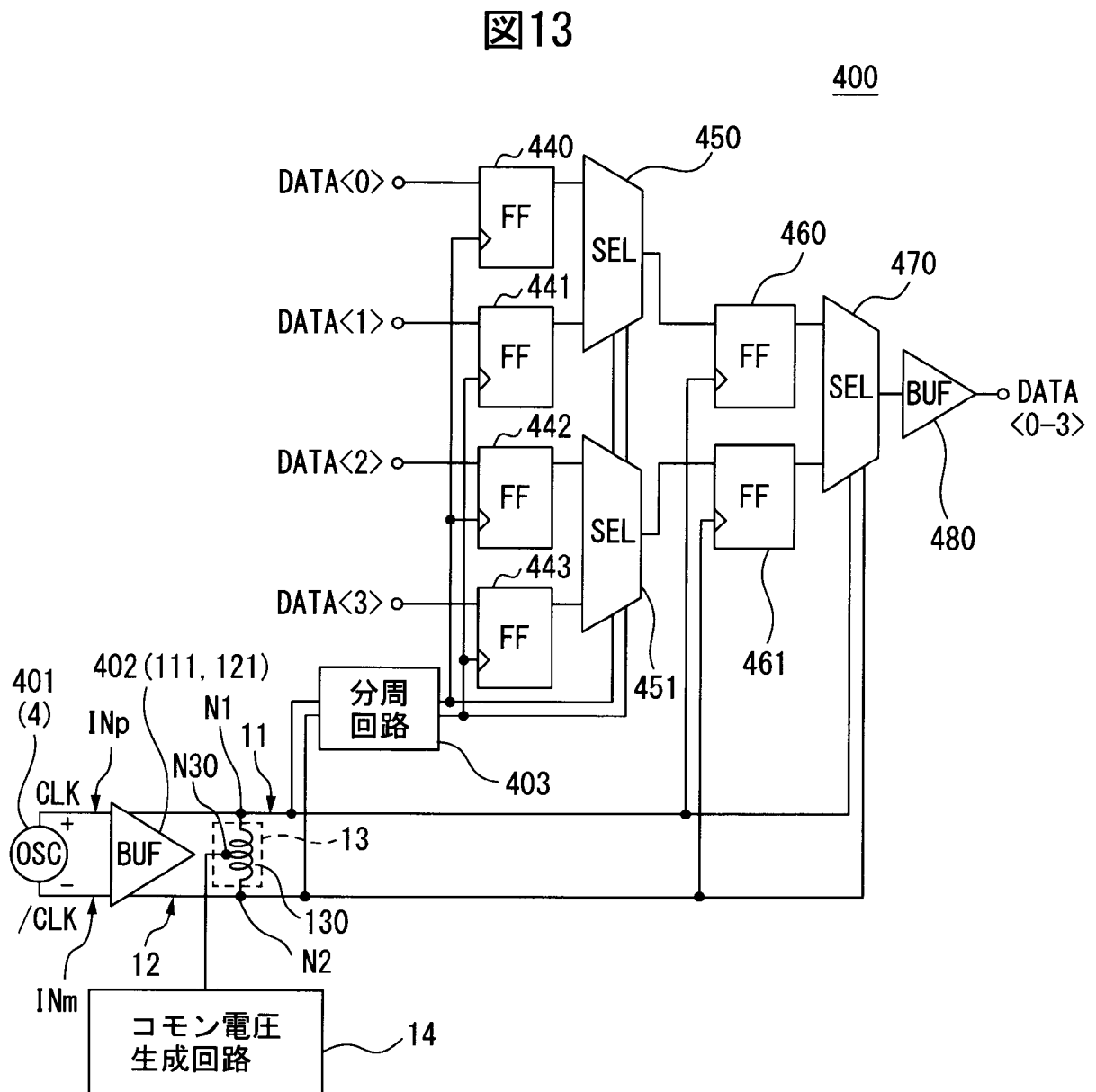


图12



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/080472

A. CLASSIFICATION OF SUBJECT MATTER

H04L25/02(2006.01) i, H04L25/03(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L25/02, H04L25/03

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-160206 A (Sony Corp.), 10 July 2008 (10.07.2008), fig. 1, 2, 8 & US 2008/0150606 A1 & KR 10-2008-0058183 A	1-21
Y	JP 11-252185 A (Advantest Corp.), 17 September 1999 (17.09.1999), fig. 1 (Family: none)	1-21
Y	JP 11-045130 A (Texas Instruments Japan Ltd.), 16 February 1999 (16.02.1999), fig. 12 (Family: none)	1-21

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 December, 2014 (08.12.14)

Date of mailing of the international search report
16 December, 2014 (16.12.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04L25/02(2006.01)i, H04L25/03(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04L25/02, H04L25/03

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-160206 A（ソニー株式会社）2008.07.10, 図 1, 2, 8 & US 2008/0150606 A1 & KR 10-2008-0058183 A	1-21
Y	JP 11-252185 A（株式会社アドバンテスト）1999.09.17, 図 1 （ファミリーなし）	1-21
Y	JP 11-045130 A（日本テキサス・インスツルメンツ株式会社） 1999.02.16, 図 12 （ファミリーなし）	1-21

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 1 2 . 2 0 1 4

国際調査報告の発送日

1 6 . 1 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

白井 亮

5 K

3 3 6 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 6