(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H03K 3/35 (2006.01)

(45) 공고일자 2006년08월02일
(11) 등록번호 10-0608412
(24) 등록일자 2006년07월26일

(21) 출원번호 10-2000-0010981
(22) 출원일자 2000년03월06일

(65) 공개번호 10-2000-0076776
(43) 공개일자 2000년12월26일

(30) 우선권주장 09/264,070 1999년03월08일 미국(US)

(73) 특허권자 루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)

(72) 발명자 소지마사카주
미국뉴저지주07059워렌하이마운트애비뉴4

(74) 대리인 김창세
장성구

심사관 : 여인홍

(54) 집적회로 및 그의 제작 방법

요약

예를 들면, 회로의 소정 부분에 대한 전원 전압과 같은 환경 매개 변수가, 예를 들면, 회로의 그 부분에서의 전도 임계 전압 및 이동도와 같은 하나 이상의 공정 매개 변수의 함수로 만들어 지도록 회로를 구성하므로써, 집적회로의 동작 매개변수가 사실상 공정 변동에 둔감하도록 만들어 진다. 이런 방식으로, 회로 동작 매개변수에 미치는 공정 매개변수의 영향은 환경 매개변수에 미치는 공정 매개변수의 영향에 의해 부분적으로 또는 상당히 오프셋될 수 있다. 본 발명의 실시예에서, 회로 동작 매개변수는 링 발진기의 발진 주기이다. 전압 조정기는 링 발진기의 알려진 공정 매개변수 변동에 적어도 부분적으로 기초하여 결정되는 기준 전압을 발생한다. 링 발진기는 그의 전원 전압으로서 전압 조정기에 의해 발생된 기준 전압을 사용하고, 그에 의해 그의 발진 주기는 공정 매개변수 변동에 둔감하게 된다. 또한, 전압 조정기에 백바이어스 효과를 도입하여, 링 발진기의 특정 구성으로 부터 결과하는 백바이어스 효과를 보상한다. 본 발명의 설계 기법은 아주 다양하고 상이한 유형의 집적회로, 동작 매개변수, 환경 매개변수 및 공정 매개변수에 적용될 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 종래의 집적회로의 소정 부분을 도시하는 블럭도.

도 2 및 도 3은 제각기 조정 전압이 링 발진기 회로에 인가되는, 본 발명의 제1 및 제2 실시예를 도시한 도면.

도 4 및 도 5는 도 2 및 도 3의 실시예에 제각기 사용하기에 적합한 전압 조정 회로의 다른 구현을 도시하는 도면.

도 6은 전압 조정없이 V_{DD}에 의해 직접 구동되는 링 발진 회로에 있어서 전원 전압 V_{DD}의 함수로서의 발진 주기의 변동을 도시하는 도면.

도 7 및 도 8은 제각기 통계 분석에 의해 결정되어지는, 비보상 및 보상 링 발진기에 대한 정규화된 발진 주기의 히스토그램을 도시하는 도면.

도면의 주요부분에 대한 부호의 설명

20: 링 발진 회로 30: 전압 조정 회로

32: 전압 폴로워-스칼라

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 CMOS(complementary metal-oxide-semiconductor) 집적회로 또는 다른 유형의 전자회로에 사용하기 위한 공정-공차 설계 기법(process-tolerant design techniques)에 관한 것이다.

공정 변동은 다수의 상이한 유형의 집적회로의 설계시에 중요한 고려 사항이다. 도 1은 회로 성능상에 미치는 공정 변동의 영향을 도시하는 CMOS 집적회로(10)의 소정 부분을 도시한다. 회로(10)는 위상 동기 루프(PLL)(12), 전압제어 발진기(VCO)(14) 및 전압 조정회로(16)를 포함한다. 전압 조정 회로(16)는 통상적으로 가변하는 전원 전압 V_{DD}으로부터 조정된 출력 전압을 발생한다. 전원 전압 V_{DD}에서의 변동은 종종 그의 공칭값의 대략 ±20%이다. 조정 전압은 VCO(14)에 공급되고, 다시 PLL(12)에 공급된다. PLL(12)은 입력 스트림을 수신하여, VCO 출력 주파수를 조정하는 제어 전압을 발생하며, 그에 따라 PLL 출력은 입력 스트림과 위상동기된다. 회로(10)는 종종 GHz 범위의 주파수 혹은 그 이상의 주파수에서 동작할 필요가 있고, 전원 전압 V_{DD}에 있어서의 변동, 예를 들면, ±20% 변동이 있으면 지정된 성능 기준을 만족시켜야 한다. 또한, 회로(10)는, 그 회로를 구성하는 데 사용되는 CMOS 웨이퍼 공정에 변동이 있으면, 지정된 성능 기준을 만족시켜야 한다.

회로(10)에서, 전압 조정회로(16)는 전원 전압 V_{DD}의 변동을 제거하는 작용을 하며, 공정 변동의 영향은 PLL(12)과 VCO(14)사이의 음귀환 루프(negative feedback loop)를 사용하여 처리된다. 전압 조정회로(16)의 출력은 전원 전압 V_{DD}의 변동에 무관한 상수 전압 형태이며, 소위 밴드갭 전압 기준회로를 사용하여 발생될 수 있다. V_{DD}의 특정 변동을 수용하기에 충분한 마진을 제공하기 위하여, 조정 출력 전압을 통상적으로 V_{DD}의 최소 예상값보다 다소 낮게, 전형적으로는 V_{DD}의 최소 예상값보다 약 V_{BE} ≒600 밀리볼트 이하로 낮춘다. 회로 구현 및 사용되는 COMS 공정에 따라 V_{DD} 값이, 예를 들면, 1볼트에서 부터 3.3 볼트 내지 2.5 볼트로 감소됨에 따라, 원하는 량의 전압 마진을 제공하기가 점점 더 어려워진다.

공정 변동과 관련하여, 회로(10)의 PLL(12)로부터 VCO(14)로의 제어 전압은, 회로의 동작 주파수가 변하지 않더라도, 일반적으로 이들 변동에 따라 가변할 것이다. 예를 들면, N 채널 전계효과 트랜지스터(NFET)가 VCO 지연을 제어한다면, VCO에 대한 제어 전압은, 공정이 보다 저속의 측면으로 시프팅하는 경우에, 보다 높아질 것이다. 이러한 유형의 변동은 설계 마진의 폭을 더욱 좁게 한다.

도 1의 회로(10)에서 전원 전압 변동 및 공정 변동을 다루는 데 사용되는 통상적인 집적회로 설계 기법은, 특히 V_{DD}가, 예를 들면, 3.3 볼트 아래로 감소됨에 따라 이들 유형의 변동에 대해 충분한 공차를 갖지 못한다. 또한, 이러한 기법은 일반적으로 시변동 회로 동작 매개변수가 공정 변동과 사실상 독립적으로 되게 할 수 없다. 따라서, 개선된 집적회로 설계 기법이 필요하다.

발명이 이루고자 하는 기술적 과제

본 발명에서는 동작 매개변수에 영향을 주는 환경 매개변수가 하나 이상의 공정 매개변수의 함수로 되도록 회로를 구성하므로써, 집적회로의 동작 매개변수가 공정 변동에 사실상 둔감하게 되도록 한다. 이러한 방식에서는, 회로 동작 매개변수에 공정 매개변수가 미치는 영향은, 환경 매개변수에 공정 매개변수가 미치는 영향에 의해 부분적으로 혹은 상당히 오프셋(offset)된다. 이 보상 기법에 사용되는 환경 매개변수의 예로는, 전원 전압, 전류 발생기 제어 전압, 능동 부하 제어 전압, 백바이어스 전압 및 동작 온도가 있다. 예를 들어, 본 발명의 보상 기법에 사용하기에 적합한 공정 매개변수는 전도 임계 전압, 채널 이동도, 게이트 정전용량, 드레인 정전용량, 얼리 전압(Early voltage), 포화 매개변수, 주행 시간 및, 집적회로의 전계효과 트랜지스터(FET)와 관련된 다른 매개변수를 포함한다.

예시적인 실시예에서, 회로 동작 매개변수는 링 발진기의 발진 주기이다. 전압 조정기는, 링 발진기의 알려진 공정 매개변수 변동에 적어도 부분적으로 기초하여 결정되는 기준 전압을 발생한다. 링 발진기는 그의 전원 전압으로서 전압 조정기에 의해 발생된 기준 전압을 활용하고, 따라서, 그의 발진 주기는 공정 매개변수 변동에 둔감하게 된다. 또한, 백바이어스 효과를 전압 조정기에 도입하여, 링 발진기의 특정 구성으로부터 결과하는 백바이어스 효과를 보상한다.

본 발명의 설계 기법은 광범위한 서로 다른 유형의 회로, 동작 매개변수, 환경 매개변수 및 공정 매개변수에 적용될 수 있다. 또한, 본 발명은, 전술한 발진 주기와 같은 시간의 함수로서 변하는 회로 동작 매개변수가 사실상 공정과 무관하게 제작되도록 한다. 본 발명은, 예를 들면, 높은 수율로 고정 동작 주파수 집적회로를 생성하는 데 적용되고, 예를 들어, 대략 2 볼트 또는 그보다 작은 저 전압으로 특정의 성능을 성취하는 데 적용될 수 있다. 본 발명의 공정 변동 허용 설계 기법은, 본 발명에 대해 전술한 바와 같이 다른 유형의 회로에도 사용하기에 적합하지만 특히 고속 CMOS 집적회로 애플리케이션에 사용하기에 아주 적합하다. 본 발명의 상기 및 다른 특징 및 장점들은 후술되는 상세한 설명 및 첨부 도면으로부터 보다 명백해질 것이다.

발명의 구성 및 작용

본 발명은 링 발진기 및 전압 조정기를 포함하는 예시적인 집적회로와 함께 후술될 것이다. 그러나, 본 발명은 특정한 유형의 회로와의 사용만으로 제한되는 것은 아니며, 대신에 공정 변동에 개선된 공차를 제공하는 것이 바람직한 전자 회로 또는 장치에 보다 전반적으로 적용될 수 있다.

도 2는 링 발진 회로(20) 및 전압 조정 회로(30)를 포함하는, 본 발명의 실시예를 도시한다. 링 발진 회로(20)는 3단 케스캐이드형 인버터를 포함한다. 케스캐이드형 인버터는 트랜지스터쌍 M1-M2, M3-M4 및 M5-M6에 의해 형성된다. 링 발진 회로(20)는 또한, 트랜지스터의 기생 정전용량을 나타낼 수 있는 커패시터 C1, C2 및 C3를 포함한다. 전압 조정 회로(30)는 트랜지스터 M7 및 M8과, 부하 저항 R을 포함한다. 전압 조정 회로(30)의 기준 전압 출력과, 링 발진 회로(20)의 유효 V_{DD} 전압 입력 사이에 전압 폴로워-스칼라(32)가 연결된다. 전압 폴로워-스칼라(32)는 전압 조정 회로(30)의 일부로 볼 수 있다. 숫자가 부여된 표기 "M"은 본 명세서에서 금속산화물 반도체(MOS) 전계 효과 트랜지스터(FET)를 지칭하는 데 사용된다. 장치 M1, M3, M5, M7은 P채널 FET(PFET)이고, M2, M4, M6, M8은 N채널 FET(NFET)이다. NFET 장치 M2, M4, M6, M8의 소스는 접지 또는 V_{SS}에 연결된다. 보다 상세히 후술하겠지만, 본 발명에 따르면, 전압 조정 회로(30)는, 링 발진 회로(20)의 발진 주기가 사실상 공정 변동과 무관하도록 선택된 조정 기준 전압 V_{REF}를 발생하도록 설계된다. 따라서, 전압 조정 회로(30)는, 링 발진기에 인가될 경우에 공정 변동과 관련되는 발진 주기에 미치는 영향을 상쇄시키거나 혹은 최소화시키는 전압을 발생한다.

도 3은 전압 제어 링 발진 회로(40) 및 전압 조정 회로(50)를 포함하는 본 발명의 다른 실시예를 도시한다. 링 발진 회로(40)는, 전술한 바와 같이, 링 발진 회로(20)의 소자들을 포함하며, 도시된 바와 같이 배치된 3개의 부가적인 NFET인 M10, M11, M12를 더 포함한다. NFET인 M10, M11, M12의 게이트는 예를 들어, 도 1의 PLL(12)과 같은 PLL로부터 공급되는 발진 회로(40)의 주파수 제어 전압 입력에 연결된다. 전압 조정 회로(50)는, 전술한 바와 같이, 전압 조정 회로(30)의 소자들을 포함하고, 부가적으로 NFET M9를 더 포함하는 데, 이 M9의 소스는 접지 또는 V_{SS}에 연결되고, 그의 게이트

및 드레인은 NFET M8의 소스에 연결된다. 전압 조정 회로(50)에 있어서 부가적인 NFET를 사용함으로써, 링 발진기(40)의 NFET M2, M4, M6가 더이상 접지 또는 V_{SS}에 직접 연결되지 않는 다는 사실로 인해 발생되는 백바이어스 효과를 보상하기 위한 부가적인 백바이어스 효과를 생성한다.

도 4 및 도 5는 제각기 도 2 및 도 3의 전압 조정 회로(30, 50)의 다른 구현을 도시한다. 도 4의 전압 조정 회로(30')는 도 2의 실시예에 도시된 바와 같이 PFET M7, NFET M8 및 부하 저항기 R을 포함하되, NFET의 소스는 부하 저항기에 연결되고, PFET의 소스는 전원 전압 V_{DD}에 직접 연결된다. 유사하게, 도 5의 전압 조정 회로(50')는 도 3의 실시예에서와 같이 PFET M7, NFET M8 및 M9와, 부하 저항기 R을 포함하되, NFET M9의 소스는 부하 저항기 R에 연결되고, PFET의 소스는 전원 전압 V_{DD}에 직접 연결된다. 도 4 및 도 5의 회로는, 예를 들어, 독립적인 P 터브(tub)를 가진 N기판 CMOS 회로에 사용하기에 적합하다.

전압 조정 회로가 사실상 공정에 무관한 발진 주기를 제공하도록 설계하는 방식에 대해 도 2의 링 발진 회로(20)를 사용하여 기술할 것이다. 그러나, 그러한 분석은 도 3의 실시예 및 다수의 다른 유형의 회로에도 적용될 수 있다는 것을 이해해야 할 것이다.

도 6은 도 2의 3단 링 발진 회로(20)의 발진 주기를 도시한다. 아래의 분석을 위하여, 링 발진 회로(20)의 PFET M1, M3 및 M5는 각각 85°에서 0.25 미크론 CMOS 공정에 의해 제2 최소 크기 PFET로서 구현되고, 회로(20)의 NFET M2, M4 및 M6는 이 공정에 의해 최소 크기 NFET로서 구현된다고 가정한다. 이는 V_{DD}가 감소됨에 따라 발진 주기가 증가하는 플롯으로부터 알 수 있다. V_{DD}가 V_{THN} + V_{THP} 아래로 감소되면 곡선은 급경사를 이루는데, 여기서, V_{THN} 및 V_{THP}는 각각 NFET 및 PFET의 전도 임계 전압이다. 본 실시예에서, 이들 전도 임계 전압은 FET의 부임계 전도 전류를 무시하므로써 결정된다. 그후, 공정 변동이 V_{THN} 또는 V_{THP}를 증가시키는 방향으로 시프팅하는 경우, 조정기 출력 전압도 따라서 증가하고, 발진 주기는 거의 일정하게 유지된다.

V_{DD}에 의해 구동될 시에 도 6의 플롯에 의해 특징지워지는 출력을 가진, 도 2의 링 발진 회로(20)에 대해 본 발명에 따라서 공정 변동의 보상을 활용하므로써 얻어지는 이점을 설명하기 위한 분석이 이루어졌다. 이 분석에서는, 점진적 채널(gradual -channel), 저전계 MOSFET 모델을 사용하였다. NFET 전류 I_{DN}은 이 모델에 의해 다음과 같이 주어진다:
$V_G \leq V_{THN}$인 경우 $I_{DN}=0$ for $V_G \leq V_{THN}$;

삭제

($V_G > V_{THN}$ and $V_D \leq V_G - V_{THN}$)인 경우 $I_{DN}=B_N[V_G - V_{THN} - (1/2)]V_D$; 및

그 외, $I_{DN}=(B_N/2)(V_G - V_{THN})^2$.

PFET 전류 I는 전술한 수식을 아래와 같이 대입하여 알 수 있다:

$B_N \rightarrow B_P$, $V_{THN} \rightarrow V_{THP}$, $V_G \rightarrow V_{DD} - V_G$, $V_D \rightarrow V_{DD} - V_D$

정규화된 단위로 다음의 값이 분석에 사용되었다.

$V_{DD}=0.8$, $V_{THN}=V_{THP}=0.2$, $B_N=B_P=1.0$, $C=1.0$

여기서, C는 노드 정전용량이다. 0.8 내지 1.0의 전압 범위가 공정 변동을 보상하는 데 사용되므로, V_{DD}는 0.8로 설정되고 1.0으로는 설정되지 않는다. 이 표준 동작 조건에서, 발진 주기는, 정규화된 FET 트랜스컨덕턴스 값에 의해 제산된 정규화된 정전용량값에 기반한 정규 유닛에서, 25.2728이다. 표준 동작 조건에 대한 발진 주기 값은 비교를 위하여 차후에 참조될 것이다. 표준 동작 조건으로부터의 공정 매개변수의 작은 변동 및 V_{DD}의 작은 변동은 아래의 표 1 및 표 2에 도시된 바와 같은 발진 주기의 변동을 생성하였다. 양호한 클럭 파형을 성취하기 위해서는 발진기가 풀업/풀다운 대칭으로써 설계하기가 가장 적당하므로, 분석시 전술한 바와 같이 $V_{THN} = V_{THP}$ 및 $B_N = B_P$라고 가정한다. 0.25 미크론 이하 CMOS에

서, P+ N+ 폴리실리콘 공정을 사용할 것이며, 따라서, 동일한 전도 임계 전압 $V_{THN} = V_{THP}$ 및, 대칭 버퍼-인버터라고 가정해도 된다. V_{THN} 및 V_{THP}과 B_N 및 B_P 의 변동은 동일한 주기 변동을 생성한다. 이러한 제한사항은 이 예시된 설계 전략의 무결성을 위한 것이지만, 필수적인 것은 아니다.

[표 1]

V_{DD}	주기	V_{THN}	주기	V_{THP}	주기
0.9	20.7407	0.15	23.1581	0.15	23.1581
0.8	25.2728	0.20	23.2728	0.20	23.2728
0.7	32.1229	0.25	27.7941	0.25	27.7941

발진 주기 대 매개변수 변동

[표 2]

B_N	주기	B_P	주기
1.1	24.1050	1.1	24.1050
1.0	25.2728	1.0	25.2728
0.9	26.6580	0.9	26.6580

발진 주기 대 매개변수 변동

전술한 데이터로부터, 링 발진기(20)의 발진 주기 Tp는 다음과 같이 쓸 수 있다:

$$T_P=25.2728-56.9125\Delta V_{DD}+46.34(\Delta V_{THN}+\Delta V_{THP})-12.765(\Delta B_N+\Delta B_P)$$

여기서, $\Delta V_{DD}=V_{DD}-0.8$, $\Delta V_{THN}=V_{THN}-0.2$, $\Delta B_N=B_N-1.0$ 등은 표준 동작 조건으로부터의 매개변수 변동을 나타낸다. 발진 주기 Tp가 이들 변동에 독립적이 되도록 하기 위해서, 변동 항이 다음의 공식을 만족시켜야 한다:

$$\Delta V_{DD}=0.814(\Delta V_{THN}+\Delta V_{THP})-0.2243(\Delta B_N+\Delta B_P)$$

도 2 실시예에서 이 공식을 만족하도록 조정 회로(30)의 출력 전압을 조정하는 경우, 발진 주기는, 매개변수 변동에도 불구하고, 표준 조건과 관련된 주기에서 여전히 변경되지 않는다.

본 발명의 전술한 매개변수 보상의 유효성을 설명하기 위하여, 두가지 극단적인 상태, "슬로우(slow)" 상태 및 "패스트(fast)" 상태를 검사하였다. 슬로우 및 패스트 상태는 공정 매개변수 V_{THN}, V_{THP} 및 B_P가 각각 이들 매개변수에 대한 공정 변동의 범위의 제각기의 슬로우 및 패스트 단부에 있는 상태를 나타낸다. 슬로우 상태에서는, 공정 매개변수를 V_{THN} = 0.25, V_{THP} = 0.24, B_N = 0.70 및 B_P = 0.80으로 가정하였다. 최종 보상된 V_{DD}는 0.9854이고, 발진 주기는 27.3424이다. V_{DD}가 0.8로 유지된다면, 주기는 40.0682이다. 패스트 상태에서는, 공정 매개변수를 V_{THN} = 0.19, V_{THP} = 0.17, B_N = 1.10 및 B_P = 1.30으로 가정하였다. 최종 보상된 V_{DD}는 0.6777이고, 발진 주기는 26.1793이다. V_{DD}가 0.8로 유지된다

면, 주기는 19.6978이다. 표준 상태에 있어서, 주기는 전술한 바와 같이 25.2728이다. 본 발명에 따라 결정된 보상 V_{DD} 값을 사용하면 보상이 없는 경우에 결과하는 변동에 비해 발진 주기의 변동이 크게 감소되는 효과를 가진다는 것을 전술한 내용에서부터 명백히 알 수 있다.

도 7 및 도 8은 전술한 분석을 근거로 제각기 비보상의 경우 및 보상의 경우에 대한 정규 발진 주기의 히스토그램을 도시한다. V_{THN}, V_{THP}, B_N 및 B_P 공정 매개변수는 그들 각 공칭 값을 중심으로 ±15%만큼 서로 독립적으로 변한다고 가정하였다. 이 변동은 실제 CMOS 공정에서 전형적인 것으로 많은 응용에서 알게된 ±15% V_{DD} 변동과 일치한다. 전술한 링 발진 회로(20) 모델을 생성하는 데 사용되는 C 언어 프로그램에서, 이들 매개변수에 대한 값은 통상적인 몬테 카를로 분석을 사용하여 무작위로 생성되었다. V_{DD}가 0.8로 유지되는 경우, 즉, V_{DD}가 보상되지 않는 경우에 대해 발진 주기를 계산하였고, 도 7은 공정 매개변수 V_{THN}, V_{THP}, B_N 및 B_P의 500개의 임의적으로 발생된 값에 대한 결과를 도시한다. 도 8은 공정 매개변수 V_{THN}, V_{THP}, B_N 및 B_P의 500개의 임의적으로 발생된 값에 대해 본 발명의 기법을 사용하여 V_{DD}를 보상하는 경우에 대한 결과를 도시한다. 이들 결과는 본 발명의 기법을 사용하여 발진 주기 안정성에 대해 실직적인 개선을 얻을 수 있음을 나타낸다. 공정 변동에 기인한 발진 주기에서의 변동은, 비보상 경우에 있어서의 약 ±10%로부터 보상 경우에 있어서의 약 ±1%로 감소된다.

링 발진 전원 전압이 공정 매개변수 V_{THN}, V_{THP}, B_N 및 B_P에 의존하도록 만들기 위하여, 도 2의 전압 조정 회로(30), 도 4의 전압 조정 회로(30') 및 도 5의 전압 조정 회로(50')는 다음 형태의 기준 전압 V_{REF}를 발생한다:

$$V_{REF}=aV_{THN}+bV_{THP}+cB_N+dB_p$$

여기서, 값 a, b, c 및 d는 링 발진 회로, 즉, 도 2의 회로(20) 또는 도 3의 회로(40)에 인가되는 전압이 매개변수 변동 항들 간의 전술한 관계를 만족시키도록 선택된다. 도 2, 3, 4 및 5에 도시된 바와 같이, 전압 조정 회로는 직렬연결된 PFET M7 및 NFET M8, 부하 저항기 R을 포함한다. 직렬연결된 FET에 의해 구현된 전압은, 잘 알려진 아날로그 회로 기법을 사용하여, 전압 폴로워-스칼라(32)에 의해 감소된 임피던스 또는 스케일된 전압이다.

부하 저항기 R이 작은 공정 변동을 가져야만 하지만, 즉, 정밀 저항기여야 하지만, 그의 특정 값이 아주 중요한 것은 아니다. 부하 저항기 R은 외부 저항기, 즉, "오프-칩(off-chip)" 저항기일 수 있으며, 혹은, CMOS 공정의 일부로서 집적회로 내부에 형성될 수 있다. CMOS 공정에 있어서, 한 유형의 저항기는 일반적으로 다른 유형의 저항기들보다 정밀하게 정의된다. 예를 들면, P형 기판 CMOS 공정에서는, 전형적으로 NFET 소스의 긴 스트립 구조로서 형성된 N+ 저항기가 일반적으로 가장 정밀하게 정의된 저항기이지만, N형 기판 CMOS 공정에서는, 전형적으로 PFET 소스의 긴 스트립 구조로서 형성된 P+ 저항기가 일반적으로 가장 정밀하다. 도 2의 전압 조정 회로(30)의 부하 저항기 R은 N+ 저항기일 수 있으며, 도 4의 전압 조정 회로(30')의 부하 저항기 R은 P+ 저항기일 수 있다. 부하 저항기는 또다른 적당한 전류 발생기로써 대체될 수 있다. 부하 저항기 또는 전류 발생기에 대한 적절한 매개변수를 결정하는 데 회로 시뮬레이션이 사용될 수 있다.

도 2 및 도 4의 전압 조정 회로의 PFET M7 및 NFET M8의 연결에 관련하여 보다 상세한 내용을 기술할 것이다. 먼저 도 2의 전압 조정 회로(30)를 참조하면, CMOS 기판은 격리된 N 터브를 가진 P형 기판일 수 있으며, 그에 따라 PFET M7은 독립 장치로서 간주될 수 있다. 이 경우에, NFET M8 소스는 접지 또는 V_{SS}에 연결되고, NFET 드레인은 NFET 게이트, PFET 드레인 및 PFET 게이트에 연결되며, PFET 소스 및 PFET N-터브는 부하 저항기 R에 함께 연결된다. 이 경우에, M7은 그 자신의 N 터브를 가진 완전히 독립된 PFET이다. 이제, 도 4의 전압 조정 회로를 참조하면, CMOS 기판은 격리된 P 터브를 가진 N형 기판일 수 있으며, 그에 따라 NFET M8를 독립 장치로서 간주할 수 있다. 즉, 그 자신의 P 터브를 가진 완전히 독립된 NFET일 수 있다. 이 경우에, PFET 소스는 자동적으로 V_{DD}에 연결되며, PFET 드레인은 PFET 게이트, NFET 드레인 및 NFET 게이트에 연결되고, NFET 소스 및 N형 기판은 부하 저항기 R에 연결된다.

전술한 유형의 연결은 백 게이트 바이어스 효과를 피하는 데 사용된다. 그러나, 본 발명의 기법을 사용하여 보상할 목표 회로가 접지 또는 V_{SS}(NFET) 또는 V_{DD}(PFET)에 직접 연결되지 않은 소스를 가진 FET를 가지는 경우, 보다 정밀한 보상을 얻기 위하여 부가적인 백바이어스 효과가 편리하게 사용될 수 있다. 이러한 실시예에서 FET 양단의 전압은 회로 속도의 표시기이며, 전도 임계 전압 V_{THN} 및 V_{THP} 및 이동도 B_N 및 B_P를 포함한다. 예를 들면, 도 3의 실시예와 관련하여 전술한 바와 같이, NFET M2, M4 및 M6의 부가적인 백바이어스 효과는, M8을 접지 또는 VSS에 직접 연결시키지 않으므로 인해서 결과적으로 얻어진 백바이어스 효과에 의해 보상된다.

도 2 및 도 3의 실시예에서, 웨이퍼 공정 변동, 즉, 링 발진 회로의 발진 주기의 함수로서 변하는 회로 동작 매개변수는 이러한 공정 변동에 사실상 둔감하도록 만들어 진다. 이러한 개선은 링 발진 회로에 인가되는 전압, 즉, 전압 조정 회로에 의해 발생되는 전압을 공정 매개변수 V_{THN}, V_{THP}, B_N, B_P의 함수로서 선택하므로써 제공된다. 결과적으로, 공정 매개변수 변동이 상쇄되어, 회로 동작 매개변수는 사실상 변경되지 않은 채 유지된다. 이러한 유형의 보상은, 소정의 CMOS 공정이 회로 지연 시간을 결정하고, 공정 변동에 민감한 FET 트랜스컨덕턴스의 "목표" 값을 가지기 때문에 가능하게 된다. 트랜스컨덕턴스 그자체는 전도 임계 전압 및 이동도의 보다 기본적인 공정 매개변수에 의해 결정된다. 전술한 실시예는 둘 이상의 기본 공정 매개변수를 사용하여, 지연 시간에 영향을 미치는 환경 매개변수, 예를 들면, 전원 전압을 결정한다. 전원 전압의 변동은 기본 공정 매개변수의 변동을 오프셋시키며, 그에 따라 링 발진 회로의 발진 주기는 사실상 공정에 독립적이 된다.

본 발명은 다음과 같이 보다 일반화될 수 있다. 집적 회로 공정 조건을 명시하며, 회로 동작 매개변수 X에 영향을 미치는 공정 매개변수 P1, P2,...가 있다고 가정하자. 회로 공정 매개변수 X가 또한 환경 매개변수 E1, E2,...에 의해 영향받는 다고 가정하자. 예를 들어, 공정 매개변수 P1, P2,...는 각각 NFET 및 PFET 전도 임계 전압 V_{THN} 및 V_{THP} 와, 각각 NFET 및 PFET 채널 이동도 B_N 및 B_P, NFET 와 PFET 게이트 정전용량과, NFET 및 PFET 드레인 정전용량과, NFET 및 PFET 얼리 전압과, NFET 및 PFET 포화 매개변수와, 주행 시간이다. 얼리 전압은 FET 채널의 실효 단락으로 인하여 FET 전류를 다소 증가시키는 전도 임계 전압보다 높은 드레인 전압을 지칭한다. 이 현상은 얼리 효과로 알려져 있다. 예를 들어, 환경 매개변수 E1, E2,...는 전원 전압, FET 전류 발생 제어 전압, 능동 부하 제어 전압, 부동 접지-V_{DD} 장치의 경우에 백바이어스 전압, 및 동작 온도이다.

본 발명은 공정 매개변수의 함수, 예를 들면, $E1 = f_{E1}(P1,P2,...)$ 로서 환경 매개변수 또는 매개변수를 선택하는 특징이 있으며, 그에 따라 동작 조건에서, 공정 변동의 영향은 사실상 상쇄되거나 혹은 상당히 감소된다. 회로 매개변수 X는 공식 $X = f_X(f_{E1}(P1,P2,...)$ 에 따른 공정 매개변수에 좌우됨을 알 수 있다. 따라서, $f_{E1}(P1,P2,...)$ 함수 형태를 적절히 선택하므로써, 회로 매개변수 X는 공정 변동에 독립적으로 될수 있다. 전술한 도 2 및 도 3과 관련하여 기술된 실시예에서, 회로 매개변수 X는 링 발진 주기이고, 공정 매개변수는 FET 전도 임계 전압 V_{THN} 및 V_{THP}와, FET 채널 이동도 B_N 및 B_P이고, 환경 매개변수는 전원 전압 V_{DD}이다.

본 발명의 전술한 실시예는 단지 설명을 위한 것일 뿐이다. 예를 들면, 본 발명을 비록 전압 조정기 및 링 발진 회로와 관련하여 설명하였지만, 예를 들어, 집적회로 및 개별 구성요소 회로의 모두를 포함한 임의 유형의 회로 또는 회로들에도 적용될 수 있다. 또한, 본 발명은 각종 상이한 공정 매개변수, 환경 매개변수 및 회로 동작 매개변수와 함께 사용될 수 있다. 당업자라면 후속되는 특허청구의 범위의 범주를 벗어나지 않으면서 다른 대체 실시예를 구현할 수 있을 것이다.

발명의 효과

본 발명은 동작 매개변수에 영향을 주는 환경 매개변수가 하나 또는 그이상의 공정 매개변수의 함수로 만들어지도록 회로를 구성하므로써, 집적회로의 동작 매개변수를 공정 변동에 사실상 둔감하게 만든다. 이러한 방식으로, 회로 동작 매개변수에 공정 매개변수가 미치는 영향은 공정 매개변수에 환경 매개 변수가 미치는 영향에 의해 부분적으로 혹은 충분히 오프셋 될 수 있다.

(57) 청구의 범위

청구항 1.

회로의 동작 매개변수(an operating parameter)가 적어도 하나의 공정 매개변수 및 적어도 하나의 환경 매개변수의 함수 f_1에 따라 가변하는, 상기 회로를 제작하는 방법에 있어서:

상기 공정 매개 변수의 검출에 기초한 상기 환경 매개 변수의 피드백 제어를 사용하지 않고도 상기 함수 f_1의 알려진 특성에 적어도 부분적으로 기초하여 함수 f_2를 사전 선택함에 의해 상기 환경 매개변수가 상기 공정 매개변수의 함수f_2이도록 회로를 구성하는 단계를 포함하되, 상기 회로 동작 매개변수에 미치는 상기 공정 매개변수의 영향은 상기 환경 매개변수에 미치는 상기 공정 매개변수의 영향에 의해 적어도 부분적으로 오프셋(offset)되는,

를 포함하는 회로 제작 방법.

청구항 2.

삭제

청구항 3.

제 1 항에 있어서,

상기 회로 동작 매개변수에 미치는 상기 공정 매개변수의 영향은 상기 환경 매개변수에 미치는 상기 공정 매개변수의 영향에 의해 사실상 오프셋되는 회로 제작 방법.

청구항 4.

제 1 항에 있어서,

상기 적어도 하나의 공정 매개변수는, 전도 임계 전압, 채널 이동도, 게이트 정전용량, 드레인 정전용량, 얼리 전압, 포화 매개변수 및 주행 시간중의 하나 또는 그 이상의 매개변수를 포함하는 회로 제작 방법.

청구항 5.

제 1 항에 있어서,

상기 적어도 하나의 환경 매개변수는 전원 전압, 전류 발생 제어 전압, 능동 부하 제어 전압, 백바이어스 전압 및 동작 온도중의 하나 또는 그이상의 매개변수를 포함하는 회로 제작 방법.

청구항 6.

제 1 항에 있어서,

상기 회로 동작 매개변수는 발진 주기이고, 상기 공정 매개변수는 전도 임계 전압 및 채널 이동도를 포함하고, 상기 환경 매개변수는 전원 전압을 포함하는 회로 제작 방법.

청구항 7.

제 1 항에 있어서,

상기 구성 단계는,

상기 회로의 제 2 부분의 기지의 공정 매개변수 변동에 적어도 부분적으로 기초하여 결정되는 기준 전압을 상기 회로의 제 1 부분에서 발생시키는 단계를 포함하는 회로 제작 방법.

청구항 8.
삭제

청구항 9.
삭제

청구항 10.

적어도 하나의 공정 매개변수 및 적어도 하나의 환경 매개변수의 함수f_1에 따라 가변하는 동작 매개변수를 가진 회로에 있어서:

상기 공정 매개변수의 검출에 기초한 상기 환경 매개변수의 피드백 제어를 이용하지 않고도 상기 함수f_1의 알려진 특성에 적어도 부분적으로 기초하여 함수f_2를 사전 선택함에 의해 상기 환경 매개변수가 상기 공정 매개변수의 함수f_2이도록 구성되고, 소정 출력을 발생시키는 제 1 회로 부분과;

상기 제 1 회로 부분에 의해 생성된 상기 출력을 입력으로서 수신하도록 구성되고, 상기 동작 매개변수에 따라서 출력을 발생시키도록 동작하는 제 2 회로 부분 - 그에 의해 상기 제 2 회로 부분의 상기 회로 동작 매개변수에 미치는 상기 공정 매개변수의 영향은 상기 환경 매개변수에 미치는 상기 공정 매개변수의 영향에 의해 적어도 부분적으로 오프셋됨 -

을 포함하는 회로.

청구항 11.
삭제

청구항 12.
삭제

청구항 13.
삭제

청구항 14.
삭제

청구항 15.
삭제

청구항 16.
삭제

청구항 17.
삭제

청구항 18.

집적 회로의 동작 매개변수가 공정관련 트랜지스터 전도 매개변수 및 인가된 전원 전압의 함수f_1에 따라 가변하는, 상기 집적회로를 제작하는 방법에 있어서:

상기 전도 매개변수의 검출에 기초한 상기 인가된 전원전압의 피드백 제어를 사용하지 않고도 상기 함수f_1의 알려진 특성에 적어도 부분적으로 기초하여 함수 f_2를 사전 선택함에 의해 상기 인가된 전압이 상기 전도 매개변수의 함수f_2이도록 상기 회로를 구성하는 단계를 포함하고, 상기 회로 동작 매개변수에 미치는 상기 전도 매개변수의 영향은 상기 인가 전압에 미치는 상기 전도 매개변수의 영향에 의해 적어도 부분적으로 오프셋되는

를 포함하는 집적회로를 제작하는 방법.

청구항 19.

공정 관련 트랜지스터 전도 매개변수 및 인가 전원 전압의 함수f_1에 따라 가변하는 동작 매개변수를 가진 집적회로로서,

상기 전도 매개변수의 검출에 기초한 상기 인가된 전원 전압의 피드백 제어를 사용하지 않고도 상기 함수f_1의 알려진 특성에 적어도 부분적으로 기초하여 함수f_2를 사전 선택함에 의해 상기 인가 전압이 상기 전도 매개변수의 함수f_2로서 선택되고, 그에 따라 상기 회로 동작 매개변수에 미치는 상기 전도 매개변수의 영향은 상기 인가 전압에 미치는 상기 전도 매개변수의 영향에 의해 적어도 부분적으로 오프셋되는 집적회로.

청구항 20.

공정 관련 트랜지스터 전도 매개변수 및 인가 전압의 함수f_1로서 가변하는 동작 매개변수를 가진 집적회로에 있어서:

상기 전도 매개변수의 함수f_2로서 상기 인가 전압을 발생시키기 위한 전압 조정기 - 상기 전도 매개변수의 검출에 기초한 상기 인가된 전원 전압의 피드백 제어를 사용하지 않고도 상기 함수 f_1의 알려진 특성에 적어도 부분적으로 기초하여 함수 f_2를 사전 선택하여, 상기 동작 매개변수에 미치는 상기 전도 매개변수의 영향이 상기 인가 전압에 미치는 상기 전도 매개변수의 영향에 의해 적어도 부분적으로 오프셋되게 함 -와;

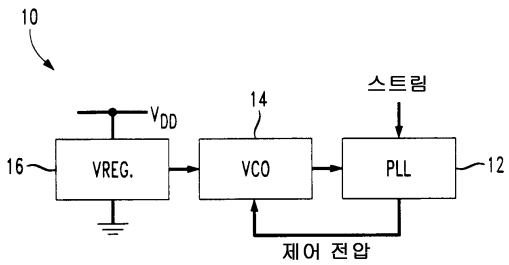
상기 전압 조정기의 출력에 연결된 전원 전압 입력을 가지며, 상기 동작 매개변수에 따라서 출력을 발생시키도록 동작하는 회로 부분

을 포함하는 집적회로.

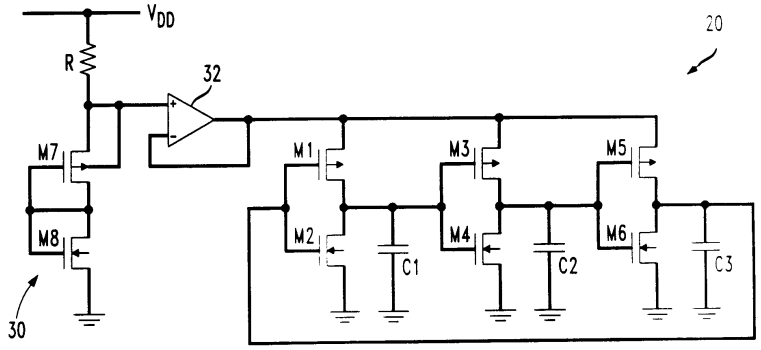
도면

도면1

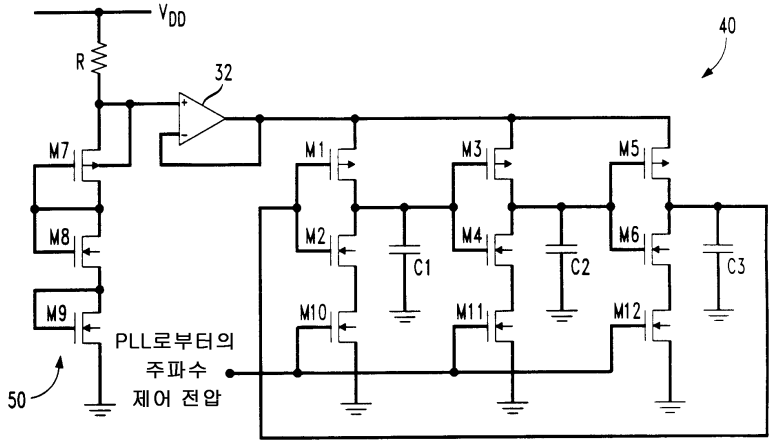
(종래기술)



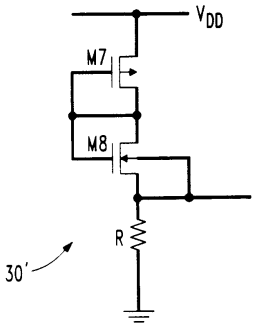
도면2



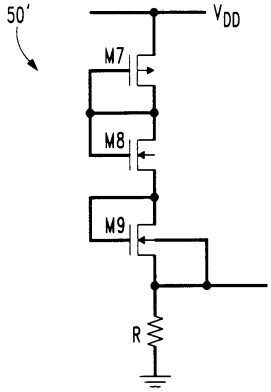
도면3



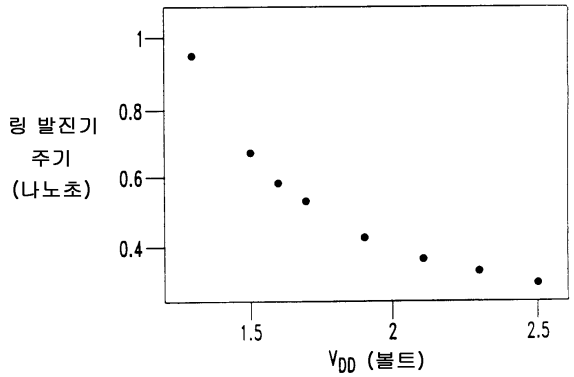
도면4



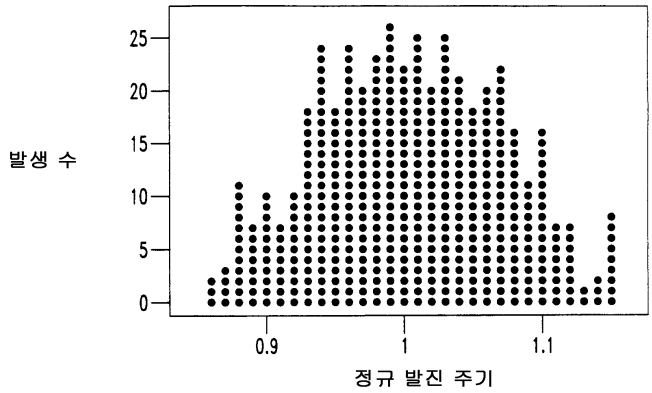
도면5



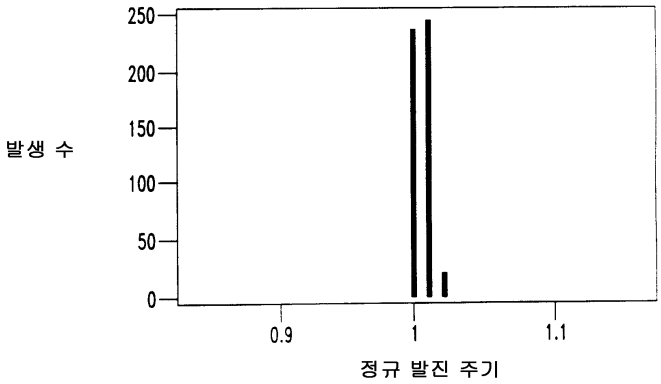
도면6


링 발진기
주기
(나노초)
1
0.8
0.6
0.4
1.5
2
2.5
V_{DD} (볼트)

도면7


발생 수
25
20
15
10
5
0
0.9
1
1.1
정규 발진 주기

도면8


발생 수
250
200
150
100
50
0
0.9
1
1.1
정규 발진 주기