



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0034215
(43) 공개일자 2017년03월28일

(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2017.01)

(52) CPC특허분류
H01L 27/11578 (2013.01)
H01L 27/11568 (2013.01)

(21) 출원번호 10-2015-0132605
(22) 출원일자 2015년09월18일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자
선우문욱
경기도 수원시 영통구 영통로290번길 25, 506동
604호 (영통동, 신나무실주공아파트)

유인경
경기도 용인시 수지구 신봉2로 26, 113동 802호
(신봉동, LG신봉자이1차아파트)
(뒷면에 계속)

(74) 대리인
리엔목특허법인

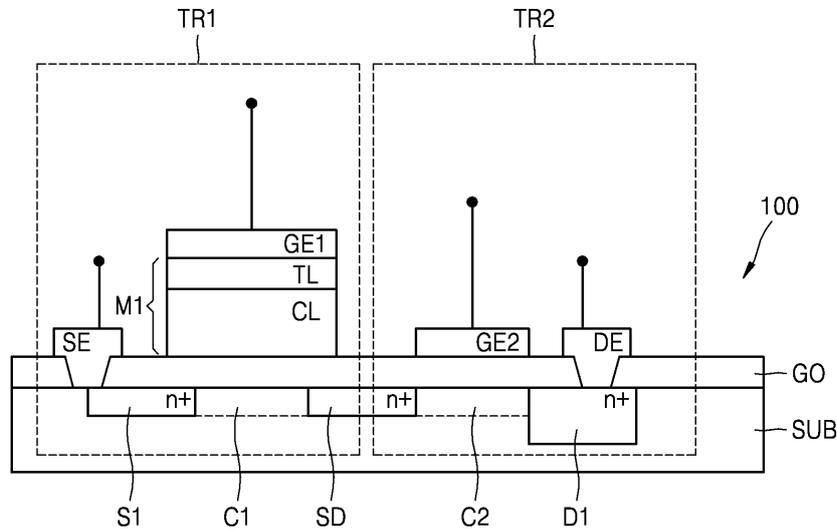
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 시냅스 메모리 소자의 제조방법

(57) 요약

저전압에서 구동가능하고, 멀티레벨을 구현할 수 있는 시냅스 메모리소자의 제조방법을 제공한다. 상기 시냅스 메모리소자는 메모리층을 포함하는 제 1 트랜지스터의 드레인영역과 제 2 트랜지스터의 제 1 소스영역을 하나의 공용영역으로 공유하도록 하는 2 트랜지스터 구조를 포함한다. 상기 공용영역을 통해 전압을 인가하여 시냅스 메모리소자를 제어한다. 메모리층은 전하저장층과 문턱전압변환층을 포함하여 비휘발성 멀티레벨 메모리 기능을 구현할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 27/11573 (2013.01)

H01L 27/1158 (2013.01)

H01L 2924/1438 (2013.01)

(72) 발명자

김호정

경기도 수원시 영통구 태장로82번길 32, 112동 50
2호 (망포동, 망포마을 동수원 엘지빌리지)

조성호

경기도 과천시 별양로 12, 319동 1803호 (원문동,
래미안슈르아파트)

명세서

청구범위

청구항 1

기관 상의 서로 이격되는 영역에 제 1 도전형의 도펀트를 주입하여 제 1 소스영역, 공용영역, 드레인영역을 형성하는 단계;

상기 제 1 소스영역과 상기 공용영역 사이의 제 1 채널영역 상에 메모리층을 형성하는 단계;

상기 공용영역과 상기 드레인영역 사이의 제 2 채널영역 상에 제 2 게이트전극을 형성하는 단계; 및

상기 메모리층 상에 제 1 게이트전극을 형성하는 단계; 를 포함하는 시냅스 메모리소자 제조방법.

청구항 2

제 1항에 있어서,

상기 제 1 소스영역, 공용영역, 드레인영역을 형성하는 단계는,

상기 제 1 소스영역과 상기 공용영역은 동시에 형성하고,

상기 드레인영역은 상기 제 1 소스영역 및 상기 공용영역과 서로 다른 단계에서 형성하는 시냅스 메모리소자 제조방법.

청구항 3

제 2항에 있어서,

상기 제 1 소스영역은 상기 공용영역과 동일한 깊이로 형성하고,

상기 드레인영역은 상기 제 1 소스영역의 깊이보다 깊게 형성하는 시냅스 메모리소자 제조방법.

청구항 4

제 1항에 있어서,

상기 기관 상의 상기 제 1 소스영역과 접하며, 상기 제 1 채널영역과 이격되는 영역에 상기 제 1 도전형과 다른 제 2 도전형의 도펀트를 주입하여 제 2 소스영역을 형성하는 단계; 를 더 포함하고,

상기 제 1 소스영역과 상기 제 2 소스영역은 PN 접합 구조를 형성하는 시냅스 메모리소자 제조방법.

청구항 5

제 4항에 있어서,

상기 제 2 소스영역은 상기 제 1 소스영역 및 상기 공용영역의 깊이보다 깊게 형성하는 시냅스 메모리소자 제조방법.

청구항 6

제 4항에 있어서,

상기 제 2 소스영역은 상기 드레인영역의 깊이로 형성하는 시냅스 메모리소자 제조방법.

청구항 7

제 4항에 있어서,

상기 제 2 소스영역과 전기적으로 접하도록 소스 전극을 형성하는 단계; 를 더 포함하는 시냅스 메모리소자 제조방법.

청구항 8

제 1항에 있어서,

상기 메모리층은 상기 제 1 채널영역 상에 형성된 전하저장층, 상기 전하저장층 상에 형성된 문턱전압변환층을 포함하는 시냅스 메모리소자 제조방법.

청구항 9

제 8항에 있어서,

상기 전하저장층은 Si_3N_4 를 포함하는 시냅스 메모리소자 제조방법.

청구항 10

제 8항에 있어서,

상기 문턱전압변환층은 NiO, TaO, TiO_2 중 적어도 하나를 포함하는 시냅스 메모리소자 제조방법.

청구항 11

기판 상에 게이트절연층을 형성하는 단계;

상기 기판의 일부에 소자분리막을 형성하는 단계;

상기 기판의 제 2 채널영역 상에 제 2 게이트전극을 형성하는 단계;

상기 제 2 채널영역의 일측에 접하는 드레인영역을 형성하는 단계;

상기 제 2 채널영역의 타측에 접하고 제 1 채널영역의 일측에 접하는 공용영역과 상기 제 1 채널영역의 타측에 접하는 제 1 소스영역을 형성하는 단계;

상기 기판의 상기 제 1 채널영역 상에 메모리층을 형성하는 단계; 및

상기 메모리층 상에 제 1 게이트전극을 형성하는 단계;를 포함하는 시냅스 메모리소자 제조방법.

청구항 12

제 11항에 있어서,

상기 소자분리막의 형성은 LOCOS 공정에 의하는 시냅스 메모리소자 제조방법.

청구항 13

제 11항에 있어서,

상기 제 1 소스영역과 접하며, 상기 제 1 채널영역과 이격되는 제 2 소스영역을 상기 제 1 소스영역의 제 1 도전형과 다른 제 2 도전형의 도펀트를 주입하여 형성하는 단계; 를 더 포함하고,

상기 제 1 소스영역과 상기 제 2 소스영역은 PN 접합 구조를 형성하는 시냅스 메모리소자 제조방법.

청구항 14

제 13항에 있어서,

상기 제 2 소스영역과 전기적으로 접하도록 소스 전극을 형성하는 단계;를 더 포함하는 시냅스 메모리소자 제조방법.

청구항 15

제 11항에 있어서,

상기 메모리층은 상기 제 1 채널영역 상에 형성된 전하저장층, 상기 전하저장층 상에 형성된 문턱전압변환층을 포함하는 시냅스 메모리소자 제조방법.

청구항 16

제 15항에 있어서,
 상기 전하저장층은 Si₃N₄ 를 포함하는 시냅스 메모리소자 제조방법.

청구항 17

제 15항에 있어서,
 상기 문턱전압변환층은 NiO, TaO, TiO₂ 중 적어도 하나를 포함하는 시냅스 메모리소자 제조방법.

청구항 18

제 1 평면영역, 측면 및 제 2 평면영역을 포함하는 단차 구조를 가지는 기판을 마련하는 단계;
 상기 측면 상에 메모리층을 형성하는 단계;
 상기 메모리층 상에 제 1 게이트전극을 형성하는 단계;
 상기 제 2 평면영역에 제 2 게이트전극을 형성하는 단계; 및
 상기 제 1 게이트전극, 상기 제 2 게이트전극을 마스크 삼아 동종의 도펀트를 주입하여 제 1 소스영역, 공용영역, 드레인영역을 형성하는 단계;를 포함하고,
 상기 단차 구조는 상기 제 1 평면영역이 상기 제 2 평면영역보다 상기 측면 만큼 솟아오른 구조를 포함하는 시냅스 메모리 소자 제작방법.

청구항 19

제 18항에 있어서,
 단차 구조를 가지는 기판을 마련하는 단계는,
 상기 제 1 평면영역을 마스크로 하여 상기 기판을 식각하여 상기 측면과 상기 제 2 평면영역을 형성하는 단계를 포함하는 시냅스 메모리 소자 제작방법.

청구항 20

제 18항에 있어서,
 상기 제 1 평면영역에 LOCOS 공정 또는 STI 공정으로 소자분리막을 형성하는 단계;를 더 포함하는 시냅스 메모리 소자 제작방법.

발명의 설명

기술 분야

[0001] 저전압에서 구동가능하며 멀티레벨을 구현할 수 있는 시냅스 메모리 소자의 제조방법에 관한 것이다.

배경 기술

[0002] 비휘발성 메모리 소자로 플래시 메모리(flash memory)가 많이 사용되고 있다. 그 중 하나인 전하트랩 플래쉬(Charge Trap Flash; CTF) 메모리는 전하 터널링(tunneling effect)을 통해 전하를 전하저장층에 저장하거나 전하저장층에 저장된 전하를 제거함으로써 정보를 저장하거나 삭제한다. 종래의 전하트랩 플래쉬 메모리는 일트랜지스터 구조를 가져 기존 반도체 공정과의 호환성이 높고 고집적이 가능하다고 알려져 있다. 이러한 전하트랩 플래쉬 메모리 소자를 개선하여 동작전압을 낮추고 멀티레벨 특성을 가질 수 있게 하는 연구가 계속되고 있으며 나아가 멀티레벨 특성을 가지는 메모리 소자를 뇌신경모사 소자(neuromorphic device)에 적용하려는 시도가 있다.

발명의 내용

해결하려는 과제

[0003] 저전압에서 구동가능하며 멀티레벨을 구현할 수 있는 시냅스 메모리 소자의 제조방법에 관한 것이다.

과제의 해결 수단

[0004] 일 실시예에 따른 시냅스 메모리 소자의 제조방법은, 기판 상의 서로 이격되는 영역에 제 1 도전형의 도펀트를 주입하여 제 1 소스영역, 공용영역, 드레인영역을 형성하는 단계; 상기 제 1 소스영역과 상기 공용영역 사이의 제 1 채널영역 상에 메모리층을 형성하는 단계; 상기 공용영역과 상기 드레인영역 사이의 제 2 채널영역 상에 제 2 게이트전극을 형성하는 단계; 및 상기 메모리층 상에 제 1 게이트전극을 형성하는 단계; 를 포함한다.

[0005] 상기 제 1 소스영역, 공용영역, 드레인영역을 형성하는 단계는, 상기 제 1 소스영역과 상기 공용영역은 동시에 형성하고, 상기 드레인영역은 상기 제 1 소스영역 및 상기 공용영역과 서로 다른 단계에서 형성할 수 있다.

[0006] 상기 제 1 소스영역은 상기 공용영역과 동일한 깊이로 형성하고, 상기 드레인영역은 상기 제 1 소스영역의 깊이보다 깊게 형성할 수 있다.

[0007] 상기 기판 상의 상기 제 1 소스영역과 접하며, 상기 제 1 채널영역과 이격되는 영역에 상기 제 1 도전형과 다른 제 2 도전형의 도펀트를 주입하여 제 2 소스영역을 형성하는 단계; 를 더 포함하고, 상기 제 1 소스영역과 상기 제 2 소스영역은 PN 접합 구조를 형성할 수 있다.

[0008] 상기 제 2 소스영역은 상기 제 1 소스영역 및 상기 공용영역의 깊이보다 깊게 형성할 수 있다.

[0009] 상기 제 2 소스영역은 상기 드레인영역의 깊이로 형성할 수 있다.

[0010] 상기 제 2 소스영역과 전기적으로 접하도록 소스 전극을 형성하는 단계; 를 더 포함할 수 있다.

[0011] 상기 메모리층은 상기 제 1 채널영역 상에 형성된 전하저장층, 상기 전하저장층 상에 형성된 문턱전압변환층을 포함할 수 있다.

[0012] 상기 전하저장층은 $Si_3 N_4$ 를 포함할 수 있다.

[0013] 상기 문턱전압변환층은 NiO, TaO, TiO_2 중 적어도 하나를 포함할 수 있다.

[0014] 다른 실시예에 따른 시냅스 메모리 소자의 제조방법은, 기판 상에 게이트절연층을 형성하는 단계; 상기 기판의 일부에 소자분리막을 형성하는 단계; 상기 기판의 제 2 채널영역 상에 제 2 게이트전극을 형성하는 단계; 상기 제 2 채널영역의 일측에 접하는 드레인영역을 형성하는 단계; 상기 제 2 채널영역의 타측에 접하고 제 1 채널영역의 일측에 접하는 공용영역과 상기 제 1 채널영역의 타측에 접하는 제 1 소스영역을 형성하는 단계; 상기 기판의 상기 제 1 채널영역 상에 메모리층을 형성하는 단계; 및 상기 메모리층 상에 제 1 게이트전극을 형성하는 단계; 를 포함한다.

[0015] 상기 소자분리막의 형성은 LOCOS 공정에 의할 수 있다.

[0016] 상기 제 1 소스영역과 접하며, 상기 제 1 채널영역과 이격되는 제 2 소스영역을 상기 제 1 소스영역의 제 1 도전형과 다른 제 2 도전형의 도펀트를 주입하여 형성하는 단계; 를 더 포함하고, 상기 제 1 소스영역과 상기 제 2 소스영역은 PN 접합 구조를 형성할 수 있다.

[0017] 상기 제 2 소스영역과 전기적으로 접하도록 소스 전극을 형성하는 단계; 를 더 포함할 수 있다.

[0018] 상기 메모리층은 상기 제 1 채널영역 상에 형성된 전하저장층, 상기 전하저장층 상에 형성된 문턱전압변환층을 포함할 수 있다.

[0019] 상기 전하저장층은 $Si_3 N_4$ 를 포함할 수 있다.

[0020] 상기 문턱전압변환층은 NiO, TaO, TiO_2 중 적어도 하나를 포함할 수 있다.

[0021] 또 다른 실시예에 따른 시냅스 메모리 소자의 제조방법은, 제 1 평면영역, 측면 및 제 2 평면영역을 포함하는 단차 구조를 가지는 기판을 마련하는 단계; 상기 측면 상에 메모리층을 형성하는 단계; 상기 메모리층 상에 제 1 게이트전극을 형성하는 단계; 상기 제 2 평면영역에 제 2 게이트전극을 형성하는 단계; 및 상기 제 1 게이트전극, 상기 제 2 게이트전극을 마스크 삼아 동종의 도펀트를 주입하여 제 1 소스영역, 공용영역, 드레인영역을 형성하는 단계; 를 포함하고, 상기 단차 구조는 상기 제 1 평면영역이 상기 제 2 평면영역보다 상기 측면 만큼

숫아오른 구조를 포함한다.

[0022] 단차 구조를 가지는 기판을 마련하는 단계는, 상기 제 1 평면영역을 마스크로 하여 상기 기판을 식각하여 상기 측면과 상기 제 2 평면영역을 형성하는 단계를 포함할 수 있다.

[0023] 상기 제 1 평면영역에 LOCOS 공정 또는 STI 공정으로 소자분리막을 형성하는 단계;를 더 포함할 수 있다.

발명의 효과

[0024] 개시된 실시예들은 멀티레벨(multilevel) 특성을 가지는 시냅스 메모리소자를 구현할 수 있다. 개시된 실시예들은 저전압으로 동작될 수 있는 시냅스 메모리소자를 구현할 수 있다. 개시된 실시예들은 저전압 영역에서 동작되면서 작은 사이즈로도 충분히 많은 멀티레벨을 나타내는 시냅스 메모리소자를 구현할 수 있다.

도면의 간단한 설명

[0025] 도 1은 일 실시예에 따른 시냅스 메모리 소자를 보여주는 단면도이다.

도 2는 다른 실시예에 따른 시냅스 메모리 소자를 보여주는 단면도이다.

도 3은 도 2의 실시예에 따른 소자에 패시베이션층과 전극을 형성한 예를 보여주는 단면도이다.

도 4a 내지 4h는 일 실시예에 따른 시냅스 메모리 소자들간의 누설전류 방지를 위한 소자분리막의 형성방법에 관한 단면도이다.

도 5a 내지 5l는 일 실시예에 따른 시냅스 메모리 소자의 형성방법에 관한 단면도이다.

도 6은 기판 상에 일 실시예에 따른 두 개의 시냅스 메모리 소자가 소자분리막에 의해 분리되어 있는 모습을 나타내는 단면도이다.

도 7a 및 도 7b는 다른 실시예에 따른 시냅스 메모리 소자를 보여주는 사시도이다.

도 8a 내지 8k는 또 다른 실시예에 따른 시냅스 메모리 소자의 형성방법에 관한 사시도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 첨부된 도면들을 참조하여, 시냅스 메모리 소자의 제조방법에 대해 상세하게 설명한다. 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다. 또한, 이하에 설명되는 실시예는 단지 예시적인 것에 불과하며, 이러한 실시예들로부터 다양한 변형이 가능하다.

[0027] 시냅스 메모리 소자란, 시냅스의 생물학적 기능을 모방하는 소자를 말한다. 뇌의 신경세포인 뉴런은 신체 감각 기관을 통해 얻어진 정보를 인지하고 처리하는 데 있어 핵심적인 역할을 수행한다. 뉴런은 정보를 받아들이는 수상돌기(dendrite)와 세포체에 해당하는 소마(soma) 그리고 정보를 내보내는 축삭(axon)으로 구성된다. 정보를 내보내는 전-뉴런의 축삭과 정보를 받아들이는 후-뉴런의 수상돌기 사이를 시냅스라 한다. 하나의 뉴런은 보통 개의 시냅스를 가져 다른 뉴런들과 연결된다. 이러한 뉴런 사이의 동작은 에너지 측면에서 효율적이며 병렬적 정보처리와 학습기능을 가질 수 있다. 뉴런에 여러 아날로그 신호가 세포체에 집적되고 신호들의 합이 문턱전압보다 커지면 대략 1ms의 폭을 가지며 거의 일정한 세기를 가지는 활동 전위(action potential)이 발생되며 이는 디지털 개념의 펄스 신호로 이해할 수 있다. 활동 전위의 진폭이 아닌 단위시간 당 펄스 수로 의미있는 정보가 포함되므로, 뉴런은 아날로그 신호를 통한 디지털 신호처리 기능을 가지고 있다고 볼 수 있다. 또한 뉴런은 메모리와 프로세서의 기능을 가지며, 전시냅스(pre-synapse)에 빈번한 자극이 가해지면 후시냅스(post-synapse)의 전기전도도가 증가하게 되어 자극에 민감하게 되며, 자극이 드물게 가해지면 전기전도도가 감소하여 자극에 대한 민감도가 낮아지게 된다. 따라서, 이러한 시냅스를 모사하는 시냅스 메모리 소자는 입력에 대한 가중치가 변화될 수 있어야 한다(시냅스 가소성). 본 실시예에 따른 시냅스 메모리 소자는 이러한 가중치를 메모리층(memory layer)의 전하저장층(charge trap layer)에 저장되는 전하량의 크기로 구현할 수 있다. 실제 시냅스의 전기전도도에 대한 민감성은 시냅스 메모리 소자의 전하저장층에 저장되는 전하량에 따른 멀티레벨(multilevel)에 대응할 수 있다. 또한, 메모리층에 문턱전압변환층(threshold switching layer)을 포함하여, 비휘발성 메모리 소자를 구현할 수 있다. 이러한 시냅스 메모리 소자를 복수 개 연결함으로써 신경모사 회로(neuromorphic network)를 구현할 수 있다. 이하 도면을 참조하여 시냅스 메모리 소자의 구체적인 구성을 자세히 살핀다.

[0028] 도 1은 일 실시예에 따른 시냅스 메모리 소자를 보여주는 단면도이다. 도 1을 참조하면, 기판(SUB) 상에 시냅스

메모리 소자(100)가 배치될 수 있다. 시냅스 메모리 소자(100)는 제 1 채널영역(C1) 상에 위치하는 제 1 트랜지스터(TR1)와 제 2 채널영역(C2) 상의 제 2 트랜지스터(TR2)를 포함할 수 있다. 본 실시예에 따른 시냅스 메모리 소자(100)는 4개의 전극으로 동작되는 4 터미널 시냅스 메모리 소자일 수 있다. 시냅스 메모리 소자(100)의 공용영역(SD)은 제 1 채널영역(C1)과 제 2 채널영역(C2) 사이에 마련될 수 있다. 제 1 트랜지스터(TR1)와 제 2 트랜지스터는 하나의 공용영역(SD)을 각각의 드레인영역과 제 1 소스영역으로 공유할 수 있다.

[0029] 제 1 트랜지스터(TR1)는 제 1 채널영역(C1) 상에 위치하는 메모리층(M1)과 메모리층(M1) 상에 위치하는 제 1 게이트전극(GE1)을 포함할 수 있다. 또한, 제 1 소스영역(S1)과 전기적으로 연결되는 소스전극(SE1)을 포함할 수 있다. 기판(SUB) 상에 게이트절연층(Gate Oxide layer)(GO)이 마련될 수 있다. 게이트절연층(GO)은 산화실리콘으로 형성될 수 있다. 게이트절연층(GO)은 버퍼층(Buffer layer)의 역할을 가질 수 있다.

[0030] 제 2 트랜지스터(TR2)는 제 2 채널영역(C2) 상에 위치하는 제 2 게이트전극(GE2)을 포함할 수 있다. 또한, 드레인영역(D1)과 전기적으로 연결되는 드레인전극(DE)을 포함할 수 있다. 게이트절연층(GO)은 제 2 트랜지스터(TR2)의 게이트절연층 역할을 가질 수 있다.

[0031] 기판(SUB)은, 예컨대, 실리콘(Si) 기판일 수 있다. 이러한 시냅스 메모리 소자(100)는 NMOS형 또는 PMOS형일 수 있다. 예를 들어, 실리콘(Si)기판을 p형 도펀트로 도핑하고, 제 1 소스영역(S1), 공용영역(SD), 드레인영역(D1)을 n형 도펀트로 도핑하여 형성함으로써 NMOS형태의 시냅스 메모리 소자를 구현할 수 있다. 또는 실리콘(Si)기판을 n형 도펀트로 도핑하고, 제 1 소스영역(S1), 공용영역(SD), 드레인영역(D1)을 p형 도펀트로 도핑하여 형성함으로써 PMOS형태의 시냅스 메모리 소자를 구현할 수 있다. 본 실시예에서는 NMOS형에 기반을 두고 설명하고 있으나, PMOS형을 제외하는 것은 아니다.

[0032] 메모리층 (M1)은 제 1 채널영역(C1) 상에 형성되는 전하저장층 (CL), 전하저장층(CL) 상에 형성되는 문턱전압변환층 (TL)을 포함할 수 있다. 전하저장층(CL)을 구성하는 물질은, 예를 들어 실리콘 질화물(Si_3N_4) 또는 다결정 실리콘(Polycrystalline silicon)을 포함할 수 있다. 전하저장층(CL)에 저장가능한 최대 전하량은 전하저장층(CL)의 체적에 비례할 수 있다. 전하저장층(CL)에 저장된 전하는 시냅스 메모리 소자(100)에 전압이 가해지지 않는 경우에도 계속 유지되는 비휘발성 메모리의 역할을 수행할 수 있다. 이는 후술할 문턱전압변환층(TL)이 전하의 유출을 방지하기 때문이다. 전하저장층(CL)에 전하가 저장되었는지 여부에 따라서 바이너리 정보(binary information)를 저장할 수 있다. 예를 들어, 전하가 저장된 때를 “1”, 저장되지 않은 때를 “0” 이라고 볼 수 있으며, 이를 통해 디지털 신호를 저장할 수 있다. 나아가, 저장된 전하량에 따라서 단계적으로 복수 개의 정보를 저장할 수 있는 멀티 레벨의 메모리 기능을 가질 수 있다. 예를 들어, 전하저장층(CL)에 전하가 최대로 저장된 때를 100%라고 할 때, 전하가 저장되지 않을 때를 “0”, 전하가 25% 저장된 때를 “1” 으로, 전하가 50% 저장된 때를 “2” 로, 전하가 75% 저장된 때를 “3” 으로, 전하가 100% 저장된 때를 “4” 로 볼 수 있다. 이러한 시냅스 메모리 소자는 메모리층 하나에 4비트의 정보를 저장한 것이다. 나아가, 전하저장층(CL)에 저장되는 전하량을 바탕으로 멀티레벨의 단계를 정할 수 있다. 전하량을 세밀하게 정할수록 더 많은 정보를 한 소자에 저장할 수 있으나 그 만큼 오류가 많아질 수 있다. 따라서, 전하저장층(CL)의 크기가 커서 저장할 수 있는 전하량이 늘어날수록 더 적은 오류를 가지며 많은 정보를 가지는 멀티레벨을 구현할 수 있다. 이러한 멀티 레벨의 메모리 소자는 하나의 메모리 층으로 멀티비트(multibit)의 정보를 저장할 수 있으며, 신경망 회로를 만들기 위한 시냅스 메모리 소자로서 활용할 수 있다. 이러한 멀티 레벨의 메모리가 전압이 인가되지 않았을 때 전하가 빠져나가 휘발되지 않도록 전하포획층(CTL)은 문턱전압변환층 (TL)을 포함할 수 있다. 문턱전압변환층(TL)을 포함함으로써 비휘발성 시냅스 메모리 소자의 성질을 가질 수 있다. 문턱전압변환층(TL)은 인가되는 전압에 따라 저항이 변하는 가변저항(variable resistance material)의 성질을 가지며 인가되는 전압이 커질 수록 저항이 낮아져 전류가 쉽게 흐르며 전압이 낮을수록 저항이 높아져 전류가 어렵게 흐를 수 있다. 이러한 문턱전압변환층(TL)은 인가되는 전압에 따라 선형적으로 전류가 흐르는 것이 아니라, 일정 수준 이상의 전압이 걸리면 급격히 전류가 쉽게 흐르는 비선형적인 모습을 보일 수 있다. 특정 전압에서 급격하게 전류가 쉽게 흐를 수 있게 될 때, 즉 저항이 급격히 낮아지는, 그 전압을 문턱전압(threshold switching voltage)이라 부른다. 특히, 이러한 문턱전압변환층(TL)은, 문턱전압에 도달했을 때 전류가 흐르고 도달하지 못하면 전류가 흐르지 않으므로, 스위칭소자의 성질을 가질 수 있다. 또한, 전하의 터널링 방법을 이용하지 않고도 전하를 저장할 수 있기 때문에 소자의 반복 사용에 따른 계면상태의 열화현상을 방지해 소자의 수명을 연장할 수 있다. 문턱전압변환층(TL)을 구성하는 물질은, 예를 들어 Ti 산화물, Ta 산화물, Ni 산화물, Zn 산화물, W 산화물, Co 산화물, Nb 산화물, TiNi 산화물, LiNi 산화물, InZn 산화물, V 산화물, SrZr 산화물, SrTi 산화물, Cr 산화물, Fe 산화물, Cu 산화물, Hf 산화물, Zr 산화물, Al 산화물 및 이들의 혼합물 중 적어도 어느 하나를 포함할 수 있다.

[0033] 도 2는 다른 실시예에 따른 시냅스 메모리 소자(200)를 보여주는 단면도이다. 도 2를 참조하면, 시냅스 메모리

소자(200)는 제 1 소스영역(S1)과 접하며, 제 1 소스영역(S1)과 다른 도전형의 도펀트로 형성되는 제 2 소스영역(S2)을 포함할 수 있다. 제 1 소스영역(S1)과 제 2 소스영역(S2)은 PN접합 구조를 형성할 수 있다. 예를 들어, NMOS 시냅스 메모리 소자의 경우, 제 1 채널영역(C1)과 접하는 제 1 소스영역(S1)을 제 1 도전형 도펀트를 주입하여 형성할 수 있고, 제 1 소스영역(S1)의 타측에 위치하는 제 2 소스영역(S2)을 제 2 도전형 도펀트를 주입하여 형성할 수 있다. 예를 들어, 제 1 도전형 도펀트가 n형 도펀트 일 때, 제 2 도전형 도펀트는 p형이다. 또한, 제 1 도전형 도펀트가 p형 일 때, 제 2 도전형 도펀트는 n형이다. 제 2 소스영역(S2)의 깊이(depth profile)는 제 1 소스영역(S1)의 깊이보다 깊거나 동일할 수 있다. 깊이 차이는 소자의 누설전류를 조절하는 역할을 가질 수 있다. PMOS시냅스 메모리 소자의 경우는 제 1 소스영역(S1)에 p형 도펀트를, 제 2 소스영역(S2)에 n형 도펀트를 주입하여 PN 접합 구조를 반대 방향으로 형성할 수 있다. 이러한PN 접합구조는 본 실시예에 따른 시냅스 메모리 소자(200)의 전류의 역류를 방지하는 역할을 수행할 수 있다.

[0034] 도 3은 도 2의 실시예에 따른 소자에 패시베이션층(PV)과 전극을 형성한 시냅스 메모리 소자(300)를 보여주는 단면도이다. 도 3을 참조하면 시냅스 메모리 소자(300)의 보호를 위한 패시베이션층(PV)이 제 1 트랜지스터(TR1) 및 제 2 트랜지스터(TR2)를 덮도록 기판(SUB) 상에 마련될 수 있다. 패시베이션층(PV)의 소재로는 산화막이나 PI, Epoxy 와 같은 고분자가 포함될 수 있다. 또한 복수 개의 시냅스 메모리 소자간의 전류 유출을 방지하기 위한 소자분리막(IL)이 포함될 수 있다. 이러한 패시베이션층(PV) 상에 형성한 비아홀과 비아홀에 도전성 물질을 주입하여 만든 전극을 포함할 수 있다. 전극은 전기 전도성이 높은 금속 재질, 예를 들어 Pd, Pt, Ru, Au, Ag, Mo, Mg, Al, W, Ti, Ir, Ni, Cr, Nd 또는 Cu 등의 재료를 사용할 수 있다. 이외에도 그래핀 또는 ITO(indium tin oxide), IZO(indium zinc oxide), AZO(aluminium zinc oxide), GZO(gallium zinc oxide)와 같은 투명 도전성 금속 산화물을 사용할 수도 있다. 전극은 제 2 소스영역(S2)과 연결되는 소스 전극(SE), 제 1 게이트전극(GE1), 제 2 게이트전극(GE2), 드레인영역(D1)과 연결되는 드레인 전극(GE)을 포함할 수 있다. 본 실시예에 따른 시냅스 메모리 소자(300)는 4개의 전극으로 작동하는 4 터미널(4 terminal) 구조를 가질 수 있다.

[0035] 시냅스 메모리 소자(300)의 각 전극에 전압을 인가하여 시냅스 메모리 소자(300)를 동작시킬 수 있다. 소스 전극(SE)에 읽기전압을 인가하여 전하저장층(CL)에 저장된 전하량을 읽는 동작을 수행할 수 있다. 소스 전극(SE)에 읽기전압이 인가되면 제 1 채널영역(C1)을 통해 측정전류(sensing current)가 흐를 수 있다. 이때 측정전류의 크기는 제 1 채널영역(C1)에 위치한 전하저장층(CL)에 포획된 전하의 양에 따라 변화 될 수 있다. 따라서, 정해진 읽기전압을 가했을 때, 나오는 측정전류의 크기를 여러 단계로 나누어 멀티레벨의 정보를 읽어드릴 수 있다. 제 1 채널영역(C1)은 공핍모드(depletion mode)를 가질 수 있어, 전하저장층(CL)에 포획된 전하량이 작을수록 측정전류가 크게 흐르며, 전하량이 클수록 측정전류가 작게 흐른다. 전하가 포획되지 않았을 때 측정전류가 가장 크게 흐를 수 있다.

[0036] 제 1 게이트전극(GE1)에 읽기전압을 인가할 수 있다. 이때, 문턱전압변환층(TL)에 걸리는 전압이 문턱전압 이상이면 전하가 제 1 게이트전극(GE1)과 문턱전압변환층(TL)을 통과하여 전하저장층(CL)에 포획되어 쓰기 동작을 수행할 수 있다. 문턱전압변환층(TL)에 걸리는 전압이 문턱전압 이하일 때는 전하가 전하저장층(CL)을 통과하지 못한다. 전하저장층(CL)에 저장되는 전하의 양에 따라 멀티레벨의 메모리기능을 가질 수 있다. 저장되는 전하의 양에 따라 전하저장층(CL) 하부에 위치하는 제 1 채널영역(C1)에 전기장이 형성되고, 이는 상술한 읽기단계에서 제 1 채널영역(C1)을 따라 흐르는 측정전류의 크기를 변화시킬 수 있다.

[0037] 제 2 게이트전극(GE2)은 제 2 채널영역(C2)의 열림/단힘(on/off)을 조절할 수 있다. 제 2 게이트전극(GE2)에 일정 수준 이상의 전압이 가해져야 측정전류가 제 2 채널영역(C2)을 통해 흐를 수 있으며, 제 2 게이트전극(GE2)에 전압을 가하지 않으면 측정전류가 제 2 채널영역(C2)을 통해 흐를 수 없을 수 있다. 제 1 채널영역(C1)이 공핍모드인데 반해, 제 2 채널영역(C2)은 증가모드(enhanced mode)일 수 있다. 제 2 게이트전극(GE2)은 해당 시냅스 메모리 소자의 선택 여부를 정할 수 있다. 제 2 게이트전극(GE2)에 전압이 인가되지 않으면, 제 2 채널영역(C2)이 단힘 상태가 되며, 읽기, 쓰기, 지우기가 이루어지지 않을 수 있다. 제 2 게이트전극(GE2)에 채널영역(C2)을 활성화 할 수 있을 만큼의 전압이 가해져야 해당 시냅스 메모리 소자에 읽기, 쓰기, 지우기의 동작이 이루어질 수 있다.

[0038] 드레인 전극(DE)에 지우기 전압을 가할 수 있다. 드레인 전극(DE)에 가하는 지우기전압은 제 2 채널영역(C2)을 통해 공용영역(SD)에 전달될 수 있다. 전달된 지우기전압은 전하포획층(CTL)에 전달되어 시냅스 메모리 소자의 지우기 동작에 필요한 전압을 제공할 수 있다. 전하포획층(CTL)에 전달된 전압은 문턱전압변환층(TL), 전하저장층(CL) 및 제 1 게이트전극(GE1)에 전계를 형성할 수 있다. 이때, 각 층의 저항수치에 따라 전압 분배가 이루어질 수 있다. 문턱전압변환층(TL)에 걸리는 전압의 크기가 문턱전압을 넘으면 전하가 전하저장층(CL)에 포획 또

는 방출되고, 그렇지 않으면 전하가 전하저장층(CL)에서 전하가 포획 또는 방출되지 못한다.

- [0039] 요약하면, 소스 전극(SE)은 읽기 동작과 관련되며, 제 2 게이트전극(GE2)은 모든 동작에 있어서 시냅스 메모리 소자를 선택하는 동작과 관련되며, 제 1 게이트전극(GE1)과 드레인 전극(DE)은 쓰기 및 지우기 동작과 관련될 수 있다.
- [0040] 도 4a 내지 4h는 일 실시예에 따른 시냅스 메모리 소자(400)들간의 누설전류 방지를 위한 소자분리막(IL)의 형성방법에 관한 단면도이다. 기판(SUB) 상에 복수의 시냅스 메모리 소자가 마련되는 경우, 인접하는 시냅스 메모리 소자들간 누설전류가 발생할 수 있다. 이러한 누설전류는 시냅스 메모리 소자(400)의 성능을 열화 시킬 수 있으므로, 소자분리막(IL)을 형성하여 누설전류를 방지 할 수 있다. 예를 들어, 소자분리막(IL)의 형성은 LOCOS(Local Oxidation of Silicon) 공정에 의할 수 있다. LOCOS 공정은 집적회로 공정에 있어서 기판상의 특정 영역에 산화실리콘을 선택적으로 성장시켜 소자분리막을 형성하는 것을 말한다. LOCOS 공정에서 산화실리콘은 실리콘 기판의 표면보다 더 깊숙하게 형성되기 때문에 전류가 실리콘 기판 아래로 관통하는 현상을 방지하는 절연체의 역할을 수행할 수 있다. 도 4a를 참조하면, 기판(SUB)을 마련할 수 있다. 이러한 기판(SUB)은 실리콘 재질 일 수 있다. NMOS형 시냅스 메모리 소자의 경우, 기판(SUB)은 p형 도펀트로 주입될 수 있다. 도 4b를 참조하면 기판(SUB) 상에 게이트절연층(GO)을 형성할 수 있다. 이러한 게이트절연층(GO)은 통상 산화실리콘(SiO₂)을 포함할 수 있다. 게이트절연층(GO)의 형성은 CVD(Chemical Vapor Deposition)에 의할 수 있다. 게이트절연층(GO)의 두께는 7nm 이하일 수 있다. 도 4c를 참조하면, 질화물층(115)을 게이트절연층(GO) 상에 형성할 수 있다. 질화물층(115)은 Si₃N₄를 포함할 수 있다. 질화물층(115)의 형성은 CVD에 의할 수 있다. 도 4d를 참조하면, 질화물층(115) 상에 제 1 포토레지스트 패턴(PR1)을 형성할 수 있다. 제 1 포토레지스트 패턴(PR1)은 소자분리막(IL)의 형성영역을 구분하기 위한 패턴을 포함할 수 있다. 도 4e를 참조하면, 제 1 포토레지스트 패턴(PR1)을 마스크로 하여 질화물층(115)을 식각할 수 있다. 식각으로 인해 게이트절연층(GO)이 노출되는 부분(110a)은 LOCOS 공정을 통해 소자분리막이 형성되는 부분일 수 있다. 도 4f를 참조하면, 제 1 포토레지스트 패턴(PR1)을 제거하고 게이트절연층의 노출된 부분(110a)에 열을 가해 소자분리막(IL)을 형성할 수 있다. 소자분리막(IL)은 기판(SUB)의 표면보다 깊게 형성될 수 있다. 도 4g를 참조하면, 소자분리막(IL)의 형성 후, 질화물층(115)을 게이트절연층(GO) 상에서 제거할 수 있다. 도 4h를 참조하면, 소자분리막(IL)은 기판(SUB) 상에서 소자 형성 영역(110c, 110d)을 구분하는 역할을 할 수 있다.
- [0041] 전술한 실시예는 소자분리막(IL)을 형성하는 방법으로 LOCOS 공정을 이용한 경우를 예로 들어 설명하고 있으나, 이에 한정되는 것은 아니다. 다른 예로 STI(shallow-trench-isolation)를 통해 소자분리막(IL)을 형성할 수 있다.
- [0042] 도 5a 내지 5m는 일 실시예에 따른 시냅스 메모리 소자(500)의 형성방법에 관한 단면도이다.
- [0043] 도 5a를 참조하면, 기판(SUB)을 마련할 수 있다. 기판(SUB)은 실리콘 재질로 이루어 질 수 있다. NMOS 시냅스 메모리 소자의 형성을 위해 기판(SUB)은 p형 도펀트가 주입될 수 있다. 기판(SUB) 상에는 게이트절연층(GO)이 형성될 수 있다. 게이트절연층(GO)은 산화실리콘(SiO₂)을 포함할 수 있다. 이러한 게이트절연층(GO)은 소자의 안정화를 도모하는 버퍼층의 역할을 가질 수 있다.
- [0044] 도 5b를 참조하면, 제 2 게이트전극(GE2)을 형성하기 위해 기판(SUB) 상에 제 2 게이트전극층(120)을 형성할 수 있다. 제 2 게이트전극층(120)은 폴리실리콘을 포함할 수 있다. 제 2 게이트전극층(120)의 형성은 스핀 코팅(spin coating), CVD에 의할 수 있다.
- [0045] 도 5c를 참조하면, 제 2 게이트전극(GE2)의 형성을 위해 제 2 포토레지스트 패턴(PR2)을 형성할 수 있다. 제 2 포토레지스트 패턴(PR2)은 기판(SUB)에서 제 2 채널영역(C2) 상에 위치할 수 있다. 제 2 게이트전극(GE2)은 제 2 포토레지스트 패턴(PR2)을 마스크로 삼아 제 2 게이트전극층(120)을 식각하여 형성될 수 있다. 제 2 게이트전극(GE2)은 제 2 채널영역(C2) 상에 위치할 수 있다.
- [0046] 도 5d를 참조하면, 드레인영역(D1)은 제 2 게이트전극(GE2)의 일측의 기판(SUB) 영역에 제 1 도전형의 도펀트를 주입하여 형성할 수 있다. 예를 들어, 이러한 제 1 도전형의 도펀트는 n형 도펀트일 수 있다. 드레인영역(D1)의 위치는 제 3 포토레지스트 패턴(PR3)으로 조절할 수 있다. 예를 들어, 드레인영역(D1)은 기판(SUB) 상에 제 3 포토레지스트 패턴(PR3)을 형성하고, 제 3 포토레지스트 패턴(PR3)을 마스크로 하여 도펀트를 주입하여 형성할 수 있다. n형 도펀트는 이를 테면 인(P)을 포함할 수 있다. n형 도펀트의 주입방법은 이온주입(ion implantation) 방식에 의할 수 있다. n형 도펀트의 주입시간이나 가속전압에 따라서 드레인영역(D1)의 깊이(depth profile)를 조절할 수 있다. 드레인영역(D1)의 형성은 제 1 소스영역(S1) 및 공용영역(SD)의 형성과 다

른 단계에서 이루어 질 수 있다. 이와 같이, 드레인영역(D1)의 형성을 다른 단계에서 함으로써, 드레인영역(D1)의 깊이를 제 1 소스영역(S1) 및 공용영역(SD)의 깊이와 다르게 조절 할 수 있다. 드레인영역(D1)의 깊이를 조절함으로써 시냅스 메모리 소자(500)의 누설전류(current leakage)를 방지할 수 있다.

[0047] 도 5e를 참조하면, 제 1 소스영역(S1)과 공용영역(SD)을 제 1 도전형의 도펀트를 주입하여 형성할 수 있다. 제 1 소스영역(S1), 공용영역(SD) 및 드레인영역(D1)은 서로 이격되게 형성될 수 있다. 제 1 소스영역(S1)과 공용영역(SD)의 위치는 제 4 포토레지스트 패턴(PR4)으로 조절할 수 있다. 제 1 소스영역(S1)과 공용영역(SD)의 형성을 위해 기판(SUB) 상에 제 4 포토레지스트 패턴(PR4)을 형성한 다음, 제 4 포토레지스트 패턴(PR4)을 마스크로 하여 n형 도펀트를 주입할 수 있다. n형 도펀트는 이를 테면 인(P)을 포함할 수 있다. n형 도펀트의 주입방법은 이온주입(ion implantation)방식에 의할 수 있다. 제 1 소스영역(S1) 및 공용영역(SD)의 깊이는 n형 도펀트의 주입시간이나 가속전압에 따라 조절될 수 있다. 제 1 소스영역(S1) 및 공용영역(SD)의 깊이는 드레인영역(D1)보다 얇을 수 있다. 제 1 소스영역(S1)과 공용영역(SD) 사이의 기판(SUB) 영역이 제 1 채널영역(C1)이 되고, 공용영역(SD)과 드레인영역(D1) 사이의 기판(SUB) 영역이 제 2 채널영역(C2)이 될 수 있다.

[0048] 도 5f를 참조하면, 제 2 소스영역(S2)을 제 1 도전형과 다른 제 2 도전형의 도펀트를 주입하여 형성할 수 있다. 예를 들어, 제 2 도전형의 도펀트는 p형 도펀트일 수 있다. 즉, 제 1 소스영역(S1)이 n형 도펀트로 형성될 때, 제 2 소스영역(S2)은 p형 도펀트로 형성될 수 있다. p형 도펀트는 이를 테면 붕소(B)를 포함할 수 있다. 제 1 소스영역(S1)과 제 2 소스영역(S2)은 PN 접합 구조를 형성할 수 있다. 제 2 소스영역(S2)의 위치는 제 5 포토레지스트 패턴(PR5)을 통해 조절될 수 있다. 예를 들어, 제 2 소스영역(S2)의 위치는 제 1 소스영역(S1)과 접하는 일측일 수 있다. 제 5 포토레지스트 패턴(PR5)은 제 2 소스영역(S2)의 위치가 노출되는 패턴을 포함할 수 있다. 제 1 소스영역(S1)과 제 2 소스영역(S2)이 형성하는 PN접합 구조를 통해 시냅스 메모리 소자(500)의 누설전류를 낮출 수 있다. 제 2 소스영역(S2)의 깊이는 제 1 소스영역(S1)과 공용영역(SD)보다 깊고, 드레인영역(D1)과 동일할 수 있다. 이러한 제 1 소스영역(S1), 제 2 소스영역(S2), 공용영역(SD), 드레인영역(D1)의 깊이 설계에 따라 누설전류를 조절할 수 있다. 본 실시예에 따른 시냅스 메모리 소자(500)는 제 2 소스영역(S2) 및 드레인영역(D1)의 깊이가 제 1 소스영역(S1) 및 공용영역(SD)의 깊이보다 깊을 수 있으나, 이에 한정되는 것은 아니다.

[0049] 도 5g를 참조하면, 상기 기판(SUB)상에 전하저장층(130), 문턱전압변환층(140), 제 1 게이트전극층(150)을 형성할 수 있다. 전하저장층(130)은 질화 실리콘($Si_3 N_4$)을 포함할 수 있다. 문턱전압변환층(140)을 구성하는 물질은, 예를 들어 Ti 산화물, Ta 산화물, Ni 산화물, Zn 산화물, W 산화물, Co 산화물, Nb 산화물, TiNi 산화물, LiNi 산화물, InZn 산화물, V 산화물, SrZr 산화물, SrTi 산화물, Cr 산화물, Fe 산화물, Cu 산화물, Hf 산화물, Zr 산화물, Al 산화물 및 이들의 혼합물 중 적어도 어느 하나를 포함할 수 있다. 제 1 게이트전극층(150)은 전기 전도성이 높은 금속 재질, 예를 들어 Pd, Pt, Ru, Au, Ag, Mo, Mg, Al, W, Ti, Ir, Ni, Cr, Nd 또는 Cu 등의 재료를 사용할 수 있다. 이외에도 그래핀 또는 ITO, IZO, AZO, GZO와 같은 투명 도전성 금속 산화물을 사용할 수도 있다.

[0050] 도 5h를 참조하면, 제 2 채널영역(C2) 상에 메모리 기능을 하는 전하저장층(CL)과 스위칭 기능을 구현하는 문턱전압변환층(TL) 그리고 제 1 게이트전극(GE1)이 형성될 수 있다. 이러한 전하저장층(CL), 문턱전압변환층(TL) 및 제 1 게이트전극(GE1)의 형성을 위해 제 6 포토레지스트 패턴(PR6)을 마스크 삼아 전하저장층(130), 문턱전압변환층(140) 및 제 1 게이트전극층(150)을 식각할 수 있다.

[0051] 도 5i를 참조하면, 패시베이션층(PV)은 기판(SUB)상에 형성될 수 있다. 패시베이션층(PV)은 기판(SUB) 상에 형성된 제 1 트랜지스터(TR1) 및 제 2 트랜지스터(TR2)를 덮도록 형성될 수 있다. 패시베이션층(PV)의 소재로는 산화막이나 PI, Epoxy 와 같은 고분자가 포함될 수 있다.

[0052] 도 5j를 참조하면, 패시베이션층(PV)에 비아홀(VH)을 형성할 수 있다. 비아홀(VH)은 제 1 소스영역(S1), 드레인영역(D1), 제 1 게이트전극(GE1) 및 제 2 게이트전극(GE2)을 노출시키도록 형성될 수 있다.

[0053] 도 5k를 참조하면, 전극층(160)은 비아홀(VH)에 도전성 물질을 주입하여 형성될 수 있다. 또한, 제 7 포토레지스트 패턴(PR7)은 전극층(160) 상에 형성될 수 있다. 제 7 포토레지스트 패턴(PR7)은 전극층(160)의 식각을 위한 마스크가 될 수 있다. 전극층(160)은 전기 전도성이 높은 금속 재질, 예를 들어 Pd, Pt, Ru, Au, Ag, Mo, Mg, Al, W, Ti, Ir, Ni, Cr, Nd 또는 Cu 등의 재료를 사용할 수 있다. 이외에도 그래핀 또는 ITO, IZO, AZO, GZO와 같은 투명 도전성 금속 산화물을 사용할 수도 있다.

[0054] 도 5l을 참조하면, 시냅스 메모리 소자(500)의 전극은 제 7 포토레지스트 패턴(PR7)을 마스크로 전극층(160)을 식각하여 형성될 수 있다. 전극은 제 2 소스영역(S2)과 접하는 소스 전극(SE)과, 제 1 게이트전극(GE1), 제 2

게이트전극(GE2), 드레인영역(D1)과 접하는 드레인전극(DE)을 포함할 수 있다. 도 51을 참조하면, 소스 전극(SE), 제 1 게이트전극(GE1), 제 2 게이트전극(GE2) 및 드레인전극(DE)이 패시베이션층(PV) 상에 나란히 위치하고 있으나, 이는 예시에 불과하며 이에 한정되지 않는다. FEOL(Front end of line), BEOL(Back end of line)의 설계에 따라서 소스 전극(SE), 제 1 게이트전극(GE1), 제 2 게이트전극(GE2) 및 드레인전극(DE)은 각기 별도 층에 위치할 수 있다.

- [0055] 도 6은 기판 상에 일 실시예에 따른 두 개의 시냅스 메모리 소자(610, 620)가 소자분리막(IL)에 의해 분리되어 있는 모습을 나타내는 단면도이다. 시냅스 메모리 소자(610,620)간 누설전류 방지를 위해 LOCOS 공정에 의해 형성된 소자분리막(IL)이 절연층의 역할을 수행할 수 있다.
- [0056] 도 7a 내지 7b는 다른 실시예에 따른 시냅스 메모리 소자(700)를 보여주는 사시도이다. 도 1의 시냅스 메모리 소자(100)와 구성 요소 및 작동 원리가 동일한 바, 공통되는 요소는 이하 생략하고 차이점 위주로 기술하기로 한다. 본 실시예에 따른 시냅스 메모리 소자(700)는 후술하는 바와 같이 공정 상 셀프얼라인(Self-Align)이 가능해 제 1 소스영역, 드레인영역, 공용영역의 위치제어가 정밀해지고, 공정이 단순해질 수 있다. 또한, 본 실시예의 시냅스 메모리 소자는 제 1 트랜지스터(TR1)의 메모리층(M1)이 수직형으로 설계되어 소자가 차지하는 면적이 줄어들어 소자의 집적화를 도모할 수 있다.
- [0057] 도 7a를 참조하면, 본 실시예에 따른 시냅스 메모리 소자(700)는 기판(SUB) 상에 마련되는 메모리층(M1)을 포함하는 수직형 제 1 트랜지스터(TR1)와 평면형 제 2 트랜지스터(TR2)를 포함한다. 제 1 트랜지스터(TR1)와 제 2 트랜지스터는 하나의 공용영역(SD)을 각각의 드레인영역과 제 1 소스영역으로 공유할 수 있다. 즉, 제 1 트랜지스터(TR1)의 드레인영역과 제 2 트랜지스터(TR2)의 제 1 소스영역은 공용영역(SD)으로 공통된다. 도 7b를 참조하면, 기판(SUB)은 단차 구조를 가질 수 있다. 이하 상부에 해당하는 평면을 제 1 평면영역(710), 단차에 해당하는 측면부 평면을 측면(720), 하부에 해당하는 평면을 제 2 평면영역(730)으로 지칭한다. 측면(720)은 제 1 평면영역(710) 및 제 2 평면영역(730)과 수직할 수 있으나 이에 한정되는 것은 아니다. 제 1 평면영역(710)은 소자분리막 형성될 예정인 제 2 영역(712)과 제 1 소스영역(S1) 및 제 2 소스영역(S2)이 형성될 예정인 제 1 영역(711)을 포함할 수 있다. 제 2 영역(712)과 제 1 영역(711)은 이격될 수 있다.
- [0058] 수직형 제 1 트랜지스터(TR1)는 측면(720) 상에 형성되는 메모리층(M1)과 제 1 게이트전극(GE1)을 포함할 수 있다. "수직형"이란 제 1 트랜지스터(TR1)의 메모리층(M1)이 제 2 평면영역(730)과 수직한 부분인 측면(720) 상에 배치되는 것을 의미할 수 있다. 따라서, 메모리층(M1)은 제 2 평면영역(730)과 수직하도록 배치될 수 있다. 기판(SUB)의 단차 구조의 형태에 따라 측면(720)이 경사지게 형성될 수도 있는바, 상기 "수직형"의 의미는 제 2 평면영역(730)에 대해 직각(즉, 90도)로 형성된 경우뿐만 아니라, 제 2 평면영역(730)에 대해 경사진 경우를 포함하여 지칭할 수 있다. 단차 구조는 제 1 평면영역(710)이 제 2 평면영역(730)보다 측면(720)만큼 솟아오른 구조를 포함할 수 있다. 제 1 트랜지스터(TR1)의 제 1 소스영역은 제 1 평면영역(710)의 제 1 영역(711)의 하부에 형성될 수 있으며, 드레인영역에 해당하는 공용영역(SD)은 제 2 평면영역(730)의 하부에 형성될 수 있다. 제 1 채널영역은 공용영역(SD)과 제 1 소스영역(S1)의 사이의 기판(SUB) 영역을 의미하므로, 측면(720)이 제 1 평면영역(710) 및 제 2 평면영역(730)과 수직하게 배치될 때, 제 1 채널영역(C1)도 굽어진 구조를 가질 수 있다.
- [0059] 평면형 제 2 트랜지스터(TR2)는 기판(SUB)의 제 2 평면영역(730)에 위치하는 제 2 채널영역 (C2)과 제 2 채널영역(C2) 상에 위치하는 제 2 게이트전극(GE2)을 포함할 수 있다. "평면형"의 의미는 기판(SUB)과 평행한 제 2 평면영역(730) 상에 트랜지스터가 마련되는 것을 말할 수 있다.
- [0060] 소자분리막(Insulation layer)(IL)은 기판(SUB)의 제 2 영역(712)에 형성될 수 있다. 소자분리막(IL)은 전류 누출을 방지하기 위한 것으로 LOCOS 공정이나 STI 공정을 통해 형성할 수 있다.
- [0061] 도 8a 내지 8b는 다른 실시예에 따른 시냅스 메모리 소자(800)의 형성방법에 대한 사시도이다.
- [0062] 도 8a를 참조하면, 먼저 기판(SUB)을 마련할 수 있다. 기판(SUB)은 실리콘 기판(SUB)일 수 있다.
- [0063] 도 8b를 참조하면, 소자분리막(IL)을 기판(SUB)의 제 2 영역(도 7의 712)상에 형성할 수 있다. 소자분리막(IL)은 LOCOS 공정이나 STI 공정을 통해 형성할 수 있다.
- [0064] 도 8c를 참조하면, 기판(SUB)에 게이트절연층(GO) 및 제 2 소스영역(S2)을 형성할 수 있다. 게이트절연층(GO)은 소자분리막(IL)을 제외한 나머지 기판(SUB) 영역의 상부를 산화시켜 형성할 수 있다. 게이트절연층(GO)의 형성은 CVD 공법에 의할 수 있다. 제 2 소스영역(S2)은 기판(SUB)에 제 2 도전형의 도펀트를 주입하여 형성될 수 있다. 제 2 소스영역(S2)은 추후 형성될 제 1 소스영역(도 8j의 S1)과 PN 접합 구조를 형성할 수 있다. 제 2 소스영역(S2) 형성 시 전류누출을 방지하기 위해 소자분리막(IL)을 마스크로 삼아 도펀트를 주입할 수 있다. 제 2

소스영역(S2)은 후술할 제 1 소스영역(도 8j의 S1)과 다른 도전형을 갖는 도펀트로 형성될 수 있다.

- [0065] 도 8d를 참조하면, 기판(SUB)에 단차 구조를 형성할 수 있다. 기판(SUB)의 단차 구조는 기판(SUB)의 제 1 평면영역(810)을 마스크로 삼아 기판(SUB)을 식각하여 형성될 수 있다. 기판(SUB)의 측면(820) 및 제 2 평면영역(830)은 식각을 통해 노출될 수 있다. 측면(820)은 제 1 평면영역(810) 및 제 2 평면영역(830)과 수직할 수 있다. 제 1 트랜지스터(TR1)의 메모리층(M1)은 측면(820) 상에 배치되므로, 기판(SUB) 상에서 메모리층(M1)이 차지하는 단면적이 동일하다고 가정했을 때, 측면(820)의 높이가 높을수록 메모리층(M1)의 체적이 커질 수 있다. 메모리층(M1)이 저장 가능한 총 전하량은 메모리층(M1)의 체적과 서로 비례할 수 있다. 메모리층(M1)의 체적을 늘리기 위해 기판(SUB)을 더 깊게 식각하여 측면(820)의 높이를 크게 할 수 있다.
- [0066] 도 8e를 참조하면, 노출된 측면(820), 제 2 평면영역(830) 상에 게이트절연층(GO)을 형성할 수 있다. 게이트절연층(GO)의 두께는 제 1 영역(811) 위에 형성된 게이트절연층(GO)의 두께와 동일할 수 있다.
- [0067] 도 8f를 참조하면, 게이트절연층(GO) 위에 전하저장층(CL), 문턱전압변환층(TL) 및 제 1 게이트전극(GE1)을 차례로 형성할 수 있다.
- [0068] 도 8g를 참조하면, 전하저장층(CL), 문턱전압변환층(TL) 및 제 1 게이트전극(GE1)은 측면(820) 상에 위치하도록 나머지 부분을 제거할 수 있다.
- [0069] 도 8h를 참조하면, 기판(SUB) 상에 제 2 게이트전극(GE2)을 형성할 수 있다. 도 8i를 참조하면, 제 2 게이트전극(GE2)은 제 2 평면영역(830)의 제 2 채널영역(C2) 상에 위치할 수 있다. 제 10 포토레지스트 패턴(PR10)을 마스크로 삼아 나머지 제 2 게이트전극(GE2) 부분을 제거할 수 있다.
- [0070] 도 8j를 참조하면, 기판(SUB) 상에 제 1 도전형을 가지는 도펀트를 주입하여 제 1 소스영역(S1), 공용영역(SD) 및 드레인영역(D1)을 형성할 수 있다. 도펀트의 주입은 이온주입법에 의한 수 있다. 이때, 가속전압의 선택은 도펀트가 게이트절연층(GO) 및 제 2 소스영역(S2)을 관통해 기판(SUB) 내부로 주입 될 수 있을 정도로 적절히 선택될 수 있다. 제 1 소스영역(S1)은 제 2 소스영역(S2)의 하부에 위치하여 PN 접합을 형성할 수 있다. 상술한 도 5a 내지 도 5m에 도시된 시냅스 메모리 소자 제작방법은 제 1 소스영역, 공용영역 및 드레인영역을 우선 형성한 뒤 게이트 공정을 후속으로 진행하였는바, 제 1 소스영역, 공용영역 및 드레인영역의 형성을 위한 마스크 공정이 추가로 필요했다. 그에 반해 본 실시예에 따른 시냅스 메모리 소자 제작방법은 게이트 형성 공정을 선행하고, 제 1 소스영역(S1), 공용영역(SD) 및 드레인영역(D1)을 후속 형성함으로써, 제 1 소스영역(S1), 공용영역(SD) 및 드레인영역(D1)은 별도의 마스크 공정 없이도 제 1 게이트전극(GE1) 및 제 2 게이트전극(GE2)를 마스크 삼아 형성될 수 있다. 별도의 마스크 공정이 생략됨으로써 공정이 단순화 될 수 있다. 또한, 제 1 게이트전극(GE1) 및 제 2 게이트전극(GE2)을 마스크 삼아 노출된 영역에 이온을 주입함으로써, 제 1 소스영역(S1), 공용영역(SD), 드레인영역(D1)은 셀프얼라인 될 수 있다. 이러한 셀프얼라인을 통해 제 1 소스영역(S1), 공용영역(SD), 드레인영역(D1)의 위치 제어가 정밀해질 수 있다. 제 1 소스영역(S1), 공용영역(SD), 드레인영역(D1)의 이온 확산이 최소화되어 누설전류를 최소화될 수 있다.
- [0071] 도 8k를 참조하면, 제 10 레지스트패턴(PR10)을 제거하여 시냅스 메모리 소자를 형성할 수 있다. 본 실시예에 따른 시냅스 메모리 소자(800)는 제 2 소스영역(S2)과 전기적으로 연결되는 소스 전극(미도시;SE), 제 1 게이트전극(GE1), 제 2 게이트전극(GE2), 드레인영역(D1)과 전기적으로 연결되는 드레인전극(미도시;DE)으로 구동되는 4 터미널 시냅스 메모리 소자일 수 있다.
- [0072] 지금까지, 본 발명의 이해를 돕기 위하여 시냅스 메모리 제조방법에 대한 예시적인 실시예가 설명되고 첨부된 도면에 도시되었다. 그러나, 이러한 실시예는 단지 본 발명을 예시하기 위한 것이고 이를 제한하지 않는다는 점이 이해되어야 할 것이다. 그리고 본 발명은 도시되고 설명된 설명에 국한되지 않는다는 점이 이해되어야 할 것이다. 이는 다양한 다른 변형이 본 기술분야에서 통상의 지식을 가진 자에게 일어날 수 있기 때문이다.

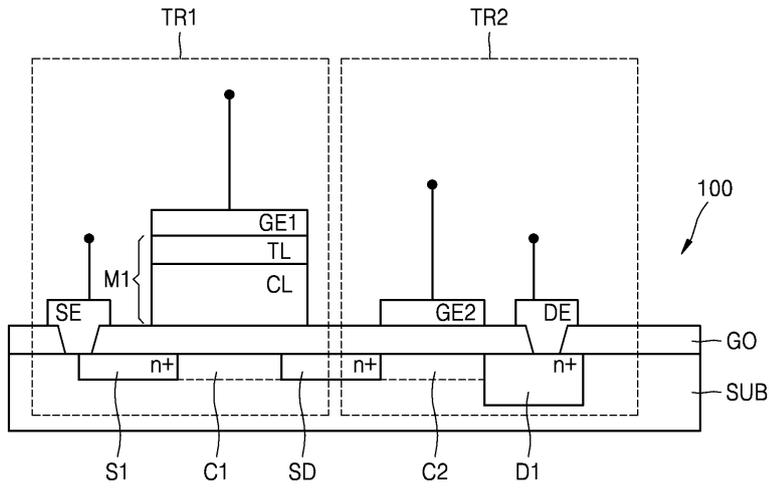
부호의 설명

- [0073] C1 : 제 1 채널영역 C2 : 제 2 채널영역
- SE : 소스전극 DE : 드레인전극
- GE1 : 제 1 게이트전극 GE2 : 제 2 게이트전극
- CL : 전하저장층 TL : 문턱전압변환층

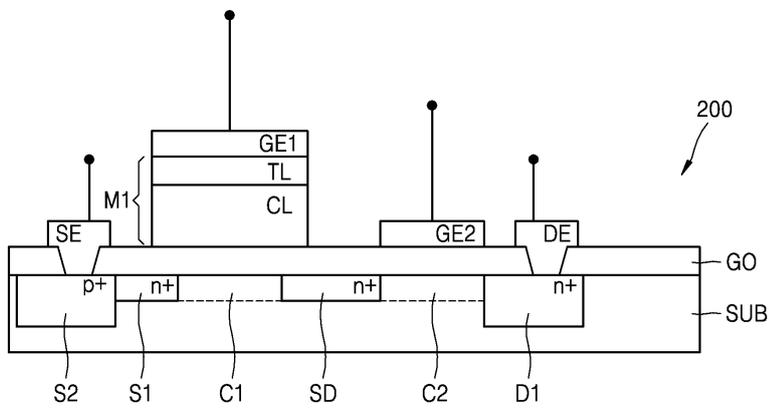
S1 : 제 1 소스영역 D1 : 드레인영역
 SD : 공용영역 S2 : 제 1 소스영역
 GO : 게이트 절연층 IL : 소자분리막

도면

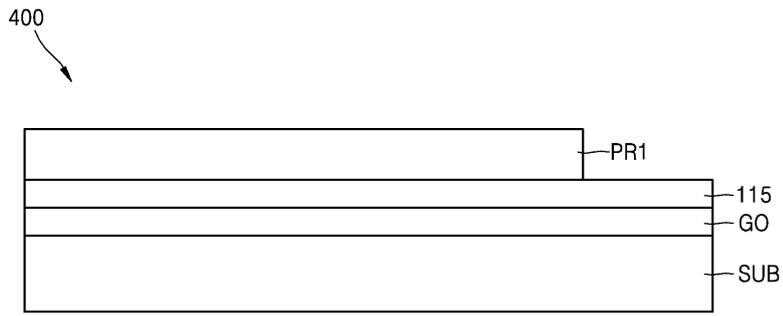
도면1



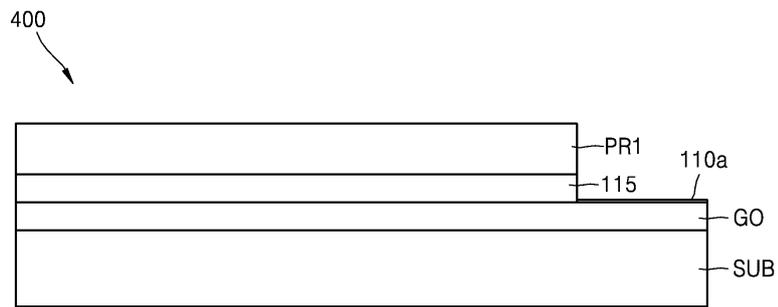
도면2



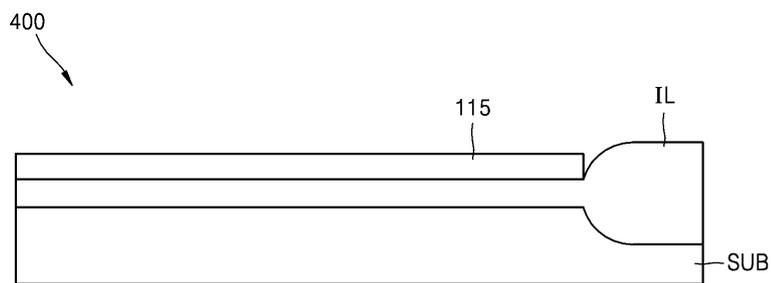
도면4d



도면4e



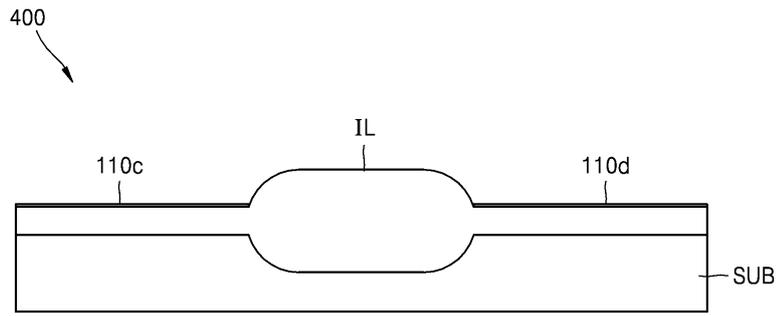
도면4f



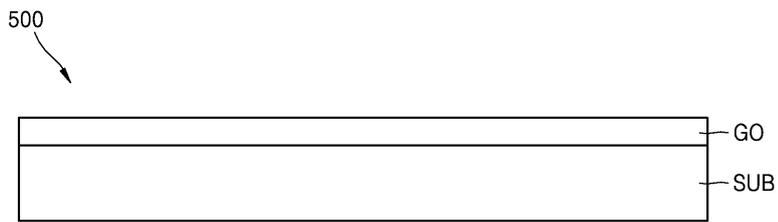
도면4g



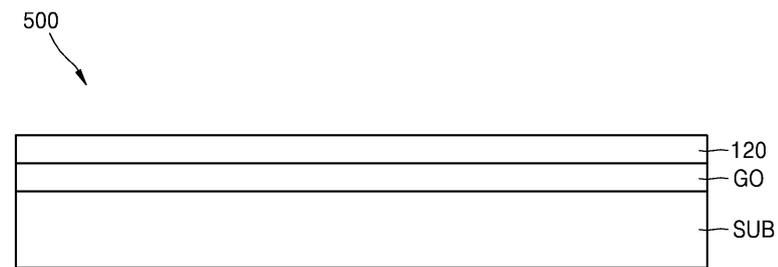
도면4h



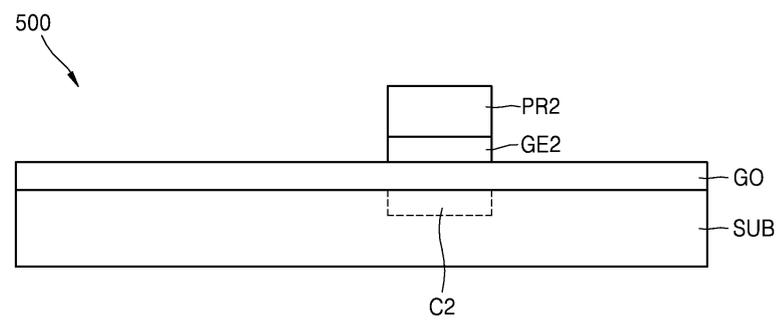
도면5a



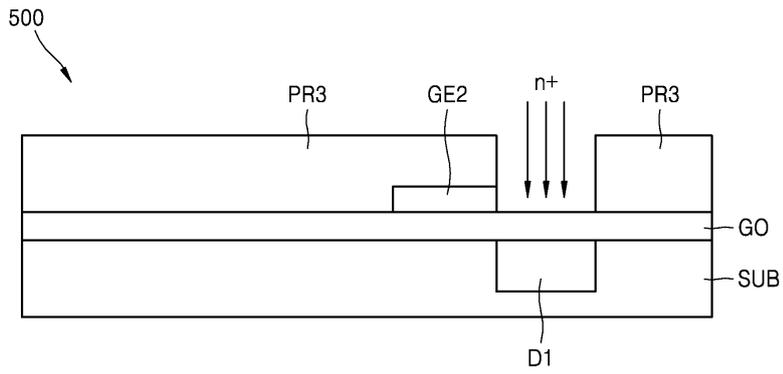
도면5b



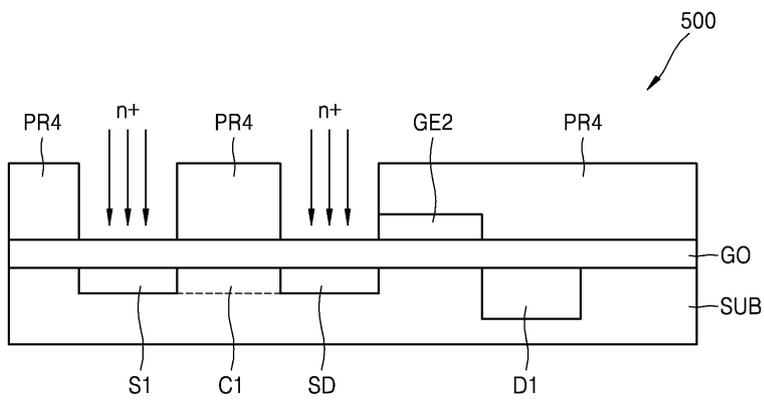
도면5c



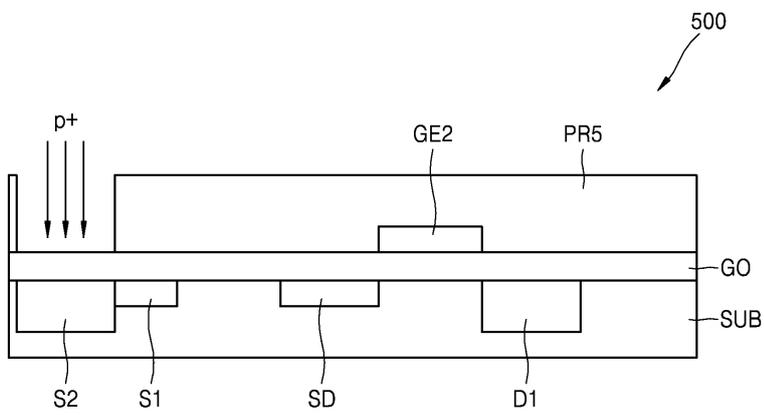
도면5d



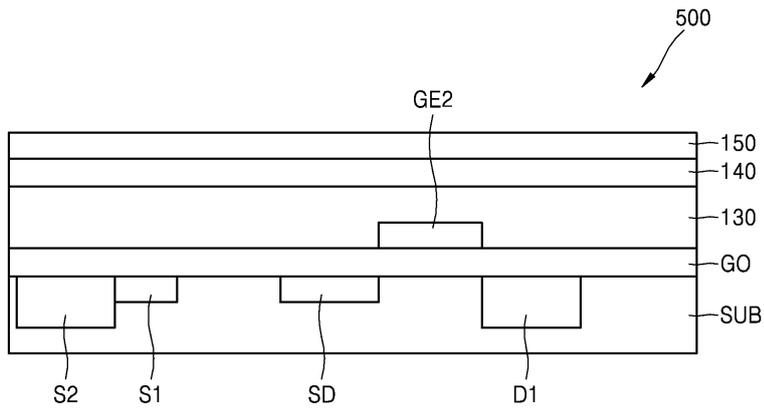
도면5e



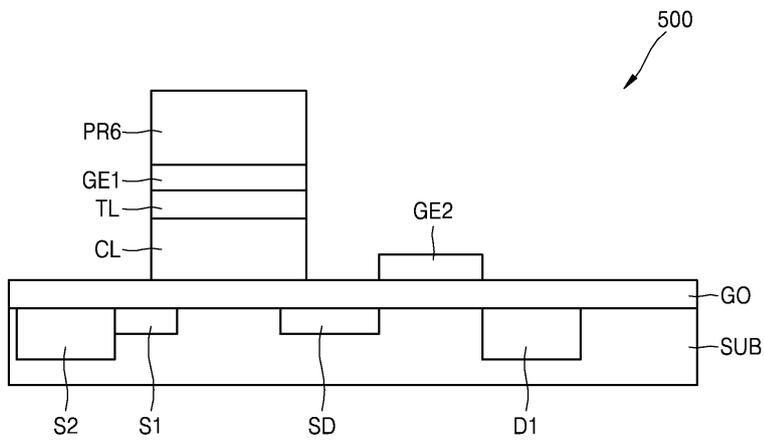
도면5f



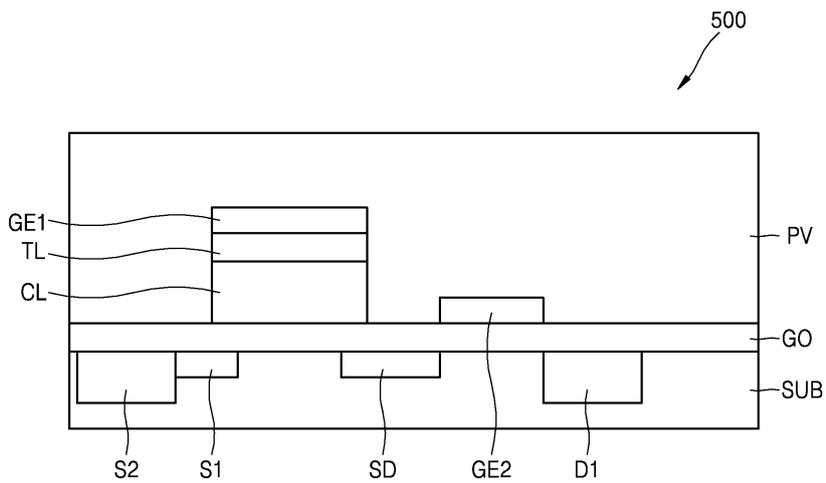
도면5g



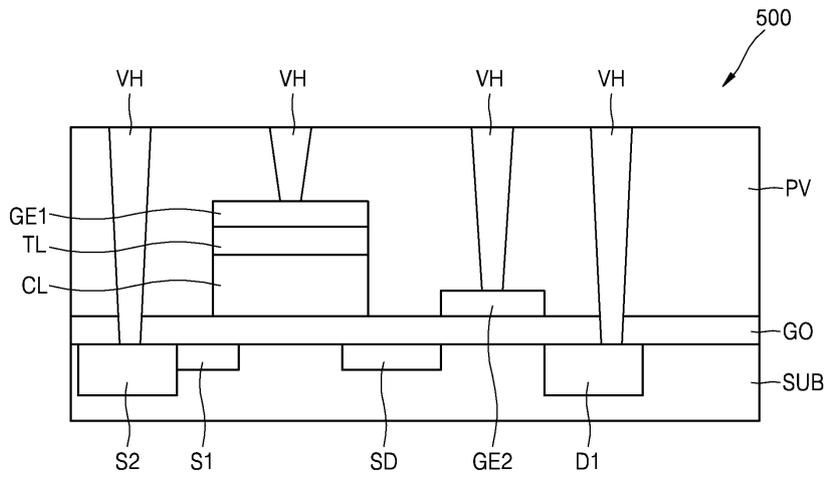
도면5h



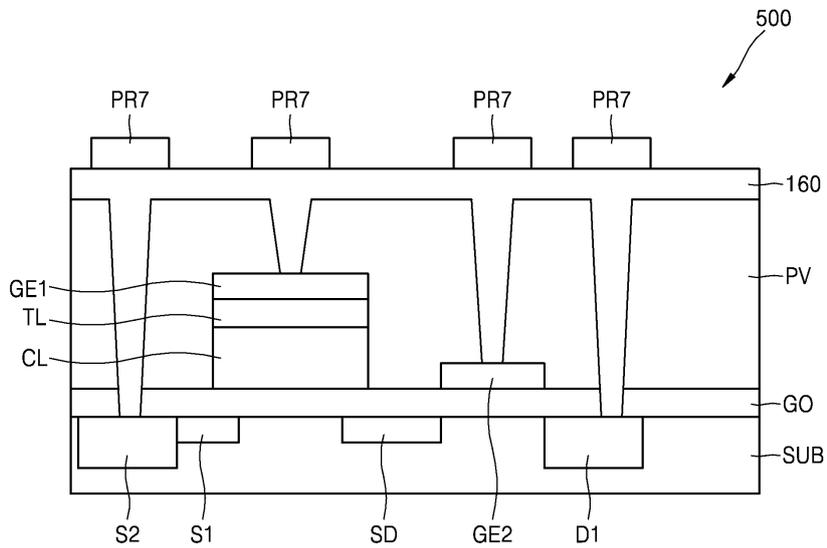
도면5i



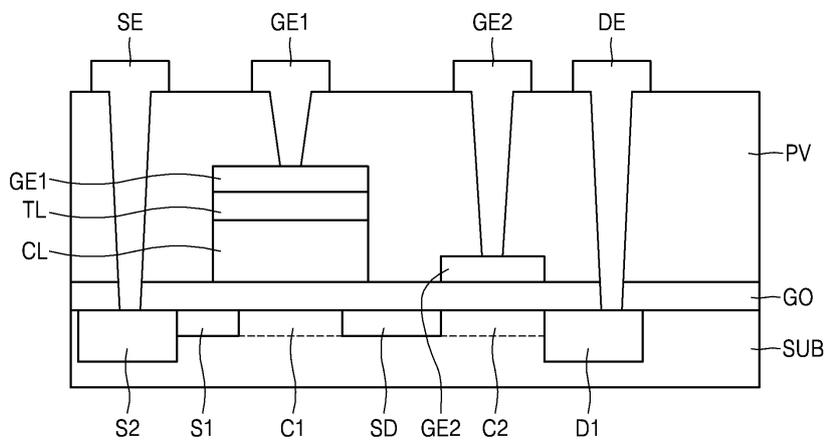
도면5j



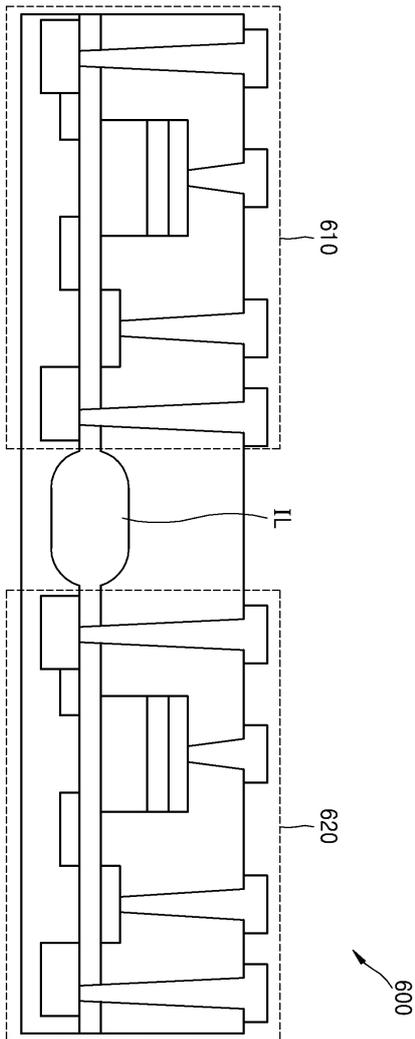
도면5k



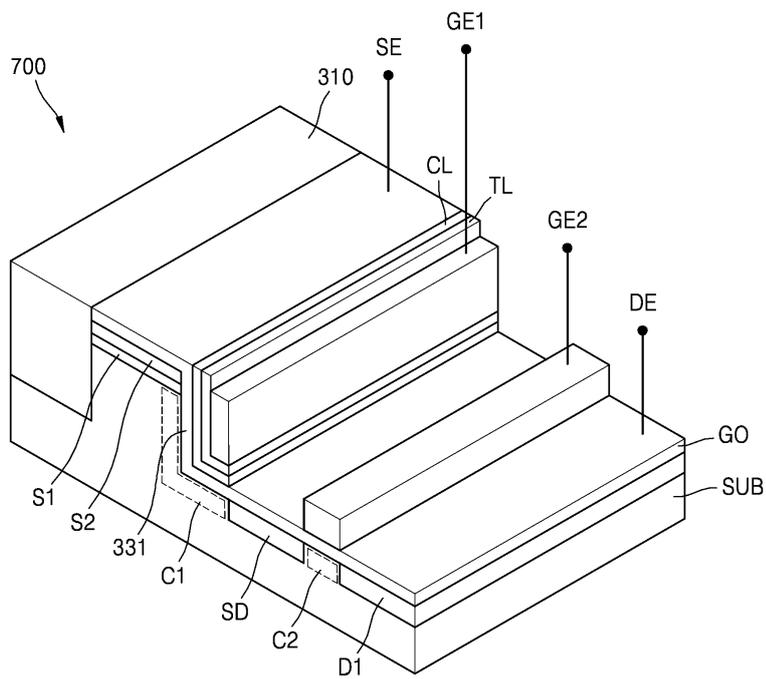
도면5l



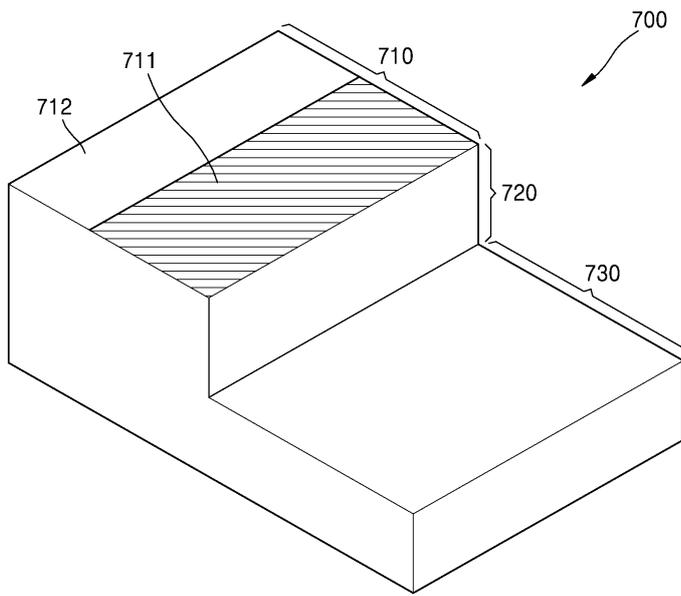
도면6



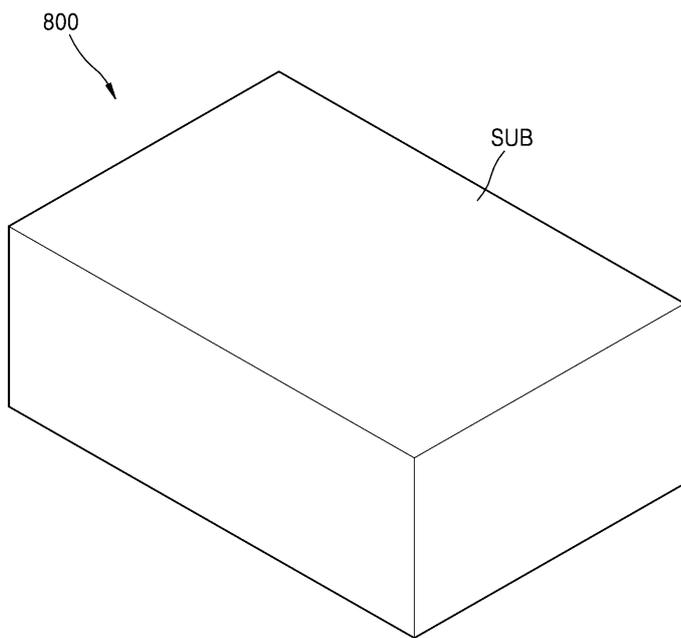
도면7a



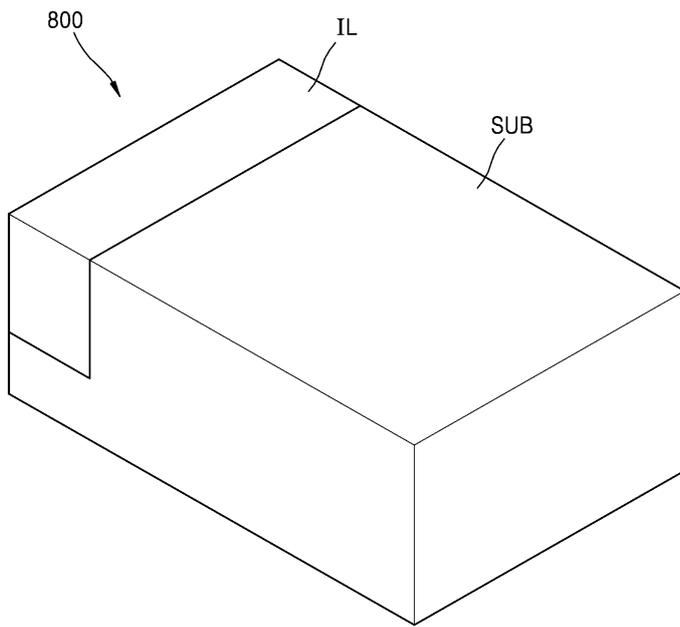
도면7b



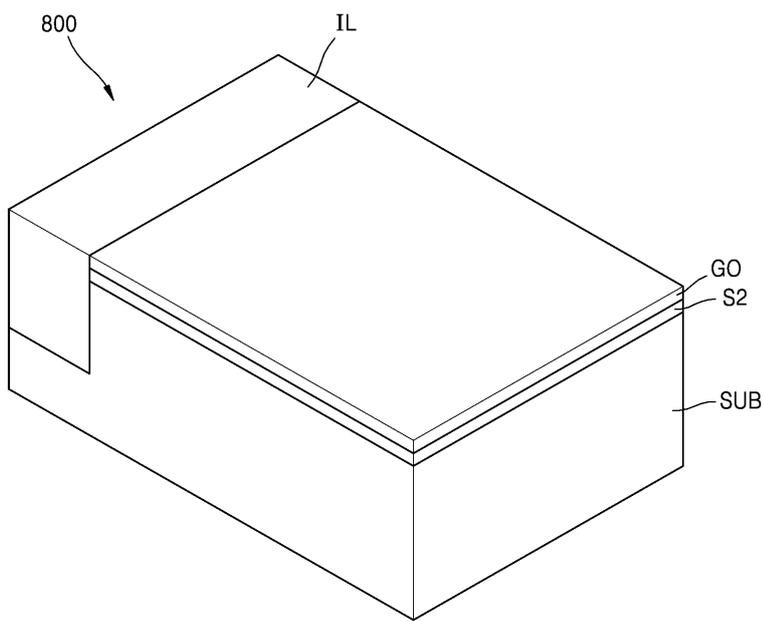
도면8a



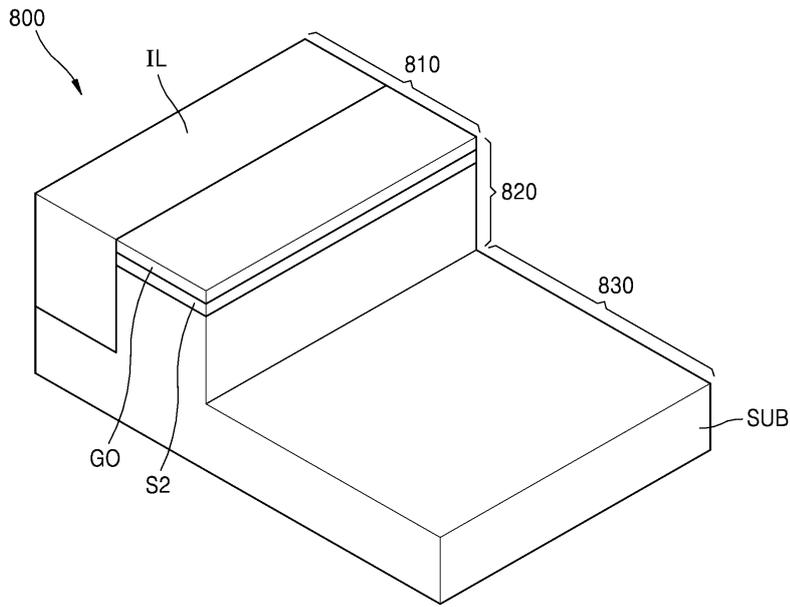
도면8b



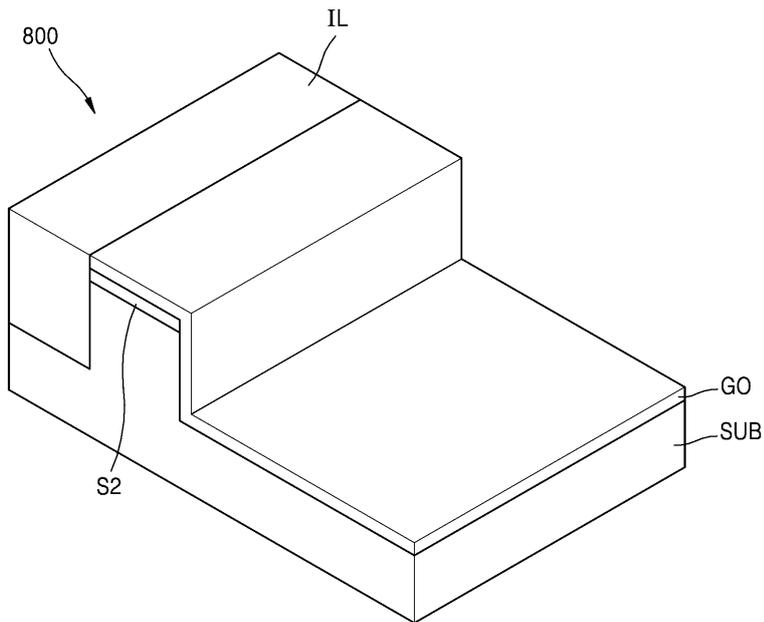
도면8c



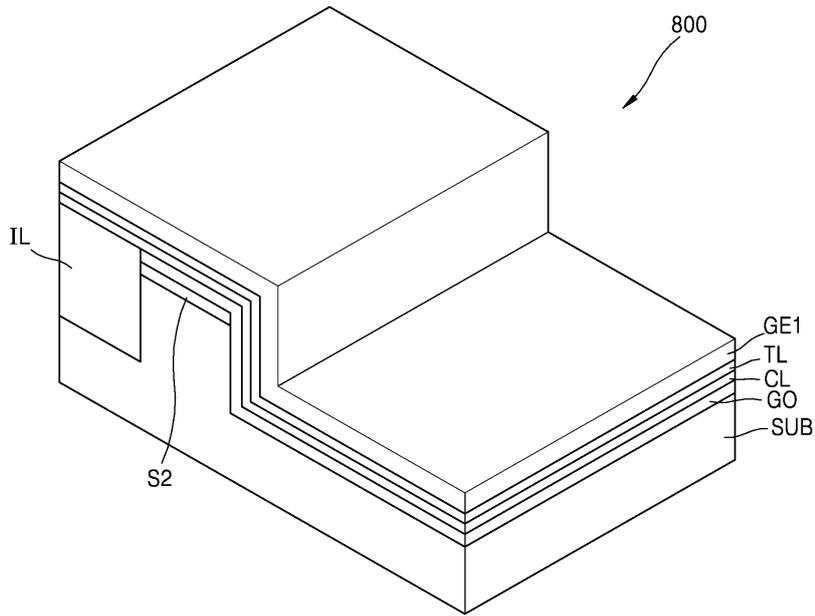
도면8d



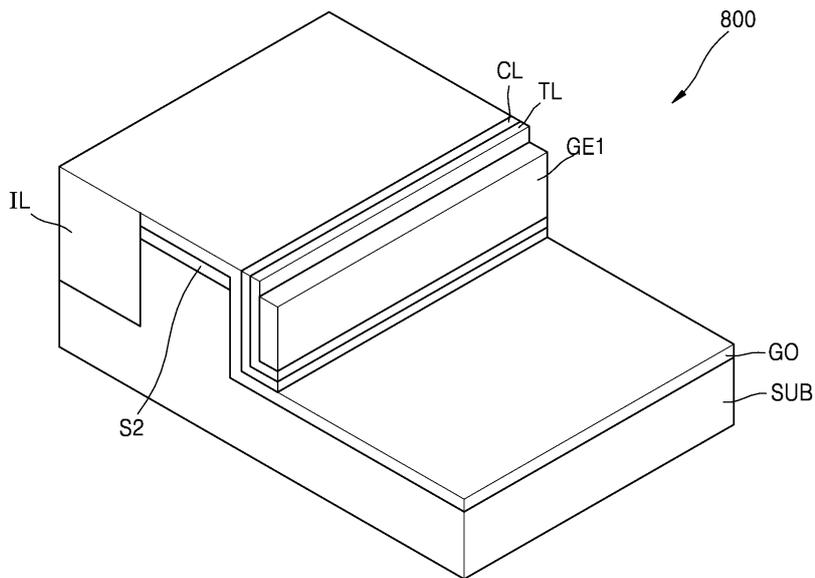
도면8e



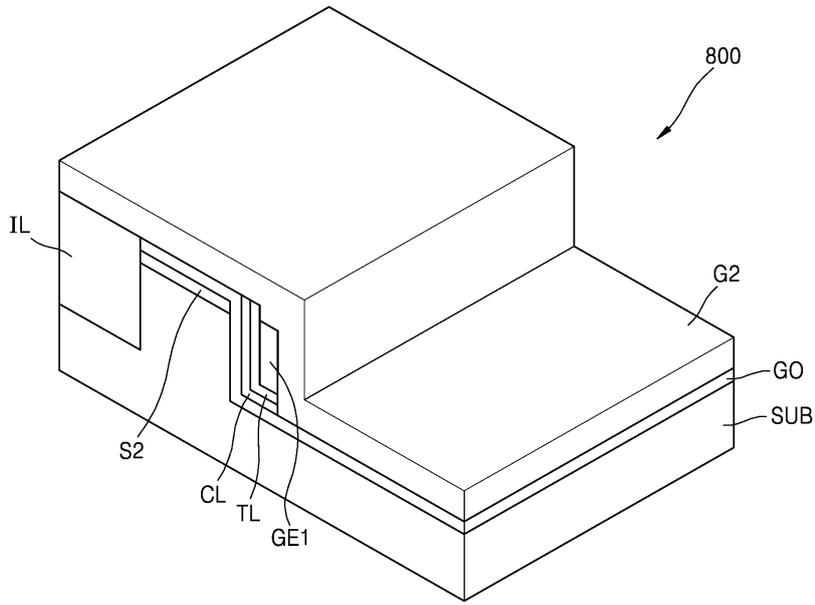
도면8f



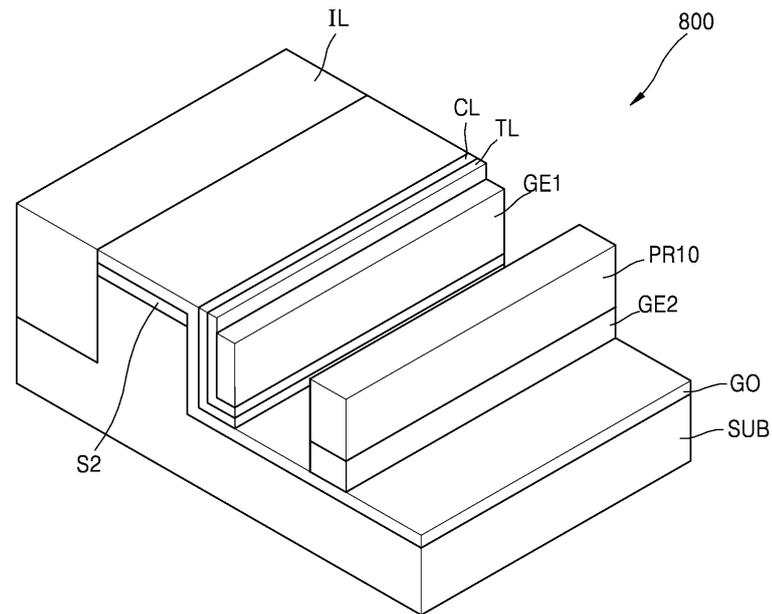
도면8g



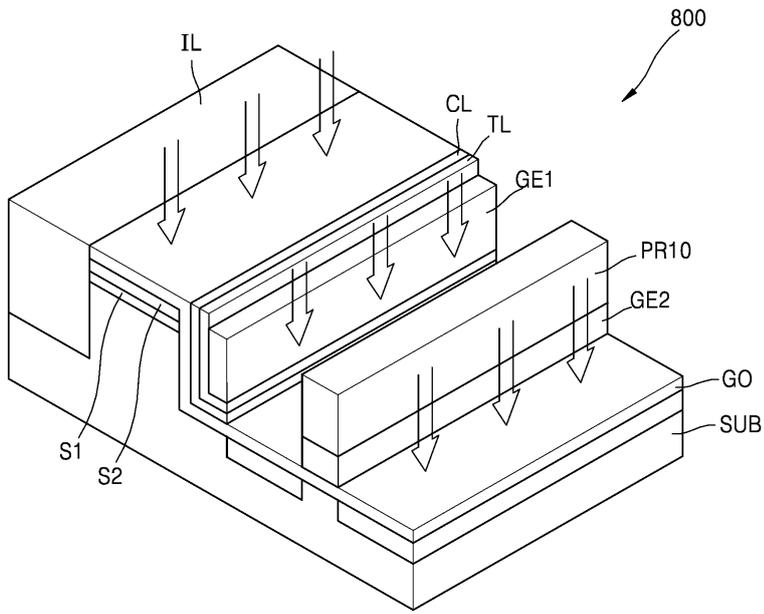
도면8h



도면8i



도면8j



도면8k

