

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 97118679

※ 申請日期： 97.5.21

※IPC 分類：

一、發明名稱：(中文/英文) H01L 21/8238 (2006.01)

形成雙金屬閘極結構之方法

METHOD FOR FORMING A DUAL METAL GATE STRUCTURE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

飛思卡爾半導體公司 / FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

貝格瑞 查理斯 / BERGERE, CHARLES

住居所或營業所地址：(中文/英文)

美國德州奧斯汀市西威廉甘農大道 6501 號

6501 William Cannon Drive West, Austin, Texas, 78735, U.S.A.

國 籍：(中文/英文)

美國 / U.S.A.

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 卡維 蓋里 V. / KARVE, GAURI V.
2. 卡帕索 克里斯坦諾 / CAPASSO, CRISTIANO
3. 沙瑪維丹 史里肯斯 B. / SAMAVEDAM, SRIKANTH B.
4. 薛弗 詹姆士 K. / SCHAEFFER, JAMES K.
5. 小泰勒 威廉 J. / TAYLOR, JR. WILLIAM J.

國 籍：(中文/英文)

- | | |
|------------------|----------------|
| 1. 3. 印度 / INDIA | 4. 美國 / U.S.A. |
| 2. 義大利 / ITALY | 5. 美國 / U.S.A. |

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為：。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國、 2007/06/29、 11/771,721

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一形成半導體結構之方法，其包括形成一通道區域層於一半導體層上，其中該半導體層包括一第一及一第二井區域，形成一保護層於該通道區域層之上，形成一第一閘極介電層於該第一井區域之上，形成一第一金屬閘極電極層於第一閘極介電質之上，除去該保護層，形成一第二閘極介電層於該通道區域層之上，形成一第二金屬閘極電極層於該第二閘極介電層之上，及形成一第一閘極疊層，其包括一部份之該第一閘極介電層及該第一金屬閘極電極層二者於第一井區域上，及形成一第二閘極疊層，其包括一部份之該第二閘極介電層及該第二金屬閘極電極層二者於通道區域層上及第二井區域上。

六、英文發明摘要：

A method for forming a semiconductor structure (10) includes forming a channel region layer (40) over a semiconductor layer where the semiconductor layer includes a first and a second well region (16, 18), forming a protection layer (80) over the channel region layer, forming a first gate dielectric layer (26) over the first well region, forming a first metal gate electrode layer (28) over the first gate dielectric, removing the protection layer, forming a second gate dielectric layer (42) over the channel region layer, forming a second metal gate electrode layer (44) over the second gate dielectric layer, and forming a first gate stack (58) including a portion of each of the first gate dielectric layer and the first metal gate electrode layer over the first well region and forming a second gate stack (66) including a portion of each of the second gate dielectric layer and the second metal gate electrode layer over the channel region layer.

七、指定代表圖：

(一)本案指定代表圖為：第 (13) 圖。

(二)本代表圖之元件符號簡單說明：

10...半導體結構	32...PMOS元件區域
12...半導體基材	40...通道區域層
13...半導體層	52、60...閘極介電質層
14...埋入式氧化物層	56、64...閘極增厚層
16...NMOS井區域	54、62...閘極電極層
18...PMOS井區域	68...NMOS元件
20、22、24...絕緣區域	70...PMOS元件
30...NMOS元件區域	100、102...傳導層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

先前申請案之參考

本發明已於2007年6月29日於美國提出專利申請，申請
5 號為第11/771,721號。

發明領域

本發明有關於同日申請之美國申請案第11/771,721號
(專利代理人卷號MT10687TP)，標題為“Method for Forming
a Dual Metal Gate Structure”，發明人Gauri V. Karve，
10 Cristiano Capasso， Srikanth B. Samavedam， James K.
Schaeffer，及William J. Taylor， Jr.且讓渡予本案目前的受
讓人。

本發明大致有關半導體處理方法，更詳言之為有關形
成一雙金屬閘極結構的方法。

15 【先前技術】

發明背景

在半導體處理方法領域中，多晶矽閘極結構之使用的
不適性增加，因為閘極介電質厚度穩定地降低。因為半導
體製程不使用二氧化矽為閘極介電質而使用具有高介電質
20 常數之介電質(亦稱之為高k介電質)，多晶矽閘極變為較多
問題。一克服由多晶矽閘極導入之問題的解決手段為使用
金屬閘極。在雙金屬閘極處理方法中，使用一第一金屬以
形成PMOS元件之閘極(p-通道金屬氧化物半導體)及使用第
二不同金屬以形成NMOS元件(n-通道MOS)。藉由使用不同

金屬，工作功能可針對每一型式元件而最佳化。然而，傳統雙金屬閘極整合，某些製程步驟如金屬蝕刻及硬遮罩的去除，將損害雙金屬閘極結構之高k閘極介電質，因此降低元件的性能。

5 【發明內容】

發明概要

本發明有關一形成半導體結構之方法，其包括形成一通道區域層於一半導體層上，其中該半導體層包括一第一及一第二井區域，形成一保護層於該通道區域層之上，形成一第一閘極介電層於該第一井區域之上，形成一第一金屬閘極電極層於第一閘極介電質之上，除去該保護層，形成一第二閘極介電層於該通道區域層之上，形成一第二金屬閘極電極層於該第二閘極介電層之上，及形成一第一閘極疊層，其包括一部份之該第一閘極介電層及該第一金屬閘極電極層二者於第一井區域上，及形成一第二閘極疊層，其包括一部份之該第二閘極介電層及該第二金屬閘極電極層二者於通道區域層上及第二井區域上。

圖式簡單說明

本發明藉由實施例說明但並未由附圖限制，其中相似的標號指明相似的元件。在圖式中的元件為簡化及清楚說明，並未以實際比例繪示。

第1圖為說明在本發明之一實施例中，具有一通道區域層於半導體層之上的半導體結構之剖面圖。

第2圖為說明在本發明之一實施例中，第1圖之半導體

結構在半導體層之上及在通道區域層之上形成保護層與在保護層上形成一圖案化遮罩層後之剖面圖。

第3圖為說明在本發明之一實施例中，第2圖之半導體結構在除去曝露部份之保護層後之剖面圖。

5 第4圖為說明在本發明之一實施例中，第3圖之半導體結構在除去於第2圖中形成之圖案化遮罩層後之剖面圖。

第5圖為說明在本發明之一實施例中，第4圖之半導體結構在半導體層及保護層上形成一閘極介電層、一閘極電極層形成於介電層上、一傳導層形成於閘極電極層上及一
10 圖案化遮罩層形成於傳導層之上後之剖面圖。

第6圖為說明在本發明之一實施例中，第5圖之半導體結構在使用於第5圖形成之圖案化遮罩層圖案化於第5圖形成之閘極介電層、閘極電極層及傳導層後之剖面圖。

第7圖為說明在本發明之一實施例中，第6圖之半導體
15 結構在除去第5圖形成之圖案化遮罩層後之剖面圖。

第8圖為說明在本發明之一實施例中，第7圖之半導體結構在除去保護層後之剖面圖。

第9圖為說明在本發明之一實施例中，第8圖之半導體結構在一閘極介電層形成於傳導層及通道區域層之上、一
20 閘極電極層形成於該閘極介電層之上、一傳導層形成於該閘極電極層之上及一圖案化遮罩層形成於該傳導層之上後之剖面圖。

第10圖為說明在本發明之一實施例中，第9圖之半導體結構除去於第9圖中形成之部份傳導層、閘極電極層及閘極

介電層後之剖面圖。

第11圖為說明在本發明之一實施例中，第10圖之半導體結構在除去於第9圖中形成之圖案化遮罩層後及在形成一閘極增厚層於傳導層上與一圖案化遮罩層於該閘極增厚層之上後之剖面圖。

第12圖為說明在本發明之一實施例中，第11圖之半導體結構在形成二閘極疊層後之剖面圖。

第13圖為說明在本發明之一實施例中，第12圖之半導體結構在實質完成具有第12圖之閘極疊層之半導體元件後之剖面圖。

【實施方式】

較佳實施例之詳細說明

可使用雙金屬閘極整合，其中第一金屬閘極為用於NMOS元件及第二不同金屬閘極為用於PMOS元件，以解決多晶矽閘極的問題並允許工作功能依每一型式元件而最佳化。且，PMOS及NMOS元件的性能可藉由使用不同材料於元件之通道區域而更進一步改良。例如，一NMOS元件當其通道區域由一半導體材料(如矽)形成時，其表現良好，同時一PMOS元件在當其通道區域為以不同半導體材料(如矽鍺)形成時可表現更佳。因此，下文描述之一實施例中包括一雙金屬整合，其允許NMOS及PMOS元件為不同型式之通道區域。

第1圖說明一具有半導體基材12的半導體結構10。半導體基材12包括一埋入式氧化物層14及一在埋入式氧化物層

14上之半導體層13。半導體層13包括一用於形成一NMOS元件之NMOS井區域16，及一用於形成PMOS元件之PMOS井區域18。半導體層13亦包括一絕緣區域20、22及24以隔絕不同井區域。注意到每一井區域，如井區域16及18，可用於形成任何之元件。在說明的實施例中，說明之半導體基材為絕緣層上有半導體(SOI)基材，其中半導體層13覆蓋於埋入式氧化物層14。然而，在一可選擇的實施例中，基材12可為一塊狀半導體基材，其中埋入式氧化物層14可不存在。半導體層13可包括任何半導體材料。在一實施例中，半導體層13為一矽層。

半導體層13包括一NMOS元件區域30，其中形成至少一NMOS元件，及一PMOS元件區域32，其中形成至少一PMOS元件。注意到NMOS元件區域30可包括任何數目之NMOS井區域，如NMOS井區域16，且PMOS元件區域32可包括任何數目之PMOS井區域，如PMOS井區域18。

第1圖亦說明一在PMOS元件區域32中形成於PMOS井區域18上之一通道區域層40。通道區域層40為一含有PMOS元件的通道區域之層。因此，通道區域層40可為一包括不同於半導體層13(或NMOS井區域16)之半導體材料且更適於PMOS元件之半導體材料的層。例如，其可為一影響應力、能隙、移動性、或其等相似、或任何其等之組合的材料。例如，在一實施例中，通道區域層40為一矽鍍層，其與矽相比可允許改良PMOS元件。因此，在一實施例中，半導體層13之井區域16及18可為矽，同時通道區域層40可為

矽鍺。在一實施例中，此矽鍺為於在約550至700℃溫度範圍間磊晶生長至一約2至15奈米範圍間之厚度且具有一鍺濃度為在約10至50百分比。

第2圖說明在半導體層13之上及在通道區域層40之上
5 形成保護層80後之半導體結構10。在一實施例中，保護層80由毯覆式沉積一具有約5至20奈米範圍間之厚度的氧化物而形成。在一可選擇的實施例中，保護層80可包括一電漿增強之氮化物。第2圖亦說明在PMOS元件區域32上形成一圖案化遮罩層82於保護層80之上。在一實施例中，圖案
10 化遮罩層82可包括光阻。在一實施例中，可使用傳統處理以形成圖案化遮罩層82。

第3圖說明在使用圖案化遮罩層82去除曝露部份之保護層80後之半導體結構10。因此，注意到藉由使用圖案化遮罩層82，在NMOS元件區域30內之此些部份的保護層80
15 可被去除以曝露出半導體層13之NMOS井區域16。在一實施例中，可使用傳統蝕刻方法及化學品以除去曝露部份之保護層80。

第4圖說明在除去圖案化遮罩層82後之半導體結構10。在一實施例中，使用傳統處理方法除去圖案化遮罩層
20 82。

第5圖說明在NMOS區域30內，半導體層13及保護層80上形成一閘極介電質層26、一閘極電極層28形成於介電層26上、一傳導層84形成於閘極電極層28上及一圖案化遮罩層34形成於傳導層84之上後的半導體結構10。在一實施例

中，閘極介電層26為毯覆式沉積於半導體層13及保護層80之上，且閘極電極層28為毯覆式沉積於閘極介電層26之上。在一實施例中，閘極介電層26為一高k閘極介電質，其包括例如，氧化鈣或鈣銦氧化物。(注意到，如本文使用，
5 一高k介電質為指一具有介電質常數k大於二氧化矽介電常數之介電質)。再者，閘極介電層26可包括至少一層，如一以氧化物封蓋之高k介電層。在一實施例中，閘極介電層26可具有一約1至5奈米範圍間之厚度。在一實施例中，閘極電極層28包括一金屬例如，碳化鈦、氮化鈦、氮化鈦，或
10 其相似者。在一實施例中，閘極電極層28具有約2至10奈米範圍間之厚度。在說明的實施例中，注意到閘極介電層26及閘極電極層28分別為閘極介電層及閘極電極層，其用以在NMOS元件區域30形成一NMOS元件。

仍參考第5圖，在一實施例中，傳導層84為一在內摻雜
15 多晶矽層。在一實施例中，傳導層84具有一約2至20奈米範圍間之厚度。在一可選擇的實施例中，傳導層84不存在。且，在一實施例中，圖案化遮罩層34包括光阻且可使用傳統處理形成。

第6圖說明在使用圖案化遮罩層34除去曝露部份之閘
20 極介電層26、閘極電極層28及傳導層84後之半導體結構10。因此，注意到藉由使用圖案化遮罩層34，可去除在PMOS元件區域32中此些部份的閘極介電層26、閘極電極層28及傳導層84。在一實施例中，可使用一乾蝕刻以蝕刻到至少傳導層84，雖然可使用一濕或乾蝕刻以蝕刻至閘極電極層

28及閘極介電層26。注意到，在說明的實施例中，保護層80在PMOS元件區域32內於閘極介電質層26、閘極電極層28及傳導層84之蝕刻期間保護通道區域40。

第7圖說明在除去圖案化遮罩層34後之半導體結構10。在一實施例中，可使用傳統處理以去除圖案化遮罩層34。

第8圖說明在除去保護層80後之半導體結構10。在一實施例中，使用氫氟酸(HF)除去在PMOS元件區域32中的保護層80。

第9圖為說明在一閘極介電層42形成於NMOS元件區域30中之傳導層84上及PMOS元件區域32中之通道區域層40上、一閘極電極層44形成於閘極介電層42之上、一傳導層92形成於閘極電極層44之上及一圖案化遮罩層46形成於PMOS元件區域32中之傳導層92上後之半導體結構10。在一實施例中，閘極介電質層42為毯覆式沉積於傳導層84、半導體層13及通道區域40上，而閘極電極層44為毯覆式沉積於閘極介電層42。在一實施例中，閘極介電層42為一高k閘極介電質，其包括例如，氧化鉛或鉛銻氧化物。(注意到，在一實施例中，閘極介電質層42使用不同於閘極介電質26之不同高k介電質形成。)再者，閘極介電層42可包括至少一以一氧化物封蓋之層，如一高k介電層。在一實施例中，閘極介電層42可具有約1至5奈米範圍間之厚度。在一實施例中，閘極電極層44包括一金屬例如，氮化鉬、鈦或其相似者。且，在一實施例中，閘極電極層44以一使用不同於

閘極電極層28之不同金屬形成。在一實施例中，閘極電極層44具有約2至10奈米範圍間之厚度。在說明的實施例中，注意到閘極介電層42及閘極電極層44分別為閘極介電層及閘極電極層，其用於在PMOS元件區域32中形成一PMOS元件。

仍參考第9圖，在一實施例中，傳導層92為一在內摻雜多晶矽層。在一實施例中，傳導層92具有約3至15奈米範圍間之厚度。在一可選擇的實施例中，傳導層92不存在。且，在一實施例中，圖案化遮罩層46包括光阻且可使用傳統處理方法形成。

注意到NMOS元件區域30可參照為第一元件區域，且相似地，NMOS井區域16可參照為第一井區域，及PMOS元件區域32可參照為第二元件區域，且相似地，PMOS井區域18可參照為第二井區域。且，注意到極性可為互換的，以致第一元件區域對應於一PMOS元件區域且第二元件區域對應於一NMOS元件區域。相似地，在此實施例中，第一井區域對應於一PMOS井區域及第二井區域對應於一NMOS井區域。且，在此例中，閘極介電層26及閘極電極層28可分別對應於閘極介電層及閘極電極層，其可用於形成一PMOS元件，同時閘極介電層42及閘極電極層44分別對應於閘極介電層及閘極電極層，其將用於形成一NMOS元件。

第10圖說明在NMOS元件區域30使用圖案化遮罩層46除去曝露部份之傳導層92、閘極電極層44及閘極介電層42

後之半導體結構10。因此，注意到藉由使用圖案化遮罩層46，可去除在NMOS元件區域30中此些部份的傳導層92、閘極電極層44及閘極介電層42，在一實施例中，傳導層84做為一蝕刻用蝕刻擋止層且做為在蝕刻期間保護在下層的閘極電極層28。在一可選擇的實施例中，傳導層84不存在。在此可選擇的實施例中，閘極電極層28可製的較厚，其在傳導層92、閘極電極層44及閘極介電層42蝕刻期間去除閘極電極層28的頂部部份。在此方式中，閘極電極層44的剩餘部份可具有一足夠的厚度而適於做為一閘極電極。在一實施例中，可使用傳統蝕刻以除去部份之傳導層92、閘極電極層44及閘極介電層42。

第11圖說明在除去圖案化遮罩層46後之半導體結構10。注意到傳導層92在除去圖案化遮罩層46期間保護在下層的閘極電極層44。在一實施例中，可使用一灰份或“白骨化”洗滌以除去圖案化遮罩層46，其中若傳導保護層92不存在，則灰份或“白骨化”洗滌”可能損害閘極電極層44。在一可選擇的實施例中，傳導層92可不存在。例如，在一實施例中，圖案化遮罩層46可使用一不會損害在下層之層如閘極電極層44的溶劑去除。

第11圖亦說明在形成一閘極增厚層48於傳導層84及92上與一圖案化遮罩層50於該閘極增厚層48上後之半導體結構10。注意到若傳導層84不存在，則閘極增厚層48直接形成於閘極電極28上，且若傳導層92不存在，則閘極增厚層48直接形成於閘極電極44上。在一實施例中，閘極增厚層

48包括一傳導材料，例如多晶矽，且可因此亦被視為一傳導閘極增厚層。且，閘極增厚層48可包括至少一層傳導材料。在一實施例中，操作閘極增厚層48以增厚形成之元件的閘極疊層，故當進行源極及汲極植入時，閘極疊層具足夠的厚度以阻擋在通道區域中的植入。在一可選擇的實施例中，未形成閘極增厚層。圖案化遮罩層50界定一對應於形成元件之閘極疊層的位置。在說明的實施例中，圖案化遮罩層50界定一在NMOS元件區域30之閘極疊層位置及一位在PMOS元件區域32之閘極疊層。在一實施例中，圖案化遮罩層50包括光阻。在一實施例中，可使用傳統處理以形成閘極增厚層48及圖案化遮罩層50。

第12圖說明在使用圖案化遮罩層50形成閘極疊層58及66後及在後續去除圖案化遮罩層50後之半導體結構10。因此，使用圖案化遮罩層50，從元件區域30及32去除閘極增厚層48之曝露部份，從NMOS元件區域30去除部份之傳導層84、閘極電極層28及閘極介電層26，且從PMOS元件區域32去除部份之傳導層92、閘極電極層44、與閘極介電質層42，因此造成在NMOS元件區域30中之閘極疊層58及在PMOS元件區域32中之閘極疊層66。注意到在說明於第13圖之實施例的蝕刻期間，金屬閘極電極層(閘極電極層28及44)二者為同時蝕刻。在一實施例中，閘極電極層28及44之厚度可依其等之相對蝕刻速率調整，以致該二層可在相同總時間蝕刻。在一實施例中，可使用傳統處理以形成閘極疊層58及66與圖案化遮罩層50。

如在第13圖說明，閘極疊層58包括一閘極介電質52(由閘極介電層26形成)於NMOS井區域16之上，一閘極電極54(由閘極介電層28形成)於閘極介電質52之上，一傳導層100(由傳導層84形成)於閘極電極54之上，及一閘極增厚層56(由閘極增厚層48形成)於閘極電極54之上。閘極疊層66包括一閘極介電質60(由閘極介電層42形成)於通道區域層40之上，一閘極電極62(由閘極電極層44形成)於閘極介電質60之上，一傳導層102(由傳導層92形成)於閘極電極62之上，及一閘極增厚層64(由閘極增厚層48形成)於閘極電極62之上。

第13圖說明在實質完成NMOS元件68及PMOS元件70後之半導體結構10。NMOS元件68在NMOS元件區域30使用閘極疊層58形成而PMOS元件在PMOS元件區域32中使用閘極疊層66形成。對於每一元件，可使用傳統處理以形成間隙壁及源極/汲極區域。注意到在半導體層13之NMOS井區域16中於閘極介電質52下在NMOS元件68之源極/汲極區域間形成一通道區域。然而，一PMOS元件70之通道區域為位於在閘極介電質60下通道區域層40中之PMOS元件70的源極/汲極區域間而非在半導體層13中。在此方式中，NMOS及PMOS元件68及70可包括不同金屬閘極電極且具有不同半導體材料形成通道區域。因此，NMOS及PMOS元件可經由分別選用不同金屬閘極電極及不同通道區域材料而各別的最佳化。

因此，可瞭解經由使用保護層80，閘極電極層28及閘

極介電層26(及若存在的傳導層84)可由元件區域32蝕刻，而未損害先前形成之通道區域層40。再者，使用傳導層84及92，在其下層如閘極電極層28及44，可分別在需要形成雙金屬閘極結構之後續處理中被保護(如在其下層的去除中)。在此方式中，可形成一通道區域層，其較佳適於特定型式之元件可形成於元件區域32中(不論其為PMOS或一NMOS元件)，同時允許在未損害通道區域/閘極介電質介面下之雙金屬整合。

在一可選擇的實施例中，注意到一通道區域層如通道區域層40可用以形成一NMOS元件，而非一PMOS元件。在仍為另一實施例中，一通道區域層如通道區域層40可用以形成NMOS及PMOS元件二者。例如，一通道區域層在形成閘極介電層26前亦形成於井區域16之上。

一實施例有關一種形成半導體結構之方法，其包括形成通道區域層於一半導體層上，其中該半導體層包括一第一井區域及一第二井區域且其中該通道區域層為形成於第二井區域上，形成一保護層於通道區域層之上，形成一第一閘極介電層於第一井區域之上，形成一第一金屬閘極電極層於第一閘極介電層之上，在形成第一金屬閘極電極層後除去保護層，形成一第二閘極介電層於通道區域層之上，形成一第二金屬閘極電極層於第二閘極介電層之上，其中該第二金屬閘極電極層為一不同於第一金屬閘極電極層的金屬，且形成一第一閘極疊層，其包括一部份之第一閘極介電層及第一金屬閘極電極層二者於第一井區域上，

及形成一第二閘極疊層，其包括一部份之第二閘極介電層及第二金屬閘極電極層二者於通道區域層上及第二井區域上。

5 在又一實施例中，此方法更包括形成一具有使用第一閘極疊層之第一傳導型的第一元件及形成一具有使用第二閘極疊層之不同於第一傳導型的第二傳導型之第二元件，其中第二元件的通道區域為在通道區域層中。

10 在又另一實施例中，在形成第一閘極疊層及第二閘極疊層前，此方法更包括在第一金屬閘極電極層及第二金屬閘極電極層形成一傳導閘極增厚層。

在又另一實施例中，該通道區域層之形成包括生長不同於半導體層之半導體材料的半導體材料。在又一實施例中，該通道區域層之形成包括磊晶生長矽鍺於第二井區域之上。

15 在又另一實施例中，保護層之形成包括沉積一選自由氧化物及氮化物組成之群中的材料。

在又另一實施例中，該第一閘極介電層之形成包括形成第一高k介電層及該第二閘極介電層之形成包括形成一包括不同於第一高k介電層之高k介電質的第二高k介電層。

20 在另一實施例中，一形成半導體結構之方法，其包括形成通道區域層於一半導體層上，其中該半導體層包括一第一井區域及一第二井區域且其中該通道區域層為形成於第二井區域上而不是第一井區域上，形成一保護層於通道區域層之上，形成一閘極介電層於該半導體層及該保護層

上，形成一第一金屬閘極電極層於該第一閘極介電層上，
除去部份之覆蓋於保護層的第一閘極介電層及第一金屬閘
極電極層，除去該保護層，形成一第二閘極介電層於該第
一閘極電極層及該通道區域層上，形成一第二金屬閘極電
5 極層於該第二閘極介電層之上，其中該第二金屬閘極電極
層為不同於第一金屬閘極電極層之金屬，除去部份之覆蓋
於第一閘極電極層之第二金屬閘極電極層及第二閘極介電
層，及形成一第一閘極疊層，其包括部份之該第一閘極介
電層及該第一金屬閘極電極層二者於第一井區域之上，及
10 形成一第二閘極疊層，其包括一部份之該第二閘極介電層
及該第二金屬閘極電極層二者於該通道區域層之上及該第
二井區域之上。

在另一實施例的又一實施例中，該保護層之形成包括
沉積一選自由氧化物及氮化物組成之群中的材料。

15 在另一實施例的又一實施例中，形成一具有使用第一
閘極疊層之第一傳導型的第一元件及形成一具有使用第二
閘極疊層之不同於第一傳導型的第二傳導型之第二元件，
其中第二元件的通道區域為在通道區域層中。

在另一實施例的又一實施例中，該通道區域層之形成
20 包括生長不同於半導體層之半導體材料的半導體材料。在
又一實施例中，該通道區域層之形成包括磊晶生長矽鍺於
第二井區域之上。

在另一實施例的又一實施例中，該第一閘極介電層之
形成包括形成第一高k介電層及該第二閘極介電層之形成

包括形成一包括不同於第一高k介電層之高k介電質的第二高k介電層。

在另一實施例的又一實施例中，此方法更包括形成一傳導層於該第一閘極電極層之上，其中一第二閘極介電層
5 於該第一閘極電極層及該通道區域層上之形成包括形成該第二閘極介電層於該傳導層及該通道區域層上。在又另一實施例中，部份之覆蓋於第一閘極電極層的該第二金屬閘極電極層與該第二閘極介電層之除去包括使用該傳導層為一蝕刻擋止層。

10 在另一實施例的又一實施例中，此方法更包括形成一傳導層於第二金屬閘極電極層之上。

在又另一實施例中，一形成半導體結構之方法，其包括形成通道區域層於一半導體層上，其中該半導體層包括一第一井區域及一第二井區域且其中該通道區域層為形成
15 於第二井區域上而不是第一井區域上，形成一保護層於通道區域層之上，形成一第一高k閘極介電層於第一井區域上，形成一第一金屬閘極電極層於該第一高k閘極介電質之上，在形成該第一金屬閘極電極層後除去該保護層，形成一第二高k閘極介電層於通道區域層之上，其中該第二高k
20 閘極介電質層具有不同於第一高k閘極介電層之高k介電質，形成一第二金屬閘極電極層於該第二高k閘極介電層之上，其中該第二金屬閘極電極層具有不同於第一金屬閘極電極層之金屬，形成一第一閘極疊層，其包括部份之該第一高k閘極介電層及該第一金屬閘極電極層二者於第一井

區域之上，及形成一第二閘極疊層，其包括一部份之該第二高k閘極介電層及該第二金屬閘極電極層二者於該通道區域層之上及該第二井區域之上，及形成一具有使用第一閘極疊層之第一傳導型的第一元件及形成一具有使用第二閘極疊層之不同於第一傳導型的第二傳導型之第二元件，
5 其中第二元件的通道區域為在通道區域層中。

在另一實施例的又一實施例中，在形成第一閘極疊層及第二閘極疊層之前，此方法更包括形成一傳導閘極增厚層於該第一金屬閘極電極層及該第二金屬閘極電極層二者
10 上。

在另一實施例的又另一實施例中，該通道區域層之形成包括生長不同於半導體層之半導體材料的半導體材料。

在另一實施例的又另一實施例中，該保護層之形成包括沉積一選自由氧化物及氮化物組成之群中的材料。

15 雖然本發明已以特定之傳導型式或電位的極性描述，熟於此項技術人士可瞭解傳導型式或電位的極性可反轉。

再者，在詳細說明及申請專利範圍中若使用任何之“前”、“後”、“頂部”、“底部”、“上”、“下”、“之上”、“之下”及其相似的詞為用以描述用而非必定描述永久的關係位置。已瞭解如此使用的詞在適當的條件下為可交換的，故
20 於本文描述之本發明實施例可在其他非本文說明或特別描述的定位上操作。

雖然本發明以配合特定實施例描述說明，但在未偏離本發明後附之申請專利範圍之範疇下可進行多種不同潤飾

及變化。因此，本說明書及圖式為視為說明而非用以限制本發明，且所用可能的潤飾視為於本發明之範疇內。本文所描述有關實施例之任何的利益、優點及問題的解決手段並非預期用以解釋為申請專利範圍全部或部份的關鍵、必要或基本的特徵或元件。

再者，本文使用"一(a)"或"一(an)"為定義一或一以上。且，在申請專利範圍中使用引言詞如"至少一"及"一或一以上"不應被解釋為暗示另一以不定冠詞"一(a)"或"一(an)"介紹的主張元件限制為含有此引言主張之元件的申請專利範圍至僅含有此元件的發明，即使當相同的申請專利範圍包括引言詞"一或一以上"或"至少一"及不定冠詞如"一(a)"或"一(an)"。此亦相同的用於定冠詞的情形。

除非特別指明，使用如"第一"及"第二"等詞為隨意的在此等詞描述的元件間做一區別。因此，此些詞非必要用於指明此些元件的時間的或其他優先順先。

【圖式簡單說明】

第1圖為說明在本發明之一實施例中，具有一通道區域層於半導體層之上的半導體結構之剖面圖。

第2圖為說明在本發明之一實施例中，第1圖之半導體結構在半導體層之上及在通道區域層之上形成保護層與在保護層上形成一圖案化遮罩層後之剖面圖。

第3圖為說明在本發明之一實施例中，第2圖之半導體結構在除去曝露部份之保護層後之剖面圖。

第4圖為說明在本發明之一實施例中，第3圖之半導體

結構在除去於第2圖中形成之圖案化遮罩層後之剖面圖。

第5圖為說明在本發明之一實施例中，第4圖之半導體結構在半導體層及保護層上形成一閘極介電層、一閘極電極層形成於介電層上、一傳導層形成於閘極電極層上及一

5 圖案化遮罩層形成於傳導層之上後之剖面圖。

第6圖為說明在本發明之一實施例中，第5圖之半導體結構在使用於第5圖形成之圖案化遮罩層圖案化於第5圖形成之閘極介電層、閘極電極層及傳導層後之剖面圖。

第7圖為說明在本發明之一實施例中，第6圖之半導體
10 結構在除去第5圖形成之圖案化遮罩層後之剖面圖。

第8圖為說明在本發明之一實施例中，第7圖之半導體結構在除去保護層後之剖面圖。

第9圖為說明在本發明之一實施例中，第8圖之半導體結構在一閘極介電層形成於傳導層及通道區域層之上、一
15 閘極電極層形成於該閘極介電層之上、一傳導層形成於該閘極電極層之上及一圖案化遮罩層形成於該傳導層之上後之剖面圖。

第10圖為說明在本發明之一實施例中，第9圖之半導體結構除去於第9圖中形成之部份傳導層、閘極電極層及閘極
20 介電層後之剖面圖。

第11圖為說明在本發明之一實施例中，第10圖之半導體結構在除去於第9圖中形成之圖案化遮罩層後及在形成一閘極增厚層於傳導層上與一圖案化遮罩層於該閘極增厚層之上後之剖面圖。

第12圖為說明在本發明之一實施例中，第11圖之半導體結構在形成二閘極疊層後之剖面圖。

第13圖為說明在本發明之一實施例中，第12圖之半導體結構在實質完成具有第12圖之閘極疊層之半導體元件後之剖面圖。

【主要元件符號說明】

10...半導體結構	32...PMOS元件區域
12...半導體基材	34、46、50、82...圖案化遮罩層
13...半導體層	40...通道區域層
14...埋入式氧化物層	44...閘極電極層
16...NMOS井區域	48、56、64...閘極增厚層
18...PMOS井區域	58、66...閘極疊層
20、22、24...絕緣區域	68...NMOS元件
26、42、52、60...閘極介電質層	70...PMOS元件
28、54、62...閘極電極層	80...保護層
30...NMOS元件區域	84、86、92、100、102...傳導層

十、申請專利範圍：

1. 一種形成半導體結構之方法，此方法包括：

形成一通道區域層於一半導體層之上，其中該半導體層包括一第一井區域及一第二井區域且其中該通道區域層為形成於該第二井區域之上；

形成一保護層於該通道區域層之上；

形成一第一閘極介電層於該第一井區域之上；

形成一第一金屬閘極電極層於該第一閘極介電質之上；

在形成該第一金屬閘極電極層後除去該保護層；

形成一第二閘極介電層於該通道區域層之上；

形成一第二金屬閘極電極層於該第二閘極介電層之上，其中該第二金屬閘極電極層為一不同於該第一金屬閘極電極層的金屬；及

形成一第一閘極疊層，其包括於該第一井區域之上之各該第一閘極介電層及該第一金屬閘極電極層的一部份，及形成一第二閘極疊層，其包括於該通道區域層及該第二井區域之上之各該第二閘極介電層及該第二金屬閘極電極層的一部份。

2. 如申請專利範圍第1項之方法，其更包含：

形成一具有使用該第一閘極疊層之第一傳導型的第一元件及形成一具有使用該第二閘極疊層之不同於該第一傳導型的第二傳導型之第二元件，其中該第二元件的通道區域為在該通道區域層中。

3. 如申請專利範圍第1項之方法，其更包含在形成第一閘極疊層及第二閘極疊層前，在各該第一金屬閘極電極層及該第二金屬閘極電極層之上形成一傳導閘極增厚層。
4. 如申請專利範圍第1項之方法，其中該通道區域層之形成包括生長不同於該半導體層之半導體材料的半導體材料。
5. 如申請專利範圍第4項之方法，其中該通道區域層之形成包括磊晶生長矽鍺於該第二井區域之上。
6. 如申請專利範圍第1項之方法，其中該保護層之形成包括沉積一選自由氧化物及氮化物組成之群中的材料。
7. 如申請專利範圍第1項之方法，其中該第一閘極介電層之形成包括形成第一高k介電層及該第二閘極介電層之形成包括形成一包括不同於該第一高k介電層之高k介電質的第二高k介電層。
8. 一種形成半導體結構之方法，該方法包含：

形成通道區域層於一半導體層之上，其中該半導體層包括一第一井區域及一第二井區域且其中該通道區域層為形成於該第二井區域之上而不是於該第一井區域之上；

形成一保護層於該通道區域層之上；

形成一閘極介電層於該半導體層及該保護層之上；

形成一第一金屬閘極電極層於該第一閘極介電層之上；

除去部份之覆蓋於該保護層的該第一閘極介電層

及該第一金屬閘極電極層；

除去該保護層；

形成一第二閘極介電層於該第一閘極電極層及該通道區域層之上；

- 5 形成一第二金屬閘極電極層於該第二閘極介電層之上，其中該第二金屬閘極電極層為不同於該第一金屬閘極電極層之金屬；

除去部份之覆蓋於該第一閘極電極層之該第二金屬閘極電極層及該第二閘極介電層；及

- 10 形成一第一閘極疊層，其包括於該第一井區域之上之各該第一閘極介電層及該第一金屬閘極電極層的一部份，及形成一第二閘極疊層，其包括於該通道區域層之上及該第二井區域之上之各該第二閘極介電層及該第二金屬閘極電極層的一部份。

- 15 9. 如申請專利範圍第8項之方法，其中該保護層之形成包括沉積一選自由氧化物及氮化物組成之群中的材料。

10. 如申請專利範圍第8項之方法，其更包含：

- 20 形成一具有使用該第一閘極疊層之第一傳導型的第一元件及形成一具有使用該第二閘極疊層之不同於該第一傳導型的第二傳導型之第二元件，其中該第二元件的通道區域為在該通道區域層中。

11. 如申請專利範圍第8項之方法，其中該通道區域層之形成包括生長不同於該半導體層之半導體材料的半導體材料。

12. 如申請專利範圍第11項之方法，其中該通道區域層之形成包括磊晶生長矽鍺於該第二井區域之上。
13. 如申請專利範圍第8項之方法，其中該第一閘極介電層之形成包括形成第一高k介電層及該第二閘極介電層之形成包括形成一包括不同於該第一高k介電層之高k介電質的第二高k介電層。
14. 如申請專利範圍第8項之方法，其更包含形成一傳導層於該第一閘極電極層之上，其中該形成一第二閘極介電層於該第一閘極電極層及該通道區域層之上包括形成該第二閘極介電層於該傳導層及該通道區域層之上。
15. 如申請專利範圍第14項之方法，其中部份之覆蓋於該第一閘極電極層的該第二金屬閘極電極層與該第二閘極介電層之除去包括使用該傳導層為一蝕刻擋止層。
16. 如申請專利範圍第8項之方法，其更包含形成一傳導層於該第二金屬閘極電極層之上。
17. 一種形成半導體結構之方法，該方法包含：
- 形成通道區域層於一半導體層之上，其中該半導體層包括一第一井區域及一第二井區域且其中該通道區域層為形成於該第二井區域之上；
- 形成一保護層於該通道區域層之上；
- 形成一第一高k閘極介電層於該第一井區域之上；
- 形成一第一金屬閘極電極層於該第一高k閘極介電質之上；
- 在形成該第一金屬閘極電極層後除去該保護層；

形成一第二高k閘極介電層於該通道區域層之上，其中該第二高k閘極介電層具有不同於該第一高k閘極介電層之高k介電質；

5 形成一第二金屬閘極電極層於該第二高k閘極介電層之上，其中該第二金屬閘極電極層為不同於該第一金屬閘極電極層之金屬；

形成一第一閘極疊層，其包括於該第一井區域之上之各該第一高k閘極介電層及該第一金屬閘極電極層的一部份，及形成一第二閘極疊層，其包括於該通道區域層之上及該第二井區域之上之各該第二高k閘極介電層及該第二金屬閘極電極層的一部份；及

10

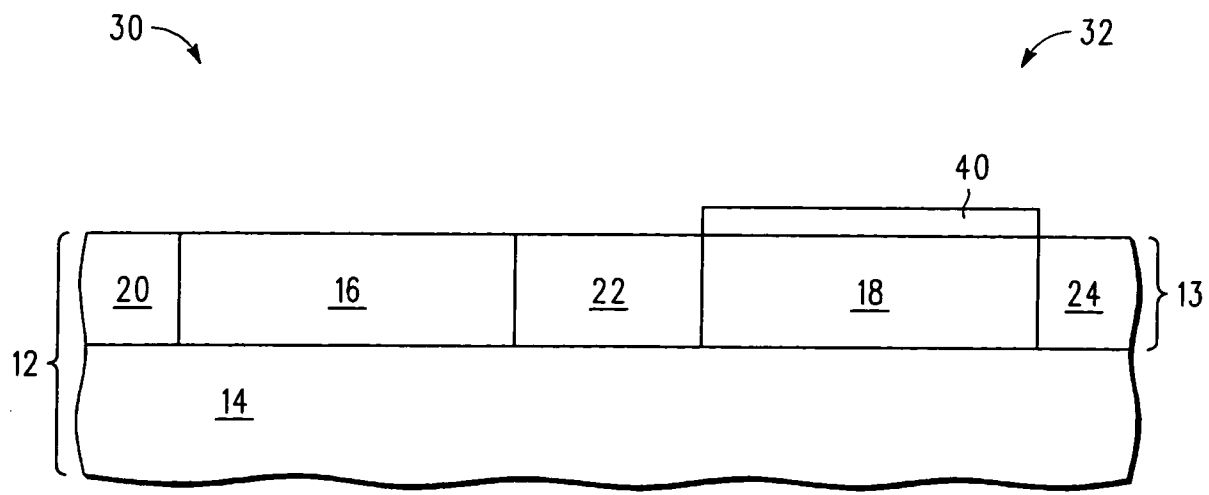
形成一具有使用該第一閘極疊層之第一傳導型的第一元件及形成一具有使用該第二閘極疊層之不同於該第一傳導型的第二傳導型之第二元件，其中該第二元件的通道區域為在該通道區域層中。

15

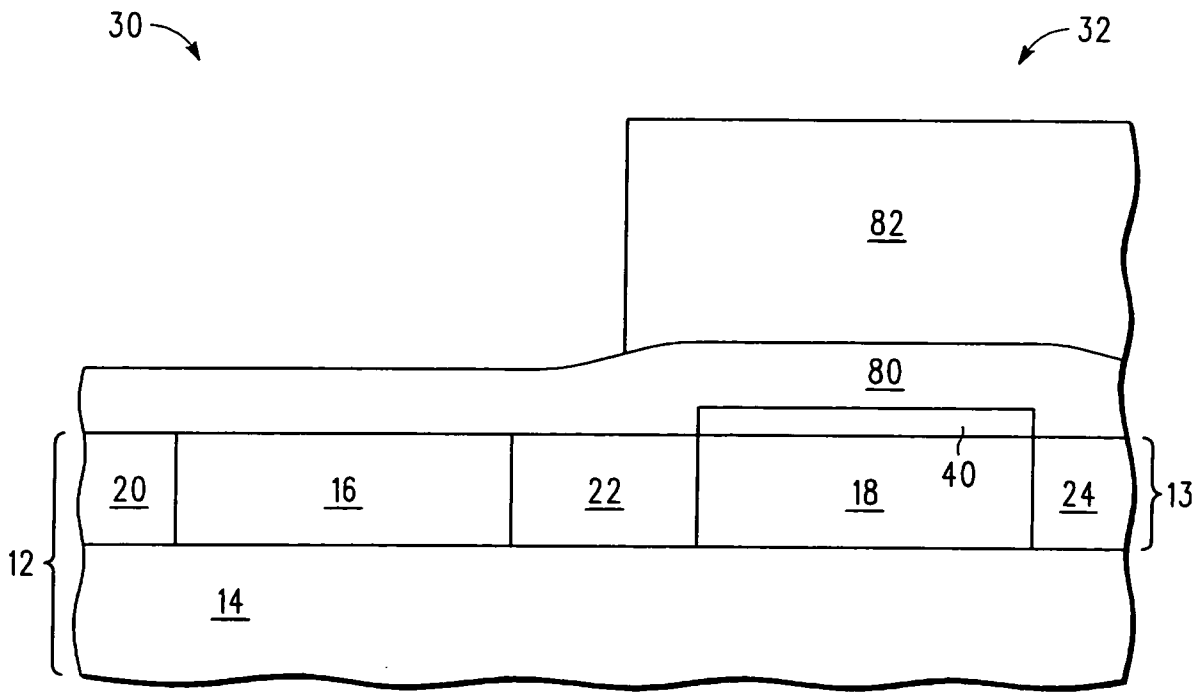
18. 如申請專利範圍第17項之方法，其更包含在形成第一閘極疊層及第二閘極疊層之前，形成一傳導閘極增厚層於各該第一金屬閘極電極層及該第二金屬閘極電極層之上。

20 19. 如申請專利範圍第17項之方法，其中該通道區域層之形成包括生長不同於該半導體層之半導體材料的半導體材料。

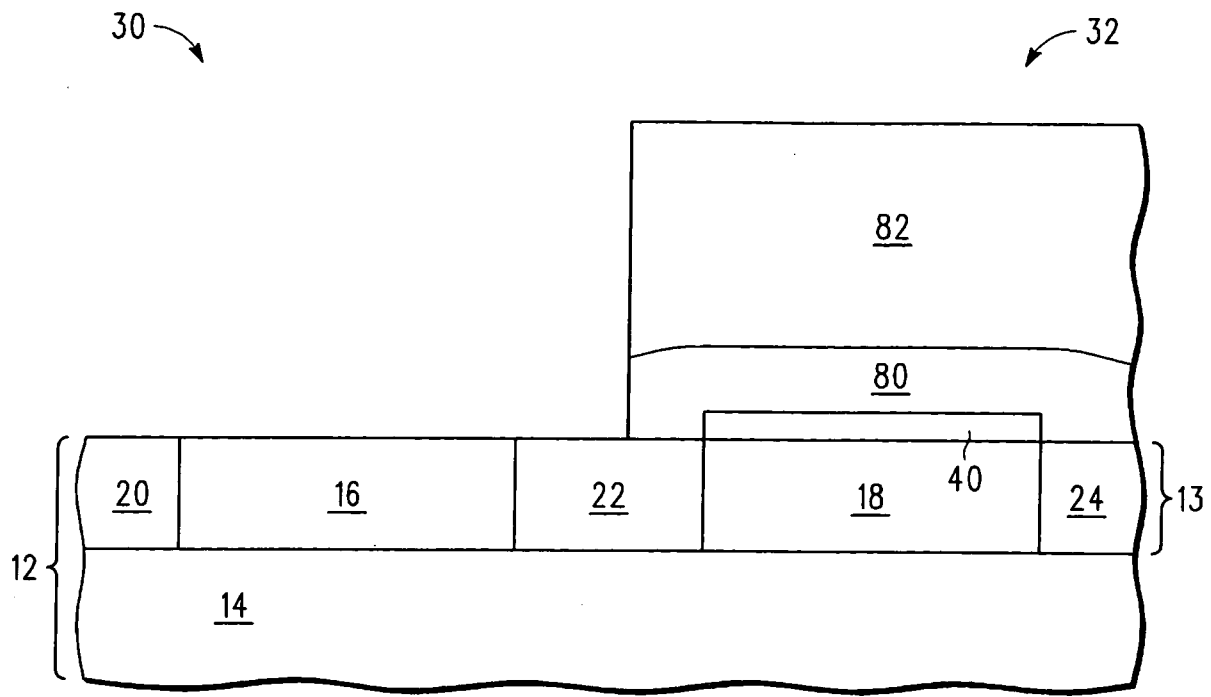
20. 如申請專利範圍第17項之方法，其中該保護層之形成包括沉積一選自由氧化物及氮化物組成之群中的材料。



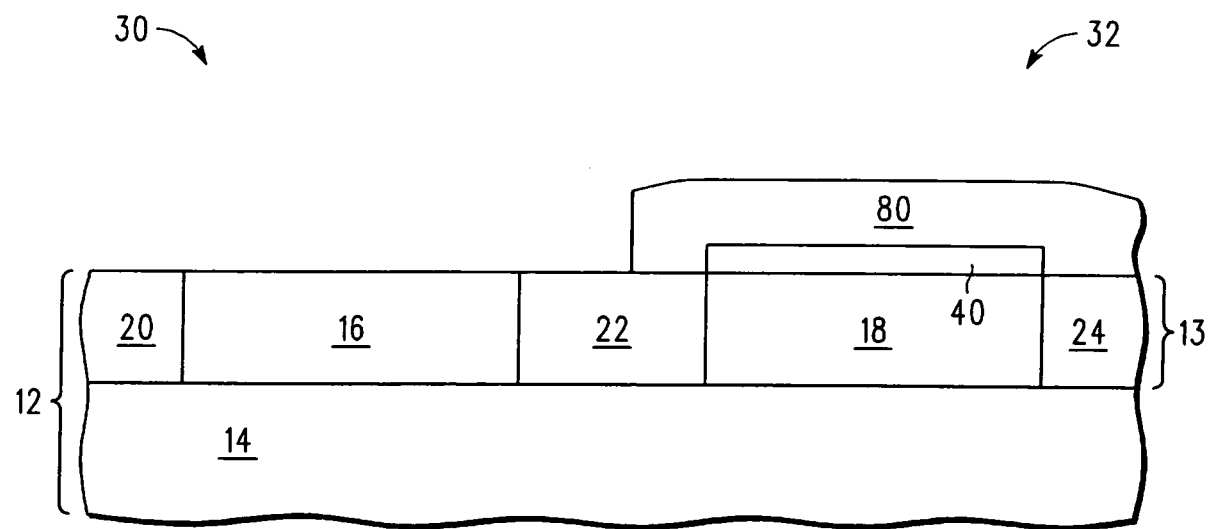
第 1 圖 ¹⁰



第 2 圖 ¹⁰

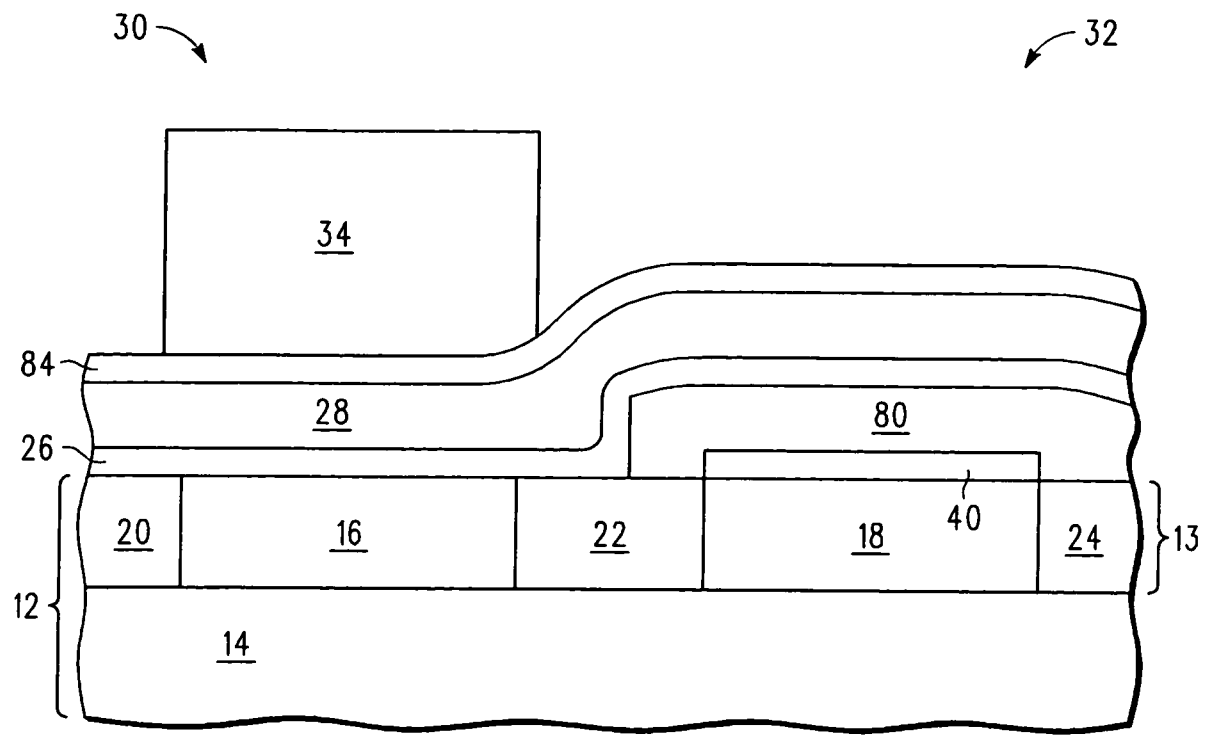


第 3 圖 ¹⁰

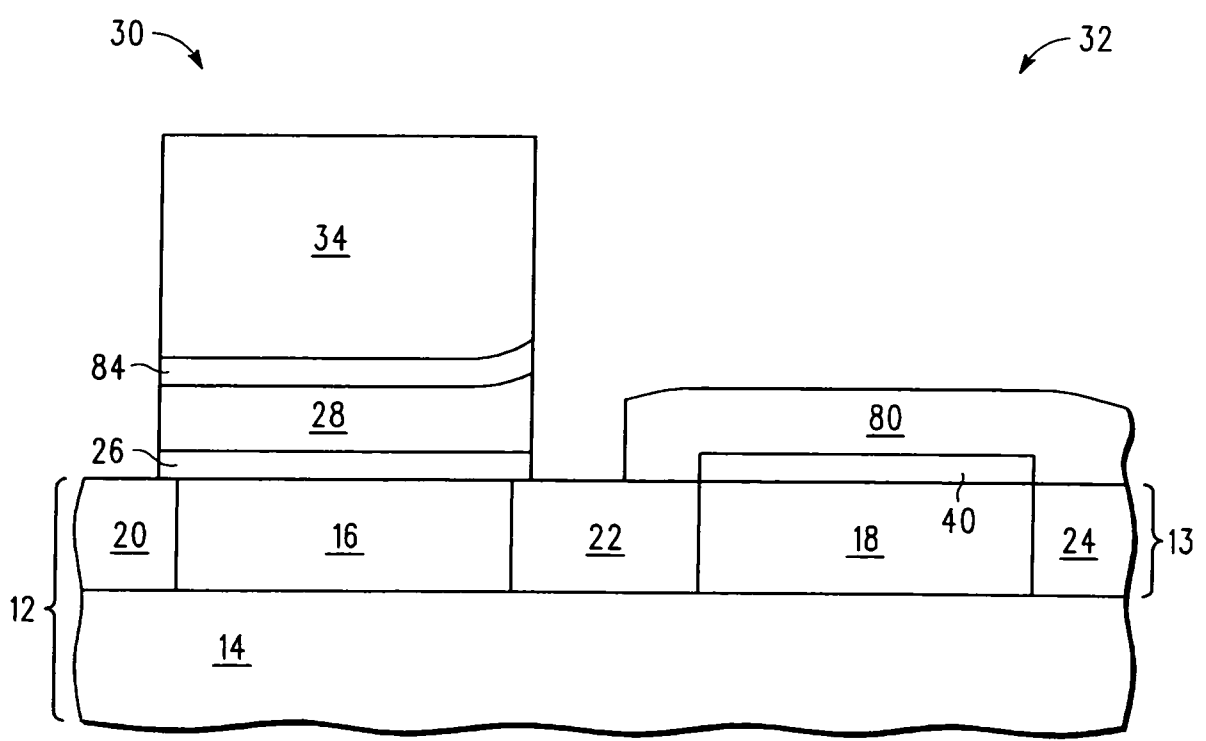


第 4 圖 ¹⁰

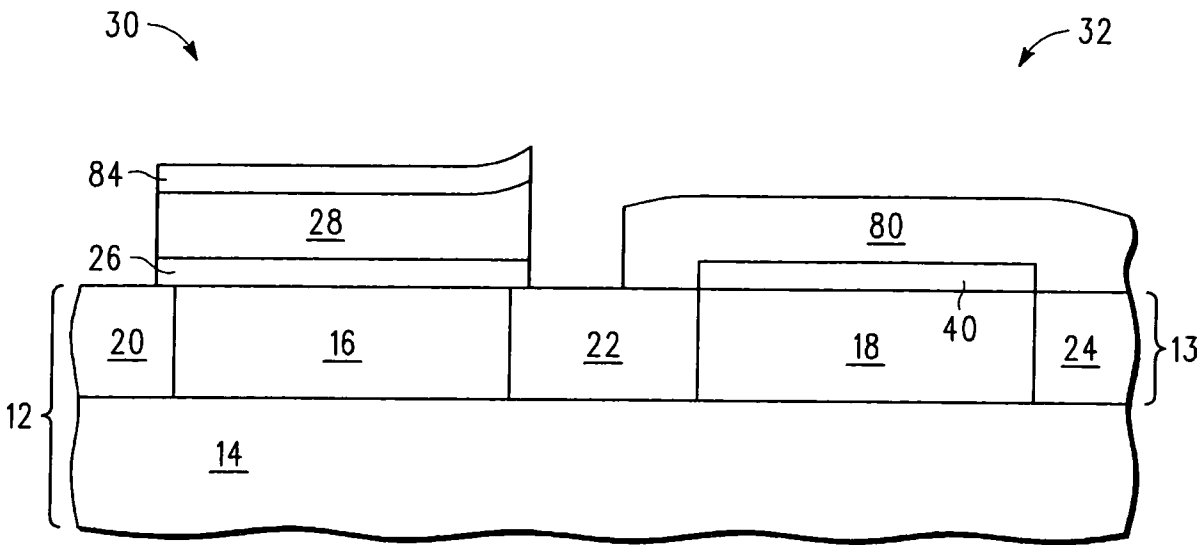
3/7



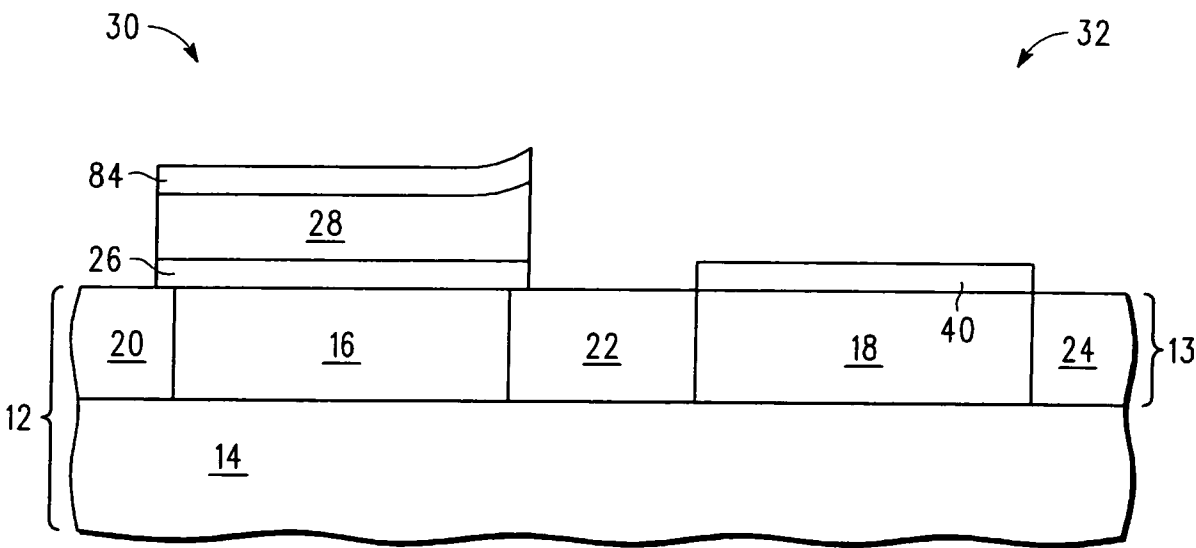
第 5 圖 ¹⁰



第 6 圖 ¹⁰

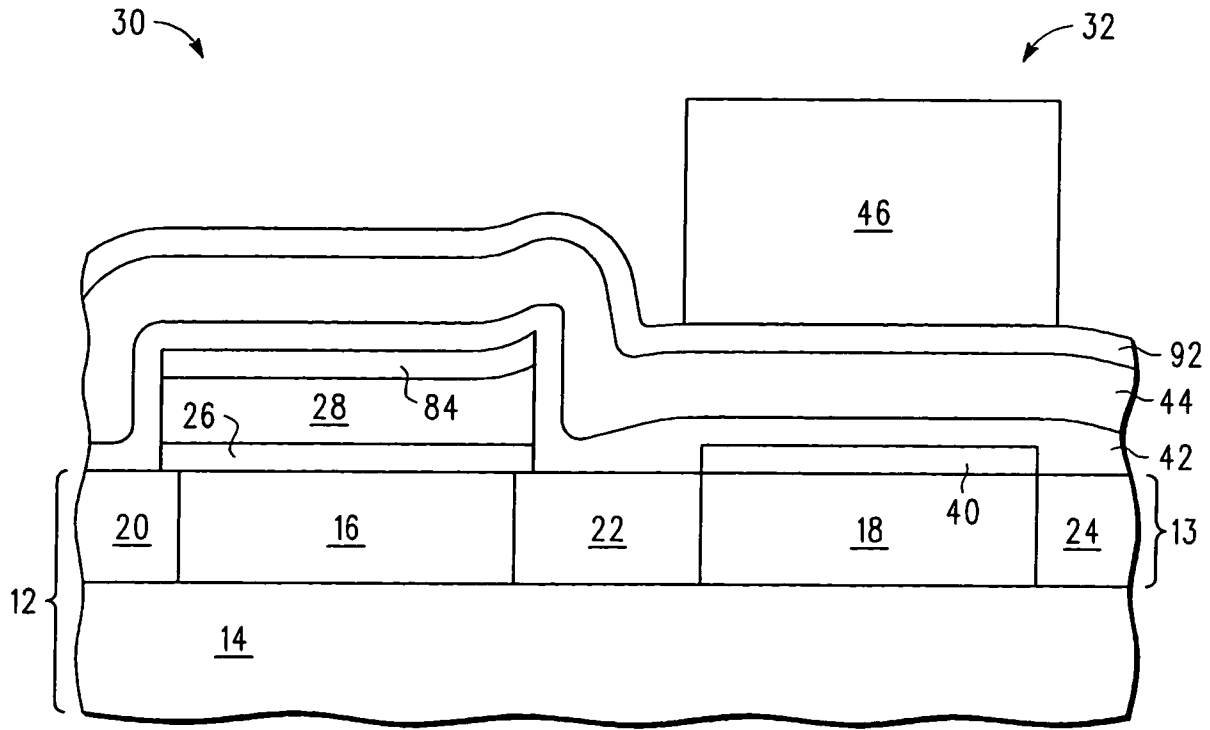


第 7 圖 ¹⁰

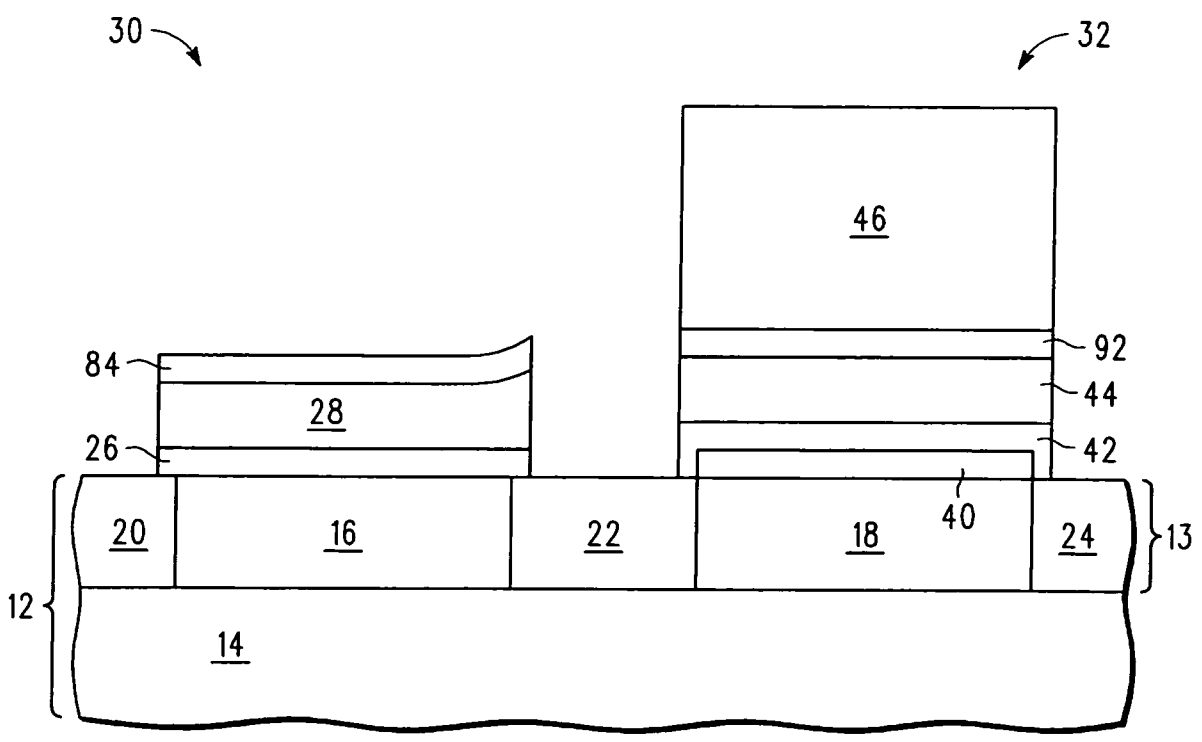


第 8 圖 ¹⁰

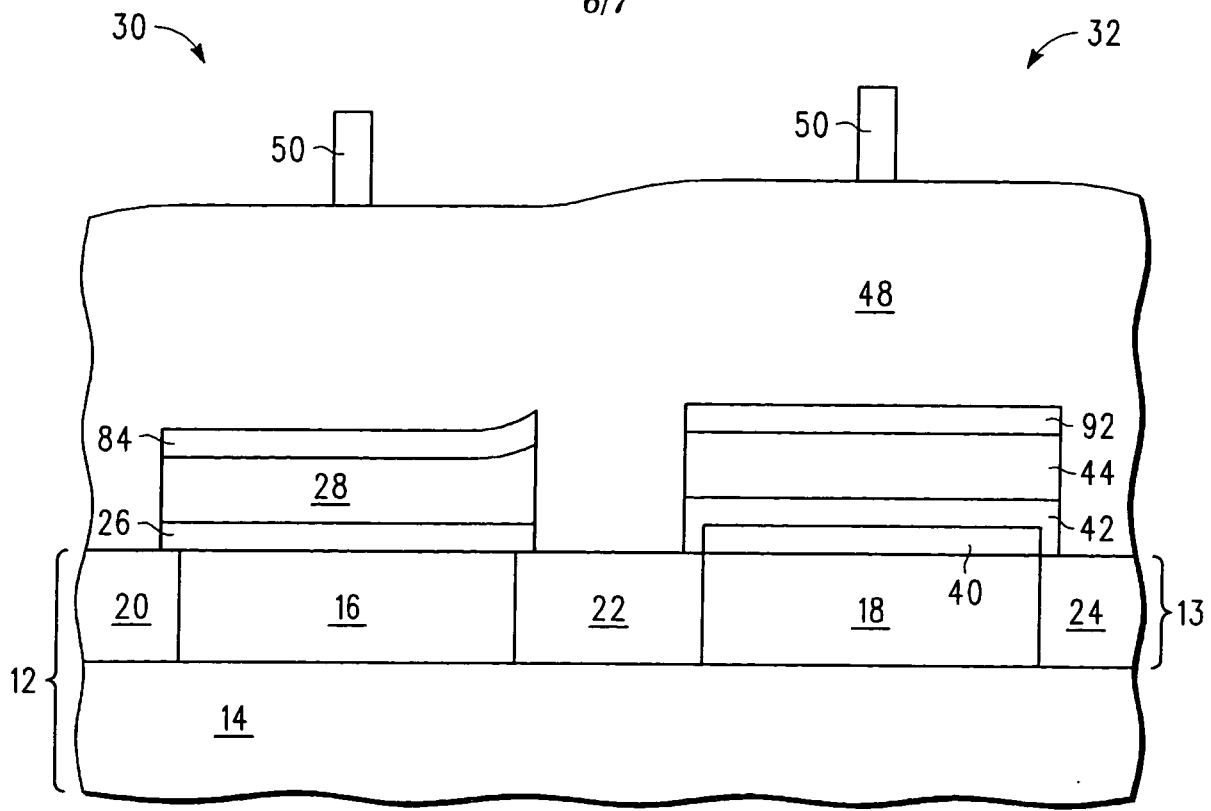
5/7



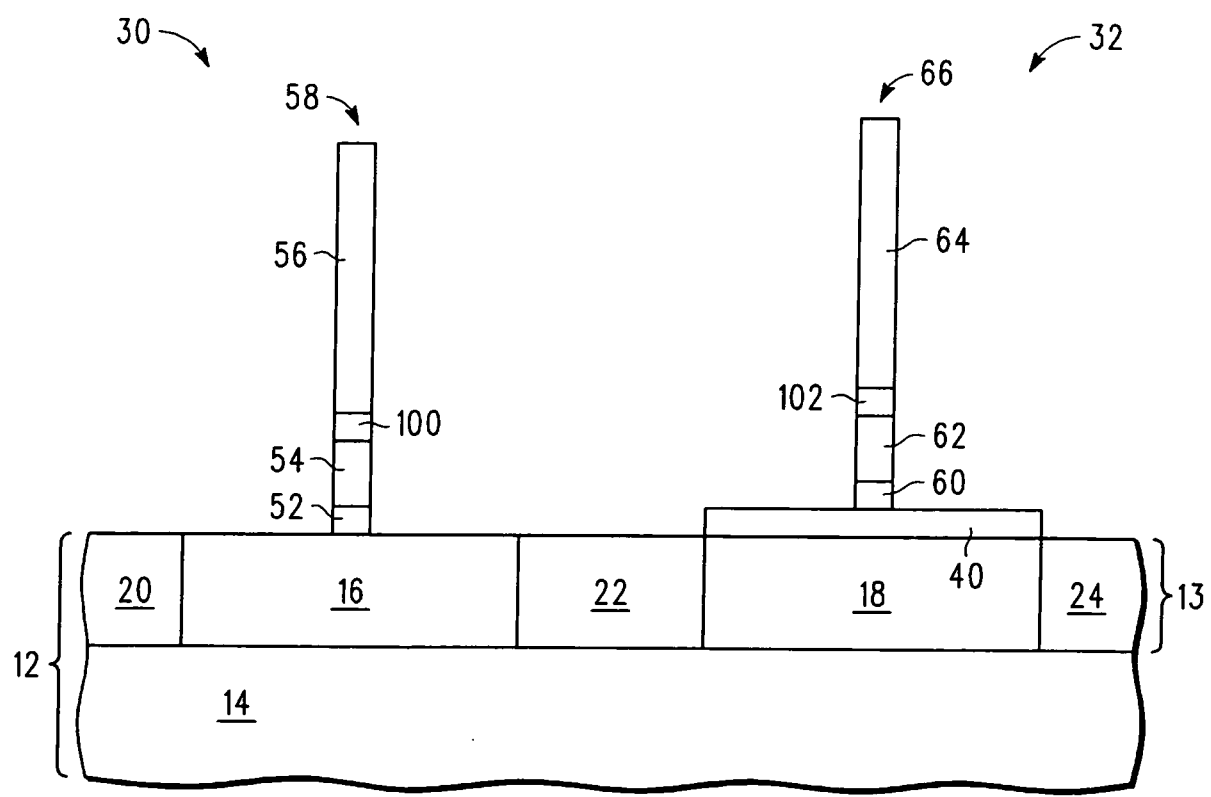
第 9 圖 ¹⁰



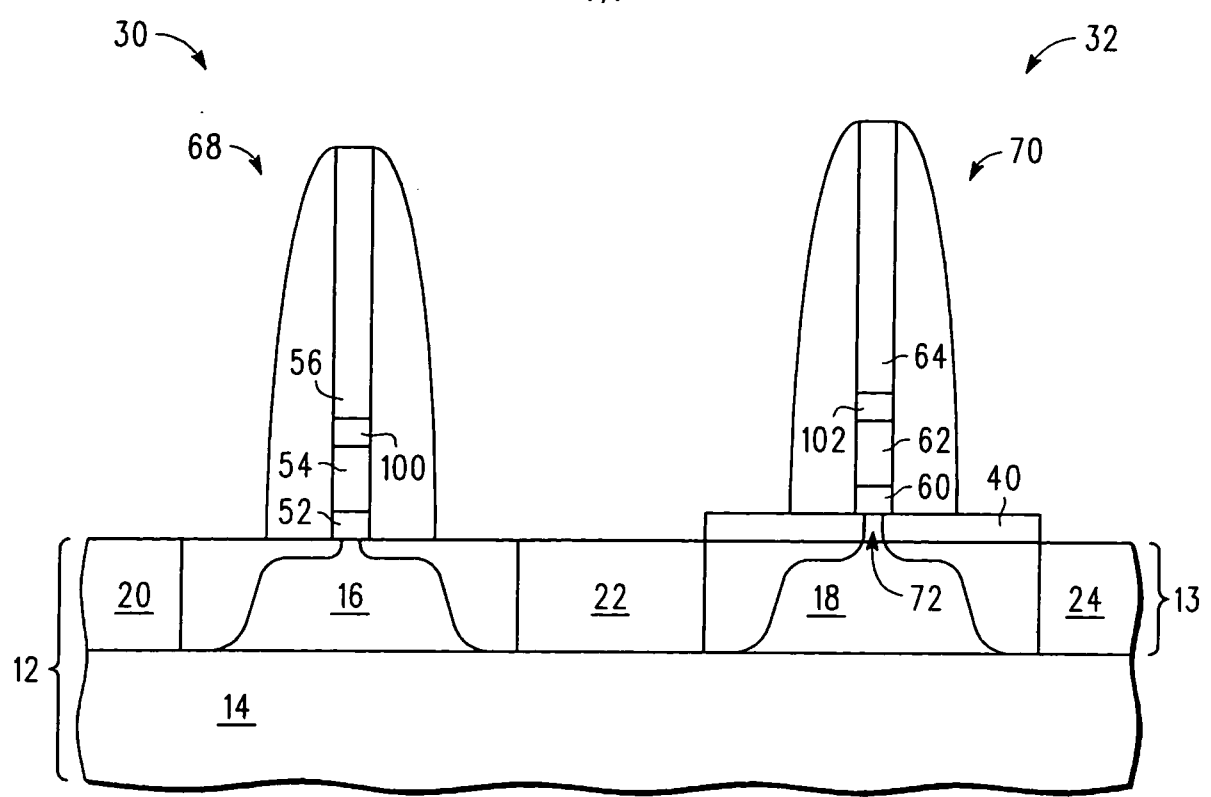
第 10 圖 ¹⁰



第11圖 ¹⁰



第12圖 ¹⁰



第13圖 ¹⁰