



(12)发明专利申请

(10)申请公布号 CN 108292160 A

(43)申请公布日 2018.07.17

(21)申请号 201680069155.8

(74)专利代理机构 上海专利商标事务所有限公  
司 31100

(22)申请日 2016.10.21

代理人 高见 张欣

(30)优先权数据

14/972,461 2015.12.17 US

(51)Int.Cl.

G06F 1/32(2006.01)

(85)PCT国际申请进入国家阶段日

2018.05.25

(86)PCT国际申请的申请数据

PCT/US2016/058206 2016.10.21

(87)PCT国际申请的公布数据

W02017/105628 EN 2017.06.22

(71)申请人 英特尔公司

地址 美国加利福尼亚州

(72)发明人 B·库珀 V·P·拉斯纳卡

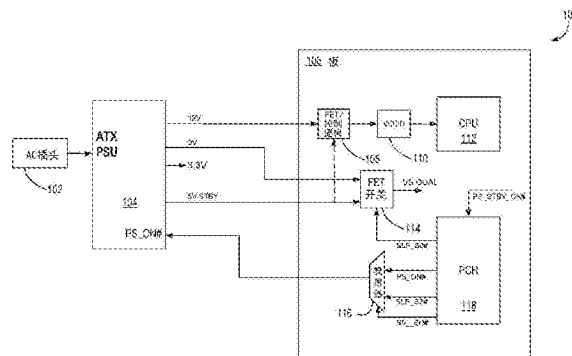
权利要求书3页 说明书9页 附图4页

(54)发明名称

用于待机功率节省的系统、方法和设备

(57)摘要

计算系统的功率递送系统可将计算平台从一组主轨切换至处于低功率状态的待机轨。例如,使用功率优化器框架,平台控制器硬件(PCH)和/或功率管理控制器(PCU)可通过使用待机轨且使主轨关闭来将空闲计算系统转变至低功率状态。PCU可指令处于C10状态的处理器从主功率轨切换至待机轨。一旦确认处理器处于C10状态,PCU就可关闭处理器电压调节器并断言平台睡眠信号。在确认平台已进入其中平台移至待机轨的睡眠状态之后,PCH或PCU可请求功率源关闭主轨,但使待机轨保持活跃。



1. 一种用于转变至低功率状态的系统,包括:
  - 电耦合至所述系统的功率源,所述功率源包括:
  - 主功率输出;以及
  - 待机功率输出;
  - 从所述主功率输出和所述待机功率输出接收功率的处理器;
  - 耦合至所述功率源和南侧平台组件的南功率管理单元 (PMC);以及
  - 耦合至所述功率源和所述处理器的北功率管理控制单元 (PCU),所述PCU被配置成:
    - 确定所述系统处于空闲状态;
    - 将北侧空闲约束传送至所述PMC;
    - 从所述PMC接收南侧空闲约束;
    - 将所述处理器转变至低功率状态,所述低功率状态使所述处理器从主功率轨转变至待机功率轨;
    - 传送用于使系统组件从所述主功率输出切换至所述待机功率输出的系统转变信号;
    - 确定已满足所述北侧空闲约束和南侧空闲约束;以及
    - 传送对关闭所述功率源的请求,所述请求使所述功率源关闭所述主功率轨并使所述待机功率轨保持活跃。
2. 如权利要求1所述的系统,其特征在于,所述功率源是高级技术扩展 (ATX) 多轨功率源。
3. 如权利要求1所述的系统,其特征在于,所述功率源是高级技术扩展 (ATX) 单轨功率源。
4. 如权利要求1-3中任一项所述的系统,其特征在于,所述处理器的所述低功率状态是C10封装状态。
5. 如权利要求1-3中任一项所述的系统,其特征在于,所述系统转变信号是睡眠S零 (SLP\_S0#) 信号。
6. 如权利要求1-3中任一项所述的系统,其特征在于,所述PCU进一步被配置成接收指示所述处理器已进入所述低功率状态的信号,所述低功率状态使所述处理器从所述主功率轨转变至所述待机功率轨。
7. 如权利要求1-3中任一项所述的系统,其特征在于,所述处理器被配置成当所述处理器转变至所述低功率状态时,请求处理器电压调节器转变至关闭状态。
8. 如权利要求7所述的系统,其特征在于,处理器电压调节器是全集成电压调节器 (FIVR)。
9. 一种用于降低功耗的功率控制单元 (PCU) 设备,包括:
  - 功率源接口,所述功率源接口被配置成将睡眠信号和开/关信号发送至功率源;
  - 中央处理单元 (CPU) 接口,所述中央处理单元 (CPU) 接口被配置成传达CPU的功率状态;
  - 系统接口,所述系统接口被配置成向计算系统组件传达从主功率轨至待机功率轨的低功率状态切换;以及
  - 处理器,所述处理器被配置成:
    - 确定所述CPU的硬件线程是空闲的;
    - 接收平台空闲约束;

使所述处理器进入低功率状态,所述低功率状态使所述处理器从所述主功率轨转变至所述待机功率轨;

传送用于使所述计算系统组件从所述主功率轨切换至所述待机功率轨的系统转变信号;以及

当满足所述平台空闲约束时,传送对关闭所述功率源的请求,所述请求使所述功率源关闭所述主功率轨并使所述待机轨保持活跃。

10. 如权利要求9所述的设备,其特征在于,所述处理器进一步被配置成在传送使所述处理器进入所述低功率状态的指令与传送所述系统转变信号之间等待稳定时间。

11. 如权利要求9所述的设备,其特征在于,所述功率状态是封装C状态。

12. 如权利要求9所述的设备,其特征在于,所述功率状态是C10状态。

13. 如权利要求9-12中任一项所述的设备,其特征在于,所述处理器进一步被配置成至少部分地基于描述所述计算系统组件的最大稳定时间的功率框架来在从所述主轨转变至所述待机轨时确定用于所述计算系统组件的稳定时间。

14. 一种在计算平台中转变至低功率状态的方法,包括:

确定计算系统处于空闲状态;

接收平台空闲约束;

使处理器进入所述低功率状态,所述低功率状态使所述处理器从主功率轨转变至待机功率轨;

接收指示所述处理器已进入所述低功率状态的信号;

请求处理器电压调节器转变至关闭状态;

断言平台睡眠信号;

确定已满足所述平台空闲约束;以及

传送对关闭功率源的请求,所述请求使所述功率源关闭所述主功率轨但使所述待机轨保持活跃。

15. 如权利要求14所述的方法,其特征在于,进一步包括在断言所述平台睡眠信号与传送对关闭所述功率源的所述请求之间等待稳定时间。

16. 如权利要求15所述的方法,其特征在于,所述稳定时间是100毫秒。

17. 如权利要求14所述的方法,其特征在于,进一步包括在断言所述平台睡眠信号之后确定所述计算平台的组件处于空闲状态。

18. 如权利要求17所述的方法,其特征在于,断言所述平台睡眠信号进一步包括断言睡眠S零(SLP\_S0#)信号。

19. 如权利要求14所述的方法,其特征在于,关闭所述功率源进一步包括将功率源开启(PS\_ON#)信号解除断言。

20. 一种在计算平台中从低功率状态转变的方法,包括:

确定唤醒事件已发生;

传送对开启功率源的请求,所述请求使所述功率源开启主功率轨;

传送用于使系统组件从待机功率轨切换至所述主功率轨的系统转变信号;以及

传送使中央处理单元(CPU)从所述低功率状态转变至活跃状态的指令,所述转变使所述CPU从所述待机功率轨转变至所述主功率轨。

21. 如权利要求20所述的方法,其特征在于,传送系统转变信号进一步包括将睡眠S零(SLP\_S0#)信号解除断言。

22. 如权利要求20所述的方法,其特征在于,传送对开启功率源的请求进一步包括断言功率源开启(PS\_ON#)信号。

23. 一种设备,所述设备包括用于执行如权利要求14-22中任一项所述的方法的装置。

24. 一种包括机器可读指令的机器可读存储,所述机器可读指令在被执行时,用于实现如权利要求14-22中任一项所述的方法或装置。

## 用于待机功率节省的系统、方法和设备

### 技术领域

[0001] 本公开涉及对计算系统的功率递送,并且更具体地涉及空闲系统的能量使用效率。

### 附图说明

[0002] 图1是例示出根据本文公开的实施例的计算系统的示意图。

[0003] 图2是例示出根据本文公开的实施例的信号时序的时序图。

[0004] 图3是例示出根据本文公开的实施例的功率递送系统的系统图。

[0005] 图4是例示出根据本文公开的实施例的用于待机功率节省的方法的流程图。

### 具体实施方式

[0006] 以下提供根据本公开的实施例的系统和方法的详细描述。尽管描述了数个实施例,但应该理解的是,本公开不限于任何一个实施例,而是替代地包括许多替代、修改和等同物。此外,尽管在以下描述中阐述了许多具体细节以便提供对本文公开的实施例的透彻理解,但是可以在没有这些细节中的一些或全部的情况下实践一些实施例。此外,出于清楚的目的,相关技术中已知的某些技术材料未被详细描述以避免不必要地模糊本公开。

[0007] 公开了使得计算系统的功率递送系统能够使用低功率状态来将计算平台从一组主轨切换到待机轨的技术、装置和方法。例如,通过使用功率优化器框架,北侧或北桥中的功率管理控制器(PCU)可使用待机轨且使关闭主轨来将空闲计算系统转变成低功率状态。随着操作系统(OS)和图形驱动程序完成相关联的工作负载(例如,线程),处理内核(IA内核)和图形内核(GT内核)变得空闲。在核变得空闲之际,北侧中的功率管理控制器(PCU)将北侧空闲约束(到下一事件的时间、最小等待时间容限)发送至南侧(或南桥)平台控制器硬件(PCH)。PCH用南侧的空闲约束作出响应。一旦平台知晓空闲约束(即,平台约束),就可以基于这些参数进入低功率状态。在一些实施例中,南侧或南桥中的平台管理控制单元(PMC)对来自PCU的消息作出响应。

[0008] 在一个实施例中,PCU可指示处理器进入C10状态,其中处理器从主功率轨切换至待机轨。一旦确认处理器处于C10状态,PCU就可关闭处理器电压调节器并断言用于从主功率轨转变至待机轨的系统转变信号(诸如,平台睡眠信号)。在确认平台已进入其中平台已移至待机轨的睡眠状态之后,PCH可请求功率源关闭主轨,但使待机轨保持活跃。

[0009] 传统高级技术扩展(ATX)桌面功率源在极低负载下会缺乏效率。然而,改变功率源设计可具有对生态系统的重大影响(诸如引入不兼容性)。通过对外部生态系统作出最小限度的改变,可在处理器平台中管理功率递送,这对硅成分(中央处理器(CPU)、平台控制硬件(PCH)、功率源和功率源递送架构有一定的影响。功率递送方面的改变可影响计算平台的组件,包括CPU、PCH、功率递送架构、电路板设计和功率源单元(PSU)。在一些实施例中,可使用允许系统通过利用平台中的功率优化器基础结构来安全地进入和/或退出高等待时间PSU状态(例如,100ms恢复时间)的办法。

[0010] 多轨ATX功率源在低负载时会低效。在经连接类待机的低功率系统条件下,功率源在1-3%直流系统负载下可以是20-30%高效的。但是,待机轨(5伏特)已经针对低负载条件进行了优化,并且此轨在低于300mA负载下可以是大于70%高效的。然而,待机轨当前用于高级配置和功率接口(ACPI) S3和S5状态(主轨通过使用SLP\_S3#信号来关闭)。

[0011] 功率分配的新架构可被用于在低功率S0空闲平台条件下扩展此轨的使用。为了理解待机轨可以构建的新能力,需要考虑几个条件。空闲时,平台上的大多数组件继续在低功率状态下操作。可以在功率递送架构中作出改变,以允许之前未被绑定至待机(STBY)轨的这些组件现在被连接。同样,即使处于空闲状态,操作系统(OS)和通信活动也可发生。

[0012] 硅和组件平均空闲功率目标可被设置为利用待机轨的高效率,保持服务质量并为用户呈现良好的体验。在某些情形中,即使在低活动时段期间,继续保持在待机轨上也是有益的。有了这些需求,由于各种平台组件(如CPU、PCH、通信设备等)可能被期望是活跃的(但处于低活动状态),因此可能需要待机轨上更多的负载容量。

[0013] 目前主流桌面系统中的典型功率源在5伏特待机轨上的额定最大负载容量为2.5A,这导致可用功率预算为12.5瓦特。根据内部平台功率预算分析,这不足以为处于活跃状态的所有组件提供功率。因此,在一些实施例中,可能期望增加功率源的待机轨的容量(其中一些可被设计为在待机轨上支持5A-6A)。

[0014] 在一些实施例中,当待机轨上的负载变得太高时,场景可跨越功率需求阈值,如OS活动(例如,OS发起的硬盘驱动器(HDD)访问)或用户活动(例如,音频回放)。为了支持这些类型的场景,在待机轨上的负载跨越预定义(和/或设计)的阈值水平的情况下,组件可被切换回PSU的主轨。在一些实施例中,待机轨与主轨之间的切换(也取决于系统状态)可通过使用控制来设计成能够满足功率、时间和用户体验约束。来回切换可对功率递送架构创造挑战。

[0015] 运行时D3(RTD3)(设备功率状态)可被用于帮助桌面和/或一体式(DT/AIO)平台实现平台功率目标。为DT/AIO所感兴趣的接口包括外围组件互连高速(PCIe)、通用串行总线(USB)、处理器图形PCIe端口(PEG)、音频以及串行高级技术附件(SATA)。例如,DT/AIO系统可包括以下接口和设备。PCIe接口可包括至PEG端口、TV调谐器、WLAN、LAN和/或读卡器上的图形件(graphics)的连接。USB接口可包括至HID设备、触摸屏、相机和/或读卡器的连接。SATA接口可包括至HDD和DVD/BD驱动器的连接。无线接口可包括通过蓝牙™(BT)至HID设备以及至音频设备的连接。可切换图形件可与DT/AIO平台中的分立卡结合使用,以帮助找到使监视器开启的功率目标。

[0016] 在一个实施例中,使可位于PCIe上的LAN和WLAN(WiFi+BT组合卡)NIC保持开启。可创建平台功率预算来吸收空闲时这些设备的功耗。设备驱动器可被配置成确保LAN和WLAN不被置于RTD3中。但是,如果PCH可支持PCIe设备的唤醒能力,则也可将LAN/WLAN置入RTD3中(在LPT-H中不支持此特征)。可使用附加等待时间容限报告(LTR)要求和唤醒过滤器设置。

[0017] 取决于实施例,可使用每个设备的细粒度功率控制,或者可将特定接口的设备绑定至单个功率控制。例如,一个选项可以是当需要单个设备时,接口上的所有设备退出RTD3。

[0018] 可用S0ix功率状态实现来代替S3功率状态实现。本文描述的实施例可允许计算系

统在桌面长空闲(基于S0ix的功率状态)、轻负载条件下切换至PSU待机轨(其可被用于Sx功率状态)。通过进入C10状态,片上系统(SoC)(例如,CPU)可转变至极低功率状态。在实施例中,在进入C10状态之际,向全集成电压调节器(FIVR)源轨馈电的12伏特轨被断电,这降低了需求。通过使用SLP\_S0#信号,PCH可将剩余的所需轨(例如,3.3伏特、PCH核轨等)切换至PSU的5伏特待机轨。

[0019] 在一个实施例中,在稳定时间段之后,SoC可序列进行至新的C11状态,其将功率源启用解除断言,这导致PSU使为平台馈电的常规功率轨(在轻负载下固有地具有低效能)断电。保持开启的组件被切换至高效轻负载5伏特待机轨。在唤醒之际,在CPU退出C10状态并通过程序设计(sequence)使SoC回到开启之前,启动功率源(这可通过确定系统将何时苏醒的功率优化器系统来助益)来为PSU预热。

[0020] 在一些实施例中,调整改变潜在地从25瓦特的空闲功率(来自墙壁的A/C功率)移至10瓦特的目标空闲功率。通过调整内部描述的功率递送系统,10瓦特目标是可实现的。

[0021] 图1是例示出根据本文公开的实施例的计算系统100的示意图。交流(A/C)插头102接收功率并将其提供至功率源,该功率源在此实施例中是高级技术扩展(ATX)功率源单元(PSU)104。ATX PSU 104向电路板106提供功率,并且可从电路板106接收信号和/或将信号发送至电路板106。在所示的实施例中,ATX PSU 104提供12伏特轨、5伏特轨、3.3伏特轨和5伏特待机轨。ATX PSU 104还接收可开启或关闭12伏特轨、5伏特轨和3.3伏特轨(也统称为主轨)的PS\_ON#(PS\_开启#)信号。然而,5伏特待机轨可保持在任一状态。

[0022] 在所示的功率递送架构中,至CPU 112的功率源轨(VCCIN)110可在12伏特轨与5伏特待机轨之间切换。场效应晶体管(FET)/控制逻辑108可被用于实现此切换。信号PS\_ON#可向ATX PSU 104指示何时关闭ATX PSU 104的主轨。当预定义平台空闲条件满足时,此信号被断言。应该注意的是,这里指示的PS\_ON#信号可能与现在主板逻辑产生的用于开启或关闭功率源的信号不同。命名约定在未来可改变。

[0023] 电路板上的组件可由FET开关114供应。这允许组件在ATX PSU 104活跃时接收5伏特轨,而在ATX PSU 104处于待机状态时接收5伏特待机轨。

[0024] PCH 118可控制FET开关114、CPU 112和ATX PSU 104的状态。在所示的实施例中,PCH 118可断言SLP\_S0#信号以将组件从诸如5伏特轨之类的主轨切换至5伏特待机轨。PCH 118还可发送信号来控制ATX PSU 104。在所示的实施例中,PCH 118使用复用器(MUX)116来复用PS\_ON#信号与SLP\_S3#信号。当PCH 118进入S0状态时,S0信号被发送至MUX 116。此S0\_EN#信号使MUX 116能够将PS\_ON#信号的状态(而不是SLP\_S3#信号)传送至ATX PSU104。当不处于S0空闲状态时,MUX 116被配置成将SLP\_S3#信号的状态传送至ATX PSU 104。

[0025] 图2是例示出根据本文公开的实施例的信号时序200的时序图。时序200可表示系统,诸如图1中所示的那些系统,系统包括CPU和ATX PSU,ATX PSU包括SLP\_S0#和PS\_ON#信号。在CPU逐渐进入208C10状态202并且全集成电压调节器(FIVR)第一级电压调节器被切断之后,可由PCH断言210SLP\_S0#信号204。PS\_ON#信号206随后可在稳定时间之后被解除断言212,这向PSU发信号通知关闭其主轨。

[0026] 当PCH检测到从低功率S0空闲状态的中断和/或退出,或直到下一次(TNTE)预热时间逼近的时间时,PCH可断言218PS\_ON#信号206并等待用于在CPU保持在C10低功率状态时使主轨斜升的PSU稳定时间(例如,使用定时器的100ms)。在触发CPU退出C10状态202之前,

PCH将SLP\_S0#信号204解除断言216并等待供主板电压调节器切换并稳定的组件稳定时间(例如,10 $\mu$ s或更少,这取决于组件)。在此组件稳定时间已过去之后,PCH可通过PMSync消息214向CPU指示退出C10状态202,这具有用于外部电压调节器的恢复时间(例如,3ms)。CPU随后可处于活跃状态(诸如C0)。

[0027] 图3是功率递送系统300的系统图。功率递送系统300可包括功率源302、12伏特电压调节器304、5伏特电压调节器306以及片上系统308。功率递送系统300可实现将计算系统从主轨功率移至待机功率(诸如通过使用PC10流程来进入PC10状态)的系统。

[0028] PC10流程可被用于执行主板供电动作。PC10流可包括控制为FIVR馈电的电压调节器的操作。FIVR可在标称状态下以1.8伏特操作,在PC8状态下以1.2伏特操作,而在PC9状态下以0伏特操作,并且可在PC10状态下关闭。在一些实施例中,退出PC10的恢复时间范围可从400 $\mu$ s到3ms。ATX功率源可被程序编程为具有预热延迟,使得在重新激活FIVR源轨之前12伏特轨是稳定的。

[0029] 在一些实施例中,可向包括最大平台等待时间容限的系统注册组件(其可包括北桥和南桥两者)。例如,PSU可具有100ms的预热时间,而CPU的电压调节器可具有3ms的预热时间,总共为103ms。这些预热时间可被存储在PCH内的寄存器中。例如,平台功率源恢复时间寄存器可被设置成达100ms。平台SP\_S0#恢复时间可被设置成达10 $\mu$ s。

[0030] 可创建用于与PC10状态一起使用的信号。例如,可将PS\_ON#信号解除断言以关闭功率源的主轨。PS\_STBY\_OK#信号可被用于指示系统外围设备允许从待机轨进行操作。PMSync虚拟信号可被用于指示南桥已进入C10状态,以及北桥比南桥需要更少的预热时间。

[0031] 退出功率节省状态可同步或异步完成。例如,在同步退出时,预热定时器对北桥和南桥两者均可见。由于南桥(在此示例中)需要更多的预热时间,因此南桥控制对PS\_ON#信号的断言。在另一示例中,在异步退出时,北桥向南桥指示退出事件(诸如通过PMDown消息)。北桥然后基于退出的功率状态(如在来自南桥的PMSync消息中所描述的)等待最大平台恢复时间。然后,北桥在C10预热完成后(例如,100ms)及时预热以准备好使CPU退出C10状态。

[0032] 在一些实施例中,PCH检查PCIe LTR值和/或允许PCIe根端口(RP)在D3中。

[0033] 例如,PC10进入流程可包括以下操作。PCU检测到系统正空闲(例如,用户离开状况)。PCU检测到CPU未被使用。PCU向CPU给出进入C10功率状态的指令。然后PCU接收CPU处于C10功率状态的确认。PCU随后关闭FIVR。PCU检查以确保平台处于空闲状态。PCH随后在平台被确认处于空闲状态时断言SLP\_S0#信号。PCH随后将PS\_ON#信号解除断言。

[0034] 在一个示例中,最后的CPU发出MWAIT(C10)命令(RC6中的Gfx、显示关闭、PEG RTD3或LTR=NoReq)。PMReq/Rsp指示处理器确认的C10进入。北桥可能需要3ms而南桥可能需要103ms来进入C10。根据定义,在此示例中,外围设备根据需要在RTD3中;否则将检测到更紧密的LTR(例如,SATA处于睡眠或关闭状态)。北桥进入C10并关闭FIVR第一级电压调节器。PCH断言SLP\_S0#以将剩余系统轨切换至5伏特待机轨。请注意,该系统可被优化成运行尽可能多的来自5伏特待机轨的轻负载轨。在稳定时间之后,PCH将PS\_ON#信号解除断言。

[0035] 例如,PC10退出流程可包括以下操作。PCH被通知唤醒事件。PCH断言PS\_ON#信号。PCH等待功率源稳定时间(诸如100ms定时器)。在预热期间,CPU保持在C10。将SLP\_S0#信号解除断言,这导致平台从5伏特待机轨切换至主轨。待平台稳定时间流逝,以确保平台退出



了空闲状态。PCH使用PMSync协议唤醒CPU、北桥和南桥。CPU等待供外部电压调节器进入活跃状态的CPU稳定时间。北桥和PCH从低功率状态退出至C2或C0状态。应该注意的是,可使用多轨功率源或单轨功率源。

[0036] 在PC10退出流程的一个示例中,由南桥(异步)检测到中断状况或TNTE预热时间(103毫秒)发生。PCH断言PS\_ON#信号并开始100ms预热定时器。在预热期间,北桥保持在C10。PCH将SLP\_S0#信号解除断言并等待平台稳定时间。PCH使用PMSync协议来唤醒北桥。北桥开始退出C10状态,且具有用于外部电压调节器的3ms恢复时间。北桥和PCH退出至C2或C0状态。

[0037] 图4是例示出根据本文公开的实施例的用于待机功率节省的方法400的流程图。方法400可通过诸如图1和/或图3中所示的那些系统来实现,系统包括ATX PSU 104、CPU 112和PCH 118。在框402中,PCH确定计算系统处于空闲状态。在框404中,PCU传送使处理器进入低功率状态的指令,该低功率状态使处理器从主功率轨转变至待机功率轨。在框406中,PCU接收指示处理器已进入低功率状态的信号。在框408中,PCU请求处理器电压调节器转变至关闭状态。在框410中,PCH断言平台睡眠信号。在框412中,PCH传送关闭功率源请求,该请求使功率源关闭主功率轨但使待机轨保持活跃。

#### 示例

[0038] 示例1是用于转变至低功率状态的系统。系统包括功率源、处理器、南功率管理单元(PMC)和北功率管理控制单元(PCU)。功率源被电耦合至系统并包括主功率输出和待机功率输出。处理器从主功率输出和待机功率输出接收功率;南功率管理单元(PMC)被耦合至功率源和南侧平台组件。北功率管理控制单元(PCU)被耦合至功率源和处理器。PCU被配置成确定系统处于空闲状态、将北侧空闲约束传送至PMC、从PMC接收南侧空闲约束以及将处理器转变至低功率状态。低功率状态使处理器从主功率轨转变至待机功率轨。PMC还被配置成传送用于使系统组件从主功率输出切换至待机功率输出的系统转变信号、确定已满足北侧空闲约束和南侧空闲约束、以及传送对关闭功率源的请求,该请求使功率源关闭主功率轨并使待机功率轨保持活跃。

[0039] 示例2包括示例1的系统,其中功率源是高级技术扩展(ATX)多轨功率源。

[0040] 示例3包括示例1的系统,其中功率源是ATX单轨功率源。

[0041] 示例4包括示例1-3中任一项的系统,其中功率源是多轨功率源。

[0042] 示例5包括示例1-4中任一项的系统,其中主功率输出是12伏特输出。

[0043] 示例6包括示例1-5中任一项的系统,其中待机功率输出是5伏特输出。

[0044] 示例7包括示例1-6中任一项的系统,其中处理器的低功率状态是C10封装状态。

[0045] 示例8包括示例1-6中任一项的系统,其中系统转变信号是睡眠S零(SLP\_S0#)信号。

[0046] 示例9包括示例1-6中任一项的系统,其中PCU被配置成接收指示处理器已进入低功率状态的信号,该低功率状态使处理器从主功率轨转变至待机功率轨。

[0047] 示例10包括示例1-6中任一项的系统,其中所述处理器被配置成当处理器转变至低功率状态时,请求处理器电压调节器转变至关闭状态。

[0048] 示例11包括示例10的系统,其中处理器电压调节器是全集成电压调节器(FIVR)。

[0049] 示例12包括一种用于降低功耗的功率控制单元(PCU)设备。设备包括功率源接口、

中央处理单元 (CPU) 接口和系统接口。功率源接口将睡眠信号和开/关信号发送至功率源；中央处理单元 (CPU) 接口传达CPU的功率状态；系统接口向计算系统组件传达从主功率轨至待机功率轨的低功率状态切换。处理器随后确定CPU的硬件线程是空闲的、接收平台空闲限制、并且使处理器进入低功率状态，其中处理器从主功率轨转变至待机功率轨并且传送使计算系统组件从主功率轨切换至待机功率轨的系统转变信号。因此当满足所述平台空闲约束时，其传送对关闭功率源的请求，该请求使功率源关闭主功率轨并使待机轨保持活跃。

[0050] 示例13包括示例12的设备，其中处理器在传送使处理器进入低功率状态的指令与传送系统转变信号之间等待稳定时间。

[0051] 示例14包括示例12-13中任一项的设备，其中功率状态是封装C状态。

[0052] 示例15包括示例12的设备，其中功率状态是C10状态。

[0053] 示例16包括示例12-15中任一项的设备，其中处理器接收指示处理器已进入低功率状态的信号。

[0054] 示例17包括示例12-15中任一项的设备，其中处理器基于描述计算系统组件的最大稳定时间的功率框架来确定在从主轨转变至待机轨时用于计算系统组件的稳定时间。

[0055] 示例18包括示例12-17中任一项的设备，其中功率框架是功率优化器框架。

[0056] 示例19是一种在计算平台中转变至低功率状态的方法。方法包括确定计算系统处于空闲状态、接收平台空闲约束、以及使处理器进入低功率状态。低功率状态使处理器从主功率轨转变至待机功率轨。方法还包括接收指示处理器已进入低功率状态的信号、请求处理器电压调节器转变至关闭状态、断言平台睡眠信号、确定已满足平台空闲约束；以及传送对关闭功率源的请求。请求使功率源关闭主功率轨但使待机轨保持活跃。

[0057] 示例20包括示例19的方法，包括在断言平台睡眠信号与传送用于关闭功率源的请求之间等待稳定时间。

[0058] 示例21包括示例20的方法，其中稳定时间是100毫秒。

[0059] 示例22包括示例19的方法，其中断言平台睡眠信号之后确定计算平台的组件处于空闲状态。

[0060] 示例23包括示例22的方法，其中断言平台睡眠信号包括断言睡眠S零 (SLP\_S0#) 信号。

[0061] 示例24包括示例19-23中任一项的方法，其中关闭功率源包括将功率源开启 (PS\_ON#) 信号解除断言。

[0062] 示例25是一种在计算平台中从低功率状态转变的方法。方法包括确定唤醒事件已发生、传送用于开启功率源的请求、传送用于使系统组件从待机功率轨切换至主功率轨的系统转变信号、以及传送使中央处理单元 (CPU) 从低功率状态转变至活跃状态的指令。此转变使CPU从待机功率轨转变至主功率轨。

[0063] 示例26包括示例25的方法，其中传送系统转变信号包括将睡眠S零 (SLP\_S0#) 信号解除断言。

[0064] 示例27包括示例25-26中任一项的方法，其传送对打开功率源的请求包括断言功率源打开 (PS\_ON#) 信号。

[0065] 示例28是包括示例19-27中的任一项中的方法的设备。

[0066] 示例29是机器可读存储。机器可读存储包括用于实现示例19-27中任一项所示的

方法或装置的指令。

[0067] 示例30是机器可读介质。机器可读介质包括使机器执行示例19-27中的任一一项的方法的代码。

[0068] 示例31是一种用于降低功耗的功率管理控制单元 (PCU) 设备。设备包括功率源接口、中央处理单元 (CPU) 接口、系统接口以及处理器。功率源接口将睡眠信号和开/关信号发送至功率源。中央处理单元 (CPU) 接口传达CPU的功率状态,而系统接口向系统组件传达从主功率轨至待机功率轨的低功率状态切换。处理器确定唤醒事件已发生并传送用于打开功率源请求。这使功率源打开主功率轨并传送系统转变信号,该系统转变信号进而使系统组件从待机功率轨切换至主功率轨。当满足唤醒约束时,功率源进一步将用于从低功耗状态转变至活跃状态的指令传送至CPU。转变使处理器从待机功率轨转变至主功率轨。

[0069] 示例32包括示例31的设备,其中PCU被配置成使用功率管理同步 (PMCSync) 协议。

[0070] 示例33是示例31-32中任一一项的设备,其中系统转变信号是经解除断言的睡眠S零 (SLP\_S0#) 信号。

[0071] 示例34是示例31-33中任一一项的设备,其中PCU被配置成在请求系统组件从待机功率输出切换至主功率输出与传送使CPU从低功率状态转变至活跃状态的指令之间等待一时间段。

[0072] 示例35是示例31-34中任一一项的设备,其中在CPU接收到使CPU从低功耗状态转变至活跃状态的指令之后,CPU等待一时间段以允许处理器电压调节器转变至活跃调节状态。

[0073] 示例36是示例31-35中任一一项的设备,其中系统被配置成在请求功率源打开与传送系统转变信号之间等待一时间段。

[0074] 本描述的系统和方法的实施例和实现可包括各种操作,这些操作可在由计算机系统执行的机器可执行指令中被具体化。计算机系统可包括一个或多个通用或专用计算机 (或其他电子设备)。计算机系统可包括硬件组件 (包括用于执行操作的特定逻辑) 或者可包括硬件、软件和/或固件的组合。

[0075] 计算机系统和计算机系统计算机可经由网络来连接。本文描述的用于配置和/或使用的合适的网络包括一个或多个局域网、广域网、城域网和/或因特网或IP网络,诸如万维网、私有因特网、安全因特网、增值网络、虚拟私有网络、外联网、内联网、或甚至通过介质的物理传输与其他机器通信的独立机器。特别地,合适的网络可由两个或更多个其他网络的部分或整体形成,包括使用不同硬件和网络通信技术的网络。

[0076] 一个合适的网络包括服务器和一个或多个客户端;其他合适的网络可包含服务器、客户端和/或对等节点的其他组合,并且给定计算机系统可既作为客户端又作为服务器来起作用。每个网络至少包括两个计算机或计算机系统,诸如服务器和/或客户端。计算机系统可包括工作站、膝上型计算机、可断开连接的移动计算机、服务器、大型机、集群、所谓“网络计算机”或“瘦客户端”、平板、智能电话、个人数字助理或其他手持计算设备、“智能”消费者电子设备或器具、医疗设备或其组合。

[0077] 合适的网络可包括通信或联网软件,诸如可从Novell®,Microsoft®和其他供应商获得的软件,并且可使用TCP/IP、SPX、IPX和其他协议通过双绞线、同轴或光缆、电话线、无线电波、卫星、微波继电器、经调制AC功率线、物理介质传递和/或本领域技术人员已知的其他数据传送“线”来进行操作。网络可包含较小的网络和/或是通过网关或类似机制

而可连接至其他网络的。

[0078] 各种技术或者它们的特定方面或部分可以采取体现于有形介质中的程序代码(即,指令)的形式,所述有形介质诸如软盘、CD-ROM、硬驱、磁卡或光卡、固态存储器设备、非瞬态计算机可读存储介质或者任何其他机器可读存储介质,其中在程序代码被加载到机器(诸如计算机)中和由机器执行时,机器成为用于实现各种技术的装置。在可编程计算机上的程序代码执行的情况下,计算设备可以包括处理器、可由处理器读取的存储介质(包括易失性和非易失性的存储器和/或存储元件)、至少一个输入设备以及至少一个输出设备。易失性和非易失性的存储器和/或存储元件可以是RAM、EPROM、闪驱、光驱、磁性硬驱或者用于存储电子数据的其他介质。可以实现或使用此处所述的各种技术的一个或多个程序可以使用应用编程接口(API)、可再用控件等等。这种程序可以用高级的面向过程或面向对象的编程语言实现以便与计算机系统通信。然而,若需要,程序(一个或多个)可以用汇编语言或机器语言实现。在任一情况下,语言可以是编译的或解译的语言,并且与硬件实现方式组合。

[0079] 每个计算机系统包括一个或多个处理器和/或存储器;计算机系统还可包括各种输入设备和/或输出设备。处理器可包括通用设备,诸如英特尔®、AMD®或其他“现成”微处理器。处理器可包括专用处理设备,诸如ASIC、SoC、SiP、FPGA、PAL、PLA、FPLA、PLD或者其他定制或可编程设备。存储器可包括静态RAM、动态RAM、闪存、一个或多个触发器、ROM、CD-ROM、DVD、磁盘、磁带、或者磁、光或其他计算机存储介质。输入设备(一个或多个)可包括键盘、鼠标、触摸屏、光笔、平板、麦克风、传感器或具有伴随固件和/或软件的其他硬件。输出设备(一个或多个)可包括监视器或其他显示器、打印机、语音或文本合成器、开关、信号线或具有伴随固件和/或软件的其他硬件。

[0080] 应该理解的是,本说明书中描述的许多功能单元可被实现为一个或多个组件,一个或多个组件是用于更特别强调其实现独立性的术语。例如,组件可被实现成硬件电路,该硬件电路包括定制的极大规模集成(VLSI)电路或门阵列、现成半导体器件(诸如逻辑芯片、晶体管之类)、或其他分立组件。组件也可在可编程硬件器件中实现,该可编程硬件器件诸如场可编程门阵列、可编程阵列逻辑、可编程逻辑器件等等。

[0081] 组件还可用供各类处理器执行的软件来实现。具有可执行代码的已标识组件可例如包括计算机指令的一个或多个物理或逻辑块,计算机指令可以例如被组织为对象、过程或函数。然而,已标识组件的可执行文件不需要在实体上位于一起,但可以包括存储在不同位置的不同指令,这些不同指令在逻辑上连在一起时构成该组件并且实现该组件的所述目的。

[0082] 实际上,具有可执行代码的组件可以是单个指令、或许多指令,并且可以甚至在几个不同的代码段上、在不同的程序之间以及跨几个存储器器件而分布。类似地,操作数据在此可以被标识或图示于组件内,并且可以以任何适当形式被体现并且被组织在任何适当类型的数据结构内。操作数据可以被收集为单个数据集,或者可以分布在不同位置上(包括分布在不同的存储器器件上),并且可以至少部分地仅作为系统或网络上的电信号而存在。组件可以是被动的或主动的,包括可用于执行期望功能的代理。

[0083] 所描述实施例的几个方面将作为软件模块或组件来例示。如本文所使用的,软件模块或组件可包括位于存储设备内的任何类型的计算机指令或计算机可执行代码。例如,软件模块可包括可被组织成执行一个或多个任务或实现特定数据类型的例程、程序、对象、

组件、数据结构等的计算机指令的一个或多个物理或逻辑块。将理解的是,代替软件或除了软件之外,软件模块可以用硬件和/或固件来实现。本文描述的一个或多个功能模块可被分成子模块和/或组合成单个或较少数量的模块。

[0084] 在某个实施例中,特定软件模块可包括存储在存储设备不同位置、不同存储设备或不同计算机的不同指令,这些指令一起实现该模块的所述功能。实际上,模块可包括单个指令或许多指令,并且可在几个不同的代码段上、在不同的程序之间以及跨几个存储器器件分布。一些实施例可在其中由通过通信网络链接的远程处理设备执行任务的分布式计算环境中实现。在分布式计算环境中,软件模块可以位于本地和/或远程存储器存储设备中。此外,数据库记录中一起被连结或呈现的数据可驻留在相同存储器设备中,或横跨若干存储器设备,并且可在跨网络的数据库的记录字段中被链接在一起。

[0085] 该说明中通篇引用“示例”意指结合该示例描述的特定特征、结构或特征被包括在本发明的至少一个实施例中。因此,短语“在示例中”在说明书各处的出现不必要全部指同一实施例。

[0086] 如此处使用的,为方便起见,多个条目、结构元件、组成元件和/或材料可以被呈现在公共列表中。然而,这些列表应被视为好像该列表的每个成员都被个别地标识为单独的且唯一的成员。因此,如无相反指明,这种列表的没有一个个别成员应当仅基于其在公共组中的演示而被视为同一列表的任何其他成员的事实等价物。此外,在此可以引用本发明的各个实施例和示例连同其各个组成部分的替代。要理解,这样的实施例、示例、以及替换方案不应被解释为彼此的实际等效方案,而是要被解释为本发明的分开且自治的表示。

[0087] 而且,所述的特征、结构或特征可以以任何适当方式被组合在一个或多个实施例中。在以下描述中,提供了许多具体细节,诸如材料、频率、尺寸、长度、宽度、形状等的示例,以提供对本发明实施例的透彻理解。然而,相关领域内技术人员将理解本发明可省去一个或多个特定细节而实现,或通过其它方法、组件、材料等实现。在其它例子中,公知的结构、材料或操作不被示出或详细说明以避免对本发明某些方面产生混淆。

[0088] 应该认识到,本文描述的系统包括特定实施例的描述。这些实施例可组合成单个系统、部分组合成其他系统、分割成多个系统或者以其他方式划分或组合。另外,预期一个实施例的参数/属性/方面/等等可在另一个实施例中使用。参数/属性/方面/等仅为了清楚而在一个或多个实施例中描述,并且认识到参数/属性/方面/等可结合或替代另一实施例的参数/属性/等,除非本文明确放弃该权利。

[0089] 尽管为了清楚的目的已经详细描述了上述内容,但显而易见的是,可以在不脱离其原理的情况下进行某些改变和修改。应该注意的是,存在实现本文描述的过程和装置的许多替代方式。因此,本实施例被认为是示例性的而非限制性的,并且本发明不限于本文给出的细节,而是可以在所附权利要求的范围和等同物内进行修改。

[0090] 本领域技术人员将理解,可对上述实施例的细节进行许多改变,而不背离本发明的基本原则。因此,本发明的范围应当仅由所附权利要求确定。

100

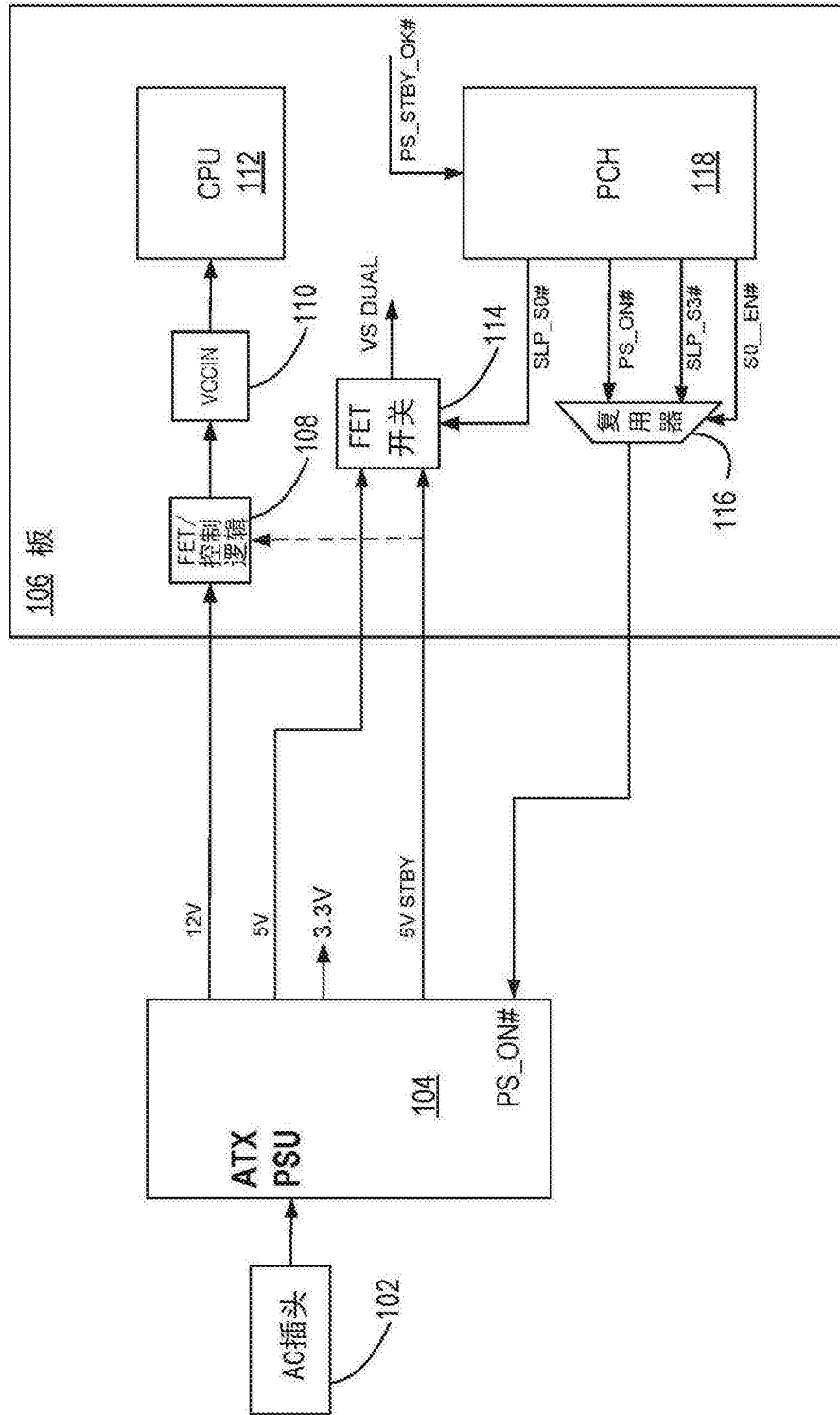


图1

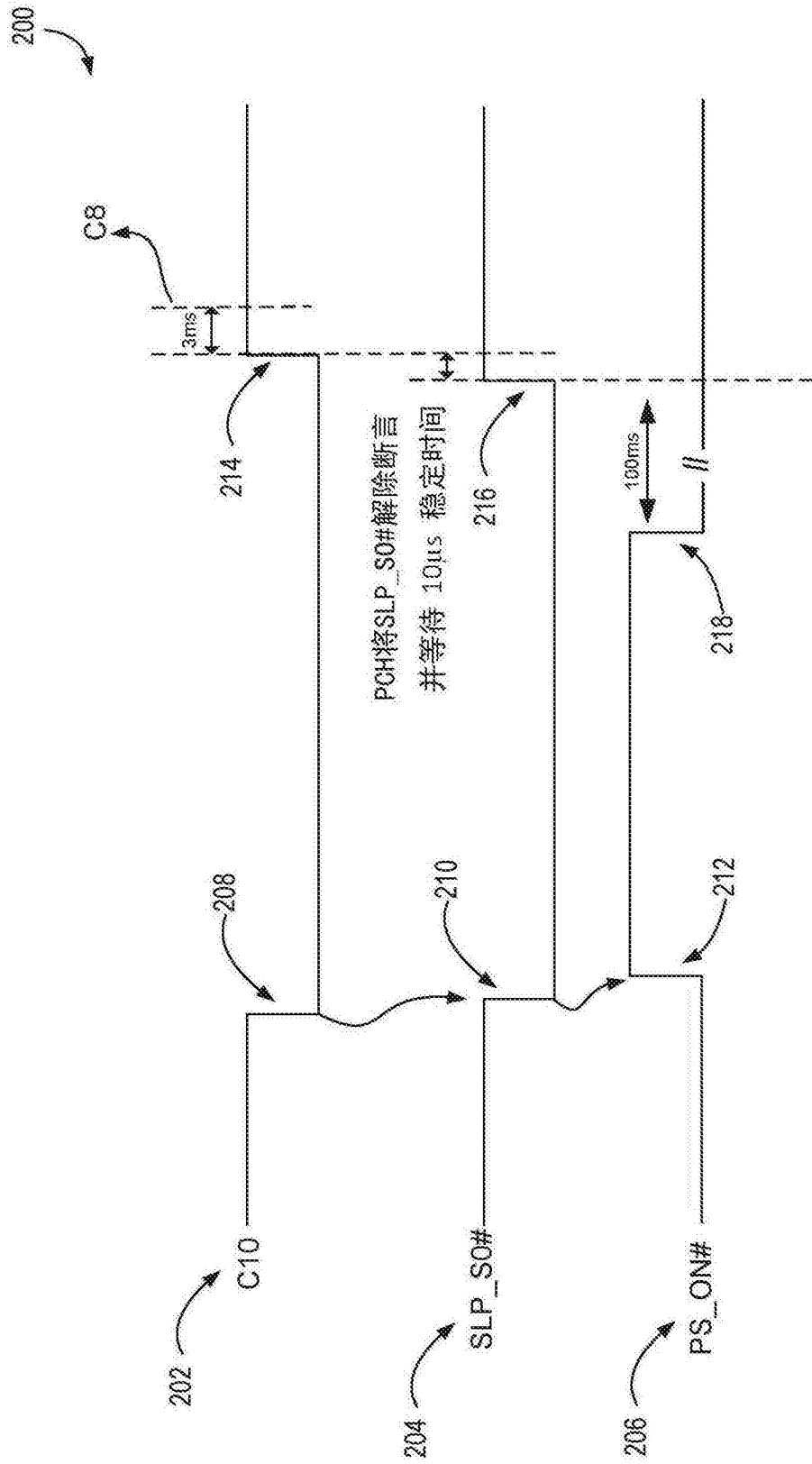


图2

300

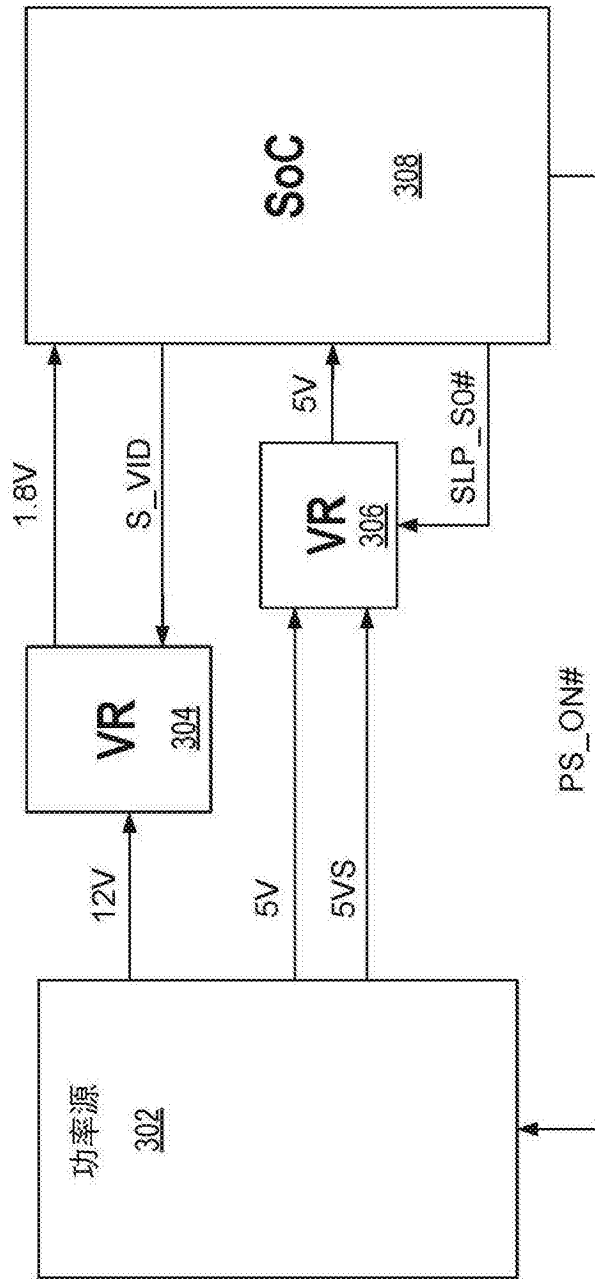


图3



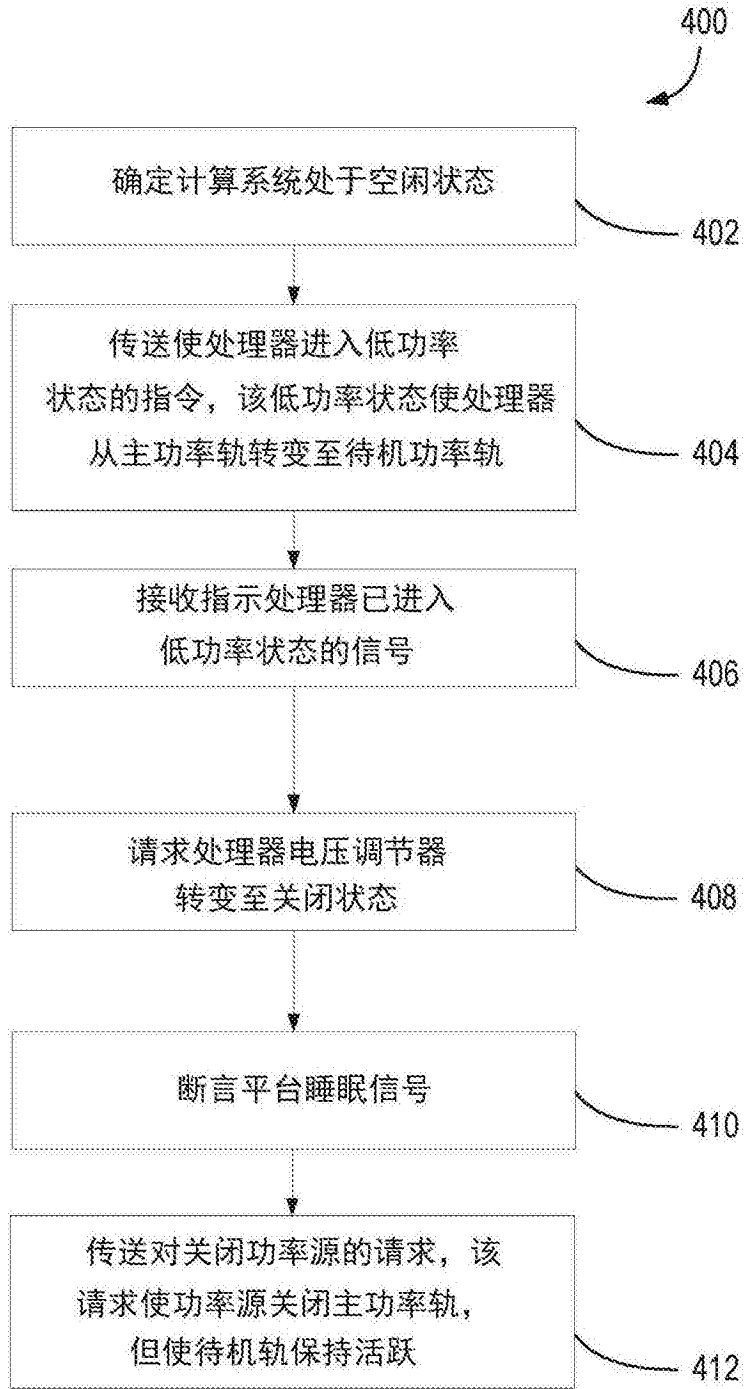


图4