(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 12 月 22 日(22.12.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/203517 A1

(51) 国際特許分類:
H02M 7/12 (2006.01)

(21) 国際出願番号: PCT/JP2015/067156

(22) 国際出願日: 2015 年 6 月 15 日(15.06.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 東芝三菱電機産業システム株式会社 (TOSHIBA MITSUBISHI-ELECTRIC INDUSTRIAL SYSTEMS CORPORATION) [JP/JP]; 〒1040031 東京都中央区京橋三丁目１番１号 Tokyo (JP).

(72) 発明者: 土谷　多一郎 (TSUCHIYA, Taichiro); 〒1040031 東京都中央区京橋三丁目１番１号　東芝三菱電機産業システム株式会社内 Tokyo (JP).

(74) 代理人: 特許業務法人深見特許事務所 (FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目２番７号　中之島セントラルタワー Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

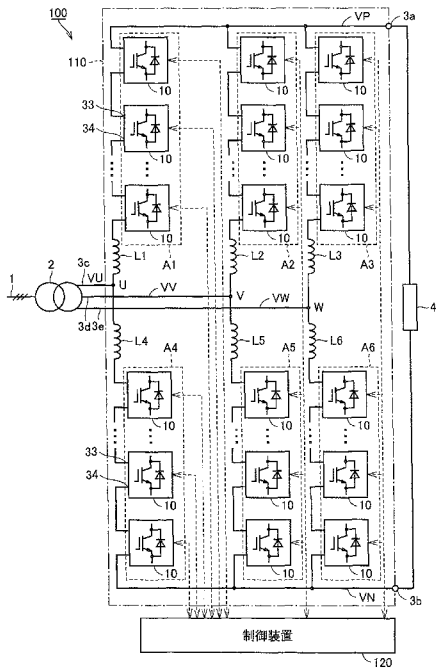
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: POWER CONVERSION DEVICE

(54) 発明の名称 : 電力変換装置

[図1]



120 Control device

(57) **Abstract**: This modular multilevel converter (110) is provided with arms (A1-A6) formed by the serial connection of one or a plurality of cells (10). A main circuit of each cell (10) includes a switching element and a direct current capacitor. A power supply of each cell (10) lowers the voltage of the direct current capacitor and generates a power supply voltage that is fed to a control circuit of the cell (10). Each power supply comprises: a power supply circuit configured so as to convert the input voltage applied between first and second input terminals from the direct current converter into the power supply voltage; a thyristor electrically connected in parallel with the power supply circuit between the first and second input terminals; a current-limiting resistor electrically connected in series with the thyristor between the terminals of the direct current capacitor; and a control unit configured so as to fire the thyristor if the input voltage of the power supply circuit exceeds a threshold voltage.

(57) 要約: ＭＭＣ（１１０）は１つまたは複数のセル（１０）を直列接続して構成されたアーム（Ａ１～Ａ６）を備える。セル（１０）の主回路は、スイッチング素子および直流コンデンサを含む。セル（１０）の電源は、直流コンデンサの電圧を降圧してセル（１０）の制御回路へ供給する電源電圧を生成する。電源は、第１および第２の入力端子間に直流コンデンサから与えられる入力電圧を電源電圧に変換するように構成された電源回路と、第１および前記第２の入力端子の間に、電源回路と電気的に並列に接続されるサイリスタと、直流コンデンサの端子間に、サイリスタと電気的に直列に接続される限流抵抗と、電源回路の入力電圧が閾値電圧を超える場合に、サイリスタを点弧するように構成された制御部とを含む。

WO 2016/203517 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 電力変換装置

技術分野

[0001] この発明は、電力変換装置に関し、より特定的には、１つまたは複数の単位変換器を直列接続して構成された電力変換装置に関する。

背景技術

[0002] 近年、ＳＴＡＴＣＯＭ（Static Synchronous Compensator）などの自励式無効電力補償装置、ＢＴＢ（Back to Back）システムなどの直流送電システム、および、モータドライブインバータなどにおいては、モジュラー・マルチレベル変換器（ＭＭＣ：Modular Multilevel Converter）の適用が検討されている（たとえば、国際公開第２００７／０２５８２８号（特許文献１）参照）。

[0003] ＭＭＣは、単位変換器を複数直列に接続して構成されている。単位変換器は、スイッチング素子と直流コンデンサとを含む。単位変換器は、スイッチング素子をスイッチング動作させることで、直流コンデンサの電圧を出力端子へ出力する。スイッチング素子としては、一般的に、ＩＧＢＴ（Insulated Gate Bipolar Transistor）などのオンオフ制御が可能な半導体スイッチング素子が用いられる。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第２００７／０２５８２８号

発明の概要

発明が解決しようとする課題

[0005] ＭＭＣを構成する単位変換器には、ＭＭＣ全体を制御する上位の制御装置と連携してスイッチング素子のオンオフを制御するための制御回路が設けられている。単位変換器ごとに、制御回路に供給する電源電圧を生成する電源を設ける構成が検討されている。電源は、直流コンデンサの電圧を降圧して

電源電圧を生成するように構成されている。

[0006] しかしながら、上記のように、単位変換器ごとに電源を設けた構成では、直流コンデンサが過充電されるなどの異常が発生した場合において、電源に許容電圧を超える電圧が入力される状態が起こり得る。これにより、電源および制御回路の回路部品が破壊されてしまう可能性がある。

[0007] この発明は上述のような問題点を解決するためになされたものであって、この発明の目的は、１つまたは複数の単位変換器を直列接続して構成された電力変換装置において、単位変換器ごとに設けられた電源への入力過電圧により、単位変換器の回路部品が破壊されることを防止することである。

課題を解決するための手段

[0008] この発明のある局面に従う電力変換装置は、１つまたは複数の単位変換器を直列接続して構成されたアームを備える電力変換器と、電力変換器を制御する制御装置とを備える。単位変換器は、主回路と、制御回路と、電源とを含む。主回路は、スイッチング素子および直流コンデンサを含み、スイッチング素子のオンオフにより直流コンデンサの電圧に応じた電圧パルスを出力する。制御回路は、制御装置から受信した制御信号に従ってスイッチング素子のオンオフを制御するように構成される。電源は、直流コンデンサの電圧を降圧して制御回路へ供給する電源電圧を生成する。電源は、電源回路を含む。電源回路は、第１および第２の入力端子間に直流コンデンサから与えられる入力電圧を電源電圧に変換するように構成される。電源はさらに、第１および前記第２の入力端子の間に、電源回路と電気的に並列に接続されるサイリスタと、直流コンデンサの端子間に、サイリスタと電気的に直列に接続される限流抵抗と、電源回路の入力電圧が閾値電圧を超える場合に、サイリスタを点弧するように構成された制御部とを含む。

発明の効果

[0009] この発明によれば、１つまたは複数の単位変換器を直列接続して構成されたアームを備える電力変換装置において、制御装置と単位変換器との通信異常が発生した場合においても、各単位変換器の保護を実現することができる

。

図面の簡単な説明

[0010] [図1]この発明の実施の形態１に従う電力変換装置の全体構成図である。

[図2]図１に示したセルの構成例を示す図である。

[図3]図２に示した電源の構成を示す図である。

[図4]図３に示した電源回路の構成を示すブロック図である。

[図5]電源の制御部の制御構成を示すブロック図である。

[図6]短絡サイリスタがオフ状態のとき（図６（ａ））および短絡サイリスタがオン状態のとき（図６（ｂ））の電源の状態を示す図である。

[図7]実施の形態１に従う各セルにおける入力過電圧の検知処理を説明するためのフローチャートである。

[図8]この発明の実施の形態２に従う電力変換装置におけるセルの構成を示す図である。

[図9]短絡サイリスタがオン状態であるときの電源の状態を示す図である。

[図10]実施の形態２に従う電源の制御部の構成を示すブロック図である。

[図11]実施の形態２に従う各セルにおける入力過電圧の検知処理を説明するためのフローチャートである。

[図12]主回路における直流コンデンサの過充電を説明するための図である。

[図13]スイッチがオン状態であるときの主回路の状態を示す図である。

[図14]実施の形態３に従う電源の制御部の構成を示すブロック図である。

[図15]実施の形態３に従う各セルにおける入力過電圧の検知処理を説明するためのフローチャートである。

[図16]図１に示したセルの他の構成例を示す図である。

発明を実施するための形態

[0011] 以下に、本発明の実施の形態について図面を参照して詳細に説明する。なお、以下では、図中の同一または相当部分には同一符号を付して、その説明は原則的に繰返さないものとする。

[0012] ［実施の形態１］

（電力変換装置の構成）

図１は、この発明の実施の形態１に従う電力変換装置の全体構成図である。図１を参照して、電力変換装置１００は、モジュラー・マルチレベル変換器（ＭＭＣ）１１０と、ＭＭＣ１１０を制御する制御装置１２０とを備える。

[0013] ＭＭＣ１１０は、正電圧端子３ａ、負電圧端子３ｂおよび、３つの交流端子３ｃ～３ｅを含む。ＭＭＣ１１０は、直流電力および三相交流電力のいずれか一方の電力を他方の電力に変換する双方向電力変換装置である。正電圧端子３ａおよび負電圧端子３ｂは、直流電力を授受するために用いられる。３つの交流端子３ｃ～３ｅは三相交流電力を授受するために用いられる。ＭＭＣ１１０は本発明における「電力変換器」の一実施例に対応する。

[0014] 正電圧端子３ａおよび負電圧端子３ｂは、負荷４に接続される。負荷４には、直流負荷、直流電源およびモータドライブインバータなどが適用される。

[0015] ３つの交流端子３ｃ～３ｅは、三相変圧器２の３つの２次側端子にそれぞれ接続される。三相変圧器２の１次側端子は、それぞれ図示しない遮断器を介して交流電力系統１の三相送電線に接続される。なお、遮断器は通常動作時は導通状態にされており、たとえば端子３ａ，３ｂ間で短絡事故が発生した場合に非導通状態にされる。

[0016] 交流電力系統１から負荷４に電力を供給する場合、交流電力系統１の三相交流電力が三相変圧器２を介してＭＭＣ１１０に供給される。ＭＭＣ１１０は三相交流電力を直流電力に変換する。変換された直流電力は負荷４に供給される。すなわち、ＭＭＣ１１０は、交流電力を直流電力に変換する交流－直流変換装置として動作する。

[0017] 一方、負荷４から交流電力系統１に電力を供給する場合は、負荷４からＭＭＣ１１０に直流電力が供給される。ＭＭＣ１１０は直流電力を三相交流電力に変換する。変換された三相交流電力は、三相変圧器２を介して交流電力系統１に供給される。すなわち、ＭＭＣ１１０は、直流電力を交流電力に変

換する直流－交流変換装置として動作する。

[0018] ＭＭＣ１１０は、アームＡ１～Ａ６と、リアクトルＬ１～Ｌ６とをさらに含む。アームＡ１～Ａ３の一方端子はともに正電圧端子３ａに接続され、他方端子はそれぞれリアクトルＬ１～Ｌ３の一方端子に接続される。リアクトルＬ１～Ｌ３の他方端子はそれぞれ交流端子３ｃ～３ｅに接続される。

[0019] アームＡ４～Ａ６の一方端子はともに負電圧端子３ｂに接続され、他方端子はそれぞれリアクトルＬ４～Ｌ６の一方端子に接続される。リアクトルＬ４～Ｌ６の他方端子はそれぞれ交流端子３ｃ～３ｅに接続される。

[0020] 正電圧端子３ａには、ＭＭＣ１１０および負荷４から正の直流電圧ＶＰが供給される。負電圧端子３ｂには、ＭＭＣ１１０および負荷４から負の直流電圧ＶＮが供給される。交流端子３ｃには、三相変圧器２およびＭＭＣ１１０からＵ相交流電圧ＶＵが供給される。交流端子３ｄには、三相変圧器２およびＭＭＣ１１０からＶ相交流電圧ＶＶが供給される。交流端子３ｅには、三相変圧器２およびＭＭＣ１１０からW相交流電圧ＶWが供給される。三相交流電圧ＶＵ，ＶＶ，ＶWの位相は１２０度ずつずれている。

[0021] アームＡ１およびＡ４は、Ｕ相交流電圧ＶＵと直流電圧ＶＰ，ＶＮとの間で双方向の電力変換を行なうＵ相モジュールを構成する。アームＡ２およびＡ５は、Ｖ相交流電圧ＶＶと直流電圧ＶＰ，ＶＮとの間で双方向の電力変換を行なうＶ相モジュールを構成する。アームＡ３およびＡ６は、W相交流電圧ＶWと直流電圧ＶＰ，ＶＮとの間で双方向の電力変換を行なうW相モジュールを構成する。

[0022] リアクトルＬ１～Ｌ６のインダクタンスは、各アームＡに流れる電流を制御するとともに、交流電圧ＶＵ，ＶＶ，ＶWの振幅が異なる場合に３つの相モジュール間に流れる循環電流を抑制するために必要な値に設定されている。

[0023] （単位変換器の構成）

アームＡ１～Ａ６の各々は、カスケード接続された複数の単位変換器（以下、セルとも称す）１０を含んでいる。図２は、図１に示したセル１０の構

成例を示す図である。図２を参照して、セル１０は、主回路３０と、セル制御回路３２と、電源５０とを含む。

[0024] 主回路３０は、直流コンデンサを備えたフルブリッジ回路により構成される。具体的には、主回路３０は、第１端子３３および第２端子３４を有する２端子回路である。主回路３０は、スイッチング素子Ｑ１～Ｑ４と、ダイオードＤ１～Ｄ４と、直流コンデンサＣ１とを含む。

[0025] スイッチング素子Ｑ１～Ｑ４は、自己消弧型電力用半導体素子であり、たとえばＩＧＢＴで構成されている。スイッチング素子Ｑ１，Ｑ２は電力線対（正極線３６および負極線３８）の間に直列に接続されている。スイッチング素子Ｑ３，Ｑ４は電力線対の間に直列に接続されている。スイッチング素子Ｑ１，Ｑ３のコレクタはともに正極線３６に接続され、スイッチング素子Ｑ２，Ｑ４のエミッタはともに負極線３８に接続されている。スイッチング素子Ｑ１のエミッタとスイッチング素子Ｑ２のコレクタとの接続点は第１端子３３に接続されている。スイッチング素子Ｑ３のエミッタとスイッチング素子Ｑ４のコレクタとの接続点は第２端子３４に接続されている。

[0026] ダイオードＤ１～Ｄ４は、スイッチング素子Ｑ１～Ｑ４にそれぞれ逆並列に接続されている。直流コンデンサＣ１は、正極線３６および負極線３８の間に接続されている。直流コンデンサＣ１はフルブリッジ回路の出力を平滑化する。

[0027] 図１に示すように、アームＡ１～Ａ３の一方端に位置するセル１０の第１端子３３は、ともに正電圧端子３ａに接続されている。アームＡ１～Ａ３において、各セル１０の第２端子３４は交流端子３ｃ～３ｅ側に隣接するセル１０の第１端子３３に接続されている。アームＡ１～Ａ３の他方端に位置するセル１０の第２端子３４はそれぞれリアクトルＬ１～Ｌ３の一方端子に接続されている。

[0028] アームＡ４～Ａ６の一方端に位置するセル１０の第１端子３３は、それぞれリアクトルＬ４～Ｌ６の一方端子に接続されている。アームＡ４～Ａ６において、各セル１０の第２端子３４は負電圧端子３ｂ側に隣接するセル１０

の第１端子３３に接続されている。アームＡ４～Ａ６の他方端に位置するセル１０の第２端子３４は、ともに負電圧端子３ｂに接続されている。

[0029] セル１０において、スイッチング素子Ｑ１，Ｑ２はそれぞれ交互にオンオフする。スイッチング素子Ｑ３，Ｑ４はそれぞれ交互にオンオフする。図２に示されるように、第２端子３４を基準とした第１端子３３までの電圧をセル電圧Ｖｃｅｌｌと定義すると、セル電圧Ｖｃｅｌｌは、スイッチング素子Ｑ１～Ｑ４のオンオフ状態によって制御される。

[0030] 具体的には、スイッチング素子Ｑ１，Ｑ２がそれぞれオン、オフし、スイッチング素子Ｑ３，Ｑ４がそれぞれオフ、オンする場合、セル電圧Ｖｃｅｌｌは直流コンデンサＣ１の電圧ＶＣと略等しい。スイッチング素子Ｑ１，Ｑ２がそれぞれオン、オフし、スイッチング素子Ｑ３，Ｑ４がそれぞれオン、オフする場合、セル電圧Ｖｃｅｌｌは略零である。スイッチング素子Ｑ１，Ｑ２がそれぞれオフ、オンし、スイッチング素子Ｑ３，Ｑ４がそれぞれオフ、オンする場合、セル電圧Ｖｃｅｌｌは略零である。スイッチング素子Ｑ１，Ｑ２がそれぞれオフ、オンし、スイッチング素子Ｑ３，Ｑ４がそれぞれオン、オフする場合、セル電圧Ｖｃｅｌｌは直流コンデンサＣ１の電圧ＶＣの極性を反転させた電圧に略等しい。

[0031] スイッチング素子Ｑ１～Ｑ４が全てオフの場合、セル電圧Ｖｃｅｌｌはセル１０に流れる電流の極性に依存して決まる。電流が正である場合、セル電圧Ｖｃｅｌｌは直流コンデンサＣ１の電圧ＶＣに略等しい。電流が負である場合、セル電圧Ｖｃｅｌｌは直流コンデンサＣ１の電圧ＶＣの極性を反転させた電圧に略等しい。

[0032] 各アームＡの２端子間の電圧は、このアームＡに含まれるセル１０のセル電圧Ｖｃｅｌｌの和で表される。したがって、各アームＡの電圧は、セル１０を構成するスイッチング素子Ｑ１～Ｑ４のオンオフ状態によって制御することができる。

[0033] 主回路３０は、スイッチＳＷをさらに含む。スイッチＳＷは、第１端子３３と第２端子３４との間に接続されている。スイッチＳＷは、セル制御回路

３２からのオン指令（閉指令）に応じてオン（閉成）することにより、第１端子３３および第２端子３４を短絡することが可能に構成されている。すなわち、スイッチＳＷをオンすることによってセル１０の出力を短絡することができる。スイッチＳＷは、本発明における「スイッチ」の一実施例に対応する。

[0034] セル制御回路３２は、ゲート駆動回路４０，４２と、スイッチ操作回路４４と、電圧センサ４６と、Ｉ／Ｆ（インターフェイス）回路４８とを含む。

[0035] Ｉ／Ｆ回路４８は、図示しない光ファイバケーブルを介して制御装置１２０と通信する。Ｉ／Ｆ回路４８は、制御装置１２０から、主回路３０のフルブリッジ回路を制御するためのゲート信号ＧＣを受信する。Ｉ／Ｆ回路４８はさらに、制御装置１２０から、フルブリッジ回路を構成するスイッチング素子Ｑ１～Ｑ４のスイッチング動作を停止（すべてオフ）するためのゲート遮断信号ＧＢを受信する。Ｉ／Ｆ回路４８は、受信したゲート信号ＧＣおよびゲート遮断信号ＧＢをゲート駆動回路４０，４２へ出力する。

[0036] ゲート駆動回路４０は、ゲート信号ＧＣに応答してスイッチング素子Ｑ１，Ｑ２のオンオフを制御する。または、ゲート駆動回路４０は、ゲート遮断信号ＧＢに応答して、スイッチング素子Ｑ１，Ｑ２をオフ状態に固定された状態（停止状態）とする。

[0037] ゲート駆動回路４２は、ゲート信号ＧＣに応答してスイッチング素子Ｑ３，Ｑ４のオンオフを制御する。または、ゲート駆動回路４２は、ゲート遮断信号ＧＢに応答して、スイッチング素子Ｑ３，Ｑ４をオフ状態に固定された状態とする。

[0038] スイッチ操作回路４４は、スイッチＳＷのオンオフを操作するための回路である。励磁コイル５２は、非通電時にスイッチＳＷをオフ（開放）するように設けられている。スイッチ操作回路４４は、励磁コイル５２への通電を制御装置１２０からの指令に応じて制御する。通常動作時、励磁コイル５２への電流供給が停止されているため、スイッチＳＷはオフ状態とされる。一方、制御装置１２０は、複数のセル１０のうちのいずれかのセル１０におい

て、スイッチング素子の短絡故障等の異常を検知した場合には、この故障したセル１０に向けてスイッチＳＷのオン指令を出力する。故障したセル１０では、Ｉ／Ｆ回路４８がオン指令を受信してスイッチ操作回路４４へ出力する。オン指令に応じてスイッチ操作回路４４が励磁コイル５２に電流を供給することにより、スイッチＳＷがオンされる。これにより、故障したセル１０の出力が短絡される。

[0039] 電圧センサ４６は、直流コンデンサＣ１の電圧ＶＣを検出し、検出値をＩ／Ｆ回路４８に出力する。Ｉ／Ｆ回路４８は、電圧センサ４６により検出された電圧ＶＣを制御装置１２０へ送信する。

[0040] 電源５０は、直流コンデンサＣ１に並列に接続される。電源５０は、直流コンデンサＣ１の電圧ＶＣを降圧してセル制御回路３２へ供給する電源電圧を生成する。すなわち、各セル１０は、主回路３０からセル制御回路３２に電力を供給することができ、自給式のセルを形成する。

[0041] （電源の構成）

図３は、図２に示した電源５０の構成を示す図である。図３を参照して、電源５０は、正極端子５２ａと、負極端子５２ｂと、電源回路５４と、サイリスタＴ１と、限流抵抗Ｒ１と、制御部５６とを含む。

[0042] 正極端子５２ａは主回路３０の正極線３６に接続される。負極端子５２ｂは主回路３０の負極線３８に接続される。電源５０は、正極端子５２ａおよび負極端子５２ｂの間に、直流コンデンサＣ１の電圧ＶＣを受ける。

[0043] 電源回路５４は、第１入力端子５４ａおよび第２入力端子５４ｂを含む。第１入力端子５４ａは正極端子５２ａに電気的に接続され、第２入力端子５４ｂは負極端子５２ｂに電気的に接続されている。電源回路５４は、第１入力端子５４ａおよび第２入力端子５４ｂの間に直流コンデンサＣ１から与えられる入力電圧Ｖｉｎを、セル制御回路３２の電源電圧に変換する。電源回路５４はさらに、入力電圧Ｖｉｎを、制御部５６へ供給する電源電圧に変換する。

[0044] サイリスタＴ１は、電源回路５４の第１入力端子５４ａおよび第２入力端

子５４ｂの間に、電源回路５４と電気的に並列に接続されている。サイリスタＴ１は、アノードが第１入力端子５４ａに電気的に接続され、カソードが第２入力端子５４ｂに電気的に接続されている。

[0045] サイリスタＴ１は、制御部５６からゲートに入力される点弧信号に応答して点弧（オン）する。オンされたサイリスタＴ１は、点弧信号が遮断された状態において電流が零になるのに応じて消弧（オフ）する。サイリスタＴ１がオンすることで、電源回路５４における第１入力端子５４ａおよび第２入力端子５４ｂが電気的に短絡される。以下の説明では、サイリスタＴ１を「短絡サイリスタ」とも称する。

[0046] 限流抵抗Ｒ１は、正極端子５２ａおよび負極端子５２ｂの間、すなわち直流コンデンサＣ１の端子間に、サイリスタＴ１と電気的に直列に接続される。なお、限流抵抗Ｒ１とサイリスタＴ１との接続順序を入れ換えても、電気的に等価な回路構成が形成される。

[0047] 制御部５６は、電源回路５４から電源電圧の供給を受けて短絡サイリスタＴ１のオンオフを制御する。制御部５６の制御構造については後述する。

[0048] （電源回路の構成）

図４は、図３に示した電源回路５４の構成を示すブロック図である。図４を参照して、電源回路５４は、セル制御回路３２の各部および制御部５６のそれぞれに供給する電源電圧を生成するための複数の電源部６２～７０を含んで構成される。具体的には、第１電源部６２は、入力端子５４ａ，５４ｂから供給される入力電圧Ｖｉｎを制御部５６の電源電圧に変換する。第２電源部６４は、入力電圧Ｖｉｎをゲート駆動回路４０，４２の電源電圧に変換する。第３電源部６６は、入力電圧Ｖｉｎをスイッチ操作回路４４の電源電圧に変換する。第４電源部６８は、入力電圧Ｖｉｎを電圧センサ４６の電源電圧に変換する。第５電源部７０は、入力電圧Ｖｉｎをｌ／Ｆ回路４８の電源電圧に変換する。

[0049] 電源回路５４は、入力電圧Ｖｉｎが電源回路５４の許容電圧を超える状態（以下、「入力過電圧状態」とも称する）を検知するための構成として、入

力電圧監視回路６０をさらに含む。入力電圧監視回路６０は、入力電圧Ｖｉｎを検出し、検出値を制御部５６に出力する。制御部５６は、入力電圧Ｖｉｎの検出値に基づいて、短絡サイリスタＴ１のオンオフを制御する。

[0050] （制御部の構成）

図５は、電源５０の制御部５６の制御構成を示すブロック図である。図５を参照して、制御部５６は、比較器ＣＰ１と、短絡サイリスタ駆動回路５８とを含む。

[0051] 比較器ＣＰ１は、非反転入力端子（＋端子）に入力電圧監視回路６０による入力電圧Ｖｉｎの検出値が入力され、反転入力端子（－端子）に閾値電圧ＤＣＯＶが入力される。閾値電圧ＤＣＯＶは、電源回路５４の入力過電圧状態を判定するための判定値であり、電源回路５４の許容電圧に基づいて設定される。比較器ＣＰ１は、入力電圧Ｖｉｎの検出値と閾値電圧ＤＣＯＶとを比較し、比較結果を出力する。入力電圧Ｖｉｎの検出値が閾値電圧ＤＣＯＶを超えているとき、比較器ＣＰ１の出力信号はＨ（論理ハイ）レベルとなる。一方、入力電圧Ｖｉｎの検出値が閾値電圧ＤＣＯＶ以下となるとき、比較器ＣＰ１の出力信号はＬ（論理ロー）レベルとなる。

[0052] 短絡サイリスタ駆動回路５８は、比較器ＣＰ１の出力信号に基づいて、短絡サイリスタＴ１の点弧信号を生成する。具体的には、比較器ＣＰ１の出力信号がＬレベルのとき、すなわちＶｉｎ≦ＤＣＯＶのとき、短絡サイリスタ駆動回路５８は、電源回路５４が入力過電圧の無い正常状態であると判定する。電源回路５４が正常状態であると判定された場合には、短絡サイリスタ駆動回路５８は点弧信号を出力しない。よって、短絡サイリスタＴ１はオフ状態に維持される。

[0053] 図６（ａ）は、短絡サイリスタＴ１がオフ状態であるときの電源５０の状態を示している。図６（ａ）に示されるように、限流抵抗Ｒ１を介して電源回路５４に電流が供給される。電源５０に入力される入力電流をＩｉｎとし、入力電圧をＶｉｎとし、直流コンデンサＣ１から電源５０に供給される電力をＰｉｎとすると、供給電力Ｐｉｎは、Ｐｉｎ＝Ｖｉｎ×Ｉｉｎで表され

る。なお、入力電流Ｉｉｎは、限流抵抗Ｒ１の抵抗値Ｒ１を用いて、Ｉｉｎ＝（ＶＣ－Ｖｉｎ）／Ｒ１となる。

[0054] ここで、主回路３０および電源５０がともに正常である場合には、主回路３０と電源５０との電力の需給バランスが保たれている。そのため、入力電圧Ｖｉｎは所定の電圧範囲に収まっている。しかしながら、主回路３０および電源５０の少なくとも一方に異常が発生した場合には、上記の電力の需給バランスが崩れることによって、入力電圧Ｖｉｎが所定の電圧範囲を逸脱した値となる。入力電圧Ｖｉｎが電圧範囲よりも低電圧側に逸脱した場合には、電源回路５４が電源電圧を生成することができず、電源５０が停止することになる。この場合、セル１０の動作が停止するものの、電源５０およびセル制御回路３２の回路部品が破壊されることはない。

[0055] これに対して、入力電圧Ｖｉｎが電圧範囲よりも高電圧側に逸脱した場合には、電源回路５４が入力過電圧状態となるため、電源回路５４およびセル制御回路３２の回路部品が破壊されてしまう虞がある。したがって、電源回路５４の入力過電圧状態を検知して入力過電圧状態から回路部品を保護する必要がある。

[0056] そこで、実施の形態１では、図５に示す比較器ＣＰ１の出力信号がＨレベルのとき、すなわちＶｉｎ＞ＤＣＯＶのときには、短絡サイリスタ駆動回路５８は、電源回路５４が入力過電圧状態であると判定する。電源回路５４が入力過電圧状態であると判定されると、短絡サイリスタ駆動回路５８は、点弧信号を出力することにより、短絡サイリスタＴ１をターンオンする。

[0057] 図６（ｂ）は、短絡サイリスタＴ１がオン状態であるときの電源５０の状態を示している。電源回路５４における第１入力端子５４ａおよび第２入力端子５４ｂが電気的に短絡されるため、限流抵抗Ｒ１を介して短絡サイリスタＴ１に電流が供給される。その一方で、電源回路５４への電流供給が遮断される。

[0058] ここで、短絡サイリスタＴ１がオン状態のときの順方向電圧（オン電圧）は高々数ボルト程度であり、上記の閾値電圧ＤＣＯＶに比べて低い。したが

って、短絡サイリスタＴ１をターンオンすることで、電源回路５４の入力電圧Ｖｉｎは、短絡サイリスタＴ１のオン電圧と同程度の電圧レベルとなり、閾値電圧ＤＣＯＶよりも低い電圧にまで低減される。これにより、電源回路５４の入力過電圧状態が解消されるため、電源回路５４およびセル制御回路３２の回路部品が故障に至るのを回避することができる。

[0059] なお、短絡サイリスタＴ１は、ターンオンされると、点弧信号が遮断された状態において電流が零になるのに応じてオフする。このため、電源回路５４への電流供給が遮断されることによって制御部５６からの点弧信号が途絶えた状態となっても、短絡サイリスタＴ１がオン状態に保たれるため、電源回路５４の入力過電圧状態を回避することができる。

[0060] 図７は、実施の形態１に従う各セル１０における入力過電圧の検知処理を説明するためのフローチャートである。なお、図７に示すフローチャートは、各セル１０の制御部５６において予め格納したプログラムを実行することで実現できる。

[0061] 図７を参照して、各セル１０では、ステップＳ１０により、入力電圧監視回路６０が電源回路５４の入力電圧Ｖｉｎを検出する。入力電圧監視回路６０は、入力電圧Ｖｉｎの検出値を制御部５６へ送信する。

[0062] ステップＳ１１では、制御部５６は、比較器ＣＰ１を用いて、入力電圧Ｖｉｎの検出値が閾値電圧ＤＣＯＶを超えているか否かを判定する。入力電圧Ｖｉｎの検出値が閾値電圧ＤＣＯＶ以下であると判定された場合（Ｓ１１のＮＯ判定時）、制御部５６は、電源回路５４が正常状態であると判断して処理を終了する。

[0063] これに対して、入力電圧Ｖｉｎの検出値が閾値電圧ＤＣＯＶを超えていると判定された場合（Ｓ１１のＹＥＳ判定時）、ステップＳ１２により、制御部５６は、短絡サイリスタＴ１をターンオンする。

[0064] この発明の実施の形態１によれば、セル１０ごとに設けられた電源回路５４の第１入力端子５４ａおよび第２入力端子５４ｂ間に短絡サイリスタＴ１が電気的に接続されるとともに、電源回路５４への入力過電圧が検知された

場合に短絡サイリスタＴ１がオンされる。これにより、電源回路５４の入力過電圧に起因して電源回路５４およびセル制御回路３２の回路部品が破壊されることを防止することができる。

[0065] ［実施の形態２］

図８は、この発明の実施の形態２に従う電力変換装置におけるセルの構成を示す図である。図８を参照して、実施の形態２に従う電力変換装置の構成は、セルの構成を除いて、図１と同様であるので詳細な説明は繰り返さない。

[0066] 図８を参照して、実施の形態２に従うセル１０Ａは、図２に示すセル１０において、電源５０に代えて電源５０Ａを設けたものである。電源５０Ａは、電源５０において、逆流防止用のダイオードＤ５をさらに設けたものである。

[0067] ダイオードＤ５は、短絡サイリスタＴ１のアノードおよびカソードの間に、電源回路５４と電気的に直列に接続される。ダイオードＤ５は、アノードが限流抵抗Ｒ１に電気的に接続され、カソードが電源回路５４の第１入力端子５４ａに電気的に接続される。ダイオードＤ５は、電源回路５４から短絡サイリスタＴ１への電流の逆流を防止する。

[0068] 図９は、短絡サイリスタＴ１がオン状態であるときの電源５０Ａの状態を示している。図９を参照して、制御部５６の電源電圧を供給するための第１電源部６２は、平滑用コンデンサＣ２と、ＤＣ／ＤＣコンバータ６３とを含んで構成される。コンデンサＣ２は第１入力端子５４ａおよび第２入力端子５４ｂの間に電気的に接続される。ＤＣ／ＤＣコンバータ６３は、コンデンサＣ２の端子間電圧を制御部５６の各部に供給する電源電圧に変換する。図９では、制御部５６の電源電圧として、＋５Ｖ、＋１５Ｖ、－１５Ｖ、ＣＯＭ（接地電圧）の４種類の電圧が生成される場合が例示されている。なお、図示は省略するが、第２電源部６４、第３電源部６６、第４電源部６８および第５電源部７０の各々は、電源電圧の大きさに違いがあるものの、基本的構成は第１電源部６２と同じである。

[0069] ここで、ダイオードＤ５が設けられていない場合を想定する。この場合、短絡サイリスタＴ１がオンされると、電源回路５４内部では、図中に矢印で示されるように、コンデンサＣ２に蓄積されていた電荷を放出するように電流が流れる経路が形成される。コンデンサＣ２の放電によってコンデンサＣ２の端子間電圧が低下すると、ＤＣ／ＤＣコンバータ６３から出力される電源電圧も低下する。

[0070] このため、制御部５６の各部では、電源電圧が動作保証電圧を下回る状態が起こり得るため、制御部５６が動作不能な状態に陥る可能性がある。ゲート駆動回路４０，４２、スイッチ操作回路４４、電圧センサ４６およびＩ／Ｆ回路４８においても、制御部５６と同様に、電源電圧が低下して動作不能な状態に陥る可能性がある。

[0071] 実施の形態２に従うセル１０Ａにおいて、ダイオードＤ５は、上記のようなコンデンサＣ２の放電を抑制する機能を奏する。これにより、短絡サイリスタＴ１をターンオンした後においても、電源回路５４は、制御部５６およびセル制御回路３２の各々に対して電源電圧を供給できる。すなわち、短絡サイリスタＴ１をターンオンした後においても、制御部５６およびセル制御回路３２を動作可能とすることができる。

[0072] このような構成とすることにより、図１０に示されるように、セル制御回路３２において、Ｉ／Ｆ回路４８は、自セル１０Ａの電源回路５４が入力過電圧状態に陥ったことを上位の制御装置１２０に伝えることができる。具体的には、比較器ＣＰ１の出力信号は、短絡サイリスタ駆動回路５８およびＩ／Ｆ回路４８に与えられる。Ｉ／Ｆ回路４８は、比較器ＣＰ１からＨレベルに活性化された出力信号を受信した場合には、自セルの異常を示す信号（異常信号）を生成して制御装置１２０に送信する。

[0073] 制御装置１２０は、Ｉ／Ｆ回路４８からの異常信号を受信することにより、ある１つのセル１０Ａにおいて電源回路５４が入力過電圧状態であることを検知する。この場合、制御装置１２０は、ＭＭＣ１１０を構成する全てのセル１０Ａに向けてゲート遮断信号ＧＢを発生する。これにより、ＭＭＣ１

１０の全てのセル１０Ａをゲート遮断状態とすることができる。

[0074] 図１１は、各セル１０Ａにおける入力過電圧の検知処理を説明するためのフローチャートである。なお、図１１に示すフローチャートは、各セル１０Ａの制御部５６およびセル制御回路３２において予め格納したプログラムを実行することで実現できる。

[0075] 図１１を参照して、入力電圧監視回路６０および制御部５６は、図７の同様のステップＳ１０～Ｓ１２を実行することにより、入力電圧Ｖｉｎの検出値が閾値電圧ＤＣＯＶを超えていると判定された場合に短絡サイリスタＴ１をターンオンする。

[0076] 入力電圧Ｖｉｎの検出値が閾値電圧ＤＣＯＶを超えていると判定された場合（Ｓ１１のＹＥＳ判定時）には、さらにステップＳ１３により、Ｉ／Ｆ回路４８は、制御装置１２０に向けて自セル１０Ａの異常を示す異常信号を送信する。

[0077] 制御装置１２０は、異常信号を受信すると（Ｓ２０のＹＥＳ判定時）、ステップＳ２１により、ＭＭＣ１１０を構成する全てのセル１０Ａに向けてゲート遮断信号ＧＢを発生する。

[0078] 各セル１０Ａでは、Ｉ／Ｆ回路４８は、制御装置１２０からゲート遮断信号ＧＢを受信したか否かを判定する。ゲート遮断信号ＧＢを受信したと判定された場合（Ｓ１４のＹＥＳ判定時）、ステップＳ１５に進み、Ｉ／Ｆ回路４８はゲート遮断信号ＧＢをゲート駆動回路４０，４２へ出力する。ゲート駆動回路４０，４２は、スイッチング素子Ｑ１～Ｑ４のゲートにゲート遮断信号ＧＢを供給することにより、主回路３０をゲート遮断状態とする。

[0079] 一方、ゲート遮断信号ＧＢを受信していないと判定された場合（Ｓ１４のＮＯ判定時）には、Ｉ／Ｆ回路４８は、セル１０Ａの異常が発生していないと判断して処理を終了する。

[0080] この発明の実施の形態２によれば、各セル１０Ａにおいて、電源回路５４の第１入力端子５４ａおよび第２入力端子５４ｂ間に短絡サイリスタＴ１が電気的に接続されるとともに、電源回路５４から短絡サイリスタＴ１への電

流の逆流を防止するダイオードＤ１が接続される。これにより、電源回路５４への入力過電圧が検知された場合に、電源回路５４およびセル制御回路３２の回路部品の破壊を防止できるとともに、入力過電圧の検知後においても制御部５６およびセル制御回路３２を動作可能な状態に保つことができる。これにより、セル制御回路３２から制御装置１２０に向けて自セルの異常を報知することができるため、制御装置１２０はＭＭＣ１１０の保護のための措置（たとえば全セル１０Ａのゲート遮断など）を採ることができる。この結果、電力変換装置１００の可用性を向上させることが可能となる。

[0081] ［実施の形態３］

実施の形態１で述べたように、電源回路５４が入力過電圧状態に至る原因としては、主回路３０の異常または電源５０の異常が挙げられる。主回路３０の異常の１つに、直流コンデンサＣ１の過充電がある。

[0082] 直流コンデンサＣ１の過充電は、主回路３０が停止状態（スイッチング素子Ｑ１～Ｑ４がオフ状態）であるときに起こり得る。停止状態の主回路３０の内部に、直流コンデンサＣ１を充電するように電流が流れるためである。

[0083] 詳細には、図１２に示されるように、スイッチング素子Ｑ１～Ｑ４がオフ状態であるときに、図中に矢印で示されるように、第１端子３３～ダイオードＤ１～直流コンデンサＣ１～ダイオードＤ４～第２端子３４を通って電流が流れる経路が形成される。この電流経路を経由して直流コンデンサＣ１に電荷が蓄積されることによって、直流コンデンサＣ１の電圧ＶＣが増加する。

[0084] なお、このような直流コンデンサＣ１の過充電は、たとえば、ＭＭＣ１１０の１つのアームＡ（図２）において、直列接続される複数のセル１０Ａのうち、一部のセル１０Ａでは主回路３０が停止状態となる一方で、残りのセル１０Ａでは主回路３０が動作状態に維持されるというケースが生じた場合に起こり得る。

[0085] 直流コンデンサＣ１の電圧ＶＣが増加することで入力電圧Ｖｉｎが閾値電圧ＤＣＯＶを超えると、上記のように短絡サイリスタＴ１がターンオンされ

るため、電源回路５４およびセル制御回路３２の回路部品が故障に至ることを回避できる。しかしながら、主回路３０では、図１２に示す経路を電流が流れ続けるため、直流コンデンサＣ１が充電され続けることになる。この結果、直流コンデンサＣ１の電圧ＶＣがさらに増加することによって、スイッチング素子Ｑ１～Ｑ４に耐圧を超える過電圧が印加されてスイッチング素子Ｑ１～Ｑ４が損傷してしまう虞がある。

[0086] 実施の形態３では、上記の実施の形態２に従うセル１０Ａにおいて、電源回路５４が入力過電圧状態であると判定されると、短絡サイリスタＴ１をターンオンするとともに、スイッチＳＷをオンする。図１３に示されるように、スイッチＳＷをオンして第１端子３３および第２端子３４を電気的に短絡させることで、直流コンデンサＣ１に電荷を蓄積するための充電経路が形成されることを防止することができる。

[0087] なお、実施の形態３に従うセルの構成は、図７と同様であることが必要である。すなわち、セル１０Ａの電源５０Ａには逆流防止用のダイオードＤ５が設けられている。これによれば、入力過電圧の検知後においてもスイッチ操作回路４４に電源電圧が供給されるため、スイッチ操作回路４４を動作可能とすることができる。したがって、図１４に示されるように、スイッチ操作回路４４は、比較器ＣＰ１からＨレベルに活性化された出力信号を受信したことに応答してスイッチＳＷをオンすることができる。

[0088] また、実施の形態３においても、実施の形態２と同様に、Ｉ／Ｆ回路４８は、自セルの電源回路５４が入力過電圧状態に陥ったことを制御装置１２０に伝えることができる。これにより、制御装置１２０はＭＭＣ１１０の保護のための措置を採ることができる。

[0089] 図１５は、各セル１０Ａにおける入力過電圧の検知処理を説明するためのフローチャートである。なお、図１５に示すフローチャートは、各セル１０Ａの制御部５６およびセル制御回路３２において予め格納したプログラムを実行することで実現できる。

[0090] 図１５を参照して、入力電圧監視回路６０および制御部５６は、図７の同

様のステップＳ１０～Ｓ１２を実行することにより、入力電圧Ｖｉｎの検出値が閾値電圧ＤＣＯＶを超えていると判定された場合に短絡サイリスタＴ１をターンオンする。

[0091] 入力電圧Ｖｉｎの検出値が閾値電圧ＤＣＯＶを超えていると判定された場合（Ｓ１１のＹＥＳ判定時）には、さらにステップＳ１４により、スイッチ操作回路４４はスイッチＳＷをオンする。

[0092] この発明の実施の形態３によれば、電源回路５４への入力過電圧が検知された場合に、短絡サイリスタＴ１をターンオンするとともに、主回路３０内部のスイッチＳＷをオンすることにより、電源回路５４およびセル制御回路３２の回路部品の破壊を防止できるとともに、直流コンデンサＣ１が過充電されることを防止することができる。

[0093] ［電力変換装置の変形例］

なお、上述した実施の形態では、セル１０（または１０Ａ）の主回路３０がフルブリッジ回路を含む構成について例示したが、主回路３０を双方向チョッパ回路を含む構成とすることもできる。

[0094] 図１６は、図１に示したセル１０の他の構成例を示す図である。図１６を参照して、本変形例に従うセル１０Ｂは、主回路３０Ｂと、セル制御回路３２Ｂと、電源５０とを含む。主回路３０Ｂは、直流コンデンサを備えた双方向チョッパ回路により構成される。具体的には、主回路３０Ｂは、第１端子３３および第２端子３４を有する２端子回路であり、スイッチング素子Ｑ１，Ｑ２と、ダイオードＤ１，Ｄ２と、直流コンデンサＣ１とを含む。本変形例においても、第１端子３３と第２端子３４との間にはスイッチＳＷが接続されている。

[0095] また、上述した実施の形態では、電力変換器として、三相交流電力系統に連系する三相ＭＭＣ１１０について例示したが、本発明は、単相電力系統に連系する単相ＭＭＣやモータを駆動するＭＭＣにも適用可能である。また、本発明は、カスケード接続された１つまたは複数のセルからなるアームとリアクトルとの直列体からなる単相変換器を、６つ二重にＹ結線して構成され

た二重Ｙ結線ＭＭＣについて例示したが、３つデルタ結線して構成されたデルタ結線ＭＭＣや、上記単相変換器を３つＹ結線して構成されたＹ結線ＭＭＣにも本発明を適用することが可能である。

[0096] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明でなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0097] １ 交流電力系統、２ 三相変圧器、３ａ 正電圧端子、３ｂ 負電圧端子、３ｃ～３ｃ 交流端子、４ 負荷、１０，１０Ａ，１０Ｂ 単位変換器（セル）、３０ 主回路、３２，３２Ａ 制御回路、３３ 第１端子、３４ 第２端子、３６ 正極線、３８ 負極線、４０，４２ ゲート駆動回路、４４ スイッチ操作回路、４６ 電圧センサ、４８ Ｉ／Ｆ回路、５０，５０Ａ 電源、５２ 励磁コイル、５４ 電源回路、５４ａ 第１入力端子、５４ｂ 第２入力端子、５６ 制御部、５８ 短絡サイリスタ駆動回路、６０ 入力電圧監視回路、６２ 第１電源部、６３ ＤＣ／ＤＣコンバータ、６４ 第２電源部、６６ 第３電源部、６８ 第４電源部、７０ 第５電源部、１００ 電力変換装置、１１０ ＭＭＣ、１２０ 制御装置、Ａ１～Ａ６ アーム、Ｃ１ 直流コンデンサ、Ｃ２ 平滑用コンデンサ、Ｌ１～Ｌ６ リアクトル、ＧＣ ゲート信号、ＧＢ ゲート遮断信号、Ｑ１～Ｑ４ スイッチング素子、Ｄ１～Ｄ５ ダイオード、ＳＷ スイッチ、Ｔ１ 短絡サイリスタ、ＣＰ１ 比較器、ＤＣＯＶ 閾値電圧

請求の範囲

[請求項1] １つまたは複数の単位変換器を直列接続して構成されたアームを備える電力変換器と、

前記電力変換器を制御する制御装置とを備え、

前記単位変換器は、

スイッチング素子および直流コンデンサを含み、前記スイッチング素子のオンオフにより前記直流コンデンサの電圧に応じた電圧パルスを出力する主回路と、

前記制御装置から受信した制御信号に従って前記スイッチング素子のオンオフを制御するように構成された制御回路と、

前記直流コンデンサの電圧を降圧して前記制御回路へ供給する電源電圧を生成する電源とを含み、

前記電源は、

第１および第２の入力端子間に前記直流コンデンサから与えられる入力電圧を前記電源電圧に変換するように構成された電源回路と、

前記第１および前記第２の入力端子の間に、前記電源回路と電気的に並列に接続されるサイリスタと、

前記直流コンデンサの端子間に、前記サイリスタと電気的に直列に接続される限流抵抗と、

前記電源回路の前記入力電圧が閾値電圧を超える場合に、前記サイリスタを点弧するように構成された制御部とを含む、電力変換装置。

[請求項2] 前記電源は、前記サイリスタのアノードおよびカソードの間に前記電源回路と電気的に直列に接続され、前記電源回路から前記サイリスタへの電流の逆流を防止する逆流防止用ダイオードをさらに含む、請求項１に記載の電力変換装置。

[請求項3] 前記電源回路の前記入力電圧が閾値電圧を超える場合には、前記制御回路は、前記電源から電源電圧の供給を受けて、前記制御装置に前記単位変換器の異常を示す信号を送信するように構成され、

前記制御装置は、前記１つまたは複数の単位変換器のいずれかから前記単位変換器の異常を示す信号を受信すると、各前記複数の単位変換器の前記制御回路に対して前記スイッチング素子をオフ状態に固定するための前記制御信号を送信するように構成される、請求項２に記載の電力変換装置。

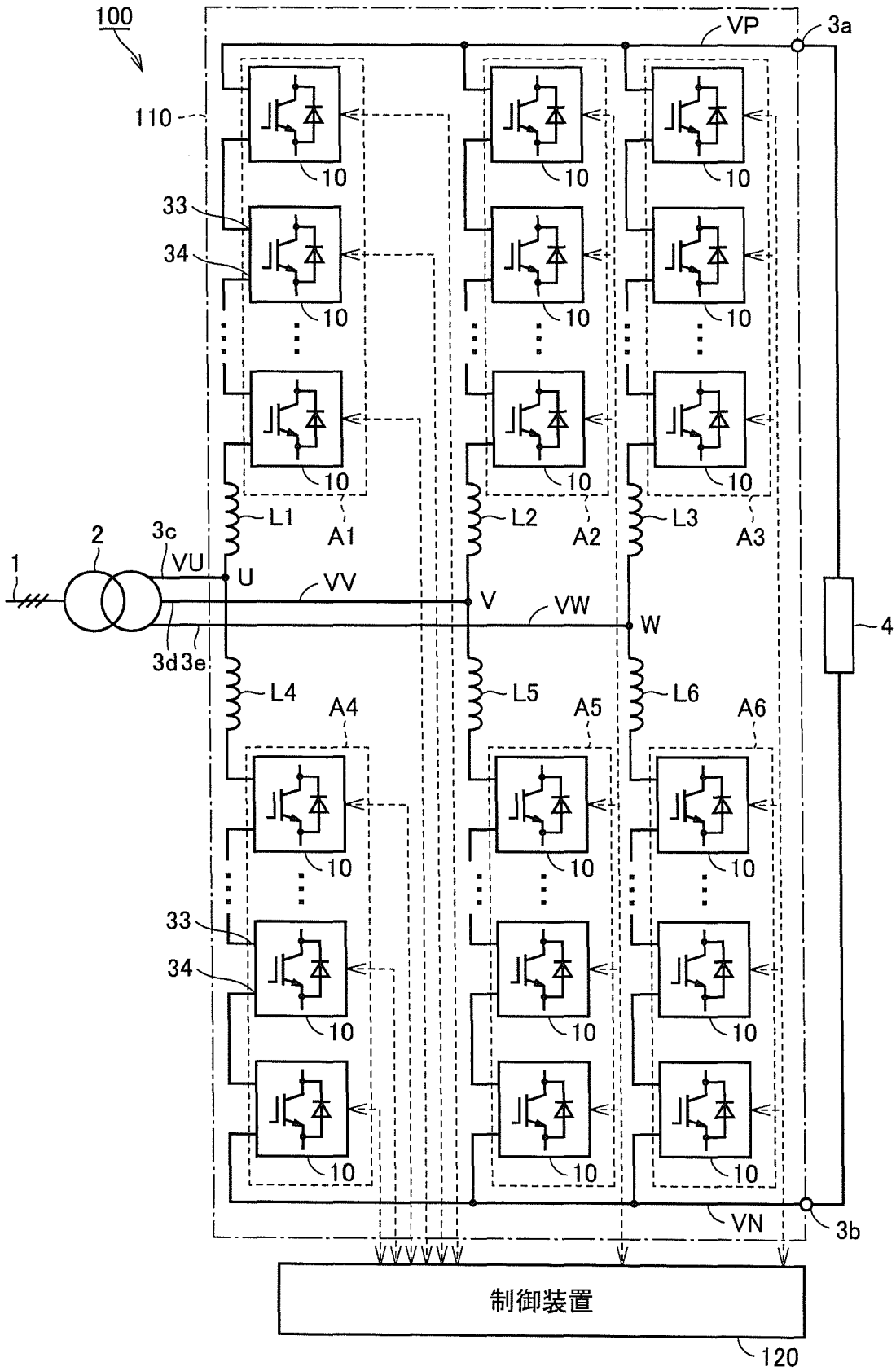
[請求項4] 前記単位変換器は、前記制御回路からのオン指令に応じてオンすることにより前記主回路の出力端子を短絡可能に構成されたスイッチをさらに含み、

前記制御回路は、前記電源回路の前記入力電圧が前記閾値電圧を超える場合に、前記スイッチに前記オン指令を出力する、請求項２または３に記載の電力変換装置。

WO 2016/203517 PCT/JP2015/067156

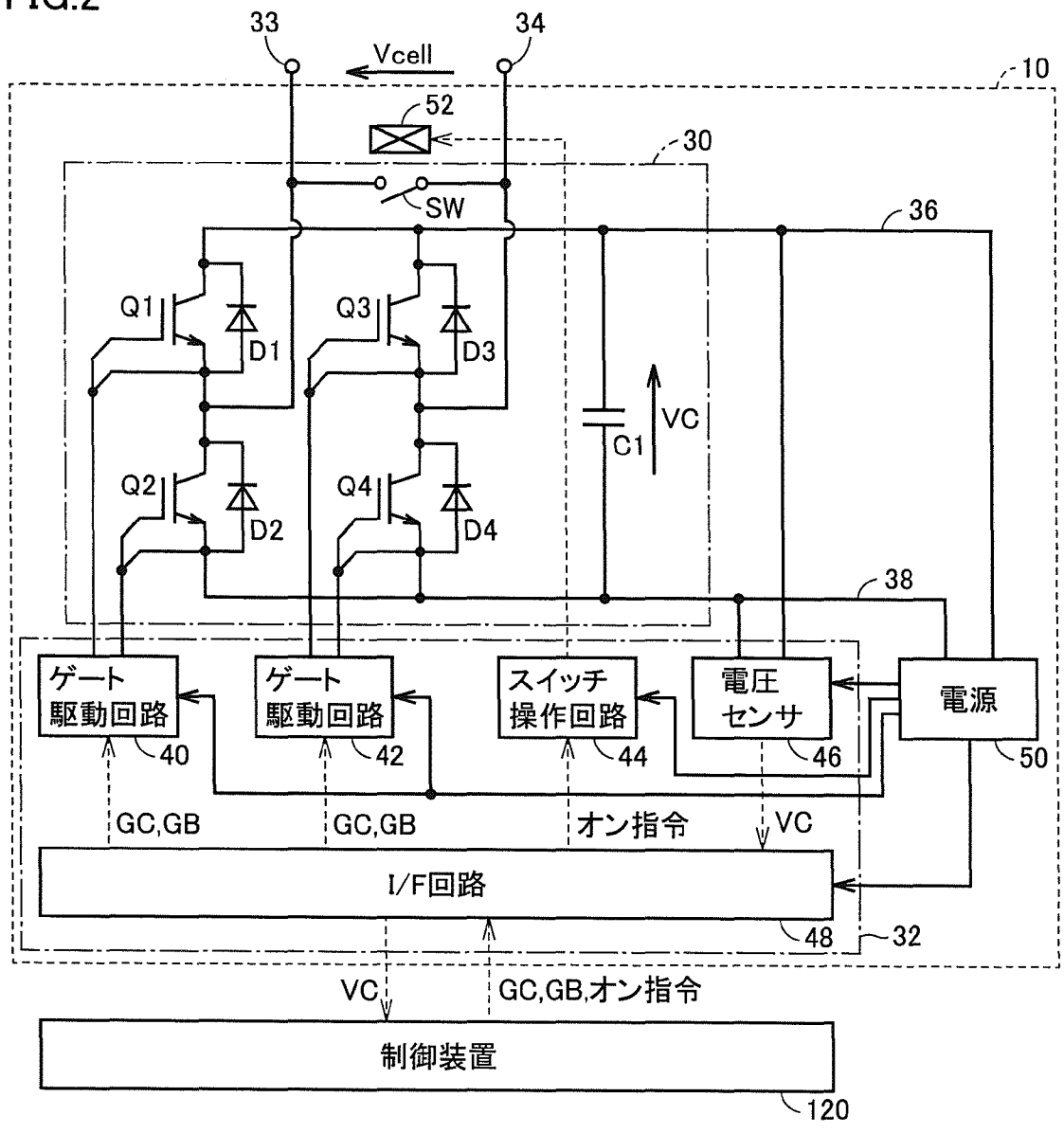
[図1]

FIG.1



[図2]

FIG.2


33
34
Vcell
10
52
30
SW
36
Q1
D1
Q3
D3
C1
VC
Q2
D2
Q4
D4
38
ゲート
駆動回路
40
ゲート
駆動回路
42
スイッチ
操作回路
44
電圧
センサ
46
電源
50
GC,GB
GC,GB
オン指令
VC
I/F回路
48
32
VC
GC,GB,オン指令
制御装置
120

[図3]

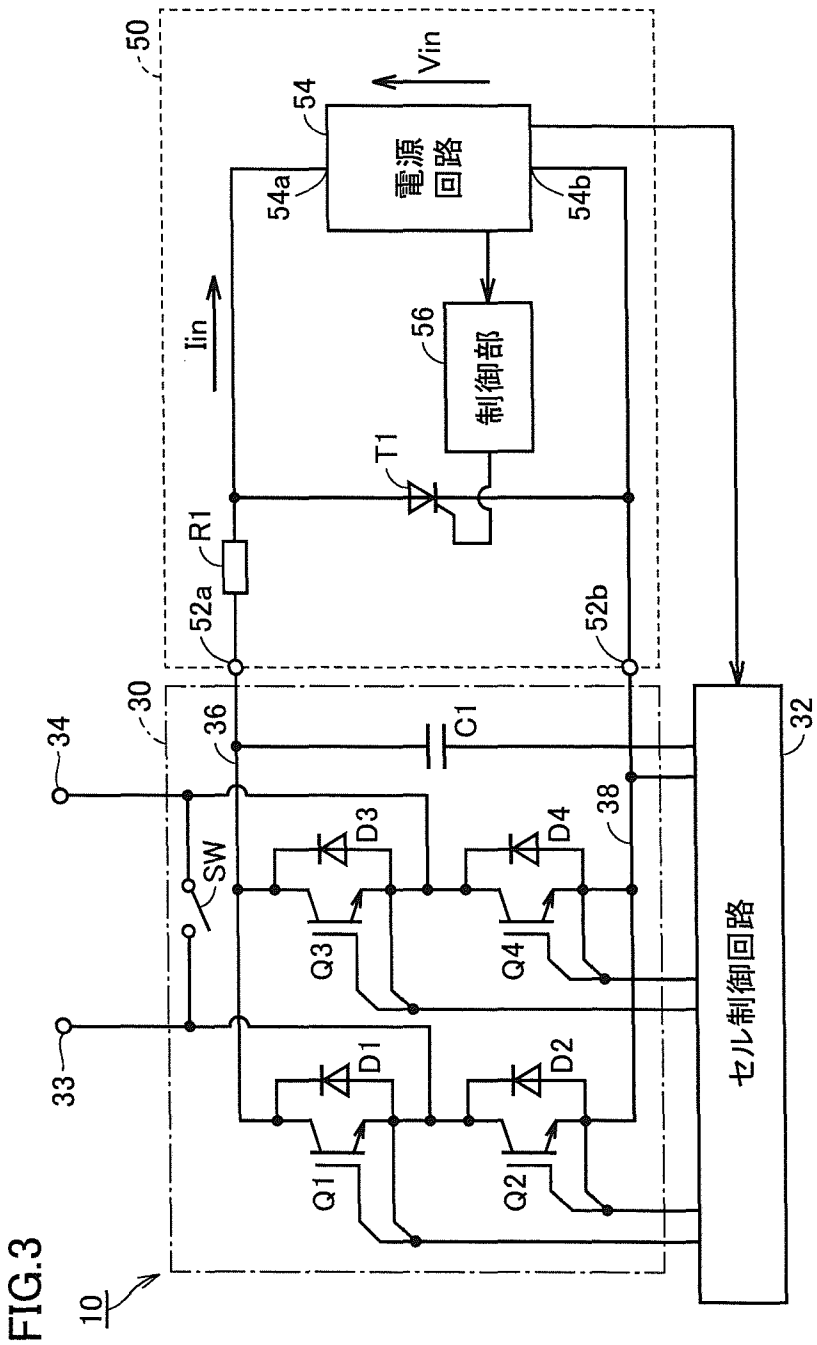

50
Vin
54
電源回路
54a
54b
56
制御部
Iin
T1
R1
52a
52b
30
34
36
C1
32
38
SW
D3
D4
Q3
Q4
33
D1
D2
Q1
Q2
セル制御回路
10

FIG.3

[図4]

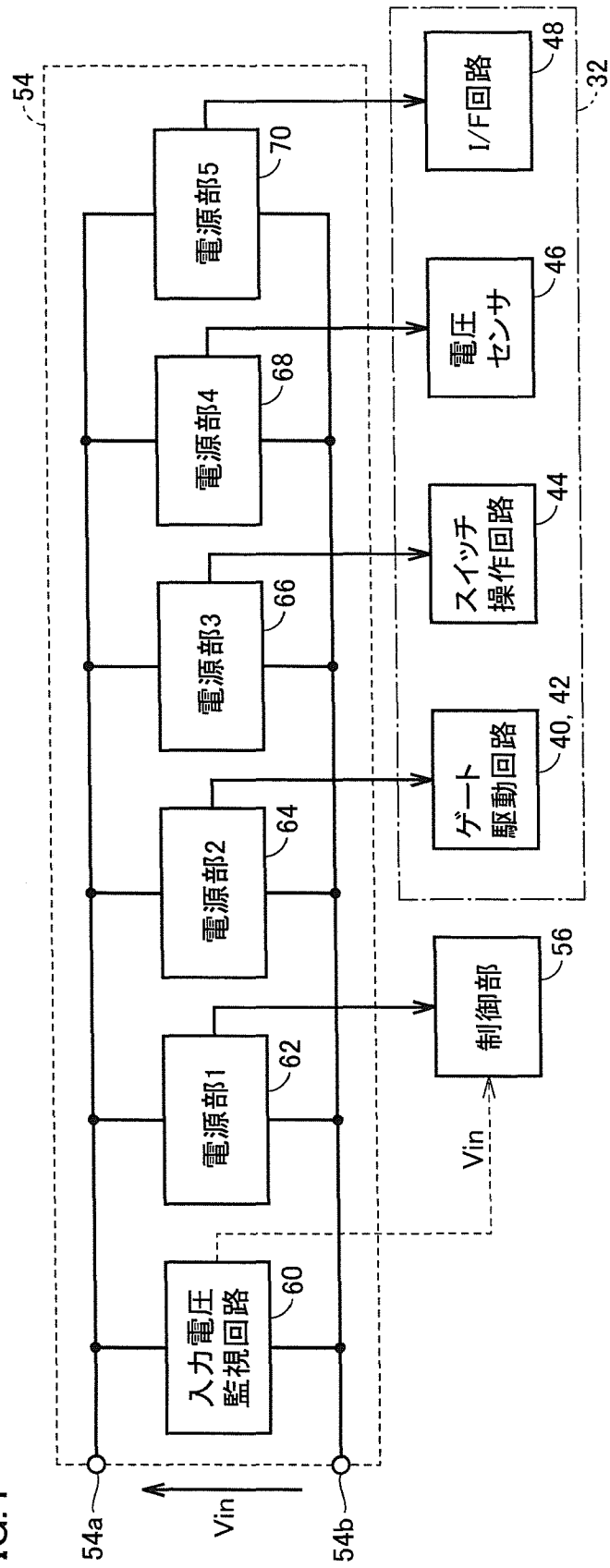
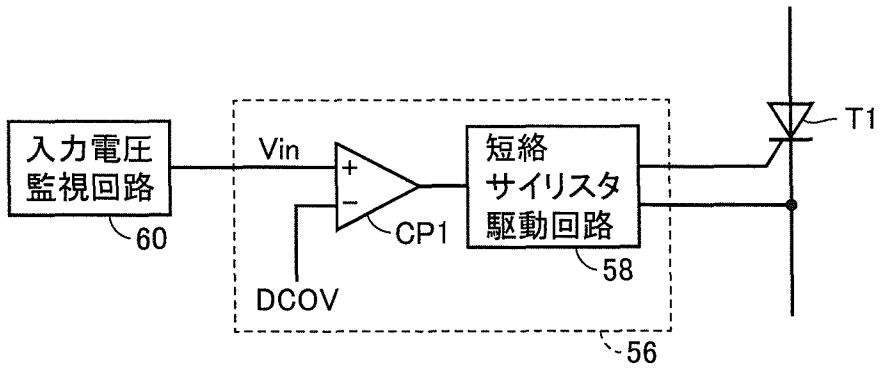

54
32
I/F回路
48
電源部5
70
電圧センサ
46
電源部4
68
スイッチ操作回路
44
電源部3
66
ゲート駆動回路
40, 42
電源部2
64
制御部
56
電源部1
62
Vin
入力電圧監視回路
60
54a
Vin
54b

FIG.4

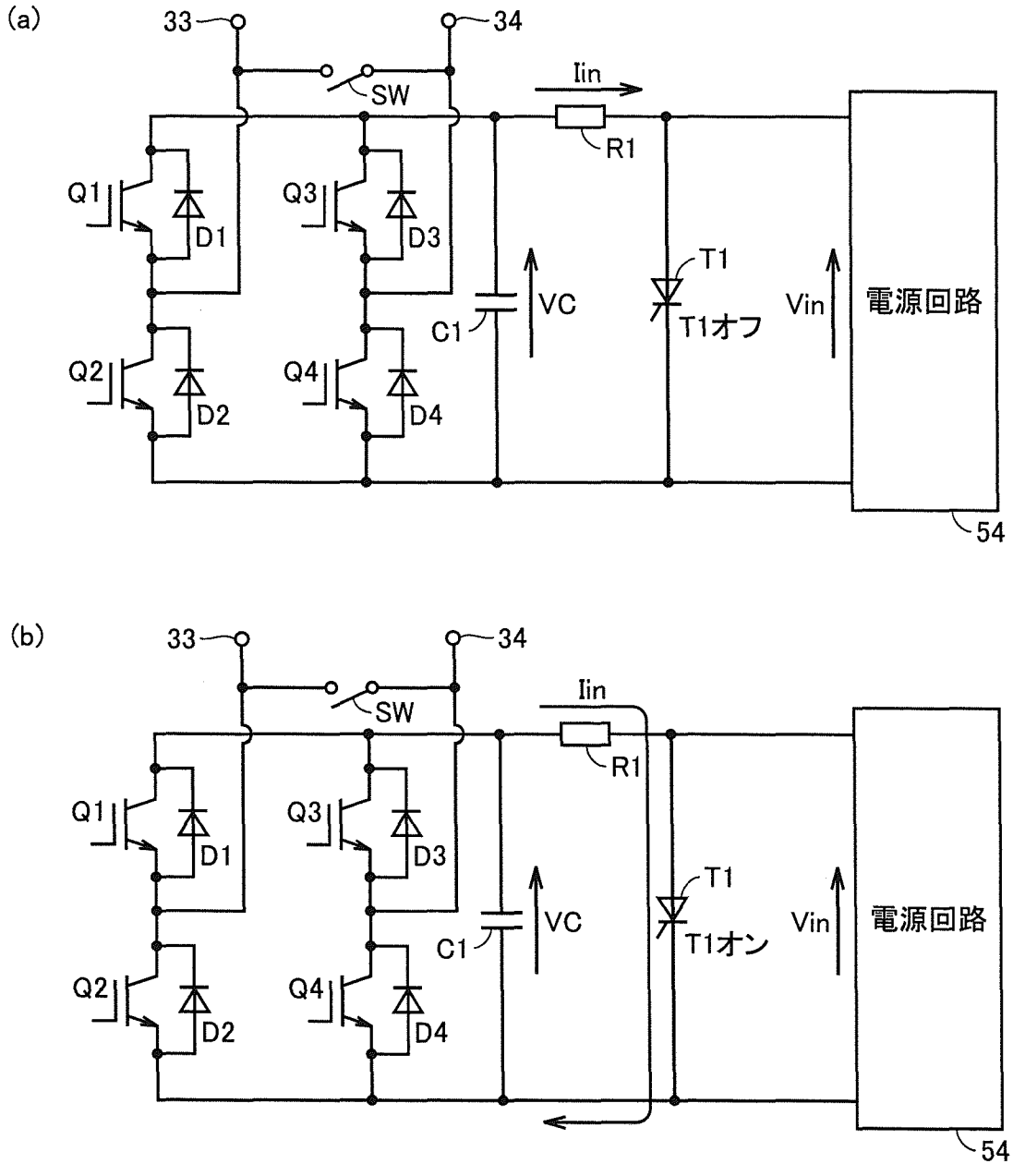
[図5]

FIG.5



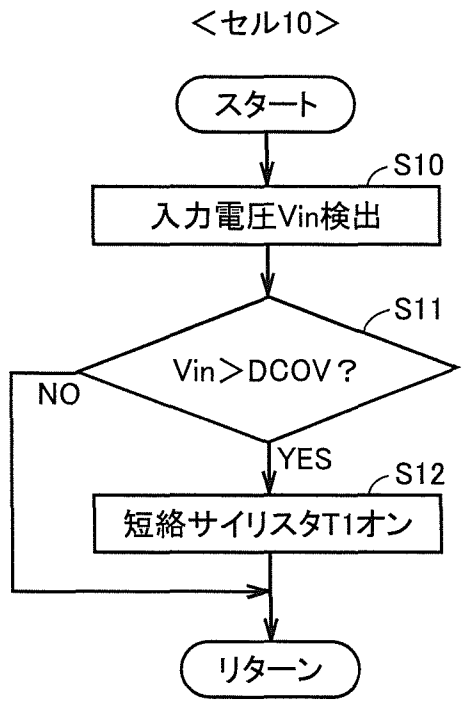
[図6]

FIG.6



[図7]

FIG.7


＜セル10＞
スタート
S10
入力電圧Vin検出
S11
Vin＞DCOV？
NO
YES
S12
短絡サイリスタT1オン
リターン

[図8]

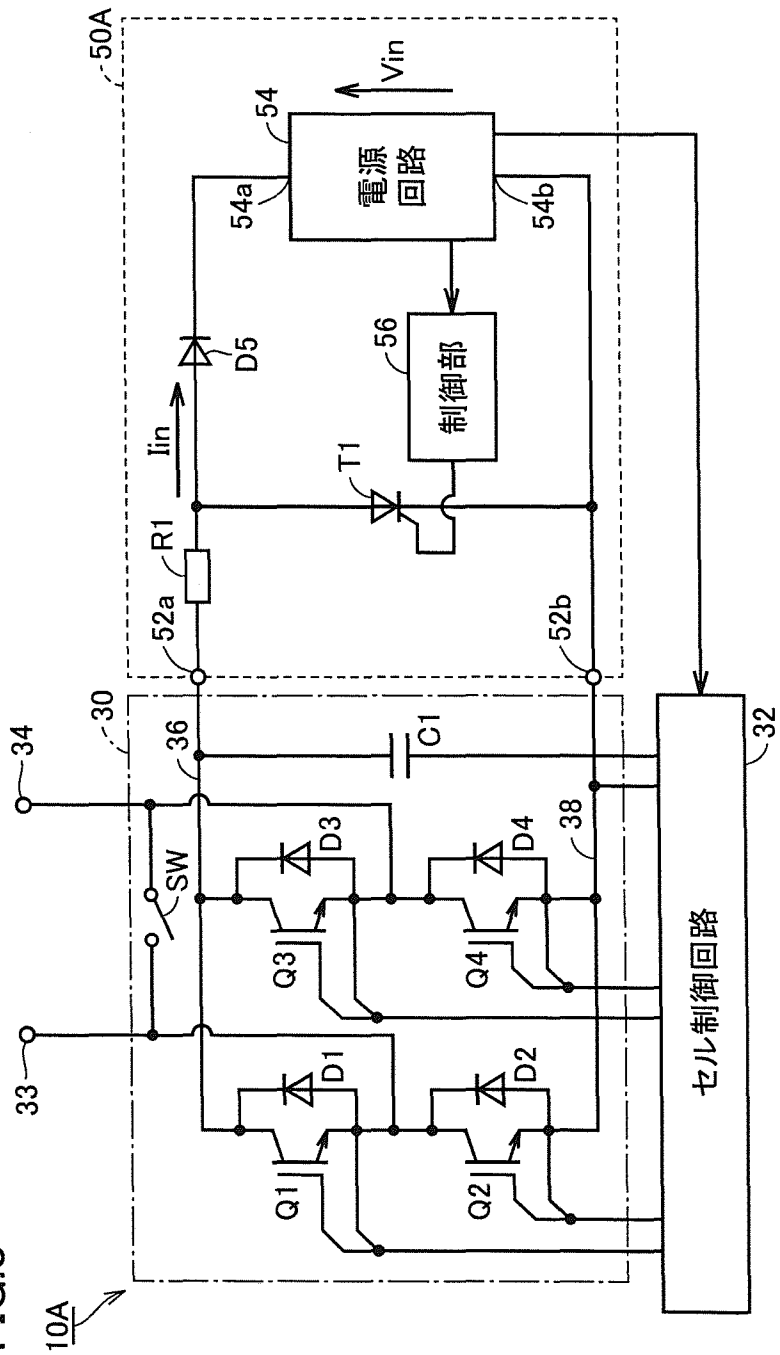
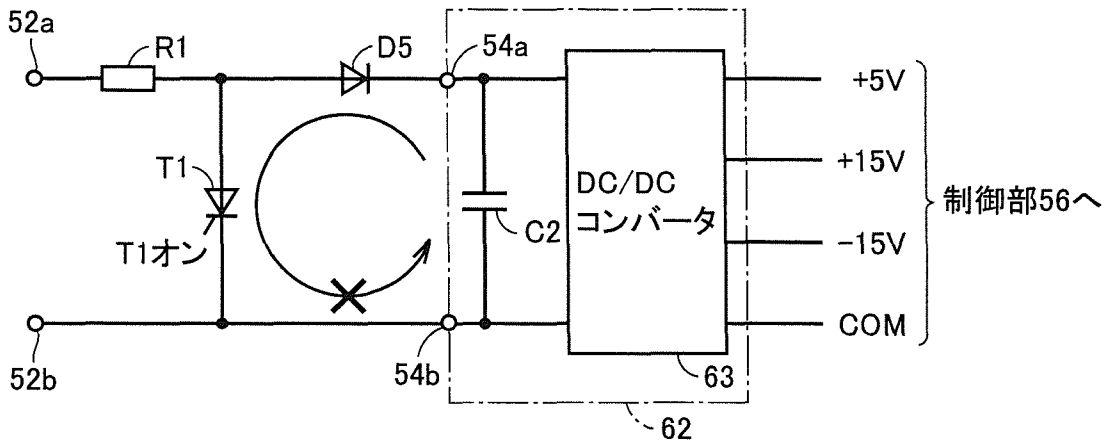

50A
Vin
54
電源回路
54a
54b
56
制御部
D5
Iin
T1
R1
52a
52b
30
34
36
C1
32
38
D3
D4
SW
Q3
Q4
セル制御回路
33
D1
D2
Q1
Q2
10A

FIG.8

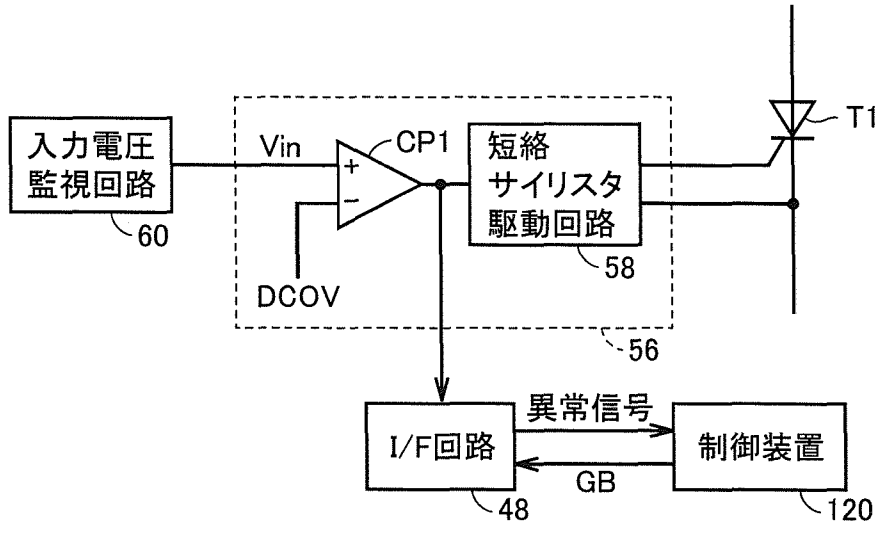
[図9]

FIG.9



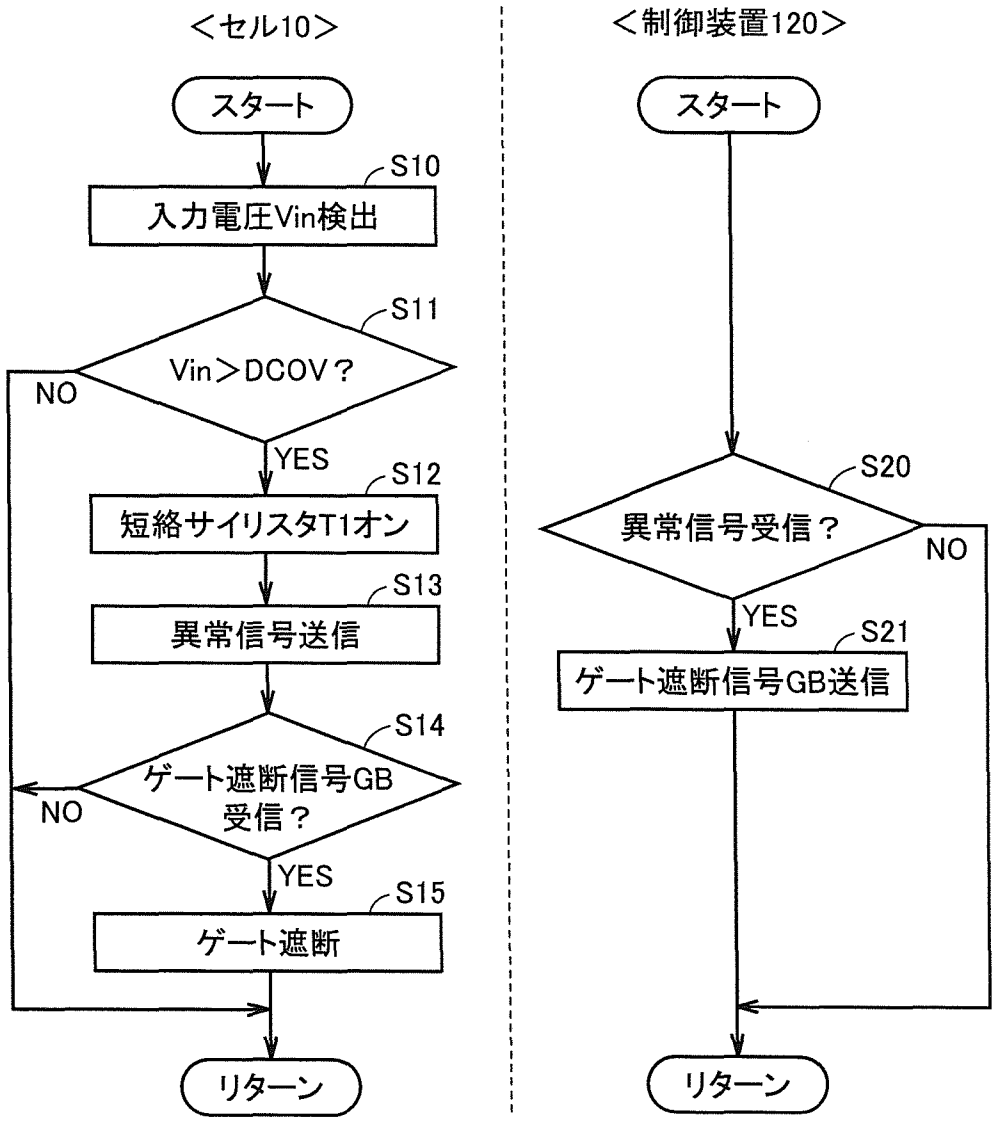
[図10]

FIG.10



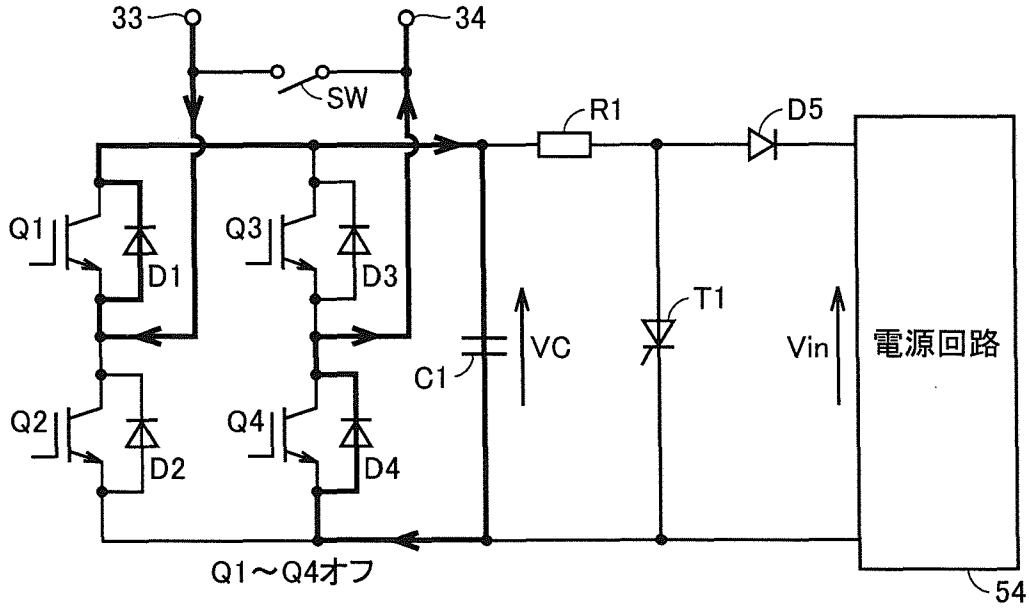
[図11]

FIG.11


<セル10>
スタート
S10
入力電圧Vin検出
S11
Vin>DCOV?
NO
YES
S12
短絡サイリスタT1オン
S13
異常信号送信
S14
ゲート遮断信号GB
受信?
NO
YES
S15
ゲート遮断
リターン
<制御装置120>
スタート
S20
異常信号受信?
NO
YES
S21
ゲート遮断信号GB送信
リターン

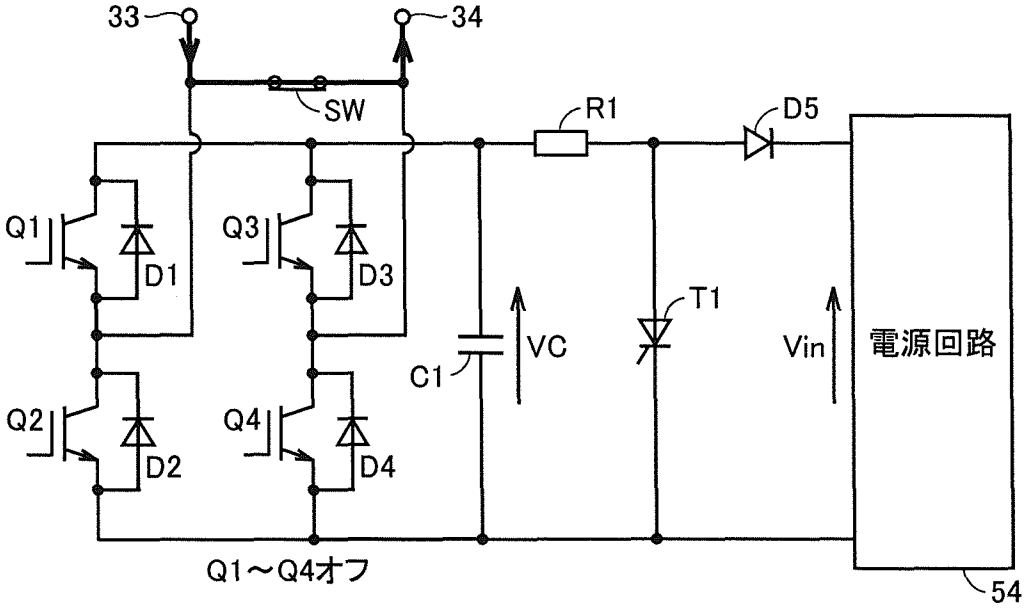
[図12]

FIG.12



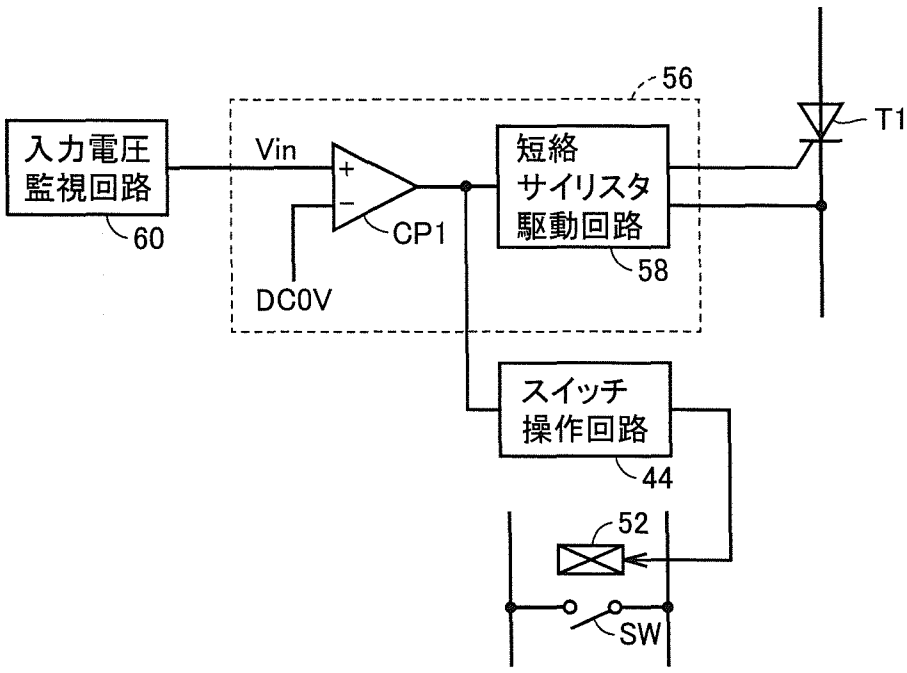
[図13]

FIG.13



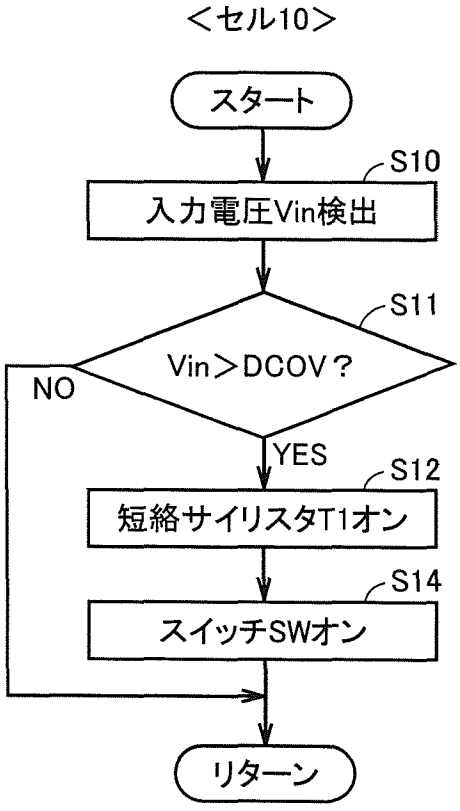
[図14]

FIG.14



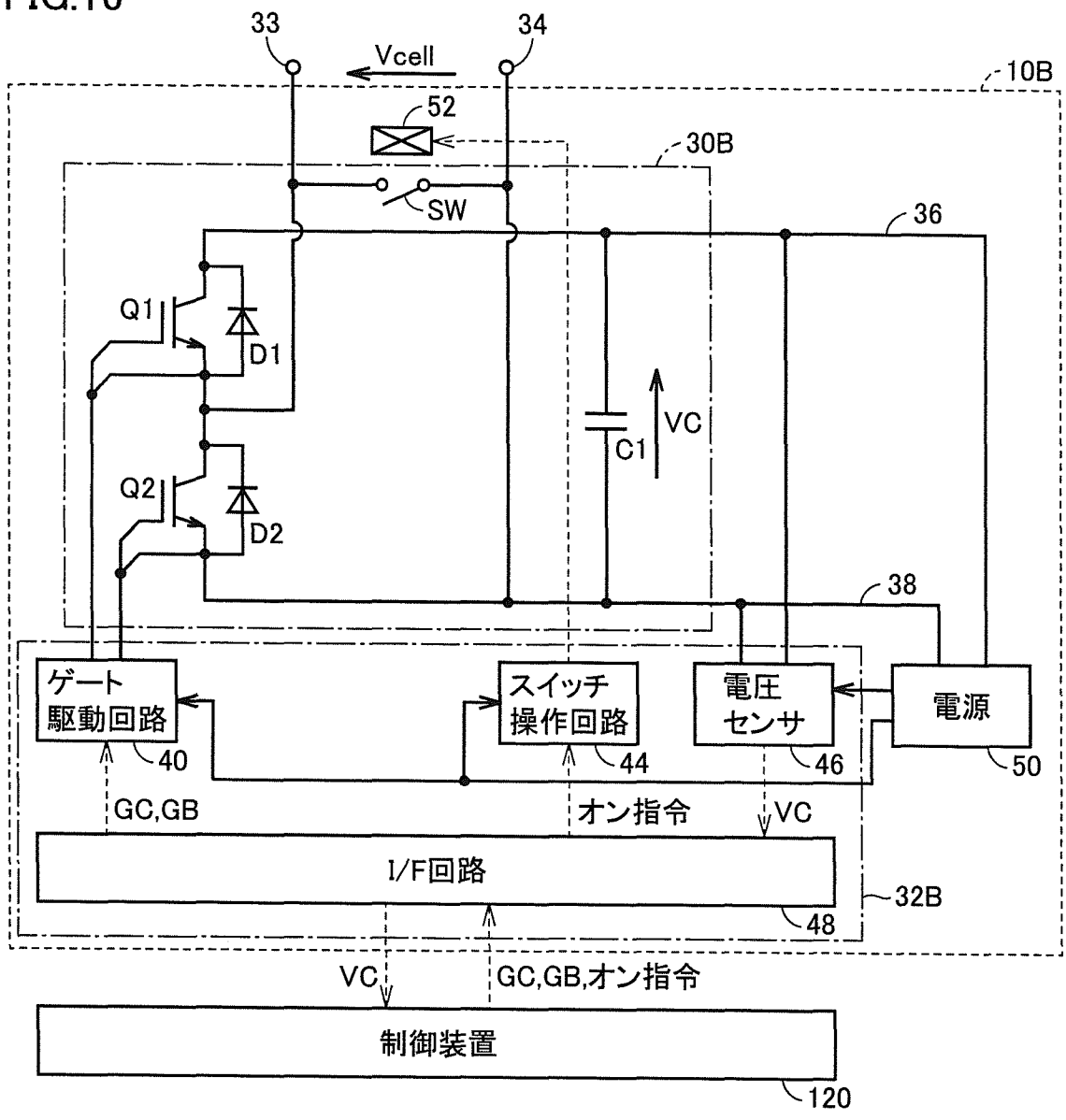
[図15]

FIG.15



[図16]

FIG.16


33
34
Vcell
10B
52
30B
SW
36
Q1
D1
C1
VC
Q2
D2
38
ゲート
駆動回路
40
スイッチ
操作回路
44
電圧
センサ
46
電源
50
GC,GB
オン指令
VC
I/F回路
48
32B
VC
GC,GB,オン指令
制御装置
120

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/067156

A. CLASSIFICATION OF SUBJECT MATTER
H02M7/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M7/00, H02M1/00, H02M5/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2013-027260 A (Hitachi, Ltd.), 04 February 2013 (04.02.2013), paragraphs [0002] to [0044]; fig. 1 to 4 (Family: none)	1 2-4
Y A	JP 07-163044 A (Mita Kogyo Kabushiki Kaisha), 23 June 1995 (23.06.1995), paragraphs [0018] to [0030]; fig. 1 (Family: none)	1 2-4
A	JP 2013-169088 A (Hitachi, Ltd.), 29 August 2013 (29.08.2013), paragraphs [0001] to [0031]; fig. 1 to 2 (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 August 2015 (26.08.15)	08 September 2015 (08.09.15)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/067156

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-138476 A (Toshiba Mitsubishi-Electric Industrial Systems Corp.), 28 July 2014 (28.07.2014), paragraphs [0001] to [0033]; fig. 1 (Family: none)	1-4

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０６７１５６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/12(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M7/00, H02M1/00, H02M5/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2013-027260 A（株式会社日立製作所）2013.02.04, 段落 0002-0044, 図 1-4（ファミリーなし）	1 2-4
Y A	JP 07-163044 A（三田工業株式会社）1995.06.23, 段落 0018-0030, 図 1（ファミリーなし）	1 2-4
A	JP 2013-169088 A（株式会社日立製作所）2013.08.29, 段落 0001-0031, 図 1-2（ファミリーなし）	1-4

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２６．０８．２０１５	０８．０９．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　３Ｖ　９６５３
鈴木　重幸
電話番号　０３－３５８１－１１０１　内線　３３５７

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2014-138476 A (東芝三菱電機産業システム株式会社) 2014.07.28, 段落 0001-0033, 図 1 (ファミリーなし)	1-4