

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5455860号
(P5455860)

(45) 発行日 平成26年3月26日(2014.3.26)

(24) 登録日 平成26年1月17日(2014.1.17)

(51) Int. Cl.	F I		
HO3K 21/02 (2006.01)	HO3K	21/02	Z
HO4N 5/378 (2011.01)	HO4N	5/335	780
HO1L 27/146 (2006.01)	HO1L	27/14	A

請求項の数 8 (全 18 頁)

(21) 出願番号	特願2010-232346 (P2010-232346)	(73) 特許権者	000003078 株式会社東芝
(22) 出願日	平成22年10月15日(2010.10.15)		東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2012-89912 (P2012-89912A)	(74) 代理人	100089118 弁理士 酒井 宏明
(43) 公開日	平成24年5月10日(2012.5.10)	(72) 発明者	比津 和樹 東京都港区芝浦一丁目1番1号 株式会社 東芝内
審査請求日	平成25年2月25日(2013.2.25)	審査官	石田 勝

最終頁に続く

(54) 【発明の名称】 カウンタ回路および固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

互いに周期の異なる S (S は2以上の整数)個のクロックをそれぞれカウントする S 個のサブカウンタと、

前記サブカウンタごとに設けられ、自段のサブカウンタでのカウント動作の終了後に次段のサブカウンタのカウント動作を起動するクロック切替部とを備えることを特徴とするカウンタ回路。

【請求項2】

前記クロック切替部は、次段のサブカウンタのカウント動作を起動する前に桁上がり信号を次段のサブカウンタに送ることを特徴とする請求項1に記載のカウンタ回路。

【請求項3】

自段のサブカウンタでのカウント動作の終了後に次段のサブカウンタのカウント動作が順次起動されることで、前記 S 個のサブカウンタのうち1個のサブカウンタのみがカウント動作を順次行い、残りの $S-1$ 個のサブカウンタはカウント動作を停止することを特徴とする請求項1または2に記載のカウンタ回路。

【請求項4】

前記クロック切替部は、次段のサブカウンタでカウントされるクロックを自段で受け取ることにより、次段のサブカウンタのカウント動作を起動するタイミングを、次段のサブカウンタでカウントされるクロックに同期化する同期化回路を備えることを特徴とする請求項1から3のいずれか1項に記載のカウンタ回路。

10

20

【請求項 5】

前記クロック切替部は、次段のサブカウンタでカウントされるクロックを自段のサブカウンタを介して次段のサブカウンタに送ることを特徴とする請求項 1 から 4 のいずれか 1 項に記載のカウンタ回路。

【請求項 6】

次段のサブカウンタでカウントされるクロックを自段のサブカウンタを介して次段のサブカウンタに送る信号線に、次段のサブカウンタのカウント動作を起動する信号を重畳する論理回路を備えることを特徴とする請求項 5 に記載のカウンタ回路。

【請求項 7】

光電変換した電荷を蓄積する画素がマトリックス状に配置された画素アレイ部と、
前記画素から読み出された画素信号を垂直方向に伝送する垂直信号線と、
前記垂直信号線を介して伝送された画素信号を参照信号と比較することで、前記画素信号の電圧を時間に変換し、その時間をカウンタ回路にてカウントすることで、前記画素信号をデジタル値に変換するカラム A D 変換器とを備え、
前記カウンタ回路は、互いに周期の異なる S (S は 2 以上の整数) 個のクロックによるカウント動作の起動および停止を順次伝播させることを特徴とする固体撮像装置。

10

【請求項 8】

前記カウンタ回路は、
互いに周期の異なる S (S は 2 以上の整数) 個のクロックをそれぞれカウントする S 個のサブカウンタと、
前記サブカウンタごとに設けられ、自段のサブカウンタでのカウント動作の終了後に次段のサブカウンタのカウント動作を起動するクロック切替部とを備えることを特徴とする請求項 7 に記載の固体撮像装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態はカウンタ回路および固体撮像装置に関する。

【背景技術】

【0002】

固体撮像装置では、高画質化と高速化を両立させるため、画素アレイ部からカラムごとに読み出された画素信号をカラム A D 変換器にて並列にデジタル化してから出力する方法がある。

30

【0003】

このカラム A D 変換器では、ランプ状の参照信号と画素信号とを比較することで、画素信号の電圧が時間に変換され、その時間をカウンタ回路にてカウントすることで、画素信号がデジタル値に変換される。このカラム A D 変換器では、カウンタ回路の消費電流を低減するには、カウントクロックの周波数を下げる必要があるが、カウンタ動作が低速化してしまう。

【先行技術文献】

【特許文献】

40

【0004】

【特許文献 1】特開 2008 - 283556 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の一つの実施形態の目的は、カウンタ動作の低速化を抑制しつつ、消費電流を低減することが可能なカウンタ回路および固体撮像装置を提供することである。

【課題を解決するための手段】

【0006】

実施形態のカウンタ回路によれば、 S 個のサブカウンタと、クロック切替部とが設けら

50

れている。S個のサブカウンタは、互いに周期の異なるS（Sは2以上の整数）個のクロックをそれぞれカウントする。クロック切替部は、前記サブカウンタごとに設けられ、自段のサブカウンタでのカウント動作の終了後に後段のサブカウンタのカウント動作を起動する。

【図面の簡単な説明】

【0007】

【図1】図1は、第1実施形態に係るカウンタ回路が適用される固体撮像装置の概略構成を示すブロック図である。

【図2】図2は、第1実施形態に係るカウンタ回路の中間段の2段分のサブカウンタの構成を示すブロック図である。

10

【図3】図3は、図2のクロック切替部の各部の電圧波形を示すタイミングチャートである。

【図4】図4は、第1実施形態に係るカウンタ回路の3段分のサブカウンタの概略構成を示すブロック図である。

【図5】図5は、図4のカウンタ回路の3段分のサブカウンタの詳細構成を示すブロック図である。

【図6】図6は、図5のカウンタ回路の各部の電圧波形を示すタイミングチャートである。

【図7】図7は、図2のクロック切替部の最終段の構成を示すブロック図である。

【図8】図8は、第2実施形態に係るカウンタ回路の中間段の2段分のサブカウンタの構成を示すブロック図である。

20

【図9】図9は、図8のクロック切替部の各部の電圧波形を示すタイミングチャートである。

【図10】図10は、図8のカウンタ回路に適用される起動回路の構成を示すブロック図である。

【図11】図11は、図10の起動回路の各部の電圧波形を示すタイミングチャートである。

【図12】図12は、図8のカウンタ回路の最終段の構成を示すブロック図である。

【図13】図13は、図8のカウンタ回路の初段の構成を示すブロック図である。

【図14】図14は、第3実施形態に係るカウンタ回路に適用される起動回路の構成を示すブロック図である。

30

【図15】図15は、図14の起動回路を立ち上がりエッジで起動する時の各部の電圧波形を示すタイミングチャートである。

【図16】図16は、図14の起動回路を立ち下がりエッジで起動する時の各部の電圧波形を示すタイミングチャートである。

【図17】図17は、第4実施形態に係るカウンタ回路の2段分のサブカウンタの概略構成を示すブロック図である。

【発明を実施するための形態】

【0008】

以下、実施形態に係るカウンタ回路および固体撮像装置について図面を参照しながら説明する。なお、これらの実施形態により本発明が限定されるものではない。

40

【0009】

（第1実施形態）

図1は、第1実施形態に係るカウンタ回路が適用される固体撮像装置の概略構成を示すブロック図である。

図1において、この固体撮像装置には、光電変換した電荷を蓄積する画素PCがrow方向およびcolumn方向にマトリクス状に配置された画素アレイ部1が設けられている。画素アレイ部1には、読み出し対象となる画素PCを垂直方向に走査する行選択回路3が設けられている。

【0010】

50

ここで、画素PCには、フォトダイオードPD、行選択トランジスタTa、増幅トランジスタTb、リセットトランジスタTcおよび読み出しトランジスタTdがそれぞれ設けられている。また、増幅トランジスタTbとリセットトランジスタTcと読み出しトランジスタTdとの接続点には検出ノードとしてフローティングディフュージョンFDが形成されている。

【0011】

そして、読み出しトランジスタTdのソースは、フォトダイオードPDに接続され、読み出しトランジスタTdのゲートには、読み出し信号READが入力される。また、リセットトランジスタTcのソースは、読み出しトランジスタTdのドレインに接続され、リセットトランジスタTcのゲートには、リセット信号RESETが入力され、リセットトランジスタTcのドレインは、電源電位VDDに接続されている。また、行選択トランジスタTaのゲートには、行選択信号ADDRESSが入力され、行選択トランジスタTaのドレインは、電源電位VDDに接続されている。また、増幅トランジスタTbのソースは、垂直信号線Vlinに接続され、増幅トランジスタTbのゲートは、読み出しトランジスタTdのドレインに接続され、増幅トランジスタTbのドレインは、行選択トランジスタTaのソースに接続されている。

10

【0012】

また、画素アレイ部1において、ロウ方向には画素PCの読み出し制御を行う水平制御線Hlinが設けられ、カラム方向には画素PCから読み出された信号を伝送する垂直信号線Vlinが設けられている。なお、水平制御線Hlinは、読み出し信号READ、リセット信号RESETおよび行選択信号ADDRESSをロウごとに画素PCに伝送することができる。

20

【0013】

また、この固体撮像装置には、垂直信号線Vlinを介して伝送された画素信号を参照電圧と比較することで、画素信号の電圧を時間に変換し、その時間をカウンタ回路CUにてカウントすることで、画素信号をデジタル値に変換するカラムAD変換器2が設けられている。

【0014】

カラムAD変換器2には、読み出し対象となる画素PCを水平方向に走査する列選択回路4、ランプ状の参照電圧を発生する参照電圧生成回路5、互いに周期の異なるS(Sは2以上の整数)個のクロックCK₁~CK_sを発生するクロック発生器6、垂直信号線Vlinを介して伝送された画素信号を参照電圧と比較するコンパレータPA、S個のクロックCK₁~CK_sによるカウント動作の起動および停止を順次伝播させるカウンタ回路CUが設けられている。なお、コンパレータPAおよびカウンタ回路CUはカラムごとに設けることができる。

30

【0015】

そして、行選択回路3にて画素PCが垂直方向に走査されることで、ロウ方向の画素PCが選択され、その画素PCから読み出された信号は垂直信号線Vlinを介してカラムAD変換器2に伝送される。

【0016】

そして、カラムAD変換器2において、各画素PCの信号からリセットレベルおよび読み出しレベルがサンプリングされ、リセットレベルおよび読み出しレベルとの差分がとられることで各画素PCの信号成分がCDSにてデジタル化される。

40

【0017】

ここで、クロック発生器6からはS個のクロックCK₁~CK_sがカウンタ回路CUに入力される。そして、コンパレータPAによる比較結果に基づいてカウンタ回路CUがカウント動作を行うことで、各画素PCの信号成分がデジタル化される。この時、各カウンタ回路CU内では、S個のクロックCK₁~CK_sによるカウント動作の起動および停止が順次伝播されることで、クロックCK_n(nは1 ≤ n ≤ sの整数)によるカウント動作が行われている時は、クロックCK₁~CK_{n-1}、CK_{n+1}~CK_sによるカウント

50

動作が停止される。

【0018】

これにより、上位ビットのカウント動作の周波数を低速化することができ、単一周波数のクロックにてカウント動作を行わせる場合に比べて消費電力を低減することができる。

【0019】

また、 S 個のクロック $CK_1 \sim CK_S$ によるカウント動作の起動および停止を各カウンタ回路 CU 内で順次伝播させることにより、カウント動作の起動および停止を指示する信号を外部から各カウンタ回路 CU に入力する必要がなくなる。

【0020】

図2は、第1実施形態に係るカウンタ回路の中間段の2段分のサブカウンタの構成を示すブロック図である。

10

図2において、カウンタ回路には、クロック CK_n に従ってカウント動作するサブカウンタ CU_n およびクロック CK_{n+1} に従ってカウント動作するサブカウンタ CU_{n+1} が設けられ、サブカウンタ CU_{n+1} はサブカウンタ CU_n の次段に接続されている。なお、クロック CK_n の周期は、クロック CK_{n+1} の周期よりも短くなるように設定することができる。

【0021】

ここで、サブカウンタ CU_n 、 CU_{n+1} には、クロック切替部 KL_n 、 KL_{n+1} およびフリップフロップ FF_n 、 FF_{n+1} がそれぞれ設けられている。なお、フリップフロップ FF_n の段数は $\log_2 [f(CK_n) / f(CK_{n+1})]$ に設定することができる。ただし、 $f(CK_n)$ はクロック CK_n の周波数、 $f(CK_{n+1})$ はクロック CK_{n+1} の周波数である。

20

【0022】

クロック切替部 KL_n 、 KL_{n+1} は、自段のサブカウンタ CU_n 、 CU_{n+1} でのカウント動作の終了後に次段のサブカウンタ CU_{n+1} 、 CU_{n+2} のカウント動作をそれぞれ起動することができる。また、クロック切替部 KL_n 、 KL_{n+1} は、次段のサブカウンタ CU_{n+1} 、 CU_{n+2} のカウント動作を起動する前に桁上がり信号を次段のサブカウンタ CU_{n+1} 、 CU_{n+2} に送ることができる。

【0023】

ここで、クロック切替部 KL_n 、 KL_{n+1} には、セレクトア MX_n 、 MX_{n+1} 、AND回路 ND_n 、 ND_{n+1} およびラッチ回路 $L1_n$ 、 $L2_n$ 、 $L3_n$ 、 $L1_{n+1}$ 、 $L2_{n+1}$ 、 $L3_{n+1}$ がそれぞれ設けられている。

30

【0024】

そして、セレクトア MX_n の一方の入力端子にはクロック CK_n が入力され、セレクトア MX_n の他方の入力端子には桁上がり信号 CK_n_CIN が入力され、セレクトア MX_n の切替端子にはラッチ回路 $L1_n$ の出力が入力される。

【0025】

ラッチ回路 $L1_n$ の入力端子には前段のカウント終了信号 CK_{n-1}_STP が自段のカウント開始信号 CK_n_STT として入力され、ラッチ回路 $L1_n$ のクロック端子にはクロック CK_n の反転信号が入力される。

40

【0026】

ラッチ回路 $L2_n$ の入力端子にはラッチ回路 $L1_n$ の出力が入力され、ラッチ回路 $L2_n$ のクロック端子には次段のサブカウンタ CU_{n+1} を介してクロック CK_{n+1} が入力される。

【0027】

ラッチ回路 $L3_n$ の入力端子にはラッチ回路 $L2_n$ の出力が入力され、ラッチ回路 $L3_n$ のクロック端子にはクロック CK_n の反転信号が入力される。

【0028】

AND回路 ND_n の一方の入力端子にはラッチ回路 $L3_n$ の出力の反転信号が入力され、AND回路 ND_n の他方の入力端子にはセレクトア MX_n の出力が入力される。また、A

50

AND回路 ND_n の出力はカウント終了信号 CK_n_STP としてラッチ回路 $L1_{n+1}$ に入力される。

【0029】

フリップフロップ FF_n の初段にはAND回路 ND_n の出力 CK_n_IN が入力され、各フリップフロップ FF_n の反転出力は自段のフリップフロップ FF_n のクロック端子に入力され、フリップフロップ FF_n の最終段の反転出力は桁上がり信号 CK_n_OUT としてセクタ MX_{n+1} に入力される。

【0030】

図3は、図2のクロック切替部の各部の電圧波形を示すタイミングチャートである。

図3の動作期間aにおいて、カウント開始信号 CK_n_STT が立ち上がる前は、ラッチ回路 $L1_n$ の出力がロウレベルになり、セクタ MX_n にて桁上がり信号 CK_n_CIN が選択される。また、カウント開始信号 CK_n_STT が立ち上がる前は、カウント開始信号 CK_n_STT2 およびカウント終了信号 CK_n_STP もロウレベルになり、AND回路 ND_n を介して桁上がり信号 CK_n_CIN がフリップフロップ FF_n の初段に出力され、フリップフロップ FF_n によるカウントが行われる。

10

【0031】

次に、動作期間bにおいて、カウント開始信号 CK_n_STT が立ち上がると、クロック CK_n に同期してカウント開始信号 CK_n_STT2 が立ち上がり、ラッチ回路 $L1_n$ の出力がハイレベルになることから、セクタ MX_n にてクロック CK_n が選択される。

【0032】

20

ここで、動作期間b、cにおいて、クロック CK_{n+1} が立ち上がる前は、カウント開始信号 CK_n_STT2 が立ち上がった場合においても、カウント終了信号 CK_n_STP はロウレベルを維持する。このため、AND回路 ND_n を介してクロック CK_n がフリップフロップ FF_n の初段に出力され、フリップフロップ FF_n によるカウントが行われる。

【0033】

そして、動作期間cにおいてクロック CK_{n+1} が立ち上がると、動作期間dにおいてクロック CK_n に同期してカウント終了信号 CK_n_STP が立ち上がり、自段のカウント終了信号 CK_n_STP が次段のカウント開始信号 CK_{n+1_STT} としてサブカウンタ CU_{n+1} に入力される。また、カウント終了信号 CK_n_STP が立ち上がると、クロック CK_n がフリップフロップ FF_n に出力されるのがAND回路 ND_n にて阻止され、フリップフロップ FF_n によるカウント動作が停止される。

30

【0034】

ここで、高速クロックで低速クロックのエッジまでの時間を測れば、低速クロックにカウントを切り替えても測定時間は高速クロックの精度が保証できる。このため、高速なサブカウンタから低速なサブカウンタへとクロックのエッジで制御を順次伝播させることにより、最終的に最も低速のクロックでカウント動作させた場合においても、最も高速のクロックの精度が保証できる。

【0035】

図4は、第1実施形態に係るカウンタ回路の3段分のサブカウンタの概略構成を示すブロック図である。

40

図4において、初段にはサブカウンタ CU_1 が設けられ、中間段にはサブカウンタ CU_2 が設けられ、最終段にはサブカウンタ CU_3 が設けられている。ここで、サブカウンタ CU_1 にはクロック CK_1 が入力され、サブカウンタ CU_2 にはクロック CK_2 が入力され、サブカウンタ CU_3 にはクロック CK_3 が入力される。

【0036】

また、サブカウンタ CU_3 に入力されるクロック CK_4 はロウレベルに固定され、サブカウンタ CU_3 からはクロック CK_3 がサブカウンタ CU_2 に入力され、サブカウンタ CU_2 からはクロック CK_2 がサブカウンタ CU_1 に入力され、サブカウンタ CU_1 から出力されるクロック CK_1 はオープンにされる。

50

【 0 0 3 7 】

また、サブカウンタ $C U_1$ には起動信号 $T R G$ がカウント開始信号 $C K_n _ S T T$ として入力され、サブカウンタ $C U_1$ からはカウント終了信号 $C K_1 _ S T P$ がカウント開始信号 $C K_2 _ S T T$ としてサブカウンタ $C U_2$ に入力され、サブカウンタ $C U_2$ からはカウント終了信号 $C K_2 _ S T P$ がカウント開始信号 $C K_3 _ S T T$ としてサブカウンタ $C U_3$ に入力され、サブカウンタ $C U_3$ から出力されるカウント終了信号 $C K_3 _ S T P$ はオープンにされる。なお、起動信号 $T R G$ としては、図 1 のコンパレータ $P A$ の出力を用いることができる。

【 0 0 3 8 】

また、サブカウンタ $C U_1$ に入力される桁上がり信号 $C K_1 _ C I N$ はハイレベルに固定され、サブカウンタ $C U_1$ からは自段の桁上がり信号 $C K_1 _ O U T$ が次段の桁上がり信号 $C K_2 _ O U T$ としてサブカウンタ $C U_2$ に入力され、サブカウンタ $C U_2$ からは自段の桁上がり信号 $C K_2 _ O U T$ が次段の桁上がり信号 $C K_3 _ O U T$ としてサブカウンタ $C U_3$ に入力され、サブカウンタ $C U_3$ から出力される自段の桁上がり信号 $C K_3 _ O U T$ はオープンにされる。

10

【 0 0 3 9 】

これにより、サブカウンタ $C U_1$ からサブカウンタ $C U_2$ にカウント終了信号 $C K_1 _ S T P$ を伝播させることにより、サブカウンタ $C U_1$ のカウント動作の終了後にサブカウンタ $C U_2$ のカウント動作を起動させ、サブカウンタ $C U_2$ からサブカウンタ $C U_3$ にカウント終了信号 $C K_2 _ S T P$ を伝播させることにより、サブカウンタ $C U_2$ のカウント動作の終了後にサブカウンタ $C U_3$ のカウント動作を起動させることができる。

20

【 0 0 4 0 】

図 5 は、図 4 のカウンタ回路の 3 段分のサブカウンタの詳細構成を示すブロック図である。

図 5 において、サブカウンタ $C U_1 \sim C U_3$ には、クロック切替部 $K L_1 \sim K L_3$ およびフリップフロップ $F F_1 \sim F F_3$ がそれぞれ設けられている。

【 0 0 4 1 】

ここで、クロック切替部 $K L_1 \sim K L_3$ には、セレクト $M X_1 \sim M X_3$ 、AND 回路 $N D_1 \sim N D_3$ およびラッチ回路 $L 1_1 \sim L 3_1$ 、 $L 1_2 \sim L 3_2$ 、 $L 1_3 \sim L 3_3$ がそれぞれ設けられている。

30

【 0 0 4 2 】

図 6 は、図 5 のカウンタ回路の各部の電圧波形を示すタイミングチャートである。

図 6 において、起動信号 $T R G (C K_0 _ S T P)$ が立ち上がる前は、ラッチ回路 $L 1_1$ の出力がロウレベルになり、セレクト $M X_1$ にて桁上がり信号 $C K_0 _ O U T$ が選択される。ここで、桁上がり信号 $C K_0 _ O U T$ はハイレベルに固定されている。

【 0 0 4 3 】

また、起動信号 $T R G$ が立ち上がる前は、カウント開始信号 $C K_1 _ S T T 2$ およびカウント終了信号 $C K_1 _ S T P$ もロウレベルになり、AND 回路 $N D_1$ を介して桁上がり信号 $C K_1 _ C I N$ がフリップフロップ $F F_1$ の初段に出力され、フリップフロップ $F F_1$ によるカウントが行われる。

40

【 0 0 4 4 】

次に、起動信号 $T R G$ が立ち上がると、クロック $C K_1$ に同期してカウント開始信号 $C K_1 _ S T T 2$ が立ち上がり、ラッチ回路 $L 1_1$ の出力がハイレベルになることから、セレクト $M X_1$ にてクロック $C K_1$ が選択される。

【 0 0 4 5 】

ここで、クロック $C K_2$ が立ち上がる前は、カウント開始信号 $C K_1 _ S T T 2$ が立ち上がった場合においても、カウント終了信号 $C K_1 _ S T P$ はロウレベルを維持する。このため、AND 回路 $N D_1$ を介してクロック $C K_1$ がフリップフロップ $F F_1$ の初段に出力され、フリップフロップ $F F_1$ によるカウントが行われる。

【 0 0 4 6 】

50

そして、クロック CK_2 が立ち上がると、クロック CK_1 に同期してカウント終了信号 CK_1_STP が立ち上がり、カウント終了信号 CK_1_STP がサブカウンタ CU_2 に入力される。また、カウント終了信号 CK_1_STP が立ち上がると、クロック CK_1 がフリップフロップ FF_1 に出力されるのが AND 回路 ND_1 にて阻止され、フリップフロップ FF_1 によるカウント動作が停止される。

【0047】

また、カウント終了信号 CK_1_STP が立ち上がる前は、カウント開始信号 CK_2_STT2 およびカウント終了信号 CK_2_STP もロウレベルになり、AND 回路 ND_2 を介して桁上がり信号 CK_2_CIN がフリップフロップ FF_2 の初段に出力され、フリップフロップ FF_2 によるカウントが行われる。

10

【0048】

次に、カウント終了信号 CK_1_STP が立ち上がると、クロック CK_2 に同期してカウント開始信号 CK_2_STT2 が立ち上がり、ラッチ回路 L_{12} の出力がハイレベルになることから、セレクト MX_2 にてクロック CK_2 が選択される。

【0049】

ここで、クロック CK_3 が立ち上がる前は、カウント開始信号 CK_2_STT2 が立ち上がった場合においても、カウント終了信号 CK_2_STP はロウレベルを維持する。このため、AND 回路 ND_2 を介してクロック CK_2 がフリップフロップ FF_2 の初段に出力され、フリップフロップ FF_2 によるカウントが行われる。

20

【0050】

そして、クロック CK_3 が立ち上がると、クロック CK_2 に同期してカウント終了信号 CK_2_STP が立ち上がり、カウント終了信号 CK_2_STP がサブカウンタ CU_3 に入力される。また、カウント終了信号 CK_2_STP が立ち上がると、クロック CK_2 がフリップフロップ FF_2 に出力されるのが AND 回路 ND_2 にて阻止され、フリップフロップ FF_2 によるカウント動作が停止される。

【0051】

なお、クロック CK_1 でカウントするサブカウンタ CU_1 の段数が N_1 、クロック CK_2 でカウントするサブカウンタ CU_2 の段数が N_2 とすると、クロック CK_1 の周波数に対して、クロック CK_2 の周波数は 2^{N_1} 分の 1、クロック CK_3 の周波数は $2^{N_1 + N_2}$ 分の 1 となる。

30

【0052】

これにより、平均消費電流を決めるクロック CK_3 を十分低い周波数に保ちつつ、クロック CK_1 の電流が流れる期間をクロック CK_2 の周期のオーダの時間に制限することができる。そのため、クロック CK_1 の電流が流れる時間を短くしつつ、平均消費電流を抑えることが可能になる。

【0053】

図7は、図2のクロック切替部の最終段の構成を示すブロック図である。

図7において、最終段のサブカウンタのクロック切替部 KL_A には、セレクト MX_A およびラッチ回路 L_{1A} が設けられている。そして、セレクト MX_A の一方の入力端子にはクロック CK_n が入力され、セレクト MX_A の他方の入力端子には桁上がり信号 CK_n_CIN が入力され、セレクト MX_A の切替端子にはラッチ回路 L_{1A} の出力が入力される。フリップフロップ FF_n の初段にはセレクト MX_A の出力 CK_n_IN が入力される。

40

【0054】

ラッチ回路 L_{1A} の入力端子には前段のカウント終了信号 CK_{n-1}_STP が自段のカウント開始信号 CK_n_STT として入力され、ラッチ回路 L_{1A} のクロック端子にはクロック CK_n の反転信号が入力される。

【0055】

このクロック切替部 KL_A では、カウント終了信号 CK_n_STP を次段のカウント開始信号 CK_{n+1}_STT として出力する必要がないため、カウント終了信号 CK_n_STP に関する回路を省略することが可能である。すなわち、図2の中間段のクロック切替

50

部 KL_n と比べて最終段のクロック切替部 KL_A では AND 回路 ND_n およびラッチ回路 $L2_n$ 、 $L3_n$ を省略することができ、回路規模を減らすことができる。

【0056】

(第2実施形態)

図8は、第2実施形態に係るカウンタ回路の中間段の2段分のサブカウンタの構成を示すブロック図である。

図8において、このカウンタ回路には、図2のサブカウンタ CU_n 、 CU_{n+1} の代わりにサブカウンタ CU_n' 、 CU_{n+1}' が設けられている。サブカウンタ CU_n' 、 CU_{n+1}' には、図2のクロック切替部 KL_n 、 KL_{n+1} の代わりにクロック切替部 KL_n' 、 KL_{n+1}' がそれぞれ設けられている。

10

【0057】

クロック切替部 KL_n 、 KL_{n+1} では、クロック CK_n 、 CK_{n+1} がカウンタ回路の外部からそれぞれ入力されるのに対して、クロック切替部 KL_n' 、 KL_{n+1}' では、クロック CK_{n+1} 、 CK_{n+2} がカウンタ回路の外部からそれぞれ入力される。また、クロック切替部 KL_n' 、 KL_{n+1}' には、クロック CK_n 、 CK_{n+1} が前段のサブカウンタ CU_{n-1} 、 CU_n からそれぞれ入力される。

【0058】

また、クロック切替部 KL_n では、カウント終了信号 CK_n_STP を次段のサブカウンタ CU_{n+1} に送る信号線が専用で設けられているのに対して、クロック切替部 KL_n' では、カウント終了信号 CK_n_STP2 を次段のサブカウンタ CU_{n+1}' に送る信号線がクロック CK_{n+1} を次段のサブカウンタ CU_{n+1}' に送る信号線と共有化されている。

20

【0059】

ここで、クロック切替部 KL_n' 、 KL_{n+1}' には、セクタ MX_n' 、 MX_{n+1}' 、 $NAND$ 回路 $ND1_n$ 、 $ND2_n$ 、 $ND1_{n+1}$ 、 $ND2_{n+1}$ 、 AND 回路 ND_n 、 ND_{n+1} 、 OR 回路 $ND4_n$ 、 $ND4_{n+1}$ およびラッチ回路 $L1_n'$ 、 $L2_n'$ 、 $L1_{n+1}'$ 、 $L2_{n+1}'$ がそれぞれ設けられている。

【0060】

そして、セクタ MX_n' の一方の入力端子にはクロック CK_n_IN が入力され、セクタ MX_n の他方の入力端子には桁上がり信号 CK_n_CIN が入力され、セクタ MX_n の切替端子には $NAND$ 回路 $ND2_n$ の出力が入力される。なお、クロック CK_n_IN は、カウント終了信号 CK_n_STP2 の反転信号とクロック CK_{n+1} とが重畳された信号である。

30

【0061】

$NAND$ 回路 $ND1_n$ の一方の入力端子にはリセット信号 $RSTX$ が入力され、 $NAND$ 回路 $ND1_n$ の他方の入力端子には $NAND$ 回路 $ND2_n$ の出力が入力される。 $NAND$ 回路 $ND2_n$ の一方の入力端子にはクロック CK_n_IN が入力され、 $NAND$ 回路 $ND2_n$ の他方の入力端子には $NAND$ 回路 $ND1_n$ の出力が入力される。

【0062】

ラッチ回路 $L1_n'$ の入力端子には $NAND$ 回路 $ND2_n$ の出力が自段のカウント開始信号 CK_n_STT として入力され、ラッチ回路 $L1_n'$ のクロック端子にはクロック CK_n が入力される。

40

【0063】

ラッチ回路 $L2_n'$ の入力端子にはラッチ回路 $L1_n'$ の出力が入力され、ラッチ回路 $L2_n'$ のクロック端子にはクロック CK_n_IN の反転信号が入力される。

【0064】

AND 回路 $ND3_n$ の一方の入力端子にはラッチ回路 $L2_n'$ の出力の反転信号が入力され、 AND 回路 $ND3_n$ の他方の入力端子にはセクタ MX_n' の出力が入力される。フリップフロップ FF_n の初段には AND 回路 $ND3_n$ の出力 CK_n_INM が入力される。

50

【 0 0 6 5 】

OR回路ND4_nの一方の入力端子にはクロックCK_{n+1}が入力され、OR回路ND4_nの他方の入力端子にはカウント終了信号CK_n__STP2の反転信号が入力される。また、OR回路ND4_nの出力はクロックCK_{n+1}__INとしてサブカウンタCU_{n+1}'に出力される。

【 0 0 6 6 】

図9は、図8のクロック切替部の各部の電圧波形を示すタイミングチャートである。

図9において、カウントを開始する前はリセット信号RSTXがロウレベルに設定され(a1)、NAND回路ND2_nの出力がロウレベルになり、カウント開始信号CK_n__STTがロウレベルに設定される。

10

【 0 0 6 7 】

一方、カウント開始信号CK_n__STTが立ち上がる前は、前段のサブカウンタCU_{n-1}からのカウント終了信号CK_{n-1}__STP2を受けてクロックCK_{n+1}__INはハイレベルに維持される。このため、リセット信号RSTXが立ち上がっても、カウント開始信号CK_n__STTはロウレベルに維持され、セクタMX_n'にて桁上がり信号CK_n__CINが選択される。また、カウント開始信号CK_n__STTが立ち上がる前は、カウント終了信号CK_n__STP1、CK_n__STP2もロウレベルになり、AND回路ND3_nを介して桁上がり信号CK_n__CINがフリップフロップFF_nの初段に出力され(b1)、フリップフロップFF_nによるカウントが行われる(b2)。

【 0 0 6 8 】

20

次に、前段のサブカウンタCU_{n-1}からのクロックCK_nを受けてクロックCK_n__INが立ち下がると(c1)、カウント開始信号CK_n__STTが立ち上がり(c2)、セクタMX_n'にてクロックCK_n__INが選択される。

【 0 0 6 9 】

ここで、クロックCK_{n+1}が立ち上がる前は、カウント開始信号CK_n__STTが立ち上がった場合においても、カウント終了信号CK_n__STP1、CK_n__STP2はロウレベルを維持する。このため、AND回路ND3_nを介してクロックCK_nがフリップフロップFF_nの初段に出力され、フリップフロップFF_nによるカウントが行われる(c3)。

【 0 0 7 0 】

30

そして、クロックCK_{n+1}が立ち上がると(d1)、カウント終了信号CK_n__STP1が立ち上がり(d2)、さらにクロックCK_nに同期してカウント終了信号CK_n__STP2が立ち上がる(e1、e2)。このため、自段のカウント終了信号CK_n__STP2がOR回路ND4_nを介してクロックCK_{n+1}に重畳され、クロックCK_{n+1}__INとしてサブカウンタCU_{n+1}に入力される(e4、f1)。また、カウント終了信号CK_n__STP2が立ち上がると、クロックCK_nがフリップフロップFF_nに出力されるのがAND回路ND3_nにて阻止され、フリップフロップFF_nによるカウント動作が停止される(e3)。

【 0 0 7 1 】

これにより、カウント終了信号CK_n__STP2を次段のサブカウンタCU_{n+1}に送る信号線を、クロックCK_{n+1}を次段のサブカウンタCU_{n+1}に送る信号線と共有化することができ、サブカウンタCU_n'、CU_{n+1}'間の信号線を1本だけ削減することが可能となることから、レイアウト面積を縮小することができる。

40

【 0 0 7 2 】

なお、図8のカウンタ回路では、前段のサブカウンタCU_{n-1}からクロックCK_n__INを受け取るため、初段のサブカウンタCU₁に入力するクロックCK₁__INを生成する起動回路が必要である。

【 0 0 7 3 】

図10は、図8のカウンタ回路に適用される起動回路の構成を示すブロック図である。

図10において、起動回路には、ラッチ回路L0およびOR回路ND0が設けられてい

50

る。ここで、ラッチ回路 L_0 の入力端子には起動信号 TRG が入力され、ラッチ回路 L_0 のクロック端子にはクロック CK_1 の反転信号が入力される。OR回路 ND_0 の一方の入力端子にはクロック CK_1 が入力され、OR回路 ND_0 の他方の入力端子にはラッチ回路 L_0 の出力の反転信号が入力される。

【0074】

図11は、図10の起動回路の各部の電圧波形を示すタイミングチャートである。

図11において、起動信号 TRG が立ち上がる前は、ラッチ回路 L_0 の出力はロウレベルになる。このため、OR回路 ND_0 の出力はハイレベルになり、クロック CK_1_IN はハイレベルになる。

【0075】

そして、起動信号 TRG が立ち上がると、ラッチ回路 L_0 の出力はハイレベルになり、クロック CK_1 がOR回路 ND_0 を介してクロック CK_1_IN として出力される。

【0076】

図12は、図8のカウンタ回路の最終段の構成を示すブロック図である。

図12において、最終段のサブカウンタのクロック切替部 KL_B には、セクタ MX_B および $NAND$ 回路 ND_{1B} 、 ND_{2B} が設けられている。そして、セクタ MX_B の一方の入力端子にはクロック CK_n_IN が入力され、セクタ MX_B の他方の入力端子には桁上がり信号 CK_n_CIN が入力され、セクタ MX_n の切替端子には $NAND$ 回路 ND_{2B} の出力が入力される。

【0077】

$NAND$ 回路 ND_{1B} の一方の入力端子にはリセット信号 $RSTX$ が入力され、 $NAND$ 回路 ND_{1B} の他方の入力端子には $NAND$ 回路 ND_{2B} の出力が入力される。 $NAND$ 回路 ND_{2B} の一方の入力端子にはクロック CK_n_IN が入力され、 $NAND$ 回路 ND_{2B} の他方の入力端子には $NAND$ 回路 ND_{1B} の出力が入力される。

【0078】

このクロック切替部 KL_B では、クロック CK_{n+1_IN} を次段に出力する必要がないため、クロック CK_{n+1_IN} に関する回路を省略することが可能である。すなわち、図8の中間段のクロック切替部 KL_n' と比べて最終段のクロック切替部 KL_B では $NAND$ 回路 ND_{3n} 、OR回路 ND_{4n} およびラッチ回路 L_{1n}' 、 L_{2n}' を省略することができ、回路規模を減らすことができる。

【0079】

図13は、図8のカウンタ回路の初段の構成を示すブロック図である。

図13において、初段のサブカウンタのクロック切替部 KL_C では、図8のクロック切替部 KL_n' からセクタ MX_n' が除去されている。ここで、クロック切替部 KL_C では、桁上がり信号 CK_n_CIN の入力省略されるとともに、クロック CK_n_IN が $NAND$ 回路 ND_{3n} に直接入力される。

【0080】

このクロック切替部 KL_C では、桁上がり信号 CK_n_CIN を入力する必要がないため、桁上がり信号 CK_n_CIN に関する回路を省略することが可能である。すなわち、図8の中間段のクロック切替部 KL_n' と比べて初段のクロック切替部 KL_C ではセクタ MX_n' を省略することができ、回路規模を減らすことができる。

【0081】

(第3実施形態)

図14は、第3実施形態に係るカウンタ回路に適用される起動回路の構成を示すブロック図である。

図14において、図10の起動回路では、起動信号 TRG がクロック CK_1 の片側のエッジで検出されるのに対し、図14の起動回路では、起動信号 TRG がクロック CK_1 の両側のエッジで検出される。

【0082】

この起動回路には、フリップフロップ F_0 、ラッチ回路 L_1 、 L_2 、XOR回路 ND_1

10

20

30

40

50

およびOR回路ND2、ND3が設けられている。ここで、フリップフロップF0のクロック端子およびラッチ回路L1、L2の入力端子には起動信号TRGが入力され、フリップフロップF0の入力端子、ラッチ回路L1のクロック端子およびXOR回路ND1の一方の入力端子にはクロックCK₁が入力され、ラッチ回路L2のクロック端子にはクロックCK₁の反転信号が入力される。

【0083】

XOR回路ND1の他方の入力端子にはフリップフロップF0の反転出力が入力され、OR回路ND2の一方の入力端子にはラッチ回路L2の出力が入力され、OR回路ND2の他方の入力端子にはラッチ回路L1の出力が入力され、OR回路ND3の一方の入力端子にはOR回路ND2の出力が入力され、OR回路ND3の他方の入力端子にはXOR回路ND1の出力の反転信号が入力される。

10

【0084】

ここで、クロックCK₁の両側のエッジで起動信号TRGを検出することにより、クロックCK₁の両側のエッジを使ったカウントを最下位ビットにおいて行うことができ、実質的に2倍の周波数でカウントできるため、高速クロックによるカウントの消費電流を削減することができる。

【0085】

図15は、図14の起動回路を立ち上がりエッジで起動する時の各部の電圧波形を示すタイミングチャートである。

図15において、起動信号TRGが立ち上がる前は、ラッチ回路L1、L2の出力はロウレベルになる。このため、OR回路ND2の出力CK₁__ENはロウレベルになり、クロックCK₁__INはハイレベルになる。

20

【0086】

そして、起動信号TRGが立ち上がると(a1)、フリップフロップF0の反転出力TRG__CK₁がCK₁の値を取り込んで立ち下がり(a2)、OR回路ND2の出力XOR__CK₁としてクロックCK₁が得られる。

【0087】

また、起動信号TRGが立ち上がると(a1)、クロックCK₁の立ち下がりに同期して(b1)、ラッチ回路L2の出力はハイレベルになる。このため、OR回路ND2の出力CK₁__ENはハイレベルになり(b2)、XOR回路ND1の出力XOR__CK₁がOR回路ND3を介してクロックCK₁__INとして出力される(b3)。

30

【0088】

図16は、図14の起動回路を立ち下がりエッジで起動する時の各部の電圧波形を示すタイミングチャートである。

図16において、起動信号TRGが立ち上がる前は、ラッチ回路L1、L2の出力はロウレベルになる。このため、OR回路ND2の出力CK₁__ENはロウレベルになり、クロックCK₁__INはハイレベルになる。

【0089】

そして、起動信号TRGが立ち上がると(a1)、フリップフロップF0の反転出力TRG__CK₁がCK₁の値を取り込むが初期状態と同じなので変化せず(a2)、OR回路ND2の出力XOR__CK₁としてクロックCK₁の反転信号が得られる。

40

【0090】

また、起動信号TRGが立ち上がると(a1)、クロックCK₁の立ち上がりに同期して(b1)、ラッチ回路L1の出力はハイレベルになる。このため、OR回路ND2の出力CK₁__ENはハイレベルになり(b2)、XOR回路ND1の出力XOR__CK₁がOR回路ND3を介してクロックCK₁__INとして出力される(b3)。

【0091】

ここで、クロックCK₁の立ち上がりをつまめる場合とクロックCK₁の立ち下がりをつまめる場合を比較すると、共に起動信号TRGが反転した次のエッジでクロックCK₁__INを立ち下げてカウントが開始される。

50

【 0 0 9 2 】

さらに、フリップフロップ F 0 の出力 D₀ はどこでカウントを開始したかの情報を保持するので、その値を読み出せば半クロック分のカウント値が取得できる。

【 0 0 9 3 】

(第4実施形態)

図17は、第4実施形態に係るカウンタ回路の2段分のサブカウンタの概略構成を示すブロック図である。この構成は、1つのクロックでカウントする構成に対する回路の追加量を少なくした構成である。

図17において、このカウンタ回路では、1段目にはサブカウンタ C U₁' が設けられ、2段目にはサブカウンタ C U B が設けられている。ここで、サブカウンタ C U₁' には、クロック切替部 K L₁' として図13のクロック切替部 K L C が設けられている。また、サブカウンタ C U B には、クロック切替部として図13のクロック切替部 K L C が設けられている。また、サブカウンタ C U₁' の前段には図14の起動回路 T G が設けられている。

10

【 0 0 9 4 】

これにより、互いに周期の異なる2個のクロック C K₁、C K₂ にて動作するカウンタ回路を構成した場合においても、1個のクロック C K₁ のみで動作するカウンタ回路と比べて回路規模の増大を抑制することができる。

【 0 0 9 5 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【符号の説明】

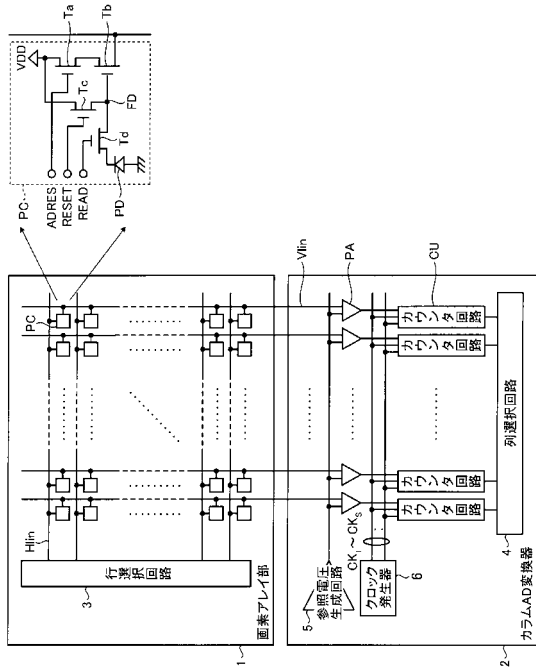
【 0 0 9 6 】

P C 画素、T a 行選択トランジスタ、T b 増幅トランジスタ、T c リセットトランジスタ、T d 読み出しトランジスタ、P D フォトダイオード、F D フローティングディフュージョン、V l i n 垂直信号線、H l i n 水平制御線、1 画素アレイ部、2 カラム A D 変換器、3 行選択回路、4 列選択回路、5 参照電圧生成回路、6 クロック発生器、P A コンパレータ、C U カウンタ回路、C U_n、C U_{n+1}、C U_n'、C U_{n+1}'、C U₁ ~ C U₃、C U₁'、C U B サブカウンタ、K L_n、K L_{n+1}、K L_n'、K L_{n+1}'、K L A、K L B、K L C、K L₁'、K L B クロック切替部、M X_n、M X_{n+1}、M X_n'、M X_{n+1}'、M X A、M X B、M X₁ ~ M X₃ セレクタ、N D_n、N D_{n+1}、N D₁ ~ N D₃、N D_{3n}、N D₃ A N D 回路、N D_{1n}、N D_{2n}、N D_{1n+1}、N D_{2n+1}、N D_{1B}、N D_{2B} N A N D 回路、L 0、L 1、L 2、L 1_n、L 2_n、L 3_n、L 1_n'、L 2_n'、L 1_{n+1}、L 2_{n+1}、L 3_{n+1}、L 1_{n+1}'、L 2_{n+1}'、L 1 A、L 1₁ ~ L 3₁、L 1₂ ~ L 3₂、L 1₃ ~ L 3₃ ラッチ回路、F 0、F F_n、F F_{n+1}、F F₁ ~ F F₃ フリップフロップ、N D₁ X O R 回路、N D_{4n}、N D_{4n+1}、N D₂ O R 回路、T G 起動回路

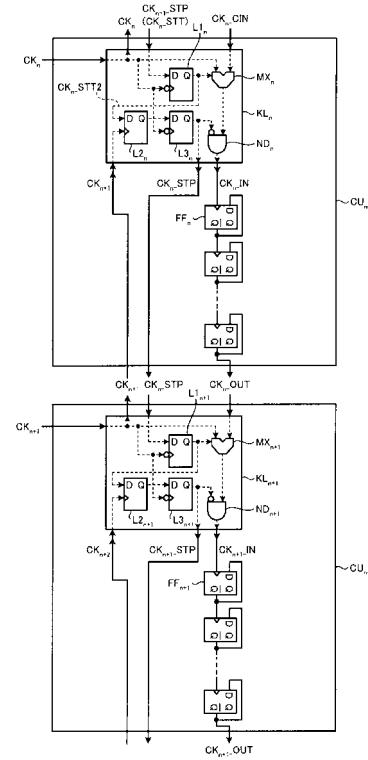
30

40

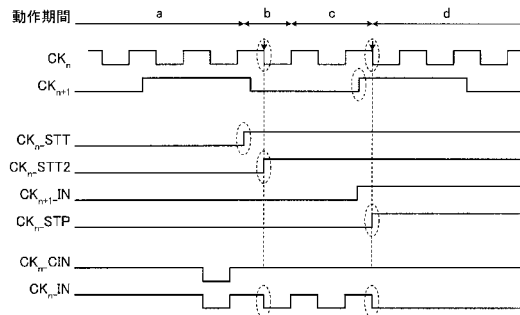
【図1】



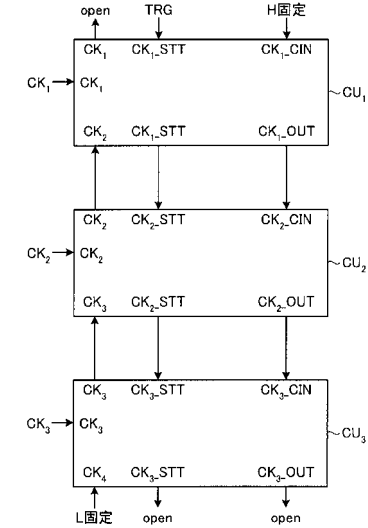
【図2】



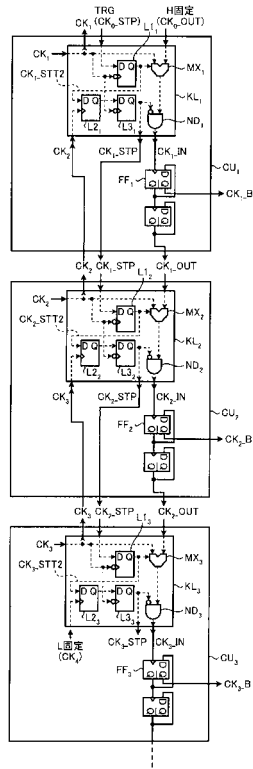
【図3】



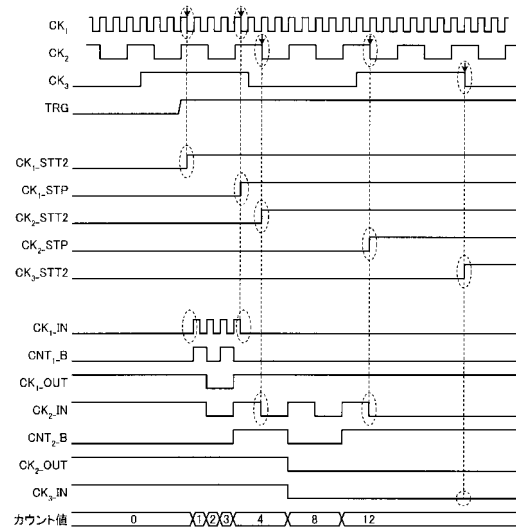
【図4】



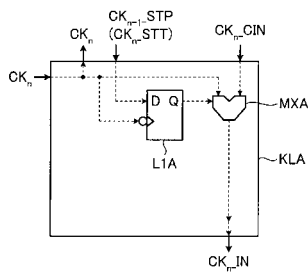
【図5】



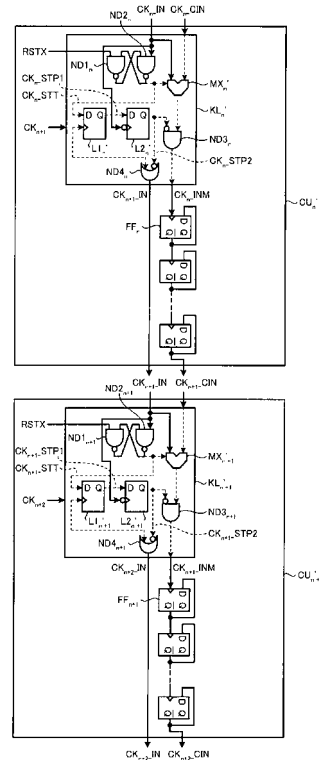
【図6】



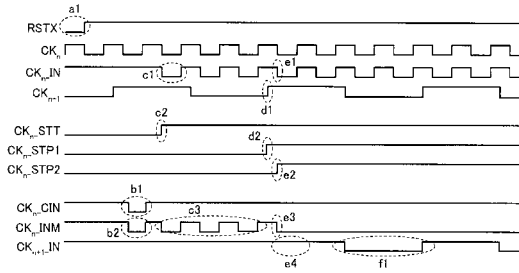
【図7】



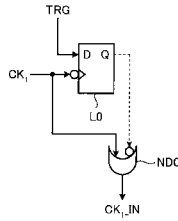
【図8】



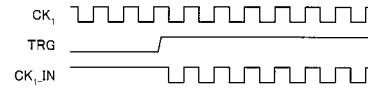
【 図 9 】



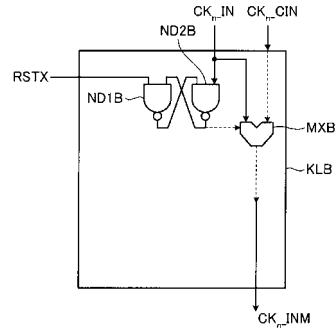
【 図 10 】



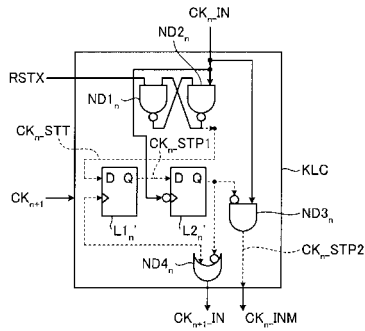
【 図 11 】



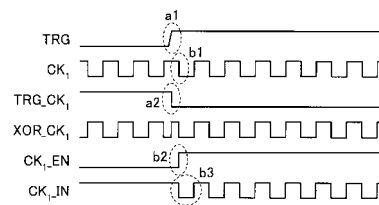
【 図 12 】



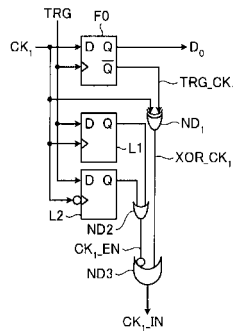
【 図 13 】



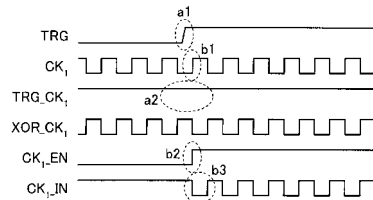
【 図 15 】



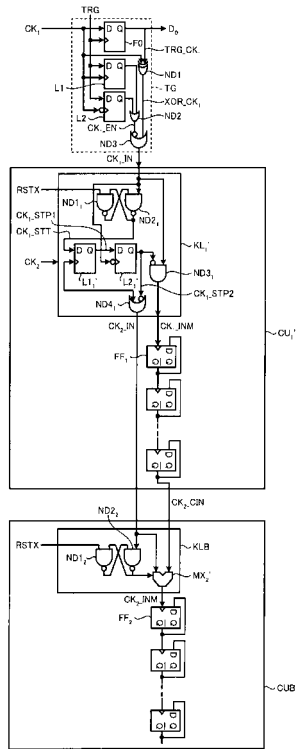
【 図 14 】



【 図 16 】



【 図 17 】



フロントページの続き

(56)参考文献 特開2008-283556(JP,A)
特開2009-38726(JP,A)
特開2010-141543(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 21/02
H01L 27/146
H04N 5/378