

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-160721
(P2012-160721A)

(43) 公開日 平成24年8月23日 (2012. 8. 23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/792 (2006.01)	HO 1 L 29/78 6 1 3 B	5 F 1 1 0
HO 1 L 29/788 (2006.01)	HO 1 L 29/78 6 1 8 B	
HO 1 L 21/336 (2006.01)	HO 1 L 27/10 4 8 1	
審査請求 未請求 請求項の数 5 O L (全 25 頁) 最終頁に続く		

(21) 出願番号 特願2012-1842 (P2012-1842)	(71) 出願人 000153878
(22) 出願日 平成24年1月10日 (2012. 1. 10)	株式会社半導体エネルギー研究所
(31) 優先権主張番号 特願2011-4874 (P2011-4874)	神奈川県厚木市長谷 3 9 8 番地
(32) 優先日 平成23年1月13日 (2011. 1. 13)	(72) 発明者 波多野 剛久
(33) 優先権主張国 日本国 (JP)	神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内
F ターム (参考) 5F083 EP02 EP17 EP23 EP33 EP34	
EP43 EP55 EP56 EP76 ER03	
ER07 ER14 ER19 ER22 GA06	
GA10 GA15 HA02 HA06 JA02	
JA05 JA19 JA35 JA36 JA37	
JA39 JA40 JA42 JA56 JA58	
JA60 KA01 KA05 KA11 LA04	
LA05 LA10 LA12 LA16 LA20	
PR12 PR22 PR23 PR33 PR34	
最終頁に続く	

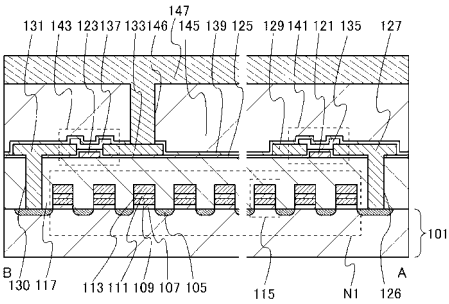
(54) 【発明の名称】 記憶装置

(57) 【要約】

【課題】 誤書込みを防止することが可能な記憶装置を提供する。

【解決手段】 複数のメモリセルが直列に接続されたNANDセルユニットと、NANDセルユニットの一方の端子に接続する第1の選択トランジスタと、NANDセルユニットの他方の端子に接続する第2の選択トランジスタと、第1の選択トランジスタと接続するソース線と、該ソース線と交差し、且つ第2の選択トランジスタと接続するビット線とを有し、第1の選択トランジスタ及び第2の選択トランジスタは、チャネル領域が酸化物半導体層で形成されたトランジスタである。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数のメモリセルが直列に接続されたNANDセルユニットと、
前記NANDセルユニットの一方の端子に接続する第1の選択トランジスタと、
前記NANDセルユニットの他方の端子に接続する第2の選択トランジスタと、
前記第1の選択トランジスタと接続するソース線と、
前記第2の選択トランジスタと接続するビット線とを有し、
前記第1の選択トランジスタ及び前記第2の選択トランジスタは、チャンネル領域が酸化物半導体層で形成されたトランジスタであることを特徴とする記憶装置。

【請求項 2】

複数のメモリセルが直列に接続されたNANDセルユニットと、
前記NANDセルユニットの第1の端子とソース線との間で接続された第1の選択トランジスタと、
前記NANDセルユニットの第2の端子とビット線との間で接続された第2の選択トランジスタとを有し、
前記第1の選択トランジスタ及び前記第2の選択トランジスタは、チャンネル領域が酸化物半導体層で形成されたトランジスタであることを特徴とする記憶装置。

【請求項 3】

第1の端子がソース線に接続し、第2の端子が、直列に接続したメモリセルを有するNANDセルユニットの第1の端子に接続する第1の選択トランジスタと、
第1の端子がビット線に接続し、第2の端子が、前記直列に接続したメモリセルを有するNANDセルユニットの第2の端子に接続する第2の選択トランジスタとを有し、
前記第1の選択トランジスタ及び前記第2の選択トランジスタは、チャンネル領域が酸化物半導体層で形成されたトランジスタであることを特徴とする記憶装置。

【請求項 4】

請求項1乃至請求項3のいずれか一項において、前記第1の選択トランジスタ及び前記第2の選択トランジスタは、前記NANDセルユニット上に形成された絶縁層を介して、前記NANDセルユニットと重畳することを特徴とする記憶装置。

【請求項 5】

請求項1乃至請求項4のいずれか一項において、前記酸化物半導体層は、In、Ga、SnおよびZnから選ばれた二種以上の元素を含むことを特徴とする記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的に、書込み、読出し及び消去が可能な不揮発性記憶装置に関する。

【背景技術】

【0002】

記憶装置には、揮発性メモリに分類されるDRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory)、不揮発性メモリに分類されるマスクROM (Read Only Memory)、EPROM (Electrically Programmable Read Only Memory)、EEPROM (Electrically Erasable and Programmable Read Only Memory)、フラッシュメモリ、強誘電体メモリなどがある。上記の記憶装置の中でも、フラッシュメモリは、データの書込みと消去を繰り返し行うことができ、電源の供給がなくてもデータの保持が可能な不揮発性メモリであるために、利便性が高く、また、物理的な衝撃に強いいため、主にUSBメモリ、メモリーカードなどの携帯型の記憶媒体に用いられ、市場に広く出回っている。

【0003】

フラッシュメモリには、複数のメモリセルが直列に接続された構造を有するNAND型と

10

20

30

40

50

、複数のメモリセルがマトリクス状に接続された構造を有するNOR型とがあるが、いずれのフラッシュメモリも、記憶素子として機能するトランジスタを各メモリセルに有する。そして、この記憶素子として機能するトランジスタは、フローティングゲートとよばれる電荷を蓄積するための層を、制御ゲートと、半導体基板で形成されるチャネル領域との間に有しており、フローティングゲートにおける電荷の蓄積によりデータの記憶を行うことができる（特許文献1参照）。

【0004】

また、NAND型の記憶装置は、隣接する複数のメモリセルがソース及びドレイン（不純物領域）を共有することで直列接続されたNANDセルユニットを複数有する。各NANDセルユニットの一端は、第1の選択トランジスタを介して共通ソース線に接続する。また、各NANDセルユニットの他端は、第2の選択トランジスタを介してビット線に接続する。また、記憶装置において、各NANDセルユニットに接続する第1の選択トランジスタの選択ゲートがそれぞれ接続されている。また、各NANDセルユニットに接続する第2の選択トランジスタの選択ゲートがそれぞれ接続されている。また、同じ行のメモリセルの制御ゲートはそれぞれ接続されている。

10

【0005】

NAND型の記憶装置において、メモリセルを消去状態、すなわち“1”の状態とした後、“0”を書込む。“0”を書込む際は、第1の選択トランジスタ及び第2の選択トランジスタの一方をオフ状態とし、他方をオン状態とする。一方、“1”を保持する際は、第1の選択トランジスタ及び第2の選択トランジスタの両方をオフ状態とする。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平11-121721号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、“1”を保持する際は、第1の選択トランジスタ及び第2の選択トランジスタにはわずかなリーク電流が生じてしまい、誤書込みの原因となる。または、第2の選択トランジスタのオフ状態を保つために、第2の選択トランジスタを制御するための制御回路を別途設ける必要があり、記憶装置の大型化の原因となっている。

30

【0008】

そこで、本発明の一態様は、誤書込みを防止することが可能な記憶装置を提供することを課題とする。

【課題を解決するための手段】

【0009】

本発明の一態様は、複数のメモリセルが直列に接続されたNANDセルユニットと、NANDセルユニットの一方の端子に接続する第1の選択トランジスタと、NANDセルユニットの他方の端子に接続する第2の選択トランジスタと、第1の選択トランジスタと接続するソース線と、該ソース線と交差し、且つ第2の選択トランジスタと接続するビット線とを有し、第1の選択トランジスタ及び第2の選択トランジスタは、チャネル領域が酸化物半導体層で形成されたトランジスタであることを特徴とする。

40

【0010】

また、本発明の一態様は、複数のメモリセルが直列に接続されたNANDセルユニットと、NANDセルユニットの第1の端子とソース線との間で接続された第1の選択トランジスタと、NANDセルユニットの第2の端子とビット線との間で接続された第2の選択トランジスタとを有し、第1の選択トランジスタ及び第2の選択トランジスタは、チャネル領域が酸化物半導体層で形成されたトランジスタであることを特徴とする。

【0011】

また、本発明の一態様は、第1の端子がソース線に接続し、第2の端子が、直列に接続し

50

たメモリセルの第 1 の端子に接続する第 1 の選択トランジスタと、第 1 の端子がビット線に接続し、第 2 の端子が、直列に接続したメモリセルの第 2 の端子に接続する第 2 の選択トランジスタとを有し、第 1 の選択トランジスタ及び第 2 の選択トランジスタは、チャネル領域が酸化物半導体層で形成されたトランジスタであることを特徴とする。

【0012】

なお、第 1 の選択トランジスタ及び第 2 の選択トランジスタは、絶縁層を介して NAND セルユニットと重畳している。

【0013】

また、酸化物半導体層は、In、Ga、Sn 及び Zn から選ばれた二種以上の元素を含む。

【発明の効果】

【0014】

選択トランジスタとして、酸化物半導体層をチャネル領域に用いたトランジスタを用いることで、記憶装置の誤書込みを防止することができる。

【図面の簡単な説明】

【0015】

【図 1】本発明の一実施の形態に係る記憶装置を説明する上面図である。

【図 2】本発明の一実施の形態に係る記憶装置を説明する断面図である。

【図 3】本発明の一実施の形態に係る記憶装置を説明する回路図である。

【図 4】本発明の一実施の形態に係る記憶装置の動作を説明する回路図である。

【図 5】本発明の一実施の形態に係る記憶装置の動作を説明する回路図である。

【図 6】本発明の一実施の形態に係る記憶装置の動作を説明する回路図である。

【図 7】本発明の一実施の形態に係る記憶装置を説明するブロック図である。

【図 8】本発明の一実施の形態に係る記憶装置の作製方法を説明する断面図である。

【図 9】本発明の一実施の形態に係る記憶装置の作製方法を説明する断面図である。

【図 10】本発明の一実施の形態に係る記憶装置の作製方法を説明する断面図である。

【図 11】本発明の一実施の形態に係る記憶装置を説明する断面図である。

【発明を実施するための形態】

【0016】

本発明の実施の形態について、図面を参照して以下に説明する。ただし、本発明は以下の説明に限定されるものではない。本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

【0017】

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、または領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【0018】

なお、本明細書にて用いる第 1、第 2、第 3 といった序数を用いた用語は、構成要素を識別するために便宜上付したものであり、その数を限定するものではない。

【0019】

また、電圧とは、ある電位と、基準の電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

【0020】

なお、トランジスタにおけるソース電極とドレイン電極は、いずれも半導体層に接続するものであり、ゲート電極に電圧が印加された時にソース電極及びドレイン電極の間に電位差に応じて電流を流すため、ソース電極及びドレイン電極は動作によって入れ替わるこ

10

20

30

40

50

があり場所による特定が困難なケースがある。そこで、トランジスタの構造を説明する場合に、一対の電極と呼称する。または、一対の電極の一方、他方と呼称する。または、ソース電極、ドレイン電極と呼称する。なお、こうした呼称の仕方による意味の差は特にならない。

【0021】

また、「接続」とは、異なる素子が直接接続する構造のほかに、異なる素子の間に、配線、素子、電極等を有して電氣的に接続する構造も含む。

【0022】

(実施の形態1)

本実施の形態では、メモリセルのチャネル領域の電位を制御する選択トランジスタを、酸化

化物半導体層を有するトランジスタで形成したNAND型の記憶装置について、図1乃至

図3を用いて説明する。

【0023】

図3は、記憶装置に含まれるNAND型メモリセルアレイを示す回路図である。第1の選択トランジスタS1を介して、NANDセルユニットN1がソース線SLに接続し、第2の選択トランジスタS2を介してNANDセルユニットN1がビット線BLに接続する。NANDセルユニットN1は、複数のメモリセル(M0~M31)が直列に接続されている。即ち、第1の選択トランジスタS1のソース及びドレインの一方はソース線SLと接続する。NANDセルユニットN1の一方の端子は、第1の選択トランジスタS1のソース及びドレインの他方と接続する。NANDセルユニットN1の他方の端子は、第2の選択トランジスタS2のソース及びドレインの一方と接続する。第2の選択トランジスタS2のソース及びドレインの他方はビット線BLと接続する。また、複数のNANDセルユニット、第1の選択トランジスタS1、及び第2の選択トランジスタS2が複数集まってブロックBLK1を構成している。

【0024】

第1の選択トランジスタS1は、ブロックBLK1の同一行に位置する他の第1の選択トランジスタと選択ゲート線SG1が共通接続される。第2の選択トランジスタS2は、ブロックBLK1の同一行に位置する他の第2の選択トランジスタと選択ゲート線SG2が共通接続される。NANDセルユニットN1におけるメモリセルは、ブロックBLK1の同一行に位置する他のメモリセルとワード線が共通接続される。図3においては、ブロックBLK1のワード線は32本である(ワード線WL0~WL31)。

【0025】

次に、第1の選択トランジスタS1、NANDセルユニットN1、及び第2の選択トランジスタS2の上面構造及び断面構造について、図1及び図2を用いて説明する。

【0026】

図1は、NANDセルユニットN1の上面図であり、一点破線A-Bの断面図を図2に示す。なお、図3に示す第1の選択トランジスタS1及び第2の選択トランジスタS2はそれぞれ、図2に示す選択トランジスタ141及び選択トランジスタ143に相当する。

【0027】

NANDセルユニットN1は、隣接する複数のメモリセル115がソース及びドレイン(不純物領域105)を共有することで、直列接続している。また、複数のメモリセル115上には、絶縁層117が設けられる。また、絶縁層117上には、選択トランジスタ141及び選択トランジスタ143が設けられる。

【0028】

選択トランジスタ141の一対の電極の一方の電極129は、ソース線SLとして機能する。また、選択トランジスタ141の一対の電極の他方の電極127は、絶縁層117に形成された開口部126を介してメモリセル115の一方の端部である不純物領域105と接続する。

【0029】

選択トランジスタ143の一対の電極の一方の電極131は、絶縁層117に形成された

10

20

30

40

50

開口部 130 を介してメモリセル 115 の他方の端部である不純物領域 105 と接続する。また、選択トランジスタ 143 の一对の電極の他方の電極 133 は、選択トランジスタ 141 及び選択トランジスタ 143 上に形成された絶縁層 139 及び絶縁層 145 の開口部 146 を介して、導電層 147 と接続する。なお、導電層 147 は、ビット線 BL として機能する。本実施の形態においては、選択トランジスタ 141 及び選択トランジスタ 143 を、酸化物半導体層をチャネル領域に用いたトランジスタで形成することを特徴とする。

【0030】

酸化物半導体はエネルギーギャップが広いいため、酸化物半導体層をチャネル領域に用いたトランジスタは、オフ電流が極めて低い。このため、選択トランジスタ 141 及び選択トランジスタ 143 を、酸化物半導体層を用いたトランジスタで形成することで、リーク電流を低減できる。このため、記憶装置の誤書込みを防止することができる。また、選択トランジスタは絶縁層を介して NAND セルユニットと重畳しているため、記憶装置の高集積化が可能である。

【0031】

次に、メモリセル 115 の構造の一形態について、以下に説明する。

【0032】

メモリセル 115 は、不純物領域 105 を有する半導体基板 101、半導体基板 101 上で積層する第 1 の絶縁層 107、フローティングゲート電極 109、第 2 の絶縁層 111、及び制御ゲート電極 113 で構成される。半導体基板 101 に形成されるチャネル領域は、半導体基板 101 に形成される不純物領域 105 の間に位置し、且つフローティングゲート電極 109 及び制御ゲート電極 113 と重畳する領域である。

【0033】

半導体基板としては、代表的には、n 型または p 型の導電型を有する単結晶シリコン基板（シリコンウェハ）、化合物半導体基板（SiC 基板、サファイア基板、GaN 基板等）を用いることができる。また、SOI（Silicon On Insulator）基板として、鏡面研磨ウェハに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて作られた所謂 SIMOX（Separation by Implanted Oxygen）基板や、水素イオン注入により形成された微小ボイドの熱処理による成長を利用して半導体基板を劈開するスマートカット法や、ELTRAN 法（Epitaxial Layer Transfer：キャノンの登録商標）等を用いて形成した SOI 基板を用いてもよい。

【0034】

一对の不純物領域 105 は、メモリセル 115 においてソース及びドレインとして機能する領域である。不純物領域 105 は、半導体基板 101 が p 型である場合には、n 型不純物であるリン若しくはヒ素を添加することで形成される。また、半導体基板 101 が n 型である場合には、p 型不純物であるボロンを添加することで形成される。なお、不純物領域 105 における n 型不純物または p 型不純物の濃度は、 $1 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{21} / \text{cm}^3$ 以下である。本実施の形態では、半導体基板 101 として p 型の半導体基板を用い、一对の不純物領域 105 として、n 型の不純物領域を形成する。

【0035】

第 1 の絶縁層 107 は、不揮発性メモリ素子においてトンネル絶縁層として機能しうる。第 2 の絶縁層 111 は、不揮発性メモリ素子においてコントロール絶縁層として機能しうる。第 1 の絶縁層 107 は、酸化シリコン若しくは酸化シリコンと窒化シリコンとの積層構造で形成することが好ましい。この第 1 の絶縁層 107 は 1 nm 以上 10 nm 以下、好ましくは 1 nm 以上 5 nm 以下の厚さに形成することが好ましい。

【0036】

第 2 の絶縁層 111 は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウムなどの一層若しくは複数層を用いる。第 2 の絶縁層 111 の厚さは 1 nm 以上 20 nm

10

20

30

40

50

以下、好ましくは5 nm以上10 nm以下で形成する。

【0037】

フローティングゲート電極109は、導電層、多結晶シリコン層、シリコン量子構造体等で形成することができる。導電層は、タングステン、タンタル、チタン、モリブデン、クロム、ニッケルから選ばれた元素でなる層、または上記元素の窒化物でなる層（代表的には、窒化タングステン層、窒化タンタル層、窒化チタン層）、または上記元素を組み合わせた合金層（代表的にはMo-W合金層、Mo-Ta合金層）、または上記元素のシリサイド層（代表的にはタングステンシリサイド層、チタンシリサイド層、ニッケルシリサイド層）を用いることができる。また、多結晶シリコン層には、リンやボロンなどの不純物を添加してもよい。シリコン量子構造体とは、結晶粒径が数nmの結晶性シリコンである。シリコン量子構造体は、シリコンドットともよばれる。

10

【0038】

また、フローティングゲート電極109の代わりに、窒化シリコン、窒化ゲルマニウム等で形成された電荷蓄積層を用いてもよい。

【0039】

制御ゲート電極113は、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物層と上記の金属層の積層構造で制御ゲート電極113を形成してもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物層を設けることにより、金属層の密着性を向上させることができ、剥離を防止することができる。

20

【0040】

なお、図示しないが、隣接するNANDセルユニットを素子分離層で分離している。

【0041】

また、第1の絶縁層107、フローティングゲート電極109、第2の絶縁層111、及び制御ゲート電極113の側壁には、絶縁層で形成されるスペーサを有してもよい。当該スペーサにより、フローティングゲート電極109及び制御ゲート電極113の端部においてリーク電流を防ぐ効果がある。また、このスペーサを利用して、スペーサの下方に低濃度不純物領域を形成することができる。低濃度不純物領域は低濃度ドレイン(LDD)として機能する。低濃度不純物領域は必須の構成とはならないが、この領域を設けることにより、ドレイン端の電界を緩和して、メモリセルの劣化を抑制することができる。

30

【0042】

また、図示しないが、半導体基板101がn型である場合には、p型不純物が注入されたpウェル領域を形成し、当該領域においてp型トランジスタを作製してもよい。また、半導体基板101がp型である場合には、n型不純物が注入されたnウェル領域を形成し、当該領域において、n型トランジスタを作製してもよい。pウェル領域またはnウェル領域におけるn型不純物またはp型不純物の濃度は、 $5 \times 10^{15} / \text{cm}^3$ 以上 $1 \times 10^{16} / \text{cm}^3$ 以下である。

【0043】

メモリセル115上には、絶縁層117が設けられる。絶縁層117は、メモリセル115と、選択トランジスタ141及び選択トランジスタ143とを絶縁するための層間絶縁層として機能する。絶縁層117は、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層等を用いることができる。または、エポキシ樹脂、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料、若しくはシロキサン樹脂等のシロキサン材料からなる層を用いることができる。また、絶縁層117をSiOF、SiOC、DLC、ポーラスシリカ等の比誘電率がおよそ4以下の低比誘電率材料を用いて形成することが好ましい。なお、比誘電率4以下の低比誘電率材料はlow-k材料ともいわれる。このようにlow-k材料を用いて絶縁層を形成することで、配線間容量を下げることができ、消費電力の低減が可能である。

40

50

【0044】

選択トランジスタ141は、絶縁層117上に設けられたゲート電極121と、絶縁層117及びゲート電極121を覆うゲート絶縁層125と、ゲート絶縁層125上に設けられる一対の電極127、129と、ゲート絶縁層125及び一対の電極127、129とに接する酸化半導体層135と、で構成される。また、選択トランジスタ141の一対の電極の一方の電極129がソース線SLとして機能する。また、一対の電極の他方の電極127は、絶縁層117及びゲート絶縁層125に形成された開口部126を介してメモリセル115の不純物領域105に接続する。

【0045】

選択トランジスタ143は、絶縁層117上に設けられたゲート電極123と、絶縁層117及びゲート電極123を覆うゲート絶縁層125と、ゲート絶縁層125上に設けられる一対の電極131、133と、ゲート絶縁層125及び一対の電極131、133とに接する酸化半導体層137と、で構成される。また、一対の電極の一方の電極131は、絶縁層117及びゲート絶縁層125に形成された開口部130を介してメモリセル115の不純物領域105に接続する。また、選択トランジスタ143の一対の電極の他方の電極133は、選択トランジスタ141及び選択トランジスタ143上に形成された絶縁層139及び絶縁層145の開口部146を介して、ビット線BLとして機能する導電層147と接続する。

【0046】

ゲート電極121、123は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、上述した金属元素を成分とする合金、または上述した金属元素を組み合わせた合金などを用いることができる。また、マンガン、ジルコニウムのいずれか一または両方から選択された金属元素を用いてもよい。また、ゲート電極121、123は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する二層構造、窒化チタン層上にチタン層を積層する二層構造、窒化チタン層上にタングステン層を積層する二層構造、窒化タンタル層上にタングステン層を積層する二層構造、チタン層と、そのチタン層上にアルミニウム層を積層し、さらにその上にチタン層を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の層、複数組み合わせ合わせた合金層、または窒化物層を用いてもよい。

【0047】

また、ゲート電極121、123は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0048】

また、ゲート電極121、123とゲート絶縁層125との間に、ゲート絶縁層125に接する層として、窒素を含むIn-Ga-Zn系酸化物層、窒素を含むIn-Sn系酸化物層、窒素を含むIn-Ga系酸化物層、窒素を含むIn-Zn系酸化物層、窒素を含むSn系酸化物層、窒素を含むIn系酸化物層、金属窒化層(InN、ZnNなど)等を設けることが好ましい。これらの層は5eV、好ましくは5.5eV以上の仕事関数を有し、トランジスタの電気特性のしきい値電圧を正にすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。例えば、窒素を含むIn-Ga-Zn系酸化物を用いる場合、少なくとも酸化半導体層より高い窒素濃度、具体的には7原子%以上のIn-Ga-Zn系酸化物を用いる。

【0049】

ゲート絶縁層125は、加熱により酸素の一部が放出する酸化半導体層を用いて形成する。加熱により酸素の一部が放出する酸化半導体層としては、化学量論比を満たす酸素より

10

20

30

40

50

も多くの酸素を含む酸化物絶縁層を用いることが好ましい。加熱により酸素の一部が放出する酸化物絶縁層は、加熱により酸化物半導体層137に酸素を拡散させることができる。ゲート絶縁層125に用いることが可能な酸化物絶縁層は、代表的には、酸化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、酸化窒化アルミニウム層、酸化ガリウム層、酸化ハフニウム層、酸化イットリウム層等を用いることができる。

【0050】

一对の電極127、129、131、133は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、上述した金属元素を成分とする合金、または上述した金属元素を組み合わせた合金などを用いることができる。また、マンガン、マグネシウム、ジルコニウム、ベリリウムのいずれか一または複数から選択された金属元素を用いてもよい。また、一对の電極127、129、131、133は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、チタン層上にアルミニウム層を積層する二層構造、窒化チタン層上にチタン層を積層する二層構造、窒化チタン層上にタングステン層を積層する二層構造、窒化タンタル層上にタングステン層を積層する二層構造、チタン層と、そのチタン層上にアルミニウム層を積層し、さらにその上にチタン層を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の層、複数組み合わせた合金層、または窒化層を用いてもよい。半導体基板101に接する領域に、チタン層、窒化チタン層、窒化タンタル層等のバリア層を設けることで、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタン層をバリア層として形成すると、半導体基板が大気に触れることにより酸化し形成される絶縁層が半導体基板上に形成されていたとしても、この絶縁層を還元し、半導体基板と良好なコンタクトをとることができる。

【0051】

酸化物半導体層135、137は、四元系金属酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属酸化物であるIn-Ga-Zn系酸化物、In-Sn-Zn系酸化物、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、二元系金属酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、In-Ga系酸化物などを用いることができる。また、上記酸化物半導体にSiO₂を含んでもよい。ここで、例えば、In-Ga-Zn系酸化物とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物層である。なお、酸化物半導体層135、137として、上記金属酸化物に $1 \times 10^{17} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 未満の窒素が含まれていてもよい。

【0052】

なお、酸化物半導体層135、137に形成することが可能な金属酸化物は、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

【0053】

また、酸化物半導体層135、137のキャリア密度が $5 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下である。また、酸化物半導体層135、137においてドナーとして寄与する水素や酸素欠陥は少ないことが好ましく、水素濃度が $1 \times 10^{16} / \text{cm}^3$ 以下が好ましい。

【0054】

酸化物半導体層135、137の水素濃度を低減することで、トランジスタの電気特性及び信頼性を高めることができる。

【0055】

酸化物半導体層135、137は、非晶質状態を用いることができる。または、非晶質及び結晶の混合状態を用いることができる。

【0056】

または、酸化物半導体層135、137として、非単結晶であって、そのab面に垂直な方向から観察して、三角形、または、六角形、または正三角形、正六角形の原子配列を有し、且つ、c軸に垂直な方向から観察して、金属原子が層状、または、金属原子と酸素原子が層状に配列した相を含む材料、すなわちCAAC酸化物半導体(c-axis aligned crystalline oxide semiconductor)を用いてもよい。

【0057】

CAAC酸化物半導体は単結晶ではないが、また、非晶質のみから形成されているものでもない。また、CAAC酸化物半導体は結晶化した部分(結晶部分)を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

10

【0058】

CAAC酸化物半導体を構成する酸素の一部あるいは全部は窒素で置換されてもよい。また、CAAC酸化物半導体を構成する個々の結晶部分のc軸は一定の方向(例えば、CAAC酸化物半導体層を支持する基板面やCAAC酸化物半導体層の表面や層面、界面等に垂直な方向)に揃っていてもよい。あるいは、CAAC酸化物半導体を構成する個々の結晶部分のab面の法線は一定の方向(例えば、基板面、表面、層面、界面等に垂直な方向)を向いていてもよい。

【0059】

CAAC酸化物半導体は、その組成等に応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成等に応じて、可視光に対して透明であったり不透明であったりする。

20

【0060】

このようなCAAC酸化物半導体の例として、層状に形成され、層表面、或いは、基板面、或いは、界面に垂直な方向から観察すると三角形、または、六角形の原子配列が認められ、且つ、その層断面を観察すると金属原子、または、金属原子と酸素原子(あるいは窒素原子)の層状配列が認められる材料を挙げることができる。

【0061】

CAAC酸化物半導体を用いるトランジスタは、トランジスタに対する光照射やBT試験前後でのしきい値電圧の変化量が少ないため、安定した電気的特性を有する。

30

【0062】

選択トランジスタ141及び選択トランジスタ143のチャネル領域を酸化物半導体層を用いて形成することで、 $1 \times 10^{-19} \text{ A} / \mu\text{m}$ 以下、さらには $1 \times 10^{-20} \text{ A} / \mu\text{m}$ 以下とオフ電流を低減することができる。このため、選択トランジスタ141及び選択トランジスタ143を、酸化物半導体層をチャネル領域に用いたトランジスタで形成することで、リーク電流を低減できる。このため、記憶装置の誤書込みを防止することができる。

【0063】

なお、本実施の形態で示した選択トランジスタ141及び選択トランジスタ143の構造として、絶縁層117上に形成されるゲート電極と、ゲート電極上に形成されるゲート絶縁層と、ゲート絶縁層を介してゲート電極と重畳する酸化物半導体層と、酸化物半導体層及びゲート絶縁層上に形成される一対の電極とを有するボトムゲート構造を用いることができる。

40

【0064】

または、本実施の形態で示した選択トランジスタ141及び選択トランジスタ143の構造として、絶縁層117上に形成される酸化物半導体層と、酸化物半導体層上に形成される一対の電極と、酸化物半導体層及び一対の電極上に形成されるゲート絶縁層と、ゲート絶縁層を介して酸化物半導体層と重畳するゲート電極とを有するトップゲート構造を用いることができる。

【0065】

50

または、本実施の形態で示した選択トランジスタ141及び選択トランジスタ143の構造として、絶縁層117上に形成される一对の電極と、一对の電極上に形成される酸化物半導体層と、酸化物半導体層及び一对の電極上に形成されるゲート絶縁層と、ゲート絶縁層を介して酸化物半導体層と重畳するゲート電極とを有するトップゲート構造を用いることができる。

【0066】

絶縁層139は、ゲート絶縁層125と同様の材料及び構造を適宜用いることができる。

【0067】

絶縁層145は、絶縁層117と同様の材料及び構造を適宜用いることができる。

【0068】

次に、本実施の形態に示すNAND型の記憶装置のデータの書込み、消去、及び読出しについて、図4乃至図6を用いて説明する。

【0069】

はじめに、データの書込みについて説明する。

【0070】

書込み動作では、NANDセルユニットN1が消去状態、つまりNANDセルユニットN1の各メモリセルのしきい値が負電圧の状態にしてから実行される。なお、しきい値電圧が負電圧の場合は"1"の状態、しきい値電圧が正の場合は"0"の状態である。このため、消去状態は、全てのメモリセルに"1"が書き込まれた状態ともいえる。また、書込みは、ソース線SL側のメモリセルM0から順に行う。メモリセルM0への書込みを例として以下に説明する。

【0071】

図4(A)は、"0"書込みをする場合、選択ゲート線SG2に例えばVcc(電源電圧)を印加して第2の選択トランジスタS2をオンにすると共にビット線BLを0V(接地電圧)にする。選択ゲート線SG1は0Vとして、第1の選択トランジスタS1はオフとする。次に、メモリセルM0のワード線WL0を高電圧Vpgm(20V程度)とし、これ以外のワード線を電源電圧Vccより少し高い中間電圧Vpass(10V程度)にする。ビット線BLの電圧は0Vなので、選択されたメモリセルM0のチャンネル領域の電位は0Vとなる。ワード線WL0とチャンネル領域との間の電位差が大きいため、メモリセルM0のフローティングゲート電極にはファウラーノルドハイム(Fowler-Nordheim)型(F-N型)トンネル電流(以下、F-Nトンネル電流と示す。)により、メモリセルM0のフローティングゲート電極に電子が注入される。これにより、メモリセルM0のしきい値電圧が正の状態(メモリセルM0に"0"が書き込まれた状態)となる。

【0072】

一方、"1"の状態が保持されたメモリセルは、図4(B)に示すように、ビット線BLを例えばVcc(電源電圧)にすると、第2の選択トランジスタS2のソースの電位が上昇し、Vcc-Vth(Vthは第2の選択トランジスタS2のしきい値電圧とする。)に達すると、第2の選択トランジスタS2がオフとなる。その際、NANDセルユニットのメモリセルのチャンネルの電位もVcc-Vthまで充電される。従って、メモリセルM0のチャンネル領域はフローティング状態となる。次に、ワード線WL0に高電圧Vpgm(20V)、それ以外のワード線に中間電圧Vpass(10V)を印加すると、各ワード線とチャンネル領域との容量カップリングにより、チャンネル領域の電圧がVcc-Vthから上昇し、例えばメモリセルM0のチャンネル領域の電圧は8V程度となる。メモリセルM0のチャンネル領域の電圧が高電圧に昇圧されるため、"0"の書込みの場合と異なり、ワード線WL0とチャンネル領域の間の電位差が小さい。したがって、メモリセルM0のフローティングゲート電極には、F-Nトンネル電流による電子注入が起こらず、電子はチャンネル領域に残存する。よって、メモリセルM0のしきい値電圧は、負の状態("1"の状態)に保たれる。

【0073】

10

20

30

40

50

次に、データの消去について説明する。

【0074】

消去動作をする場合は、図5（A）に示すように、選択されたブロック内の全てのワード線に負の高電圧（ $-V_{ers}$ ）を印加する。また、ビット線BL、選択ゲート線SG1、及び選択ゲート線SG2に開放電圧（Open）を印加し、ソース線SLに0Vを印加し、ビット線BL及びソース線SLをフローティング状態とする。これにより、ブロックの全てのメモリセルにおいてフローティングゲート電極中の電子がトンネル電流により半導体層に放出される。この結果、これらのメモリセルのしきい値電圧が負方向にシフトする。

【0075】

または、図5（B）に示すように、選択されたブロック内の全てのワード線を0Vする。また、半導体基板101に正の高電圧（ $+V_{ers}$ ）を印加する。また、ビット線BL、選択ゲート線SG1、及び選択ゲート線SG2に開放電圧（Open）を印加し、ソース線SLに0Vを印加し、ビット線BL、ソース線SLをフローティング状態とする。これにより、ブロックの全てのメモリセルにおいてフローティングゲート電極中の電子がトンネル電流により半導体基板に放出される。この結果、これらのメモリセルのしきい値電圧が負方向にシフトする。

【0076】

次に、データの読出しについて説明する。

【0077】

図6に示す読出し動作では、読出しの選択がされたメモリセルM0のワード線WL0を電圧 V_r （例えば0V）とし、非選択のメモリセルのワード線WL1～31及び選択ゲート線SG1、SG2を電源電圧 V_{cc} より少し高い読出し用中間電圧 V_{read} とする。また、ソース線SLに0Vを印加し、ビット線BLに電源電圧 V_{cc} を印加する。これにより、読出しの選択がされたメモリセルM0に電流が流れるか否かを検出する。つまり、メモリセルM0に記憶されたデータが“0”の場合、メモリセルM0はオフなので、ビット線BLは放電しない。一方、メモリセルM0に記憶されたデータが“1”の場合、メモリセルM0はオンするので、ビット線BLが放電する。

【0078】

本実施の形態に示す記憶装置は、第1の選択トランジスタS1及び第2の選択トランジスタS2を、酸化物半導体層をチャネル領域に有するトランジスタで形成する。酸化物半導体層をチャネル領域に有するトランジスタは、オフ電流が極めて低いため、“1”の状態の場合、第1の選択トランジスタS1及び第2の選択トランジスタS2においてリーク電流が生じず、NANDセルユニットN1を確実にフローティングとすることができる。この結果、各ワード線とチャネル領域との容量カップリングにより、記憶されたデータが“1”のメモリセルにおいてチャネル領域の電圧が $V_{cc}-V_{th}$ から上昇し、ワード線WLとチャネル領域との電位差を小さくすることができる。この結果、別途制御回路を設けずとも“1”の保持を確実に行うことが可能であり、誤書込みを抑制することができる。また、記憶装置の小型化が可能である。

【0079】

次に、記憶装置の構成について、図7を用いて説明する。

【0080】

図7は、図3に示すブロックBLK1を複数有するメモリセルアレイを備えた記憶装置のブロック図である。記憶装置300は、メモリセルアレイ301、コラムデコーダ302、ローデコーダ303、インターフェース回路304を有する。メモリセルアレイ301は、マトリクス状に配置された複数のメモリセルを有する。

【0081】

インターフェース回路304は、外部から受信した信号をもとに、コラムデコーダ302及びローデコーダ303を駆動するための信号を生成すると共に、読出したメモリセルのデータを外部に出力する。

10

20

30

40

50

【0082】

コラムデコーダ302は、インターフェース回路304からメモリセルを駆動するための信号を受け取り、書込みまたは読出しを行うためのビット線に送る信号を生成する。ローデコーダ303は、インターフェース回路304からメモリセルを駆動するための信号を受け取り、書込みもしくは読出しを行うためのワード線に送る信号を生成する。コラムデコーダ302からビット線へ出力する信号及びローデコーダ303からワード線へ出力する信号により、メモリセルアレイ301の中においてアクセスを行うメモリセルが一意に定まる。

【0083】

本実施の形態に示す記憶装置は、選択トランジスタを、酸化物半導体層を用いたトランジスタで形成する。当該トランジスタはオフ電流の極めて低いため、リーク電流を低減できる。このため、記憶装置の誤書込みを防止することができる。また、選択トランジスタは絶縁層を介してNANDセルユニットと重畳しているため、記憶装置の高集積化が可能である。

【0084】

(実施の形態2)

本実施の形態では、本実施の形態1に示す記憶装置の作製方法について、図8乃至図10を用いて説明する。

【0085】

半導体基板101上に第1の絶縁層、第1の導電層、第2の絶縁層、及び第2の導電層を形成する。第1の絶縁層、第1の導電層、第2の絶縁層、及び第2の導電層はそれぞれ、実施の形態1に示す第1の絶縁層107、フローティングゲート電極109、第2の絶縁層111、及び制御ゲート電極113に示す材料及び構造を適宜用いることができる。

【0086】

第1の絶縁層は、プラズマCVD法や減圧CVD法により形成してもよいが、好ましくはプラズマ処理による固相酸化若しくは固相窒化で形成するとよい。半導体基板101を、プラズマ処理により酸化または窒化することにより形成した絶縁層は、緻密で絶縁耐圧が高く信頼性に優れているためである。第1の絶縁層は、後に形成されるフローティングゲート電極109に電荷を注入するためのトンネル絶縁層として用いるので、このように丈夫であると厚さを薄くしても、絶縁性を保つことが可能であるため好ましい。

【0087】

プラズマ処理による固相酸化処理若しくは固相窒化処理として、マイクロ波(代表的には2.45GHz)で励起され、電子密度が $1 \times 10^{11} / \text{cm}^3$ 以上 $1 \times 10^{13} / \text{cm}^3$ 以下、且つ電子温度が0.5eV以上1.5eV以下のプラズマを利用することが好ましい。

【0088】

当該プラズマ処理により半導体基板101の表面を酸化する場合には、酸素雰囲気下(例えば、酸素若しくは一酸化二窒素と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)との雰囲気下、または酸素若しくは一酸化二窒素と水素と希ガスとの雰囲気下)で行う。また、プラズマ処理により窒化をする場合には、窒素雰囲気下(例えば、窒素と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)との雰囲気下、窒素と水素と希ガスとの雰囲気下、またはアンモニアと希ガスとの雰囲気下)でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrとを混合したガスを用いてもよい。

【0089】

第1の導電層及び第2の導電層は、スパッタリング法、CVD法、蒸着法等で形成する。

【0090】

第2の絶縁層は、スパッタリング法、CVD法、蒸着法等で形成する。

【0091】

次に、フォトリソグラフィ工程により第2の導電層上にマスクを形成した後、エッチング

10

20

30

40

50

工程により第１の絶縁層、第１の導電層、第２の絶縁層、及び第２の導電層をエッチングして、図８（Ａ）に示すように、第１の絶縁層１０７、フローティングゲート電極１０９、第２の絶縁層１１１、及び制御ゲート電極１１３を形成する。

【００９２】

次に、第１の絶縁層１０７、フローティングゲート電極１０９、第２の絶縁層１１１、及び制御ゲート電極１１３をマスクとして、半導体基板１０１に不純物を添加した後、不純物の活性化のための加熱処理を行って、図８（Ｂ）に示すように、不純物領域１０５を形成する。不純物は、イオンドーピング法、イオン注入法等を適宜用いる。半導体基板１０１がｐ型である場合には、不純物としてリン若しくはヒ素を添加する。また、半導体基板１０１がｎ型である場合には、不純物としてボロンを添加する。

10

【００９３】

以上の工程により、複数のメモリセル１１５が直列に接続したＮＡＮＤセルユニットＮ１を形成することができる。

【００９４】

次に、図８（Ｃ）に示すように、半導体基板１０１及びメモリセル１１５上に絶縁層１１７を形成する。絶縁層１１７は、スパッタリング法、ＣＶＤ法、塗布法、印刷法等を適宜用いて半導体基板１０１及びメモリセル１１５上に絶縁層を形成した後、ＣＭＰ（Chemical Mechanical Polishing）法により当該絶縁層を平坦化して形成する。平坦化された絶縁層１１７を用いることで、後に形成する選択トランジスタ１４１及び選択トランジスタ１４３における電気特性のばらつきを低減することができる。また、歩留まり高く選択トランジスタ１４１及び選択トランジスタ１４３を形成することができる。

20

【００９５】

次に、絶縁層１１７上に導電層を形成した後、フォトリソグラフィ工程により当該導電層上にマスクを形成し、当該マスクを用いて導電層をエッチングして、絶縁層１１７上にゲート電極１２１、１２３を形成する。ゲート電極１２１、１２３となる導電層は、スパッタリング法、ＣＶＤ法、蒸着法等で形成する。

【００９６】

次に、絶縁層１１７及びゲート電極１２１、１２３上にゲート絶縁層１２５を形成する（図９（Ａ）参照）。ゲート絶縁層１２５は、スパッタリング法、ＣＶＤ法、蒸着法等で形成する。

30

【００９７】

次に、ゲート絶縁層１２５上に、フォトリソグラフィ工程によりマスクを形成した後、当該マスクを用いて、絶縁層１１７及びゲート絶縁層１２５をエッチングして、開口部１２６、１３０を形成する。

【００９８】

次に、ゲート絶縁層１２５、及び開口部１２６、１３０上に導電層を形成した後、フォトリソグラフィ工程により当該導電層上にマスクを形成し、当該マスクを用いて導電層をエッチングして、絶縁層１１７及びゲート絶縁層１２５上に一对の電極１２７、１２９、１３１、１３３を形成する。一对の電極１２７、１２９、１３１、１３３となる導電層は、スパッタリング法、ＣＶＤ法、蒸着法等で形成する（図９（Ｂ）参照）。

40

【００９９】

次に、ゲート絶縁層１２５及び一对の電極１２７、１２９、１３１、１３３上に酸化物半導体層を形成する。酸化物半導体層は、スパッタリング法、塗布法、印刷法、パルスレーザー蒸着法等により形成することができる。

【０１００】

なお、１５０℃以上４５０℃以下、好ましくは２００℃以上３５０℃以下に基板を加熱しながら、上記酸化物半導体層を形成することによって、膜中への水分（水素を含む）などの混入を防ぐことができる。また、ｃ軸配向結晶材料で形成される酸化物半導体層を形成することができる。

50

【0101】

また、酸化物半導体層を形成する前に、加熱処理を行って、半導体基板101及び一对の電極127、129、131、133の間に含まれる全ての層から水素を脱離させることが好ましい。なお、当該加熱処理において、ゲート絶縁層125から酸素が脱離しない程度の温度で加熱処理を行うことが好ましい。

【0102】

次に、加熱処理を行う。加熱処理温度は、150℃以上650℃以下、好ましくは200℃以上500℃以下である。また、加熱処理の加熱時間は1分以上24時間以下とする。なお、加熱の温度を徐々に上昇させた後、一定温度としてもよい。当該加熱により、酸化物半導体層に含まれる水素濃度を低減することができる。また、当該加熱処理により、ゲート絶縁層125に含まれる酸素が酸化物半導体層へ拡散し、酸化物半導体層の酸素欠陥を低減することができる。

10

【0103】

加熱処理においては、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、窒素雰囲気、乾燥空気雰囲気、または、希ガス（代表的にはアルゴン）及び酸素の混合雰囲気、若しくは希ガス及び窒素の混合雰囲気とすることが好適である。具体的には、水素などの不純物が、数ppm程度、または数ppb程度にまで除去された高純度ガス雰囲気とすることが好適である。

【0104】

加熱処理に用いる加熱処理装置は特に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、加熱処理装置として、電気炉や、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。

20

【0105】

次に、酸化物半導体層上に、フォトリソグラフィ工程によりマスクを形成した後、当該マスクを用いて、酸化物半導体層をエッチングして、酸化物半導体層135、137を形成する。

30

【0106】

次に、ゲート絶縁層125、一对の電極127、129、131、133、及び酸化物半導体層135、137上に絶縁層139を形成してもよい（図9（C）参照。）。絶縁層139は、スパッタリング法、CVD法、蒸着法等で形成する。

【0107】

絶縁層139を形成した後、水素及び水分をほとんど含まない雰囲気下（窒素雰囲気、酸素雰囲気、乾燥空気雰囲気（例えば、水分については露点−40℃以下、好ましくは露点−60℃以下）など）で加熱処理（温度範囲150℃以上650℃以下、好ましくは200℃以上500℃以下）を行ってもよい。

40

【0108】

以上の工程により、選択トランジスタ141及び選択トランジスタ143を作製することができる。

【0109】

次に、絶縁層145を形成する。絶縁層145は、絶縁層117と同様に形成することができる。

【0110】

次に、絶縁層145上に、フォトリソグラフィ工程によりマスクを形成した後、当該マスクを用いて、絶縁層145をエッチングして、開口部146を形成する。次に、絶縁層1

50

45及び開口部146に導電層を形成した後、フォトリソグラフィ工程により当該導電層上にマスクを形成し、当該マスクを用いて導電層をエッチングして、絶縁層145上に導電層147を形成する。導電層147となる導電層は、スパッタリング法、CVD法、蒸着法等で形成する(図10参照)。

【0111】

以上の工程により、NANDセルユニットと、オフ電流が極めて低い選択トランジスタ141及び選択トランジスタ143を作製することができる。即ち、誤書込みを防止することができる記憶装置を作製することができる。また、選択トランジスタは絶縁層を介してNANDセルユニットと重畳しているため、高集積化された記憶装置を作製することができる。

10

【0112】

(実施の形態3)

本実施の形態では、実施の形態1及び実施の形態2とは異なる構造を有する、酸化物半導体層を用いたトランジスタについて説明する。

【0113】

図11(A)に示すトランジスタ901は、絶縁層117上に形成された、活性層として機能する酸化物半導体層903と、酸化物半導体層903上に形成された一对の電極904、905と、酸化物半導体層903、一对の電極904、905上のゲート絶縁層906と、ゲート絶縁層906上において酸化物半導体層903と重なる位置に設けられたゲート電極907とを有する。

20

【0114】

図11(A)に示すトランジスタ901は、ゲート電極907が酸化物半導体層903の上に形成されているトップゲート型であり、なおかつ、一对の電極904、905が酸化物半導体層903の上に形成されているトップコンタクト型である。そして、トランジスタ901は、一对の電極904、905と、ゲート電極907とが重なっていない。すなわち、一对の電極904、905とゲート電極907との間には、ゲート絶縁層906の膜厚よりも大きい間隔が設けられている。よって、トランジスタ901は、一对の電極904、905とゲート電極907との間に形成される寄生容量を小さく抑えることができるので、高速動作を実現することができる。

【0115】

また、酸化物半導体層903は、ゲート電極907が形成された後に酸化物半導体層903にn型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域908を有する。また、酸化物半導体層903のうち、ゲート絶縁層906を間に挟んでゲート電極907と重なる領域がチャンネル領域909である。酸化物半導体層903では、一对の高濃度領域908の間にチャンネル領域909が設けられている。高濃度領域908を形成するためのドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの15族原子などを用いることができる。

30

【0116】

例えば、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

40

【0117】

n型の導電性を付与するドーパントが添加されている高濃度領域908は、酸化物半導体層903中の他の領域に比べて導電性が高くなる。よって、高濃度領域908を酸化物半導体層903に設けることで、一对の電極904、905の間の抵抗を下げることができる。

【0118】

また、In-Ga-Zn系酸化物半導体を酸化物半導体層903に用いた場合、窒素を添加した後、300℃以上600℃以下で1時間程度加熱処理を施すことにより、高濃度領域908中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。高濃度領域90

50

8中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域908の導電性を高め、一对の電極904、905の間の抵抗を下げることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、一对の電極904、905の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上7 atoms %以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体を得られる場合もある。

【0119】

また、酸化物半導体層903は、CAAC酸化物半導体で構成されていても良い。酸化物半導体層903がCAAC酸化物半導体で構成されている場合、非晶質の場合に比べて酸化物半導体層903の導電率を高めることができるので、一对の電極904、905の間の抵抗を下げるができる。

【0120】

そして、一对の電極904、905の間の抵抗を下げることで、トランジスタ901の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ901の微細化により、メモリセルの占める面積を縮小化し、セルアレイの単位面積あたりの記憶容量を高めることができる。

【0121】

図11(B)に示すトランジスタ911は、絶縁層117上に形成された一对の電極914、915と、一对の電極914、915上に形成された活性層として機能する酸化物半導体層913と、酸化物半導体層913、一对の電極914、915上のゲート絶縁層916と、ゲート絶縁層916上において酸化物半導体層913と重なる位置に設けられたゲート電極917とを有する。

【0122】

図11(B)に示すトランジスタ911は、ゲート電極917が酸化物半導体層913の上に形成されているトップゲート型であり、なおかつ、一对の電極914、915が酸化物半導体層913の下に形成されているボトムコンタクト型である。そして、トランジスタ911は、トランジスタ901と同様に、一对の電極914、915と、ゲート電極917とが重なっていないので、一对の電極914、915とゲート電極917との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

【0123】

また、酸化物半導体層913は、ゲート電極917が形成された後に酸化物半導体層913にn型の導電性を付与するドーパントを添加することで得られる、一对の高濃度領域918を有する。また、酸化物半導体層913のうち、ゲート絶縁層916を間に挟んでゲート電極917と重なる領域がチャンネル領域919である。酸化物半導体層913では、一对の高濃度領域918の間にチャンネル領域919が設けられている。

【0124】

高濃度領域918は、上述した、トランジスタ901が有する高濃度領域908の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域918を形成するためのドーパントの種類については、高濃度領域908の場合を参照することができる。

【0125】

例えば、窒素をドーパントとして用いた場合、高濃度領域918中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

【0126】

n型の導電性を付与するドーパントが添加されている高濃度領域918は、酸化物半導体層913中の他の領域に比べて導電性が高くなる。よって、高濃度領域918を酸化物半導体層913に設けることで、一对の電極914、915の間の抵抗を下げるができる。

【0127】

また、 In-Ga-Zn 系酸化物半導体を酸化物半導体層 913 に用いた場合、窒素を添加した後、 300°C 以上 600°C 以下程度で加熱処理を施すことにより、高濃度領域 918 中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。高濃度領域 918 中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域 918 の導電性を高め、一対の電極 914、915 の間の抵抗を下げるができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、一対の電極 914、915 の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域 918 中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上 $7 \text{ atoms} \%$ 以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体を得られる場合もある。

10

【0128】

また、酸化物半導体層 913 は、 CAAC 酸化物半導体で構成されていても良い。酸化物半導体層 913 が CAAC 酸化物半導体で構成されている場合、非晶質の場合に比べて酸化物半導体層 913 の導電率を高めることができるので、一対の電極 914、915 の間の抵抗を下げるができる。

【0129】

そして、一対の電極 914、915 の間の抵抗を下げることで、トランジスタ 911 の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ 911 の微細化により、メモリセルの占める面積を縮小化し、セルアレイの単位面積あたりの記憶容量を高めることができる。

20

【0130】

図 11 (C) に示すトランジスタ 921 は、絶縁層 117 上に形成された、活性層として機能する酸化物半導体層 923 と、酸化物半導体層 923 上に形成された一対の電極 924、925 と、酸化物半導体層 923、一対の電極 924、925 上のゲート絶縁層 926 と、ゲート絶縁層 926 上において酸化物半導体層 923 と重なる位置に設けられたゲート電極 927 とを有する。さらに、トランジスタ 921 は、ゲート電極 927 の側部に設けられた、絶縁層で形成されたサイドウォール 930 を有する。

【0131】

図 11 (C) に示すトランジスタ 921 は、ゲート電極 927 が酸化物半導体層 923 の上に形成されているトップゲート型であり、なおかつ、一対の電極 924、925 が酸化物半導体層 923 の上に形成されているトップコンタクト型である。そして、トランジスタ 921 は、トランジスタ 901 と同様に、一対の電極 924、925 と、ゲート電極 927 とが重なっていないので、一対の電極 924、925 とゲート電極 927 との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

30

【0132】

また、酸化物半導体層 923 は、ゲート電極 927 が形成された後に酸化物半導体層 923 に n 型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域 928 と、一対の低濃度領域 929 とを有する。また、酸化物半導体層 923 のうち、ゲート絶縁層 926 を間に挟んでゲート電極 927 と重なる領域がチャネル領域 931 である。酸化物半導体層 923 では、一対の高濃度領域 928 の間に一対の低濃度領域 929 が設けられ、一対の低濃度領域 929 の間にチャネル領域 931 が設けられている。そして、一対の低濃度領域 929 は、酸化物半導体層 923 中の、ゲート絶縁層 926 を間に挟んでサイドウォール 930 と重なる領域に設けられている。

40

【0133】

高濃度領域 928 及び低濃度領域 929 は、上述した、トランジスタ 901 が有する高濃度領域 908 の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域 928 を形成するためのドーパントの種類については、高濃度領域 908 の場合を参照することができる。

【0134】

例えば、窒素をドーパントとして用いた場合、高濃度領域 928 中の窒素原子の濃度は、

50

$5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。また、例えば、窒素をドーパントとして用いた場合、低濃度領域 929 中の窒素原子の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 未満であることが望ましい。

【0135】

n 型の導電性を付与するドーパントが添加されている高濃度領域 928 は、酸化物半導体層 923 中の他の領域に比べて導電性が高くなる。よって、高濃度領域 928 を酸化物半導体層 923 に設けることで、一対の電極 924、925 の間の抵抗を下げるができる。また、低濃度領域 929 をチャネル領域 931 と高濃度領域 928 の間に設けることで、短チャネル効果による閾値電圧のマイナスシフトを軽減することができる。

【0136】

また、In-Ga-Zn 系酸化物半導体を酸化物半導体層 923 に用いた場合、窒素を添加した後、300℃以上600℃以下程度で加熱処理を施すことにより、高濃度領域 928 中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。さらに、低濃度領域 929 も、窒素の濃度によっては、上記加熱処理によりウルツ鉱型の結晶構造を有する場合もある。高濃度領域 928 中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域 928 の導電性を高め、一対の電極 924、925 の間の抵抗を下げるができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、一対の電極 924、925 の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域 928 中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上 7 atoms % 以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体を得られる場合もある。

【0137】

また、酸化物半導体層 923 は、CAAC 酸化物半導体で構成されていても良い。酸化物半導体層 923 が CAAC 酸化物半導体で構成されている場合、非晶質の場合に比べて酸化物半導体層 923 の導電率を高めることができるので、一対の電極 924、925 の間の抵抗を下げるができる。

【0138】

そして、一対の電極 924、925 の間の抵抗を下げることで、トランジスタ 921 の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ 921 の微細化により、メモリセルの占める面積を縮小化し、セルアレイの単位面積あたりの記憶容量を高めることができる。

【0139】

図 11 (D) に示すトランジスタ 941 は、絶縁層 117 上に形成された一対の電極 944、945 と、一対の電極 944、945 上に形成された活性層として機能する酸化物半導体層 943 と、酸化物半導体層 943、一対の電極 944、945 上のゲート絶縁層 946 と、ゲート絶縁層 946 上において酸化物半導体層 943 と重なる位置に設けられたゲート電極 947 とを有する。さらに、トランジスタ 941 は、ゲート電極 947 の側部に設けられた、絶縁層で形成されたサイドウォール 950 を有する。

【0140】

図 11 (D) に示すトランジスタ 941 は、ゲート電極 947 が酸化物半導体層 943 の上に形成されているトップゲート型であり、なおかつ、一対の電極 944、945 が酸化物半導体層 943 の下に形成されているボトムコンタクト型である。そして、トランジスタ 941 は、トランジスタ 901 と同様に、一対の電極 944、945 と、ゲート電極 947 とが重なっていないので、一対の電極 944、945 とゲート電極 947 との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

【0141】

また、酸化物半導体層 943 は、ゲート電極 947 が形成された後に酸化物半導体層 943 に n 型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域 948 と、一対の低濃度領域 949 とを有する。また、酸化物半導体層 943 のうち、ゲート絶縁層 946 を間に挟んでゲート電極 947 と重なる領域がチャネル領域 951 である

10

20

30

40

50

。酸化物半導体層 943 では、一対の高濃度領域 948 の間に一対の低濃度領域 949 が設けられ、一対の低濃度領域 949 の間にチャンネル領域 951 が設けられている。そして、一対の低濃度領域 949 は、酸化物半導体層 943 中の、ゲート絶縁層 946 を間に挟んでサイドウォール 950 と重なる領域に設けられている。

【0142】

高濃度領域 948 及び低濃度領域 949 は、上述した、トランジスタ 901 が有する高濃度領域 908 の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域 948 を形成するためのドーパントの種類については、高濃度領域 908 の場合を参照することができる。

【0143】

例えば、窒素をドーパントとして用いた場合、高濃度領域 948 中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。また、例えば、窒素をドーパントとして用いた場合、低濃度領域 949 中の窒素原子の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 未満であることが望ましい。

【0144】

n 型の導電性を付与するドーパントが添加されている高濃度領域 948 は、酸化物半導体層 943 中の他の領域に比べて導電性が高くなる。よって、高濃度領域 948 を酸化物半導体層 943 に設けることで、一対の電極 944、945 の間の抵抗を下げるができる。また、低濃度領域 949 をチャンネル領域 951 と高濃度領域 948 の間に設けることで、短チャンネル効果による閾値電圧のマイナスシフトを軽減することができる。

【0145】

また、In-Ga-Zn 系酸化物半導体を酸化物半導体層 943 に用いた場合、窒素を添加した後、300℃以上600℃以下程度で加熱処理を施すことにより、高濃度領域 948 中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。さらに、低濃度領域 949 も、窒素の濃度によっては、上記加熱処理によりウルツ鉱型の結晶構造を有する場合もある。高濃度領域 948 中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域 948 の導電性を高め、一対の電極 944、945 の間の抵抗を下げるができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、一対の電極 944、945 の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域 948 中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上 7 atoms % 以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体を得られる場合もある。

【0146】

また、酸化物半導体層 943 は、CAAC 酸化物半導体で構成されていても良い。酸化物半導体層 943 が CAAC 酸化物半導体で構成されている場合、非晶質の場合に比べて酸化物半導体層 943 の導電率を高めることができるので、一対の電極 944、945 の間の抵抗を下げるができる。

【0147】

そして、一対の電極 944、945 の間の抵抗を下げることで、トランジスタ 941 の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ 941 の微細化により、メモリセルの占める面積を縮小化し、セルアレイの単位面積あたりの記憶容量を高めることができる。

【0148】

なお、酸化物半導体を用いたトランジスタにおいて、ソース領域またはドレイン領域として機能する高濃度領域をセルフアラインプロセスにて作製する方法の一つとして、酸化物半導体層の表面を露出させて、アルゴンプラズマ処理をおこない、酸化物半導体層のプラズマにさらされた領域の抵抗率を低下させる方法が開示されている (S. Jeon et al. "180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Application", IEDM Tech. D

10

20

30

40

50

i g. , p. 504, 2010.)。

【0149】

しかしながら、上記作製方法では、ゲート絶縁層を形成した後に、ソース領域またはドレイン領域となるべき部分を露出するべく、ゲート絶縁層を部分的に除去する必要がある。よって、ゲート絶縁層が除去される際に、下層の酸化物半導体層も部分的にオーバーエッチングされ、ソース領域またはドレイン領域となるべき部分の膜厚が小さくなってしまう。その結果、ソース領域またはドレイン領域の抵抗が増加し、また、オーバーエッチングによるトランジスタの特性不良が起こりやすくなる。

【0150】

トランジスタの微細化を進めるには、加工精度の高いドライエッチング法を採用する必要がある。しかし、上記オーバーエッチングは、酸化物半導体層とゲート絶縁層の選択比が十分に確保できないドライエッチング法を採用する場合に、顕著に起こりやすい。

10

【0151】

例えば、酸化物半導体層が十分な厚さであればオーバーエッチングも問題にはならないが、チャネル長を200nm以下とする場合には、短チャネル効果を防止する上で、チャネル領域となる部分の酸化物半導体層の厚さは20nm以下、好ましくは10nm以下であることが求められる。そのような薄い酸化物半導体層を扱う場合には、酸化物半導体層のオーバーエッチングは、上述したような、ソース領域またはドレイン領域の抵抗が増加、トランジスタの特性不良を生じさせるため、好ましくない。

【0152】

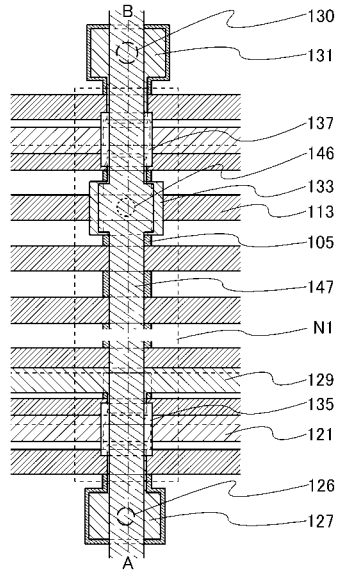
20

しかし、本発明の一態様のように、酸化物半導体層へのドーパントの添加を、酸化物半導体層を露出させず、ゲート絶縁層を残したまま行うことで、酸化物半導体層のオーバーエッチングを防ぎ、酸化物半導体層への過剰なダメージを軽減することができる。また、加えて、酸化物半導体層とゲート絶縁層の界面も清浄に保たれる。従って、トランジスタの特性及び信頼性を高めることができる。

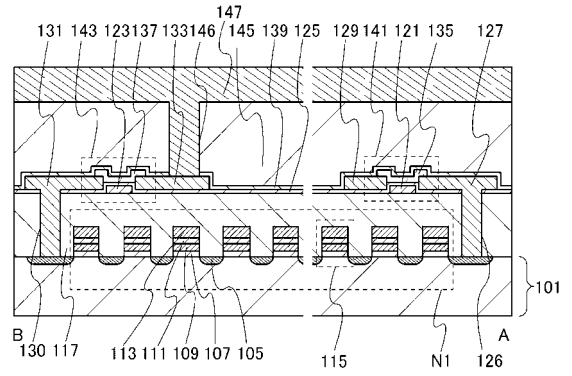
【0153】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

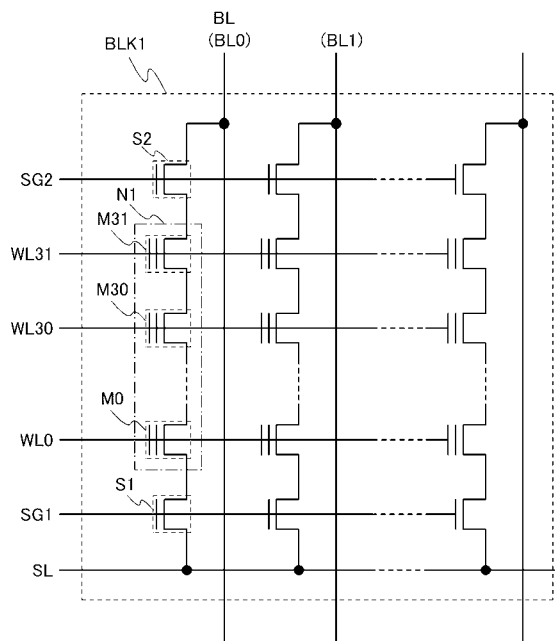
【図 1】



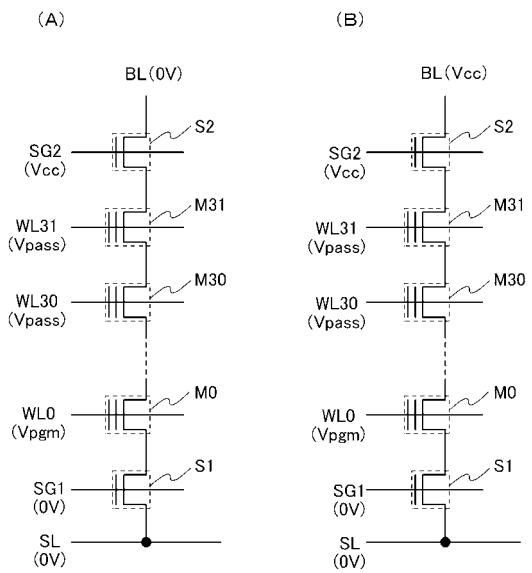
【図 2】



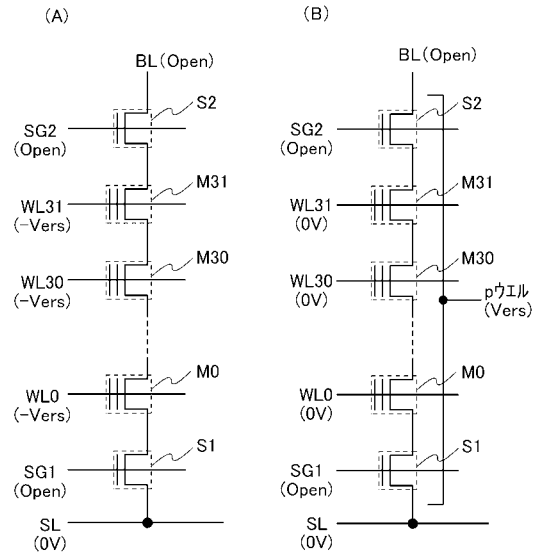
【図 3】



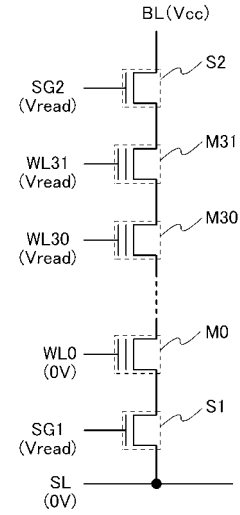
【図 4】



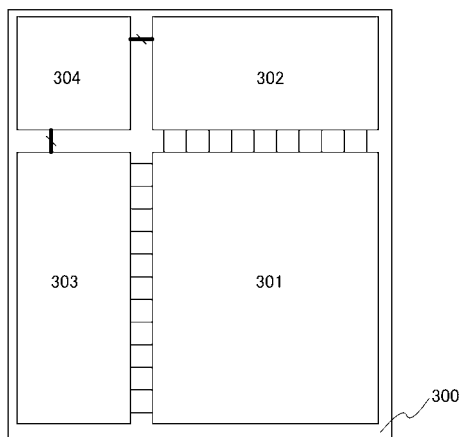
【図 5】



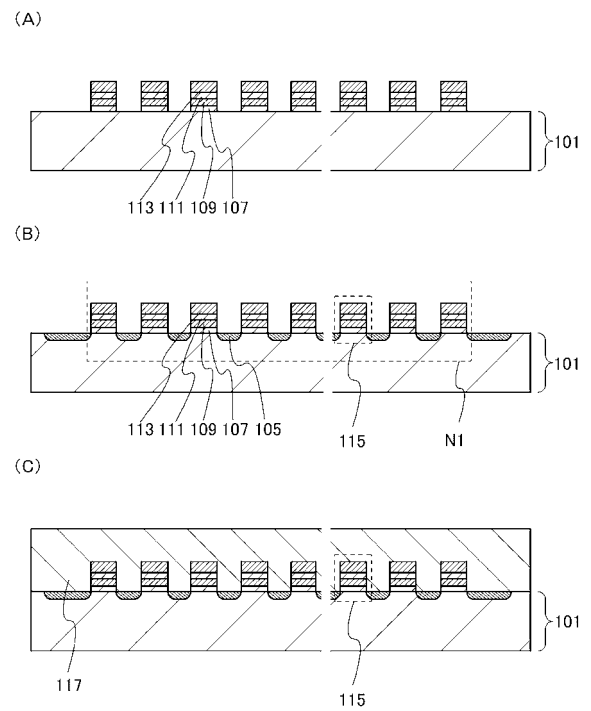
【図 6】



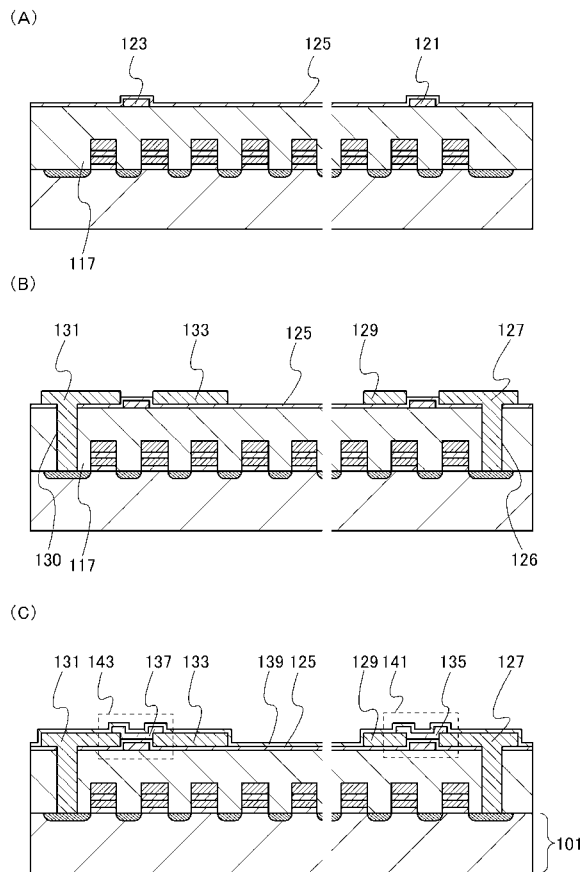
【図 7】



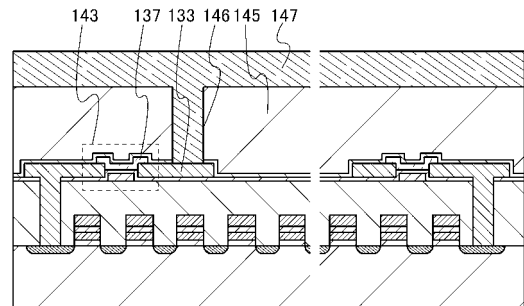
【図 8】



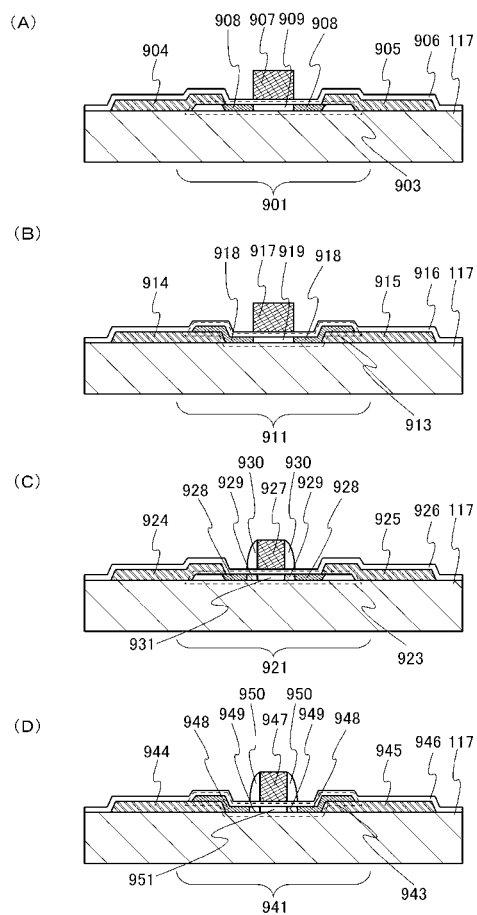
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

H O 1 L 29/786 (2006.01)

H O 1 L 27/10 (2006.01)

F ターム(参考) 5F101 BA01 BA26 BA35 BA36 BA45 BA54 BB05 BC02 BD02 BD22
 BD30 BD34 BH03 BH16
 5F110 AA06 BB05 CC01 CC02 CC03 CC05 CC06 CC07 DD05 DD13
 EE02 EE03 EE04 EE05 EE06 EE07 EE08 EE09 EE11 EE14
 EE15 EE31 EE43 EE44 EE45 FF01 FF02 FF03 FF04 FF09
 FF25 FF26 FF30 FF32 GG01 GG02 GG06 GG13 GG15 GG17
 GG33 GG34 GG42 GG43 GG57 GG58 HJ01 HJ04 HJ12 HJ13
 HJ22 HK01 HK02 HK03 HK04 HK06 HK21 HK32 HK33 HK34
 HL01 HL02 HL03 HL04 HL06 HL11 HL12 HL22 HL23 HL24
 HM07 HM15 NN02 NN22 NN23 NN24 NN27 NN28 NN33 NN34
 NN35 NN62 NN78 QQ11 QQ19