



### (12) 发明专利

(10) 授权公告号 CN 101044668 B

(45) 授权公告日 2012. 10. 10

(21) 申请号 200580035476.8

(22) 申请日 2005.10.13

### (30) 优先权数据

102004050665.5 2004.10.18 DE

(85) PCT申请进入国家阶段日

2007. 04. 17

### (86) PCT 申请的申请数据

PCT/DE2005/001831 2005. 10. 13

### (87) PCT申请的公布数据

W02006/042513 DE 2006.04.27

(73) 专利权人 MK 电子有限公司

地址 德国费尔海姆

(72)发明人 迈克尔·考夫曼

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 梁晓广 陆锦华

(51) Int. Cl.

H02M 3/335 (2006.01)

(56) 对比文件

US 2004/0174147 A1, 2004. 09. 09, 说明书第 [0011], [0015], [0016] 段及附图 3a, 4a, 4b.

US 2003/0039092 A1, 2003. 02. 27, 说明书第 [0003], [0007], [0008], [0012] 段及附图 1, 15.

US 6310792 B1, 2001. 10. 30, 说明书第 1 栏  
第 27 行到第 35 行, 第 2 栏第 54 行到第 4 栏第 58  
行及附图 3-5.

审查员 柴德娥

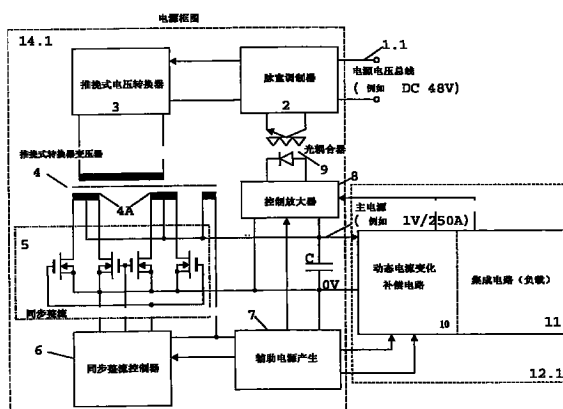
权利要求书 1 页 说明书 4 页 附图 2 页

(54) 发明名称

## 电子系统的电源

(57) 摘要

根据现有技术,由于不能充分补偿动态电流变化,对于时钟控制的高频率集成电路尤其是微处理器的时钟频率增加达到了目前的约 3GHz 的物理极限。本发明的目的是提供具有两位数 GHz 范围的电子系统的电源。为了实现动态电流变化的快速补偿,电流补偿电路 (10) 置于集成电路 (11) 附近或集成到集成电路中。控制放大器 (8) 借助光耦合器 (9) 来影响脉宽调制器 (2)。所述脉宽调制器控制控制具有同步整流 (5) 的正常模式电压转换器 (3,4)。本发明的特定应用领域是未来的高性能微处理器的电源,其发展被前面所述的电源问题所延迟。



1. 以高频率工作或时钟控制的集成电路 (11) 的电子系统电源, 在发生动态工作电流变化的位置处直接对该动态工作电流变化进行补偿, 其中动态电流变化补偿电路 (10) 集成在所述集成电路中发生所述电流变化的位置的邻近处, 其中能够用一些相对于工作电压反向耦合的晶体管实现所述电流变化补偿电路, 所述电流变化补偿电路在半导体芯片中并联至 CPU 的工作电压作为分路控制器, 由此在电源线路和支撑电容器上的电流噪声源不会感应出任何电压尖脉冲, 并且对于安全操作不具有不良影响。

2. 根据权利要求 1 所述的以高频率工作或时钟控制的集成电路 (11) 的电子系统电源, 其特征在于低压电源以这样的距离位于所述集成电路的芯片载体之上, 使得所述集成电路所可能的最短电源线能够尽可能多地缩短用于校正提供给所述集成电路的电源电压所需的时间, 同时消除了对于所述电源在集成电路载体板上所需的空間。

3. 根据权利要求 1 所述的以高频率工作或时钟控制的集成电路 (11) 的电子系统电源, 其特征在于所述集成电路和低压电源由共同的冷却块冷却, 其中, 如果所述冷却块被设计作为所述低压电源的机械部分, 所述冷却块也能担当到消耗装置的电源线。

4. 根据权利要求 1 所述的以高频率工作或时钟控制的集成电路 (11) 的电子系统电源, 其特征在于在对所述集成电路的电源电压变压之前, 在 DC 耦合或去耦的初级侧以这样的方式控制低压电源, 使得能够消除中间电路转换器模块。

5. 根据权利要求 1 所述的以高频率工作或时钟控制的集成电路 (11) 的电子系统电源, 其特征在于设置了推挽式转换器变压器, 并且所述推挽式转换器变压器的漏电感被用作低压电源的存储电感。

6. 根据权利要求 1 所述的以高频率工作或时钟控制的集成电路 (11) 的电子系统电源, 其特征在于设置了推挽式转换器变压器, 并且初级侧的脉宽调制频率是推挽式转换器频率的许多倍, 从而使得同步整流器的转换频率降低 20 到 50 倍。

7. 根据权利要求 1 所述的以高频率工作或时钟控制的集成电路 (11) 的电子系统电源, 其特征在于设置了推挽式转换器变压器, 并且在每种情形中由双绕组构成的推挽式次级绕组被施加到变压器的外侧, 并且在同步整流中并联连接。

8. 根据权利要求 1 所述的以高频率工作或时钟控制的集成电路 (11) 的电子系统电源, 其特征在于通过使容量具有裕度, 所述电源还能作为外围电路的负载点转换器, 由此, 消除了外围电路的电源所需的空間。

## 电子系统的电源

[0001] 本发明涉及具有高工作频率的电子电路的电源。根据摩尔定律,近几十年来,计算机的计算能力每一年半翻一倍。这种能力的提高通过越来越小的半导体结构实现,其导致更高的集成密度,并且因此时钟频率的稳定提高是可能的。这带给这些系统的电源的结果是工作电压的逐渐减小,以及工作电流的相应增大。由于此原因,除了必须的控制精度的提高,对于电源的动态要求也随时钟频率而显著增加。

[0002] 在目前的以约 2 至 3GHz 的时钟频率工作的高性能处理器中,工作电压不可超过  $\pm 5\%$  (约  $\pm 0.05$  至  $0.075V$ ) 以上,动态负载电流变化为约  $350A/\mu s$ ,以使处理器持续正确地工作。

[0003] 例如,如果电源线仅为大约 1.5cm 长和 1cm 宽,而且导线间隔是 1.5mm (双叠层电路板),则线路电感大约是 3nH。这意味着  $350A/\mu s$  的动态电流变化就已在电源线中感应出约为  $\pm 1V$  的电压尖脉冲,也就是在  $U_B = 1.5V$  的工作电压的约  $\pm 70\%$ 。

[0004] 以目前的技术发展水平,尝试用具有高工作频率的负载点 DC/DC 转换器以及相当大数量的支撑电容器来满足这些动态要求,所述负载点 DC/DC 转换器在现在的版本中被配置为具有同步整流和数字相位控制与调整的多相降压变压器,所述支撑电容器分布在芯片表面上,具有分布在整个处理器芯片上的大量电源触点,使电源线电感最小化。

[0005] 为了能够用具有较低的 ESR 和电感的少量小电容器代替高电容支撑电容器,使用了例如由爱立信 (Ericsson) 公司提供的或根据美国专利 6,472,855B2 的 DRC 电路 (动态负载瞬变响应电路)。

[0006] 尽管有这些技术的应用,但为了继续增加时钟速率所进行的努力达到了物理极限 (在商业杂志中称为“电源问题”)。在目前的技术发展水平下,最近如在 2003 年对 2005 年预测的 15GHz 的 CPU 时钟频率看起来不可能实现。利用芯片级的附加设计措施,例如 X 体系结构,细分为几个与外部支撑电容器连接的电源区,以及其他措施,所能达到的最好水平是约 4GHz 的时钟频率为最大频率极限,即便借助于进一步的结构小型化,也不会超过该极限。

[0007] 在目前的技术水平下,无论是利用 90nm 的结构宽度已能达到的超过 70GHz 的晶体管单元频率极限,还是在蒸发冷却 (例如散热管) 中可能的  $1kW/cm^2$  (在芯片和蒸汽温度之间  $\Delta T \approx 5^\circ C$ ) 的热量排放,都没有被完全开发利用。

[0008] 当目前可能的时钟速率被超出的时候,系统会不可控制地崩溃,这可归因于与时钟频率和工作电流成比例的工作电压尖脉冲 (瞬变),尽管芯片结合有相对大量的支撑电容器,但其显著超出了仍然安全的工作电压范围的  $\pm 10\%$ 。由依赖软件和数据流的位奇偶波动 (奇偶噪声) 引起伴随时钟频率的工作电流的动态变化,其与支撑电容器的 ESR 和电感结合产生这些电压尖脉冲。

[0009] 取样计算

[0010] 利用典型处理器的运行数据,1.5V 的工作电压  $U_B$ ,40A 的电流消耗,2GHz 的时钟频率,规格为 1210 的 20 个支撑电容器 (3.2x 2.4x 2.5mm) :

[0011] 在支撑电容器上,  $40A/20 \rightarrow 2A/$  电容器  $\rightarrow$  在 1% 电流噪声,具有 0.25ns 的脉冲宽

度,导致动态电流变化为  $\pm 0.02\text{A}/0.25\text{ns} \approx \pm 8 \cdot 10^7\text{A/s}$ 。

[0012] 与芯片的平均电容器间距为  $2.5\text{mm}/2+0.25\text{mm}$ ,随芯片形成的电感可由公式  $L_c = \mu_0 \cdot A/l$  来计算:

[0013]  $L_c = \mu_0 \cdot 1.5\text{mm} \cdot 2.5\text{mm}/2.5\text{mm} \approx 1.9\text{nH}$

[0014] 因此在这个电感等级下由电流噪声感应的电压是:

[0015]  $\pm 8 \cdot 10^7\text{A/s} \cdot 1.9\text{nH} \approx \pm 0.15\text{V}$

[0016] 这个数字对应平稳运行所仍然允许的  $\pm 10\% U_b$  的工作电压尖脉冲。

[0017] 由于随着日益增加的集成密度(从  $130\text{nm} \rightarrow 90\text{nm} \rightarrow 65\text{nm} \rightarrow 45\text{nm}$  的结构宽度,后者相当于 COMS 栅长)和日益增加的工作电流,工作电压必须从  $2\text{V}$  降低到  $0.9\text{V}$ ,而支撑电容器的数量几乎根本不能再增加,并且其尺寸和芯片间距不能再减少,因此加剧了该问题。这解释了通常被认为是对时钟频率进一步增加的“物理极限”的屏障。

[0018] 本发明的目的是将这些不利因素在它们出现的地方直接消除。在根据本发明提出的方案中,在上面概括描述的类型电子系统的电源中,动态电流变化补偿电路位于发生电流变化的位置的邻近处,例如加法器、高速缓冲存储器、数据总线驱动器等处,或集成在集成电路自身中。

[0019] 从电路板的毫米范围到半导体芯片级的微米范围,动态工作电压稳定化的再分配(借助于电流变化补偿电路),使到负载(电力消耗电路)的电流线路电感以同样的比例因子减少。依照本发明,在对于工作电压瞬变的相同容许范围下,理论上时钟频率能够增加比例因子的倒数倍。

[0020] 在这种情况下,能够实现简单的电流变化补偿电路,例如用一些相对于工作电压电容性地反向耦合的晶体管(密勒积分器),它们在半导体芯片中或其上适当的位置并联至 CPU 的工作电压作为分路控制器(shunt controller)。依赖于应用,在具有约  $1\%$  到  $10\%$  的分路电流

[0021] (工作电流的本地共享)的情况下,发生的所有动态电流变化几乎都能被完全校正,并且在电源线路(外部电源)上能够降低至由 IC 产生的电流变化的约  $1\%$ 。

[0022] 本发明具有以下优点,即,在电源线路和支撑电容器上的电流噪声源不会感应出任何电压尖脉冲,并且对于安全操作不再具有不良影响。这不仅使时钟频率提高了大约十倍,而且还允许支撑电容器的数量和到芯片的电压供应触点减少约  $90\%$ ,因此生产成本大量削减,可靠性充分增强。当应用本发明时,能够使芯片体系结构进一步可观地简化,结果设计费用和设计时间显著减少。

[0023] 具有最大  $3\%$  时钟频率的、约  $20\%$  至  $110\%$  的与程序相关的工作电流变化必须持续被主处理器电源校正,遵守(involving observance)  $U_b = \pm 10\%$ 。为了在约  $25\text{Ghz}$  的时钟频率时也能够继续满足这些要求,必须使主电源位于距微处理器最小可能的距离处(即直接在它上面),并且就当前的技术水平而对它继续优化。在下面的实施例中描述了以这种方式在不同的子功能方面优化了的电源,其使得能够以效率等级提高的形式开发这些改良的协同效果,并且在降低生产成本的同时充分增强可靠性。

[0024] 在本发明的一个实施例中,低压电源位于集成电路的芯片载体之上。通过这样做所实现的是,到集成电路所可能的最短电源线使得能够缩短用于校正提供给集成电路的电源电压所需的时间。由此还实现了,消除了对于电源在集成电路载体板上目前所需的空

[0025] 在另一实施例中,集成电路和低压电源通过共同的冷却块(coolingblock)被冷却。由此所实现的是,消除了对电源分离冷却的装置和费用,并且能够对电源和负载进行防御过高温度的共同保护。除此之外,如果冷却块被设计作为低压电源的机械部分,它也能担当到消耗装置的电源线。

[0026] 在另一实施例中,在对集成电路的电源电压变压之前,在初级侧(DC耦合或去耦)控制低压电源。由此所实现的是,能够以按变压器的变压比减小的初级电流来执行控制。这降低了生产成本,并增加了电源的效率等级。还实现了,能够消除到目前为止所需要的DC中间电路转换器,因为低压电源可以在电源总线(例如,48V)上直接DC去耦地工作。

[0027] 还能实现的是,根据本发明,由于同步整流级或它的控制失效而引起的对集成电路来说是一种危险的电源电压的增长将不再发生。

[0028] 在另一实施例中,推挽式换流变压器的漏电感作为低压电源的存储电感来使用。结果,消除了在目前的技术状态所需要的额外存储电感。

[0029] 在另一实施例中,初级侧的脉宽调制频率是推挽式转换器频率的许多倍。由此所实现的是,与到目前为止的技术水平相比,同步整流器的转换频率降低20到50倍,从而使开关损耗相应降低。

[0030] 在另一实施例中,由双绕组组成的推挽式次级绕组,加于变压器的外侧并与同步整流器并联。本发明导致在同样的电源负荷下,同步整流器的变压器的数量需求减半。

[0031] 在另一实施例中,通过使其容量具有裕度(oversize),电源还可以为充当外围电路的负载点转换器。由此所实现的是,消除了外围电路的电源所需的空間。

[0032] 在附图中示出了本发明的基本实施例:

[0033] 图1是在发生动态电流变化的位置处直接对其进行补偿的电子系统的电源的框图。

[0034] 图2显示了电子系统的电源和要供电的集成电路以及共同的冷却系统的基本机械结构。

[0035] 电子系统的电源需要干线和/或供电总线连接(1.1和1.2)。脉宽调制器(2)确定供给到推挽式电压转换器(3)的电流。推挽式电压转换器(3)从脉宽调制器输出电压的积分平均值形成方波电压。推挽式转换器变压器(4)将推挽式转换器的输出电压变换为所需的主电源电压和需要的辅助电压。用于主电源的变换的推挽电压被整流,并且并联在同步整流器(5)中。辅助电压产生装置(7)由推挽式转换器变压器(4)上的另一次级绕组供电。该次级绕组同时用于控制同步整流器(6)。由辅助电压产生装置(7)馈电的控制放大器(8)将主电源的电压与积分参考进行比较,并且经由光耦合器(9)传送控制偏差给脉宽调制器(2)的控制单元。辅助电压产生装置(7)不仅馈电给主电源,而且馈电给动态电流变化补偿电路(10)的电子控制设备。这样,负载(11)上的电压变化几乎完全被校正。

[0036] 温度保护功能可以通过由动态电流变化补偿电路(10)或集成电路(11)发出的控制信号来实现。如果以及当选定的级别低于允许的芯片温度(例如,与芯片允许的最大温度相比-30K)时,将命令控制放大器(8)以受控方式减小主电源电压和辅助电压。在冗余设计的情况下,当超过规定温度时,能够使控制放大器(8)自动减小主电源电压和辅助电压。

[0037] 在该机械结构中,由导电和导热材料(例如铜)制成的冷却块(13)被施加给芯片载体(12.2),该芯片载体必须在顶部完全连接。该冷却块被分段,以便能够进行正极和负极

供电 ;使用于辅助电压的连接穿过冷却块。主电源的变压器次级绕组由围绕在变压器外侧的传导性模制配件构成,并与冷却块的正段和负段连接,同时作为同步整流器的 MOSFET 的载体,并散发它们的热量。电容器 (C) 桥接正段和负段,并充当电源 (14. 1) 的积分电容器,以及作为负载 (11) 和动态电流变化补偿电路 (10) 的支撑电容器。

[0038] 蒸发室位于负载 (11) 和动态电流变化补偿电路 (10) 之上,用于冷却液,冷却液经由同轴线 (15) 的内部导管 (15. 1) 供给。蒸汽形式的冷却液可经由外部导管 (15. 2) 排除。

电源框图

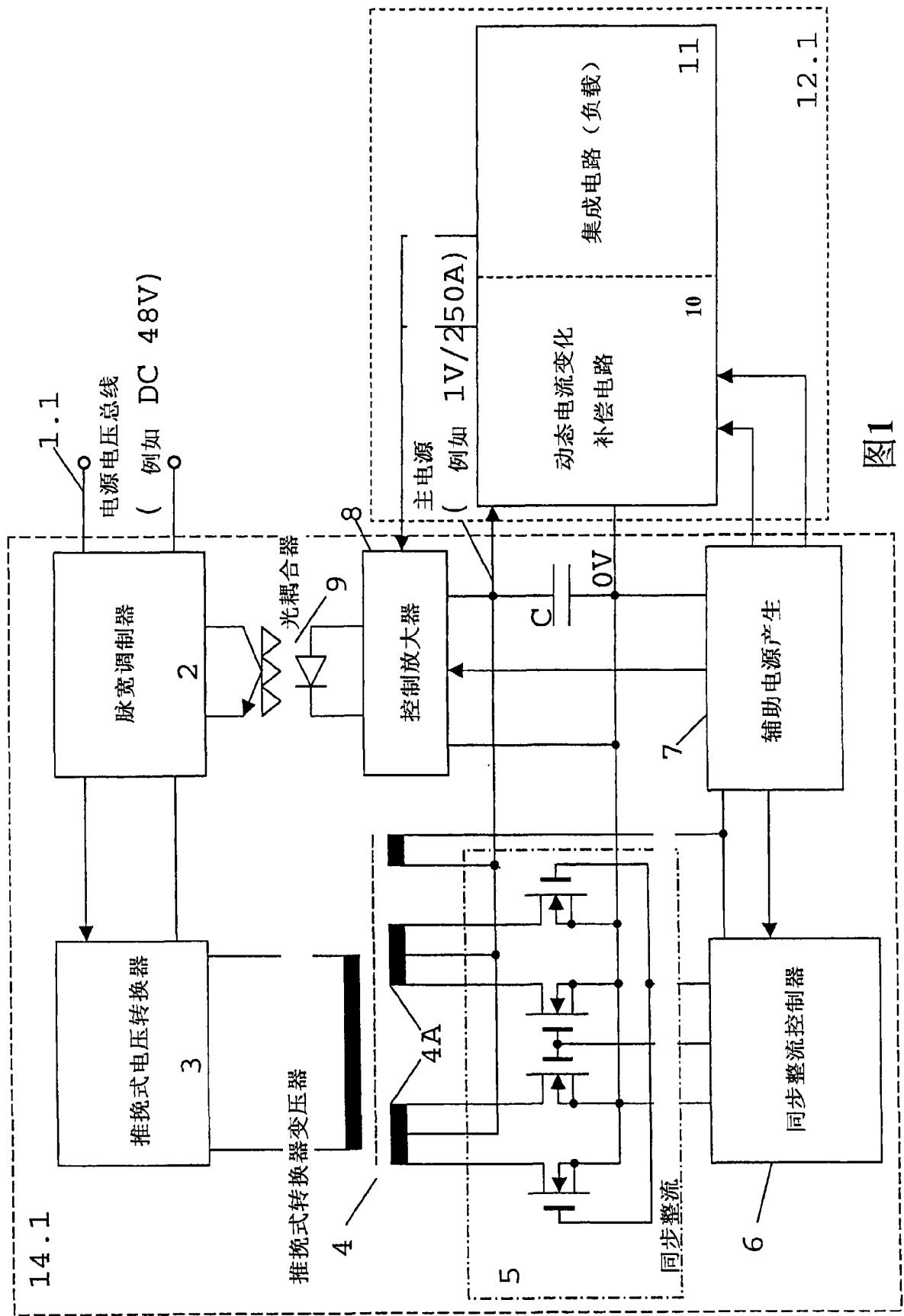


图1

示意性机械构造

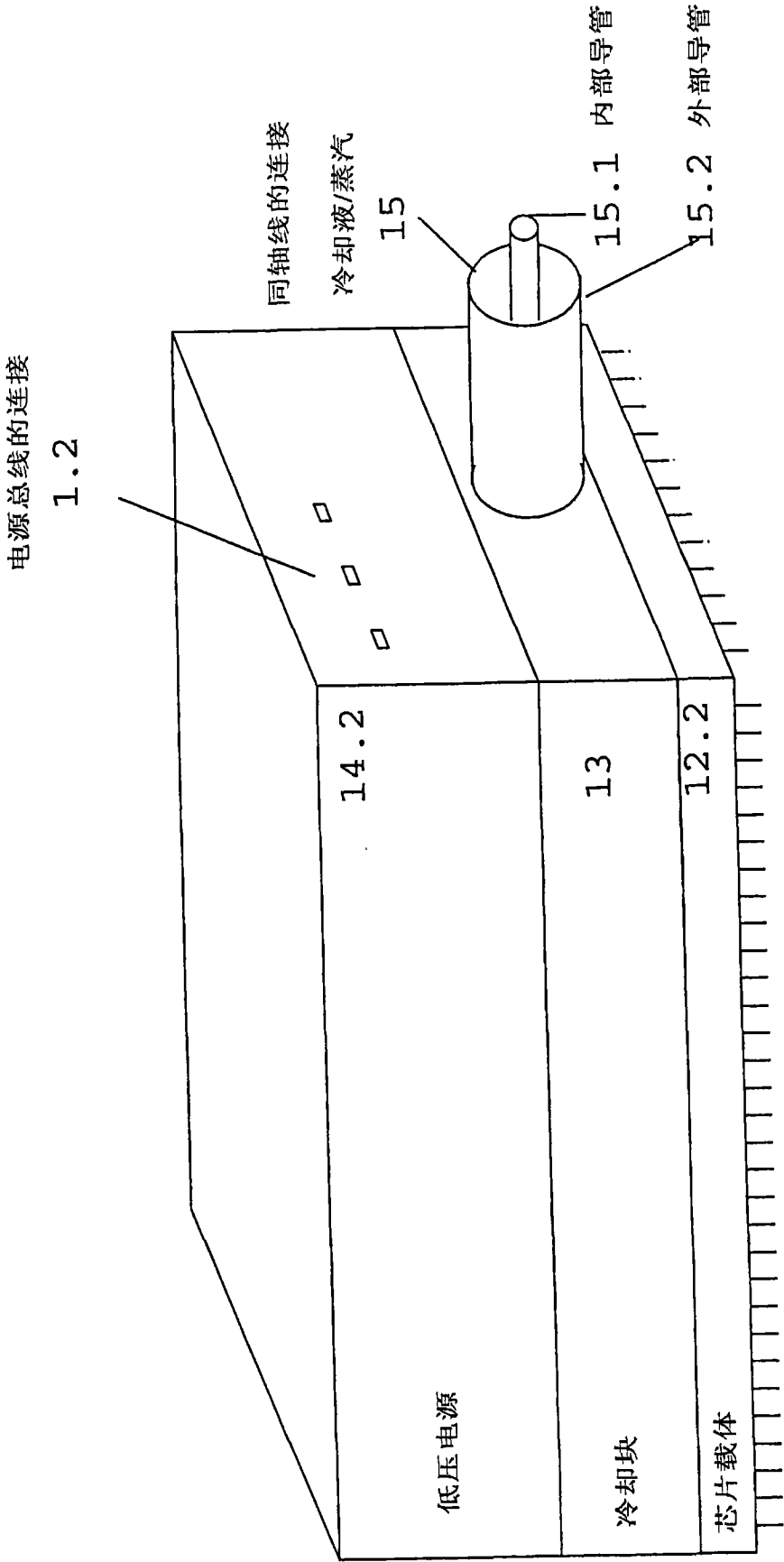


图2

用于集成电路  
(例如 微处理器)