(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年6月3日(03.06.2021)

WIPO | PCT

(10) 国際公開番号
WO 2021/106294 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/363* (2011.01)
H04N 5/357 (2011.01) *H04N 5/3745* (2011.01)
H04N 5/361 (2011.01)

(21) 国際出願番号： PCT/JP2020/032206

(22) 国際出願日： 2020年8月26日(26.08.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2019-216966 2019年11月29日(29.11.2019) JP

(71) 出願人:パナソニックＩＰマネジメント株式会社(**PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.**) [JP/JP]; 〒5406207 大阪府大阪市中央区城見２丁目１番６１号 Osaka (JP).

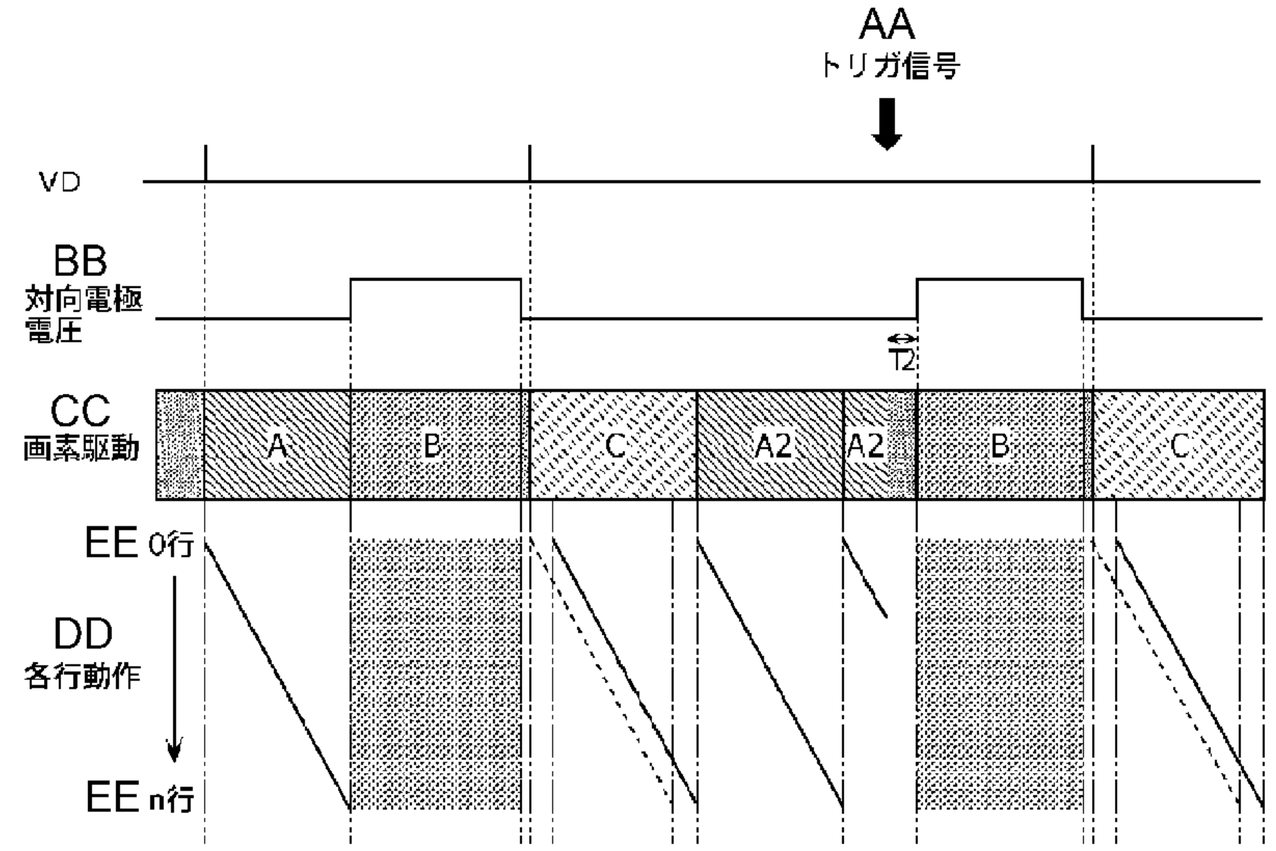
(72) 発明者: 西村 佳壽子 (**NISHIMURA Kazuko**). 伊藤 勇也 (**ITO Yuya**). 三宅 康夫 (**MIYAKE Yasuo**).

(74) 代理人: 鎌田 健司，外 (**KAMATA Kenji** et al.); 〒5406207 大阪府大阪市中央区城見２丁目１番６１号 パナソニックＩＰマネジメント株式会社内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) **Title:** IMAGE CAPTURING DEVICE AND CONTROL METHOD

(54) 発明の名称： 撮像装置及び制御方法



AA Trigger signal
BB Counter electrode voltage
CC Drive pixel
DD Operate each row
EE Row

(57) **Abstract:** This image capturing device 100 comprises: a photoelectric conversion unit 1 which converts light into signal charges; a plurality of pixels 110 which each have a charge storage unit FD for accumulating signal charges and are arranged in a matrix; and a control circuit. Before receiving a trigger signal instructing the start of exposure, the control circuit performs a reset operation, which is for initializing the potential of the charge storage unit FD, on pixels belonging to at least one row among the plurality of pixels 110 in units of a row or in units of a plurality of rows in order. After

［続葉有］

WO 2021/106294 A1

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

receiving the trigger signal, the control circuit does not perform the reset operation on the pixels 110 belonging to at least one row among the plurality of pixels 110, and performs an exposure operation, for accumulating signal charges in the charge storage unit FD, on the plurality of pixels 110 at the same time.

(57) 要約:撮像装置１００は、光を信号電荷に変換する光電変換部１と、信号電荷を蓄積する電荷蓄積部ＦＤとをそれぞれが含み、行列状に配列される複数の画素１１０と、制御回路とを備え、制御回路は、露光開始を指示するトリガ信号を受け取るまでに、電荷蓄積部ＦＤの電位を初期化するリセット動作を、複数の画素１１０のうち少なくとも１つの行に属する画素に行単位または複数行単位で順に行わせ、トリガ信号を受け取った後、複数の画素１１０のうち少なくとも１つの行に属する画素１１０にリセット動作を行わせることなく、信号電荷を電荷蓄積部ＦＤに蓄積する露光動作を複数の画素１１０に同時に行わせる。

明　細　書

発明の名称 ： 撮像装置及び制御方法

技術分野

[0001] 本開示は、光の照射を受けて電荷を発生させる光電変換部を備える撮像装置等に関する。

背景技術

[0002] 近年、ビデオカメラ、デジタルスチルカメラ、監視カメラ及び車載カメラなど、様々な分野でデジタルカメラが広く使用されている。これらのデジタルカメラには、ＣＣＤ（Ｃｈａｒｇｅ　Ｃｏｕｐｌｅｄ　Ｄｅｖｉｃｅ）型固体撮像素子又はＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ　Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）型固体撮像素子が用いられるが、その中でもＣＭＯＳ型固体撮像素子が主流となってきている。これは、ＣＭＯＳ型固体撮像素子が、汎用のＣＭＯＳプロセスで製造できるため既存の設備を利用でき、安定供給が可能であること、及び、周辺回路を同一チップ内に混在させることができるため信号を高速に読み出すことができ、高速化・高解像度化できることなど、多くの利点を有しているためである。

[0003] ＣＭＯＳ型固体撮像素子においては、例えば、特許文献１に開示される、ＣＤＳ（Ｃｏｒｒｅｌａｔｅｄ　Ｄｏｕｂｌｅ　Ｓａｍｐｌｉｎｇ）技術が広く用いられている。

[0004] ここで、一般的なＣＤＳ技術について詳細を述べる。

[0005] 特許文献１の図２に示される画素回路は、光信号を検出するＰＤ（Ｐｈｏｔｏｄｅｔｅｃｔｏｒ）部とＰＤ部で発生した電荷を電圧信号に変換し、一時的に保持をするＦＤ（Ｆｌｏａｔｉｎｇ　Ｄｉｆｆｕｓｉｏｎ）部と、ＰＤ部からＦＤ部に電荷信号を転送するＴＸトランジスタと、ＦＤ部の電圧をリセットするＲＥＳトランジスタと、ＦＤ部の電圧信号を増幅するＡＭＰトランジスタと、増幅された信号を出力するＳＥＬトランジスタで構成される。一般的に、ＰＤ部はＰｈｏｔｏ　Ｄｉｏｄｅで構成されている。ＴＸトラ

ンジスタは制御信号φＴＸによって制御され、ＲＥＳトランジスタは制御信号φＲＳＴによって制御され、ＳＥＬトランジスタは制御信号φＳＥＬによって制御される。

[0006] 画素の駆動としては、特許文献１の図６に示されるように、まず、φＲＳＴをハイレベルにしてＲＥＳトランジスタをオンし、ＦＤ部に蓄積された電荷をリセットする。次に、φＲＳＴをローレベルにしてＲＥＳトランジスタをオフし、その後、φＳＥＬをハイレベルにしてＳＥＬトランジスタをオンすることで、リセット電圧を出力する。この時、リセット電圧にはｋＴＣノイズと呼ばれるリセットノイズが含まれるため、時間的な揺らぎを生じている。その後、φＴＸをハイレベルにしてＴＸトランジスタをオンすることでＰＤ部に蓄積された信号電荷をＦＤ部へと転送する。その後、φＴＸをローレベルにしてＴＸトランジスタをオフし、信号電圧を出力する。信号電圧は、リセット電圧に蓄積された信号電荷に応じた電圧だけ変化した信号となるため、後段回路にてリセット電圧（言い換えるとリセット電荷）と信号電圧（言い換えるとリセット電荷＋信号電荷）の差分をとることにより、ｋＴＣノイズをキャンセルし、蓄積された信号電荷に応じた電圧だけを検出することが可能となる。

[0007] 以上がＣＤＳ技術であり、画素部をリセットする際に発生するリセットノイズ（ｋＴＣノイズ）を大きく抑制する効果があり、ＣＤＳ技術によるリセットノイズ抑制も、ＣＭＯＳ型固体撮像素子が主流となってきている要因の一つである。

先行技術文献

特許文献

[0008] 特許文献1：特開２０１０－１２９７０５号公報

特許文献2：特開２００８－２８５１６号公報

特許文献3：特開２０１４－７８８７０号公報

特許文献4：特開２００１－１７７０８４号公報

特許文献5：特開２０１０－２５８６８２号広報

発明の概要

発明が解決しようとする課題

[0009] 撮像装置の分野では、ノイズを低減した状態で、露光開始を指示するトリガ信号から露光開始までのタイムラグを低減できる撮像装置が求められている。本開示は、ノイズを低減した状態で、露光開始を指示するトリガ信号から露光開始までのタイムラグを低減できる撮像装置等を提供することを目的とする。

課題を解決するための手段

[0010] 本開示の一態様に係る撮像装置は、光を信号電荷に変換する光電変換部と、前記信号電荷を蓄積する電荷蓄積部とをそれぞれが含み、行列状に配列される複数の画素と、制御回路とを備え、前記制御回路は、露光開始を指示するトリガ信号を受け取るまでに、前記電荷蓄積部の電位を初期化するリセット動作を、前記複数の画素のうち少なくとも１つの行に属する画素に行単位または複数行単位で順に行わせ、前記トリガ信号を受け取った後、前記複数の画素のうち少なくとも１つの行に属する画素に前記リセット動作を行わせることなく、前記信号電荷を前記電荷蓄積部に蓄積する露光動作を前記複数の画素に同時に行わせる。

[0011] 本開示の一態様に係る制御方法は、光を信号電荷に変換する光電変換部と、前記信号電荷を蓄積する電荷蓄積部とをそれぞれが含み、行列状に配列される複数の画素を備える撮像装置の制御方法であって、露光開始を指示するトリガ信号を受け取るまでに、前記電荷蓄積部の電位を初期化するリセット動作を、前記複数の画素のうち少なくとも１つの行に属する画素に行単位または複数行単位で順に行い、前記トリガ信号を受け取った後、前記複数の画素のうち少なくとも１つの行に属する画素に前記リセット動作を行うことなく、前記信号電荷を前記電荷蓄積部に蓄積する露光動作を前記複数の画素に同時に行う。

発明の効果

[0012] 本開示の一態様に係る撮像装置によれば、ノイズを低減した状態で、露光開始を指示するトリガ信号から露光開始までのタイムラグを低減できる。

図面の簡単な説明

[0013] [図1A]図１Ａは、実施の形態１に係る撮像装置の例示的な回路構成を模式的に示す図である。

[図1B]図１Ｂは、実施の形態１に係る撮像装置の画素の例示的な回路構成を模式的に示す図である。

[図1C]図１Ｃは、実施の形態１に係る撮像装置の画素の別の例示的な回路構成を模式的に示す図である。

[図2]図２は、実施の形態１に係る撮像装置の画素のデバイス構造を模式的に示す断面図である。

[図3]図３は、実施の形態１に係る撮像装置の画素の別の例示的な回路構成を模式的に示す図である。

[図4]図４は、有機光電変換膜の光電変換特性の一例を示す図である。

[図5A]図５Ａは、比較例に係る撮像装置における動作の一例を説明するためのタイミングチャートである。

[図5B]図５Ｂは、比較例に係る撮像装置における動作の一例を示すフローチャートである。

[図5C]図５Ｃは、比較例に係る撮像装置における動作の別の例を示すフローチャートである。

[図6A]図６Ａは、実施の形態１に係る撮像装置における動作の一例を説明するためのタイミングチャートである。

[図6B]図６Ｂは、実施の形態１に係る撮像装置における動作の一例を示すフローチャートである。

[図6C]図６Ｃは、実施の形態１に係る撮像装置における動作の別の例を説明するためのタイミングチャートである。

[図6D]図６Ｄは、実施の形態１に係る撮像装置における動作の別の例を示すフローチャートである。

[図7]図７は、実施の形態１に係る撮像装置における動作のさらに別の例を示すフローチャートである。

[図8]図８は、実施の形態２に係る撮像装置の構成の一例を示す模式図である。

[図9]図９は、実施の形態３に係るカメラシステムの構成の一例を示すブロック図である。

発明を実施するための形態

[0014] （本開示に至る基礎となった知見）

前述の、ＣＤＳ技術においては、光信号を検出するＰＤ部で発生した信号電荷を、電圧信号へと変換するＦＤ部へと転送する際に完全転送が前提となる。完全転送を実現するためにはプロセスが複雑化し、製造コストが増加するなどの課題がある。

[0015] また、例えば、特許文献２に開示されているように、最近では高速で動作する物体を歪むことなく撮像する固体撮像素子としてグローバルシャッタを実現する構造の画素を持つ固体撮像素子が提案されている。

[0016] 特許文献２に開示されている固体撮像素子においては、全画素のＰＤ部の電荷を一括してＦＤ部に転送した後、行ごとに順次読み出しを行うため、ＦＤ部の信号電圧を読み出す前にリセット電圧を読み出すＣＤＳ技術を適用することができない。そこで、ＦＤ部の信号電圧を読み出した後にＦＤ部をリセットし、リセット電圧の読み出しを行い、信号電圧とリセット電圧の差分を取ることになる。しかし、信号電圧に含まれるリセットノイズとリセット電圧に含まれるリセットノイズとには相関がないため、リセットノイズを除去することができず、前述のＣＤＳ技術を用いた読み出しに比べてランダムノイズが大きくなる課題がある。

[0017] 他にも、最近では画素数増加のために一画素あたりの面積が縮小しているため、ＰＤ部の面積が減少することによる感度の低下を解決する固体撮像素子として、例えば、特許文献３で開示されているような、ＰＤ部に有機光電変換膜を用いた有機ＣＭＯＳセンサが提案されている。この有機ＣＭＯＳセ

ンサは、読み出し回路の上方に受光部である有機光電変換膜を設けることで、画素サイズが縮小しても、受光部の面積を大きく取ることが可能となり、高感度を実現することができる。

[0018] 一方、有機ＣＭＯＳセンサのような光電変換膜を用いたセンサは、ＰＤ部と半導体層とが金属配線で電気的に接続される構造であるため、信号電荷を完全転送することができない。そこで、一般的には、ＰＤ部とＦＤ部とを電気的に接続してＰＤ部の信号電荷を読み出す構造を持つことで、不完全転送ノイズ及び残像が発生しないようにしている。

[0019] そのため、露光中に蓄積される電荷により変化した電圧をＦＤ部で検知した状態でＦＤ部の信号電圧の読み出しを行い、その後、ＦＤ部をリセットした状態でのリセット電圧の読み出しを行い、信号電圧とリセット電圧の差分を取得することになる。しかし、信号電圧に含まれるリセットノイズとリセット電圧に含まれるリセットノイズとには相関がないため、リセットノイズを除去することができず、前述のＣＤＳ技術を用いた読み出しに比べてランダムノイズが大きくなる課題がある。

[0020] このように、ＣＤＳ技術は、リセットノイズ抑制に有効な技術ではあるが、プロセスの複雑化に伴う製造コストの増加をもたらし、更には機能面及び性能面で効果のある構造のＣＭＯＳ型固体撮像素子への適用ができないなどの課題がある。

[0021] また、例えば、特許文献４に開示されているような、ＣＤＳ技術を用いることなく行毎にリセットノイズを除去する技術も提案されている。

[0022] しかしながら、行毎にリセットノイズを除去する方法を用いた場合、特に産業用カメラ、業務放送用カメラ及び医療カメラなどの仕様において、外部からトリガ信号による露光開始、特に、少なくとも２画素以上の画素同時露光開始又は面一括露光開始の指令信号が入った場合に、露光前に各画素のリセットノイズを行毎に除去するため時間がかかってしまう。その結果、トリガ信号が発行されてから露光開始までに数ミリ秒から数十ミリ秒の時間遅延が起こり、撮像したいものを撮像できない、及び、高速な検査ができないな

どの課題が発生する。トリガ信号は、例えば、他の機械の動作等に合わせて発せられる信号、又は、シャッタボタン等が人に押されることによって発せられる信号等である。

[0023] 特許文献５に開示されている固体撮像素子においては、あらかじめ２つのトリガ信号を設けることで高速な露光開始を可能とする構成がとられているが、信号制御が複雑となる。

[0024] そこで本開示では、上記の事情を鑑み、リセットノイズを適切に除去し、かつ、外部からトリガ信号に対し高速に露光を開始できる固体撮像素子を備えた撮像装置を提供することを目的とする。

[0025] 本開示の一態様の概要は以下の通りである。

[0026] 本開示の一態様に係る撮像装置は、光を信号電荷に変換する光電変換部と、前記信号電荷を蓄積する電荷蓄積部とをそれぞれが含み、行列状に配列される複数の画素と、制御回路とを備え、前記制御回路は、露光開始を指示するトリガ信号を受け取るまでに、前記電荷蓄積部の電位を初期化するリセット動作を、前記複数の画素のうち少なくとも１つの行に属する画素に行単位または複数行単位で順に行わせ、前記トリガ信号を受け取った後、前記複数の画素のうち少なくとも１つの行に属する画素に前記リセット動作を行わせることなく、前記信号電荷を前記電荷蓄積部に蓄積する露光動作を前記複数の画素に同時に行わせる。

[0027] これにより、制御回路は、トリガ信号を受け取った後、少なくとも１つの行に属する複数の画素に、リセット動作を行うことなく、露光動作を実行させる。そのため、トリガ信号の受け取りから露光動作までの時間が、トリガ信号の受け取り後にすべての画素にリセット動作を実行する場合と比べて短縮される。また、トリガ信号を受け取るまでに、少なくとも１つの行に属する画素にリセット動作が行われているため、信号電荷の蓄積前に電位が初期化され、特にリセットノイズの抑制と共にリセット動作が行われている場合には、少なくとも１つの行に属する画素の信号電荷におけるノイズが低減される。よって、本態様に係る撮像装置は、ノイズを低減した状態で、露光開

始を指示するトリガ信号から露光開始までのタイムラグを低減できる。

[0028] また、例えば、前記制御回路は、前記トリガ信号を受け取るまでに、前記リセット動作を前記複数の画素のすべての画素に行単位または複数行単位で順に行わせてもよい。

[0029] これにより、トリガ信号を受け取るまでに、すべての行に属する複数の画素にリセット動作が行われているため、信号電荷の蓄積前に電位が初期化され、特にリセットノイズの抑制と共にリセット動作が行われている場合には、すべての複数の画素の信号電荷におけるノイズが低減される。

[0030] また、例えば、前記制御回路は、前記トリガ信号を受け取るまでに、前記複数の画素のうち少なくとも１つの行に属する画素に前記リセット動作を複数回行わせてもよい。

[0031] これにより、制御回路がトリガ信号を受け取るまでに、少なくとも１つの行に属する画素に、複数回リセット動作が行われる。そのため、複数回リセット動作を行う画素では、リセット動作が一度行われた後に、暗電流等によって電荷蓄積部に蓄積された電荷が、リセット動作によって再び初期化される。よって、暗電流等による蓄積された電荷に由来するノイズが低減されるため、本態様に係る撮像装置は、ノイズをさらに低減できる。

[0032] また、例えば、前記制御回路は、前記トリガ信号を受け取るまで、前記複数の画素に、前記リセット動作を行単位または複数行単位で順に繰り返し行わせてもよい。

[0033] これにより、制御回路がトリガ信号を受け取るまで、複数の画素にリセット動作が繰り返し行われる。そのため、リセット動作が行われた後に、暗電流等によって電荷蓄積部に蓄積された電荷が、リセット動作によって繰り返し初期化される。よって、暗電流等による蓄積された電荷に由来するノイズが低減されるため、本態様に係る撮像装置は、ノイズをさらに低減できる。

[0034] また、例えば、前記制御回路は、前記露光動作の後、前記電荷蓄積部に蓄積された前記信号電荷に対応する信号を出力する読み出し動作を、前記リセット動作を開始した行から行単位または複数行単位で順に前記複数の画素に

行わせてもよい。

[0035] これにより、リセット動作と読み出し動作とが開始される行が共通化されるため、制御回路の複雑化を抑制できる。また、読み出しデータが、上行から下行又は下行から上行に、時間的に連続に読み出されるため、得られる画像の連続性が保持される。

[0036] また、例えば、前記制御回路は、前記リセット動作を、前記リセット動作を開始した行とは異なる行まで行単位または複数行単位で順に前記複数の画素に行わせ、前記露光動作の後、前記電荷蓄積部に蓄積された前記信号電荷に対応する信号を出力する読み出し動作を、前記リセット動作を終了した行の次の順番の行から行単位または複数行単位で順に前記複数の画素に行わせてもよい。

[0037] これにより、各行それぞれのリセット動作から読出し動作までの時間が略同一になる。そのため、各行の間での、リセット動作が行われた後に、暗電流等によって電荷蓄積部に蓄積される電荷の量の差が、小さくなる。よって、複数の画素間のノイズの差が低減される。

[0038] また、例えば、前記複数の画素のそれぞれは、前記リセット動作において前記電荷蓄積部の電位を負帰還させるフィードバック回路を含んでもよい。

[0039] これにより、リセット動作時に発生するリセットノイズが、低減される。よって、本態様に係る撮像装置は、ノイズをさらに低減できる。

[0040] また、例えば、前記複数の画素のそれぞれは、前記リセット動作において発生するリセットノイズを抑制する回路を含んでもよい。

[0041] これにより、リセット動作時に発生するリセットノイズが、低減される。よって、本態様に係る撮像装置は、ノイズをさらに低減できる。

[0042] また、例えば、電圧供給回路をさらに備え、前記光電変換部は、前記電圧供給回路に電気的に接続される対向電極と、前記電荷蓄積部に電気的に接続される画素電極と、前記対向電極と前記画素電極との間に位置する光電変換層とを含み、前記制御回路は、前記電圧供給回路に前記対向電極へ電圧を印加させて、前記光電変換層内に電界を形成させることにより、前記複数の画

素に前記露光動作を行わせてもよい。

[0043] これにより、行単位または複数行単位でのリセット動作が有効な積層型の撮像装置において、ノイズを低減した状態で、露光開始を指示するトリガ信号から露光開始までのタイムラグを低減できる。また、対向電極に電圧を印加することで露光動作が行われるため、回路の複雑化を抑制できる。

[0044] また、本開示の一態様に係る制御方法は、光を信号電荷に変換する光電変換部と、前記信号電荷を蓄積する電荷蓄積部とをそれぞれが含み、行列状に配列される複数の画素を備える撮像装置の制御方法であって、露光開始を指示するトリガ信号を受け取るまでに、前記電荷蓄積部の電位を初期化するリセット動作を、前記複数の画素のうち少なくとも１つの行に属する画素に行単位または複数行単位で順に行い、前記トリガ信号を受け取った後、前記複数の画素のうち少なくとも１つの行に属する画素に前記リセット動作を行うことなく、前記信号電荷を前記電荷蓄積部に蓄積する露光動作を前記複数の画素に同時に行う。

[0045] これにより、トリガ信号を受け取った後、少なくとも１つの行に属する複数の画素に、リセット動作を行うことなく、露光動作を実行させる。そのため、トリガ信号の受け取りから露光動作までの時間が、トリガ信号の受け取り後にすべての画素にリセット動作を実行する場合と比べて短縮される。また、トリガ信号を受け取るまでに、すべての行に属する複数の画素にリセット動作が行われているため、信号電荷の蓄積前に電位が初期化され、特にリセットノイズの抑制と共にリセット動作が行われている場合には、信号電荷におけるノイズが低減される。よって、本態様に係る制御方法は、ノイズを低減した状態で、露光開始を指示するトリガ信号から露光開始までのタイムラグを低減できる。

[0046] 以下、本開示に係る撮像装置等の実施の形態について、図面を参照しながら説明する。なお、本開示について、以下の実施の形態及び添付の図面を用いて説明を行うが、これは例示を目的としており、本開示がこれらの実施の形態に限定されることを意図しない。

[0047] なお、以下で説明する実施の形態は、いずれも包括的又は具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。

[0048] また、本明細書において、撮像装置等としての動作に必須あるいは特性の改善に有効であるが、本開示の説明に不要な要素については省略している。また、各図面はあくまで概念を示す図であり、縮尺、形状等は一切考慮に入れていない。したがって、例えば、各図において縮尺などは必ずしも一致しない。また、各図において、実質的に同一の構成については同一の符号を付しており、重複する説明は省略又は簡略化する。

[0049] また、本明細書において、等しいなどの要素間の関係性を示す用語、及び、正方形又は円形などの要素の形状を示す用語、ならびに、数値範囲は、厳格な意味のみを表す表現ではなく、実質的に同等な範囲、例えば数％程度の差異をも含むことを意味する表現である。

[0050] また、本明細書において、「上方」及び「下方」という用語は、絶対的な空間認識における上方向（鉛直上方）及び下方向（鉛直下方）を指すものではなく、積層構成における積層順を基に相対的な位置関係により規定される用語として用いる。また、「上方」及び「下方」という用語は、２つの構成要素が互いに間隔を空けて配置されて２つの構成要素の間に別の構成要素が存在する場合のみならず、２つの構成要素が互いに密着して配置されて２つの構成要素が接する場合にも適用される。

[0051] （実施の形態１）

はじめに、図１Ａから図３を参照して、本実施の形態に係る撮像装置１００の構造を説明する。

[0052] ［撮像装置の構造］

図１Ａは、本実施の形態に係る撮像装置１００の例示的な回路構成を模式的に示す図である。撮像装置１００は、一例として積層型の撮像素子であり、半導体基板に積層された光電変換層を有している。撮像装置１００は、複

数の画素１１０と周辺回路とを備える。周辺回路は、複数の画素１１０の動作を制御する制御回路を含む。制御回路は、外部からのトリガ信号を受け取り、複数の画素１１０に露光動作を行わせる。

[0053] 複数の画素１１０は、２次元に配列されることにより、感光領域いわゆる画素領域を形成している。なお、複数の画素１１０は、１次元に配列されてもよい。その場合、撮像装置１００は、ラインセンサである。

[0054] 図示されている例では、複数の画素１１０は、行方向及び列方向に配列されている。本明細書において、行方向及び列方向とは、行及び列がそれぞれ延びる方向をいう。つまり、垂直方向が列方向であり、水平方向が行方向である。

[0055] 画素１１０の各々は、電源線１２０に接続されている。各画素１１０には、電源線１２０を介して所定の電源電圧が供給される。また、図示されているように、撮像装置１００は、入射光を光電変換する全ての光電変換層に同一の一定電圧を印加する蓄積制御線１３０を有する。但し、変動を抑制するなど、別制御を行う場合には、いくつかに分割して電圧が印加されてもよい。

[0056] 周辺回路は、電圧供給回路１４０と、垂直走査回路１４１と、カラム信号処理回路１４２と、水平信号読み出し回路１４３と、定電流源１４４とを含む。垂直走査回路１４１は、「行走査回路」とも呼ばれ、水平信号読み出し回路１４３は、「列走査回路」とも呼ばれる。カラム信号処理回路１４２及び定電流源１４４は、２次元に配列された画素１１０の列毎に配置され得る。

[0057] 以下、周辺回路の構成の一例を説明する。

[0058] 電圧供給回路１４０は、蓄積制御線１３０に接続されている。撮像装置１００の動作時、電圧供給回路１４０によって、蓄積制御線１３０を介して、画素１１０の対向電極１ｂ（詳細は後述）に所定のバイアス電圧が印加される。電圧供給回路１４０は、制御回路によって、動作が制御される。

[0059] 垂直走査回路１４１は、選択制御信号線ＣＯＮ７及び増幅制御信号線ＣＯ

Ｎ３に接続されている。増幅制御信号線ＣＯＮ３は、「帯域制御信号線」とも呼ばれ、選択制御信号線ＣＯＮ７は、「アドレス信号線」とも呼ばれる。垂直走査回路１４１は、複数の画素１１０の動作を制御する制御回路の一部である。垂直走査回路１４１は、選択制御信号線ＣＯＮ７に所定の電圧を印加することにより、各行に配置された複数の画素１１０を行単位で選択する。これにより、選択された画素１１０の信号電圧の読み出しと、後述する画素電極のリセットとが実行される。

[0060] 各列に配置された画素１１０は、各列に対応した信号読み出し信号線１７０を介してカラム信号処理回路１４２に電気的に接続されている。信号読み出し信号線１７０は、「垂直信号線」とも呼ばれる。カラム信号処理回路１４２は、相関二重サンプリングに代表される雑音抑圧信号処理及びアナログ－デジタル変換（ＡＤ変換）などを行う。画素１１０Ａの列に対応して設けられた複数のカラム信号処理回路１４２には、水平信号読み出し回路１４３が電気的に接続されている。水平信号読み出し回路１４３は、複数のカラム信号処理回路１４２から水平共通信号線１８０に信号を順次読み出す。

[0061] 次に、画素１１０の回路構成の一例を説明する。

[0062] 図１Ｂは、本実施の形態に係る撮像装置１００の画素１１０の、例示的な回路構成を模式的に示す図である。画素１１０は、光電変換部１、増幅器２、帯域制御部３、電荷蓄積部ＦＤ及び出力選択部５を備える。光電変換部１は、光を検出し、光を信号電荷に変換する。電荷蓄積部ＦＤは、光電変換部１によって生成された信号電荷を蓄積する。増幅器２、帯域制御部３、電荷蓄積部ＦＤ、及び出力選択部５によって、読み出し回路５０が形成されている。

[0063] 光電変換部１は、光を信号電荷に変換する。読み出し回路５０は、光電変換部１により生成された信号電荷を読み出す。光電変換部１は、例えば、画素電極１ａと、対向電極１ｂと、画素電極１ａと対向電極１ｂとに挟まれた光電変換層１ｃとを備える。画素電極１ａは、電荷蓄積部ＦＤに電気的に接続される。対向電極１ｂは、図１Ａに示されている蓄積制御線１３０に接続

され、蓄積制御線１３０を介して電圧供給回路１４０に電気的に接続される。例えば、対向電極１ｂに基準電圧Ｖｐを印加し、電荷蓄積部ＦＤを形成するノードの一端を画素電極１ａに接続することにより、光電変換部１の光電変換層１ｃが生成する信号電荷を、電荷蓄積部ＦＤに蓄積できる。

[0064] 電荷蓄積部ＦＤは、配線層によって光電変換部１と接続されている。電荷蓄積部ＦＤは、光電変換部１によって生成された信号電荷を蓄積する。電荷蓄積部ＦＤは、増幅器２の入力にさらに接続されている。増幅器２は、電荷蓄積部ＦＤに蓄積された信号電荷に応じた信号を増幅し、帯域制御部３及び出力選択部５に出力する。

[0065] 増幅器２及び帯域制御部３は、電荷蓄積部ＦＤを介してフィードバック回路３０を形成する。帯域制御部３は、帯域制御回路１３を含んでいる。帯域制御回路１３には、電圧制御回路から、互いに異なる少なくとも３つの電圧が供給される。このような電圧が供給されることにより、帯域制御回路１３は帯域制御機能を有する。電圧制御回路は、例えば、垂直走査回路１４１の一部である。帯域制御回路１３は、増幅器２の出力信号に帯域制限をかけて電荷蓄積部ＦＤに出力する。フィードバック回路３０において、電荷蓄積部ＦＤから読み出された信号は、増幅器２によって増幅され、帯域制御回路１３によって帯域制限をかけられて、電荷蓄積部ＦＤに帰還される。

[0066] フィードバック回路３０は、光電変換部１の信号を、増幅トランジスタ４２を介して電荷蓄積部ＦＤに負帰還する。言い換えると、フィードバック回路３０は、後述のリセット動作において、電荷蓄積部ＦＤの電位を負帰還させる回路である。

[0067] 増幅器２は、増幅トランジスタ４２と、第１のスイッチ素子１１及び第２のスイッチ素子１２を含む切替回路２０と、を有している。読み出し回路５０内のトランジスタは、例えば、ＮチャネルＭＯＳＦＥＴ（Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）である。以下、読み出し回路５０の電気的な接続関係を説明する。なお、画素１１０の増幅器２が切替回路２０を有さず、切替回路

２０が周辺回路に含まれていてもよい。

[0068] 増幅トランジスタ４２のゲートには、電荷蓄積部ＦＤが接続されている。帯域制御部３は帯域制御トランジスタ４６を含む。出力選択部５は選択トランジスタ４４を含む。増幅トランジスタ４２のソース及びドレインの一方は、帯域制御トランジスタ４６のソース及びドレインの一方と、選択トランジスタ４４のソース及びドレインの一方とに接続されている。また、帯域制御トランジスタ４６のソース及びドレインの他方は電荷蓄積部ＦＤに接続されている。帯域制御トランジスタ４６と、電荷蓄積部ＦＤに寄生する容量成分とによってＲＣフィルタ回路が形成される。

[0069] 帯域制御トランジスタ４６のゲートには、増幅制御信号線ＣＯＮ３が接続されている。増幅制御信号線ＣＯＮ３の電圧により帯域制御トランジスタ４６の状態が決定される。例えば、増幅制御信号線ＣＯＮ３の電圧がハイレベルのとき、帯域制御トランジスタ４６はオンする。その結果、電荷蓄積部ＦＤと、増幅トランジスタ４２と、帯域制御トランジスタ４６とによって帰還経路が形成される。

[0070] 増幅制御信号線ＣＯＮ３の電圧が低くなると、帯域制御トランジスタ４６の抵抗成分が大きくなる。そのため、帯域制御トランジスタ４６の帯域は狭くなり、帰還する信号の周波数範囲は狭くなる。増幅制御信号線ＣＯＮ３の電圧が、さらに低いローレベルになると、帯域制御トランジスタ４６はオフする。その結果、帰還経路は形成されない。

[0071] 選択トランジスタ４４のソース及びドレインの他方は、信号読み出し信号線１７０に接続されている。選択トランジスタ４４のゲートは選択制御信号線ＣＯＮ７によって制御される。選択制御信号線ＣＯＮ７の電圧により、選択トランジスタ４４の状態が決定される。例えば、選択制御信号線ＣＯＮ７の電圧がハイレベルのとき、選択トランジスタ４４はオンする。その結果、増幅トランジスタ４２と、信号読み出し信号線１７０とは電気的に接続される。選択制御信号線ＣＯＮ７の電圧がローレベルのとき、選択トランジスタ４４はオフする。その結果、増幅トランジスタ４２と、信号読み出し信号線

１７０とは電気的に分離される。

[0072] 増幅トランジスタ４２のソース及びドレインの他方には、切替回路２０が接続される。具体的には、増幅トランジスタ４２のソース及びドレインの他方は、第１のスイッチ素子１１を介して、第１の電圧源ＶＡ１に接続される。また、増幅トランジスタ４２のソース及びドレインの他方は、第２のスイッチ素子１２を介して、第２の電圧源ＶＡ２にも接続される。制御信号Ｖ１及びＶ２によって切替回路２０を制御することにより、増幅トランジスタ４２のソース及びドレインの他方に印加する電圧を、電圧Ｖａ１又は電圧Ｖａ２に切り替える。第１の電圧源ＶＡ１の電圧Ｖａ１は、例えば接地電圧ＧＮＤである。第２の電圧源ＶＡ２の電圧Ｖａ２は、例えば電源電圧ＶＤＤである。切替回路２０は、画素毎に設けられていてもよいし、１画素あたりの素子数を削減するために、複数の画素により共有されていてもよい。

[0073] 出力選択部５は、信号読み出し信号線１７０に接続されている。信号読み出し信号線１７０は、少なくとも２つの画素で共有される。増幅器２によって増幅された信号は、出力選択部５を介して信号読み出し信号線１７０に出力される。

[0074] 信号読み出し信号線１７０には、定電流源１４４が接続されている。選択トランジスタ４４がオンのとき、選択トランジスタ４４、増幅トランジスタ４２及び定電流源１４４によって、ソースフォロア回路が形成される。電荷蓄積部ＦＤに蓄積された信号電荷に応じた信号は、信号読み出し信号線１７０に出力され、外部に読み出される。なお、定電流源１４４は、画素毎に設けられていてもよいし、１画素あたりの素子数を削減するために、複数の画素により共有されていてもよい。

[0075] なお、光電変換部１は、このような構成に限らず、フォトダイオード等の、その他の光電変換機能を有する素子であってもよい。図１Ｃは、本実施の形態に係る撮像装置の画素１１５の、例示的な回路構成を模式的に示す図である。図１Ｃに示される画素１１５は、上述の画素１１０と比較して、光電変換部１の代わりに光電変換部１ｄを備える点で相違する。画素１１５にお

ける光電変換部１ｄ以外の構成は、画素１１０と同じである。図１Ｃに示されるように、画素１１５は、フォトダイオードで構成される光電変換部１ｄを備える。例えば、光電変換部１ｄの一端に基準電圧Ｖｐを印加し、電荷蓄積部ＦＤを形成するノードの一端を光電変換部１ｄの他の一端に接続することにより、光電変換部１ｄが生成する信号電荷を、電荷蓄積部ＦＤに蓄積できる。

[0076] 次に、本実施の形態に係る撮像装置１００の画素構造について説明する。

[0077] 図２は、本実施の形態に係る撮像装置１００の画素１１０のデバイス構造を模式的に示す断面図である。図２に例示される構成において、画素１１０は、光電変換部１を支持する半導体基板６２を含む。半導体基板６２は、例えばシリコン基板である。図２に示されるように、光電変換部１は、半導体基板６２の上方に配置される。この例では、半導体基板６２上に層間絶縁層６３Ａ、６３Ｂ及び６３Ｃが積層されており、層間絶縁層６３Ｃ上に、画素電極１ａ、光電変換層１ｃ及び対向電極１ｂの積層体が配置されている。画素電極１ａは画素ごとに区画されており、隣接する２つの画素１１０間において画素電極１ａが空間的に分離して形成されることにより、隣接する２つの画素電極１ａは、電気的に分離されている。また、光電変換層１ｃ及び対向電極１ｂは、複数の画素１１０に跨るように形成されていてもよい。光電変換部１によって生成される信号電荷は、増幅トランジスタ４２のゲートと光電変換部１との間の電荷蓄積ノード４１に蓄積される。電荷蓄積ノード４１は、上述の電荷蓄積部ＦＤの一例である。

[0078] 光電変換部１は、例えば、図２に示されるように、画素電極１ａと、画素電極１ａに対向する対向電極１ｂと、画素電極１ａと対向電極１ｂとの間に位置する光電変換層１ｃとを含む。

[0079] 画素電極１ａは、光電変換部１で生成された信号電荷を読み出すための電極である。画素電極１ａは、画素１１０ごとに少なくとも１つ存在する。画素電極１ａは、増幅トランジスタ４２のゲート電極４２ｅ及び不純物領域６２ｄに電気的に接続されている。

[0080] 画素電極１ａは、導電性材料を用いて形成されている。導電性材料は、例えば、アルミニウム、銅などの金属、金属窒化物、又は、不純物がドープされることにより導電性が付与されたポリシリコンである。

[0081] 対向電極１ｂは、例えば、透明な導電性材料から形成される透明電極である。対向電極１ｂは、光電変換部１において光が入射される側に配置される。したがって、光電変換層１ｃには、対向電極１ｂを透過した光が入射する。

[0082] なお、本明細書における「透明」は、検出しようとする波長範囲の光の少なくとも一部を透過することを意味し、可視光の波長範囲全体にわたって光を透過することは必須ではない。

[0083] 対向電極１ｂは、例えば、ＩＴＯ（Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）などの透明導電性酸化物（ＴＣＯ：Ｔｒａｎｓｐａｒｅｎｔ　Ｃｏｎｄｕｃｔｉｎｇ　Ｏｘｉｄｅ）を用いて形成される。

[0084] 光電変換層１ｃは、入射する光を受けて正孔－電子対を発生させる。光電変換層１ｃの材料としては、例えば、半導体性の無機材料、又は、半導体性の有機材料などが用いられる。光電変換層１ｃは、例えば、有機光電変換膜である。

[0085] 半導体基板６２には、増幅トランジスタ４２、選択トランジスタ４４及び帯域制御トランジスタ４６が形成されている。

[0086] 増幅トランジスタ４２は、半導体基板６２に形成された不純物領域６２ａ及び６２ｂと、半導体基板６２上に位置するゲート絶縁層４２ｇと、ゲート絶縁層４２ｇ上に位置するゲート電極４２ｅとを含む。不純物領域６２ａ及び６２ｂは、増幅トランジスタ４２のドレイン又はソースとして機能する。不純物領域６２ａ及び６２ｂ、ならびに、後述する不純物領域６２ｃ、６２ｄ及び６２ｅは、例えば、ｎ型不純物領域である。

[0087] 選択トランジスタ４４は、半導体基板６２に形成された不純物領域６２ａ及び６２ｃと、半導体基板６２上に位置するゲート絶縁層４４ｇと、ゲート絶縁層４４ｇ上に位置するゲート電極４４ｅとを含む。不純物領域６２ａ及

び６２ｃは、選択トランジスタ４４のドレイン又はソースとして機能する。この例では、増幅トランジスタ４２と選択トランジスタ４４とが不純物領域６２ａを共有することにより、増幅トランジスタ４２のソース（又はドレイン）と、選択トランジスタ４４のドレイン（又はソース）とが電気的に接続されている。

[0088] 帯域制御トランジスタ４６は、半導体基板６２内に形成された不純物領域６２ｄ及び６２ｅと、半導体基板６２上に位置するゲート絶縁層４６ｇと、ゲート絶縁層４６ｇ上に位置するゲート電極４６ｅとを含む。不純物領域６２ｄ及び６２ｅは、帯域制御トランジスタ４６のドレイン又はソースとして機能する。

[0089] 半導体基板６２において、互いに隣接する画素１１０間、及び、増幅トランジスタ４２と帯域制御トランジスタ４６との間には、素子分離領域６２ｓが設けられている。素子分離領域６２ｓにより、互いに隣接する画素１１０が電気的に分離されている。また、互いに隣接する画素１１０間に素子分離領域６２ｓが設けられることにより、電荷蓄積ノード４１に蓄積される信号電荷のリークが抑制される。

[0090] 層間絶縁層６３Ａ内には、帯域制御トランジスタ４６の不純物領域６２ｄに接続されたコンタクトプラグ６５Ａ、増幅トランジスタ４２のゲート電極４２ｅに接続されたコンタクトプラグ６５Ｂ、及び、コンタクトプラグ６５Ａとコンタクトプラグ６５Ｂとを接続する配線６６Ａが形成されている。これにより、帯域制御トランジスタ４６の不純物領域６２ｄ（例えばドレイン）が増幅トランジスタ４２のゲート電極４２ｅと電気的に接続されている。図２に例示される構成では、層間絶縁層６３Ａ内に、プラグ６７Ａ及び配線６８Ａがさらに形成されている。また、層間絶縁層６３Ｂ内にプラグ６７Ｂ及び配線６８Ｂが形成され、層間絶縁層６３Ｃ内にプラグ６７Ｃが形成されることにより、配線６６Ａと画素電極１ａとが電気的に接続されている。コンタクトプラグ６５Ａ、コンタクトプラグ６５Ｂ、配線６６Ａ、プラグ６７Ａ、配線６８Ａ、プラグ６７Ｂ、配線６８Ｂ、及び、プラグ６７Ｃは、典型

的には金属で構成される。

[0091] 図２に例示される構成では、対向電極１ｂ上にカラーフィルタ７２が配置されている。また、カラーフィルタ７２上にマイクロレンズ７４が配置されている。図示されていないが、カラーフィルタ７２とマイクロレンズ７４との間に、光電変換部１を保護するための保護層が配置されていてもよい。保護層の材料は、例えば、ＳｉＯＮ又はＡｌＯ等である。

[0092] 以上のような撮像装置１００は、一般的な半導体製造プロセスを用いて製造することができる。特に、半導体基板６２としてシリコン基板を用いる場合には、種々のシリコン半導体プロセスを利用することによって製造することができる。

[0093] ここで、光電変換動作について説明する。外部から入力された光は、各画素１１０のマイクロレンズ７４で集光され、カラーフィルタ７２で所望の波長のみを透過し、光電変換部１に入射する。光電変換部１では、光を電荷に変換する。対向電極１ｂと画素電極１ａとの間に電圧が印加され、電界がかかった状態において、変換された電荷は、画素電極１ａによって集められ、電荷蓄積ノード４１、言い換えると、電荷蓄積部ＦＤに蓄積される。

[0094] 次に、本実施の形態に係る画素の別の例について説明する。図３は、本実施の形態に係る撮像装置の画素１１０Ａの、例示的な回路構成を模式的に示す図である。図３に示される画素１１０Ａは、上述の画素１１０と比較して、帯域制御部３の代わりに、帯域制御部３Ａを備える点で相違する。以下では、画素１１０との相違点を中心に説明し、共通点の説明を省略又は簡略化する。

[0095] 画素１１０Ａでは、増幅器２、帯域制御部３Ａ、電荷蓄積部ＦＤ及び出力選択部５によって、読み出し回路５０Ａが形成されている。

[0096] フィードバック回路３０Ａは、光電変換部１からの信号を、増幅トランジスタ４２を介して電荷蓄積部ＦＤに負帰還する。言い換えると、フィードバック回路３０Ａは、後述のリセット動作において、電荷蓄積部ＦＤの電位を負帰還させる回路である。

[0097] 帯域制御部３Ａは、帯域制御回路１３Ａ及びリセット回路１４Ａを含む。

[0098] 帯域制御回路１３Ａは、後述するリセット動作において発生するリセットノイズを抑制する回路である。帯域制御回路１３Ａは、帯域制御トランジスタ４６Ａ、第１の容量素子９及び第２の容量素子１０を含んでいる。本明細書において、「容量素子」は、電極の間に絶縁膜などの誘電体が挟まれた構造を意味する。また、「電極」は、金属から形成された電極に限定されず、ポリシリコン層などを広く含むように解釈される。電極は、半導体基板の一部分であってもよい。第１の容量素子９及び第２の容量素子１０は、例えばＭＩＭ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｍｅｔａｌ）容量又はＭＩＳ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒl）容量であってもよい。リセット回路１４Ａは、リセットトランジスタ４８を含んでいる。

[0099] 以下、読み出し回路５０Ａの電気的な接続関係を説明する。

[0100] 増幅トランジスタ４２のゲートは、電荷蓄積部ＦＤに接続されている。増幅トランジスタ４２のソース及びドレインの一方は、帯域制御トランジスタ４６Ａのソース及びドレインの一方と接続されている。増幅トランジスタ４２のソース及びドレインの一方は、選択トランジスタ４４のソース及びドレインの一方にも接続されている。また、帯域制御トランジスタ４６Ａのソース及びドレインの他方は、第１の容量素子９の一端に接続されている。また、第１の容量素子９の他端には、基準電圧ＶＲ１が印加される。これにより、帯域制御トランジスタ４６Ａと第１の容量素子９とによってＲＣフィルタ回路が形成される。

[0101] 帯域制御トランジスタ４６Ａのソース及びドレインの他方は、第２の容量素子１０の一端にも接続されている。また、第２の容量素子１０の他端は、電荷蓄積部ＦＤに接続されている。本明細書において、帯域制御トランジスタ４６Ａ、第１の容量素子９及び第２の容量素子１０の間に形成されたノードを「ＲＤ」と称する。

[0102] 帯域制御トランジスタ４６Ａのゲートは、増幅制御信号線ＣＯＮ３に接続

されている。増幅制御信号線ＣＯＮ３の電圧により、帯域制御トランジスタ４６Ａの状態が決定される。例えば、増幅制御信号線ＣＯＮ３の電圧がハイレベルのとき、帯域制御トランジスタ４６Ａはオンする。このとき、電荷蓄積部ＦＤと、増幅トランジスタ４２と、帯域制御トランジスタ４６Ａと、第２の容量素子１０とによってフィードバック回路３０Ａが形成される。

[0103] 増幅制御信号線ＣＯＮ３の電圧が低くなると、帯域制御トランジスタ４６Ａの抵抗成分が大きくなる。そのため、帯域制御トランジスタ４６Ａの帯域は狭くなり、帰還する信号の周波数領域は狭くなる。

[0104] 帰還経路が形成されているとき、帯域制御トランジスタ４６Ａが出力する信号は、第２の容量素子１０及び電荷蓄積部ＦＤの寄生容量によって形成される減衰回路で減衰されて、電荷蓄積部ＦＤに帰還される。第２の容量素子１０の容量をＣｃとし、電荷蓄積部ＦＤの寄生容量をＣｆｄとすると、減衰率は、Ｃｃ／（Ｃｃ＋Ｃｆｄ）で表される。

[0105] 増幅制御信号線ＣＯＮ３の電圧がさらに低くなり、ローレベルになると、帯域制御トランジスタ４６Ａはオフし、帰還経路は形成されない。

[0106] 電荷蓄積部ＦＤは、リセットトランジスタ４８のソース及びドレインの一方にさらに接続される。リセットトランジスタ４８のソース及びドレインの他方は、ＲＤに接続されている。これにより、増幅トランジスタ４２のソース及びドレインの一方の電圧（増幅器２の出力電圧）がリセットトランジスタ４８に印加される。リセットトランジスタ４８のゲートは、リセット制御信号線ＣＯＮ２に接続され、リセット制御信号線ＣＯＮ２の電圧により、リセットトランジスタ４８の状態が決定される。リセットトランジスタ４８は、光電変換部１の信号を、増幅トランジスタ４２を介して電荷蓄積部ＦＤに負帰還している。このような構成によると、リセットトランジスタ４８をオフする前後における電荷蓄積部ＦＤの電圧の変化を小さくすることができ、より高速なノイズ抑制が可能となる。

[0107] ［画素の動作］

次に、撮像装置１００の複数の画素１１０の動作について説明する。撮像

装置１００の制御回路は、複数の画素１１０に、信号電荷を電荷蓄積部ＦＤに蓄積する露光動作、電荷蓄積部ＦＤの電位を初期化するリセット動作、及び、電荷蓄積部ＦＤに蓄積された信号電荷に対応する信号を出力する読み出し動作を行わせる。画素１１０の代わりに画素１１０Ａ又は画素１１５が用いられる場合も、基本的な動作は同じである。

[0108] まず、信号電荷を電荷蓄積部ＦＤに蓄積する露光動作について説明する。制御回路は、以下の動作によって複数の画素１１０に露光動作を行わせる。

[0109] 図４は、光電変換層１ｃの特性の一例として、有機光電変換膜の光電変換特性の一例を示す図である。図４に示されるように、有機光電変換膜の光電変換特性は、対向電極１ｂの電圧V_{ITO}が高くなるほど、有機光電変換膜の感度が高くなる。例えば、各画素１１０に設けられた画素電極１ａがリセット電圧ＶＲＳＴに設定された状態で、全画素共通の対向電極１ｂにＨＩＧＨ電圧が供給されると、対向電極１ｂと画素電極１ａとには高電圧V_Hがかかるため、有機光電変換膜の感度が高く、光電変換が行われる。光電変換層１ｃで発生した信号電荷は、画素電極１ａによって収集される。対向電極１ｂにＬＯＷ電圧を供給されると、対向電極１ｂと画素電極１ａとにかかる電圧は、低電圧V_Lに変更されるため、有機光電変換膜の感度が低くなり、光電変換が停止される。つまり、各画素１１０に設けられた画素電極１ａがリセット電圧ＶＲＳＴに設定された状態で、全画素共通の対向電極１ｂにＨＩＧＨ電圧が供給されることで露光動作が開始され、対向電極１ｂにＬＯＷ電圧が供給されることで露光動作が停止される。また、この際、図１Ｂに示される増幅制御信号線ＣＯＮ３の電圧はローレベルであり、帯域制御トランジスタ４６はオフである。また、画素１１０Ａの場合、図２に示されるリセット制御信号線ＣＯＮ２及び増幅制御信号線ＣＯＮ３の電圧はローレベルであり、帯域制御トランジスタ４６Ａ及びリセットトランジスタ４８はオフである。これにより、露光動作中に、電荷蓄積部ＦＤに信号電荷が蓄積される。このように、光電変換層１ｃを用いた撮像装置１００では、対向電極１ｂに印加する電圧の制御により、光電変換特性、つまり感度の制御が可能となる。本実施

の形態に係る撮像装置１００では、このような光電変換特性（つまり感度特性）の制御を用いることで、少なくとも２つ以上の画素１１０に対して同時に露光動作を行う、グローバルシャッタ動作が可能となる。

[0110] ここで、光電変換層を用いた撮像装置の場合、前述したように、電荷を完全転送できない構成のため、ＣＤＳ手法を用いることができない。そこで露光の前に、画素毎にリセットノイズ（例えばｋＴＣノイズ）抑制を行うことが必須となる。前述したグローバルシャッタ露光の開始前にも、露光する画素についてリセット動作が必要になる。

[0111] 次に、電荷蓄積部ＦＤの電位を初期化するリセット動作について図１Ｂ及び図２を参照しながら説明する。制御回路は、以下の動作によって複数の画素１１０にリセット動作を行わせる。リセット動作は、複数の画素１１０の行単位で行われる。リセット動作では、例えば、リセットノイズの抑制とともに電荷蓄積部ＦＤの電位が初期化される。

[0112] リセット動作において、選択制御信号線ＣＯＮ７の電圧はローレベルである。従って、選択トランジスタ４４はオフ状態であり、増幅トランジスタ４２と信号読み出し信号線１７０とは電気的に分離されている。ここで、増幅制御信号線ＣＯＮ３の電圧をハイレベルにして、帯域制御トランジスタ４６をオンにする。また、この際、切替回路２０の第１のスイッチ素子１１はオン状態となっており、増幅トランジスタ４２のソース及びドレインの他方には電圧Ｖａ１（例えば接地電圧ＧＮＤ）が印加されている。これにより、電荷蓄積部ＦＤの電圧（言い換えると画素電極１ａの電圧）は、リセット電圧ＶＲＳＴと等しくなる。つまり、電荷蓄積部ＦＤの電位が初期化される。さらに、例えば、この次に、増幅制御信号線ＣＯＮ３の電圧を、ハイレベルとローレベルとの間、例えば中間の電圧に設定する。これにより、リセットノイズが抑制される。この場合、帯域制御トランジスタ４６の動作帯域が、増幅トランジスタ４２の動作帯域よりも狭くなるように電圧を設定すると、さらにリセットノイズ抑制効果は高くなる。最後に、増幅制御信号線ＣＯＮ３の電圧をローレベルにし、帯域制御トランジスタ４６をオフにする。これに

より、リセットノイズの抑制を行うと共に、電荷蓄積部ＦＤの電位が初期化される。

[0113] 画素１１０Ａの場合には、さらに、増幅制御信号線ＣＯＮ３の電圧をハイレベルにすることに加えて、リセット制御信号線ＣＯＮ２の電圧をハイレベルにし、リセットトランジスタ４８をオンにすることにより、電荷蓄積部ＦＤの電圧は、リセット電圧ＶＲＳＴと等しくなる。次に、リセットトランジスタ４８をオフにする。さらに、例えば、この次に、増幅制御信号線ＣＯＮ３の電圧を、ハイレベルとローレベルとの間、例えば中間の電圧に設定することで、上記リセットノイズ抑制効果も得られる。最後に、リセット制御信号線ＣＯＮ２及び増幅制御信号線ＣＯＮ３の電圧を、ローレベルにし、帯域制御トランジスタ４６Ａをオフにする。

[0114] 次に、電荷蓄積部ＦＤに蓄積された信号電荷に対応する信号を出力する読み出し動作について図１Ｂ及び図２を参照しながら説明する。制御回路は、以下の動作によって複数の画素１１０に読み出し動作を行わせる。読み出し動作は、複数の画素１１０の行単位で行われる。

[0115] 読み出し動作においては、選択制御信号線ＣＯＮ７の電圧をハイレベルにして選択トランジスタ４４をオンにする。また、増幅トランジスタ４２のソース及びドレインの他方の電圧がＶａ２（例えば電源電圧ＶＤＤ）になるように、切替回路２０を制御する。すなわち、第２のスイッチ素子１２がオンになり、増幅トランジスタ４２のソース及びドレインの他方には、電圧Ｖａ２が印加される。この状態においては、増幅トランジスタ４２と定電流源１４４とがソースフォロア回路を形成する。そして、電荷蓄積部ＦＤの電位は、電荷蓄積部ＦＤに蓄積された信号電荷の量に応じた電圧となる。これにより、信号電荷の量に応じた電荷蓄積部ＦＤの電圧は、増幅器２によって例えば１倍程度の増幅率で増幅され、信号読み出し信号線１７０に出力される。このとき、ソースフォロア回路の増幅率は、例えば、１倍程度である。電荷蓄積部ＦＤの電圧は、例えば、１倍程度の増幅率で増幅器２により増幅されて、信号読み出し信号線１７０に出力される。

[0116] この読み出し動作は、電荷蓄積部ＦＤに露光動作での信号電荷が蓄積された状態、及び、画素についてリセット動作が完了し、画素電極にリセット電圧ＶＲＳＴが設定された状態で行われる。電荷蓄積部ＦＤに露光動作での信号電荷が蓄積された状態での読み出し動作を、「信号読み出し動作」と称し、画素電極にリセット電圧ＶＲＳＴが設定された状態での読み出し動作を、「リセット信号読み出し動作」と称する。

[0117] ［撮像装置の動作］

次に、撮像装置１００の動作について説明する。具体的には、撮像装置１００の制御回路が、複数の画素に行わせる動作について説明する。

[0118] 以下では、比較例に係る撮像装置を用いた場合の動作及び課題、並びに、本実施の形態に係る撮像装置１００を用いた場合の動作及び効果について説明する。

[0119] まず、比較例に係る撮像装置について、図５Ａ、図５Ｂ及び図５Ｃを用いて説明する。比較例に係る撮像装置は、上述の撮像装置１００と同様の構成を有するが、各回路による動作が本実施の形態に係る撮像装置１００とは異なる。以下では、比較例に係る撮像装置の複数の画素１１０が、「０行からｎ行×０列からｍ列」の画素アレイを構成している例について説明する。

[0120] 図５Ａは、比較例に係る撮像装置における動作の一例を説明するためのタイミングチャートである。図５Ｂは、比較例に係る撮像装置における動作の一例を示すフローチャートである。

[0121] 図５Ａは、トリガ信号のタイミングと、垂直同期信号ＶＤの立ち下がり（又は立ち上がり）のタイミングと、光電変換部１の対向電極１ｂに印加される電圧（すなわち、光電変換層１ｃに印加されるバイアス電圧）の大きさの時間的変化と、複数の画素１１０全体の駆動と、複数の画素１１０の画素アレイの各行におけるリセット動作、信号読み出し動作及び露光動作とを示している。図５Ａの最上部には、露光開始を指示する「トリガ信号」のタイミングが示されている。図５Ａ中の一番上のグラフの「ＶＤ」には、垂直同期信号ＶＤの立ち下がり（又は立ち上がり）のタイミングが示されている。図

５Ａ中の上から二番目のグラフの「対向電極電圧」には、蓄積制御線１３０を介して、電圧供給回路１４０から対向電極１ｂに印加される電圧の時間的変化が示されている。さらにその下の「画素駆動」と「各行動作」とには、それぞれ、複数の画素１１０全体の駆動と、複数の画素１１０の画素アレイの各行の動作のタイミングが示されている。各行動作の線は、０行からｎ行まで行ごとに順次動作が行われていることを示している。各行動作の実線は、リセット動作を示しており、破線は、信号読み出し動作を示している。

[0122] 図５Ａ及び図５Ｂに示されるように、まず、すべての画素１１０に対し、露光動作前のリセット動作を行う必要がある為、比較例に係る撮像装置の制御回路は、リセット動作期間Ａにおいて、少なくとも１行毎に０行からｎ行のすべての行の複数の画素１１０に、リセット動作を行わせる（Ｓ１１１）。リセット動作が行われる際には、例えば、上述のように、リセットノイズ（例えばｋＴＣノイズ）の抑制とともにリセット動作が行われる。

[0123] 次に、比較例に係る撮像装置の制御回路は、すべての画素１１０のリセットノイズが抑制され、リセット電圧ＶＲＳＴが設定された状態で、露光動作期間Ｂにおいて、対向電極１ｂにＨＩＧＨ電圧を印加し、複数の画素１１０に露光動作を行わせる（Ｓ１１２）。露光動作は、複数の画素１１０のうち少なくとも２画素以上の画素１１０に対して一括で行われる。

[0124] 次に、比較例に係る撮像装置の制御回路は、露光動作後、信号読み出し動作期間Ｃにおいて、０行からｎ行のすべての行に属する画素１１０について、少なくとも１行毎に、信号読み出し動作と、信号読み出し動作後、再度、信号を読み出したすべての画素１１０に対するリセット動作と、リセット動作後、すべての画素１１０に対するリセット信号読み出し動作とを行わせる（Ｓ１１３）。リセット信号読み出し動作では、信号を読み出したすべての画素１１０のノイズが抑制され、リセット電圧ＶＲＳＴが設定された状態で、少なくとも１行毎にリセット信号の読み出し動作が行われる。

[0125] その後、比較例に係る撮像装置の制御回路は、外部からのトリガ信号を受け取り、露光開始時間を決定し、リセット動作、露光動作及び信号読み出し

動作を複数の画素１１０に行わせる（Ｓ１１４からＳ１１７）。ステップＳ１１５からステップＳ１１７においては、ステップＳ１１１からステップＳ１１３と同様の動作が行われる。この時、ステップＳ１１４においてトリガ信号を受け取ってから、ステップ１１６における露光動作前に、少なくとも１行毎に、露光する全ての画素１１０分のリセット動作が必要になり、外部からのトリガ信号の受け取りから、露光動作開始までに長い待機時間Ｔ１が生じる。例えば、１行のリセット動作につき３マイクロ秒の時間がＦＨＤ（垂直１０００行）に対し必要な場合、３ミリ秒以上の待機時間Ｔ１が生じ、撮影したいものを撮影したいタイミングで撮影できない、又は、撮影したいものを撮影したいタイミングで撮影するための連写ができない。そのため、高速に複数の物体の連続検査が行えないなどの課題が生じる。

[0126] 図５Ｃは、比較例に係る撮像装置における動作の別の例を示すフローチャートである。図５Ｃに示される例では、比較例に係る撮像装置の制御回路は、始めに外部からのトリガ信号を受け取り、リセット動作、露光動作及び信号読み出し動作を複数の画素１１０に行わせる（Ｓ１２１からＳ１２４）。ステップＳ１２１からステップＳ１２４においては、上述のステップＳ１１４からステップＳ１１７と同様の動作が行われる。比較例に係る撮像装置は、図５Ｂに示されるように、初期化の為に、１回目の撮像を行った後、外部からのトリガ信号の受け取りに合わせて、露光動作開始時間を決定してもよいし、図５Ｃに示されるように、始めから外部からのトリガ信号の受け取りに合わせて、露光動作開始時間を決定してもよい。また、比較例に係る撮像装置は、外部からのトリガ信号による露光動作タイミングの制御と内部での連続走査とを繰り返してもよい。

[0127] 次に、上記課題が解決される本実施の形態に係る撮像装置１００の動作について、図６Ａから図７を用いて説明する。以下では、撮像装置１００の複数の画素１１０が、「０行からｎ行×０列からｍ列」の画素アレイを構成している例について説明する。なお、撮像装置１００は、画素１１０の代わりに画素１１０Ａ又は画素１１５を備えていてもよい。

[0128] 図６Ａは、本実施の形態に係る撮像装置１００における動作の一例を説明するためのタイミングチャートである。図６Ｂは、本実施の形態に係る撮像装置１００における動作の一例を示すフローチャートである。図６Ｃは、本実施の形態に係る撮像装置１００における動作の別の例を説明するためのタイミングチャートである。

[0129] 図６Ａ及び図６Ｃは、図５Ａと同様に、トリガ信号のタイミングと、垂直同期信号ＶＤの立ち下がり（又は立ち上がり）のタイミングと、光電変換部１の対向電極１ｂに印加される電圧（すなわち、光電変換層１ｃに印加されるバイアス電圧）の大きさの時間的変化と、複数の画素１１０全体の駆動と、複数の画素１１０の画素アレイの各行におけるリセット動作、信号読み出し動作及び露光動作とを示している。

[0130] 図６Ａ及び図６Ｂに示されるように、まず、すべての画素１１０に対し、露光動作前の電圧のリセットを行うために、撮像装置１００の制御回路は、リセット動作期間Ａにおいて、０行からｎ行のすべての行の複数の画素１１０について、リセット動作を行わせる（Ｓ１１）。リセット動作が行われる際には、例えば、上述のように、少なくとも１行毎に、リセットノイズ（ｋＴＣノイズ）の抑制とともに、リセット動作が行われる。なお、ステップＳ１１において、撮像装置１００の制御回路は、リセット動作を複数の画素１１０のうち少なくとも１つの行に属する画素１１０に行単位で順に行わせてもよい。例えば、一部の画素１１０を用いる切り出しモードで撮像される場合においては、用いられる画素１１０の行についてリセット動作が行われてもよい。

[0131] 次に、撮像装置１００の制御回路は、すべての画素１１０のリセットノイズが抑制され、リセット電圧ＶＲＳＴが設定された状態で、露光動作期間Ｂにおいて、対向電極１ｂにＨＩＧＨ電圧を印加し、画素１１０に露光動作を行わせる（Ｓ１２）。露光動作は、複数の画素１１０のうち少なくとも２画素以上の画素１１０に対して同時に行われる。露光動作は、すべての画素１１０に対して同時に行われてもよい。

[0132] 撮像装置１００の制御回路は、０行からｎ行のすべての行に属する画素１１０に、露光動作後の信号読み出し動作期間Ｃにおいて、少なくとも１行毎に蓄積された画素信号の信号読み出し動作と、読み出し後、再度、信号を読み出したすべての画素１１０に対するリセット動作と、リセット動作後、すべての画素１１０に対するリセット信号読み出し動作とを行わせる（Ｓ１３）。リセット信号読み出し動作では、信号を読み出したすべての画素１１０のノイズが抑制され、リセット電圧ＶＲＳＴが設定された状態で、少なくとも１行毎にリセット信号の読み出し動作が行われる。

[0133] ここで、上述の比較例に係る撮像装置では、外部からのトリガ信号を受け取った後、露光動作前に、少なくとも１行毎に、露光動作をさせるすべての画素１１０分のリセット動作が必要になり、外部からのトリガ信号の受け取りから、露光動作開始までに長い待機時間が生じる課題が生じる。また、外部からのトリガ信号の受け取りとは関係なく、事前に、少なくとも１行毎に、露光動作をさせるすべての画素１１０分のリセット動作をあらかじめ行っておく方法も考えられる。しかしながら、リセット動作から、外部からのトリガ信号の受け取り、ひいては、露光動作開始までの時間が長いと、暗電流などの微小リークの影響で、正確な信号電荷の蓄積及び信号読み出し動作ができないという課題が生じる。

[0134] しかし、本実施の形態にかかる撮像装置１００では、ステップＳ１３におけるリセット信号の読み出し後も、少なくとも１行毎のリセット動作を繰り返す期間（プレリセット動作期間Ａ２）を設けることで、外部からのトリガ信号の受け取りから露光動作開始までの待機時間の短縮が可能となる。具体的には、撮像装置１００の制御回路は、プレリセット動作期間Ａ２において、複数の画素１１０に、少なくとも１行毎のリセット動作を行わせる（Ｓ１４）。ステップＳ１４におけるリセット動作は、制御回路が外部からトリガ信号を受け取るまで（Ｓ１５）、０行からｎ行の単位で繰り返される。つまり、撮像装置１００の制御回路は、トリガ信号を受け取るまで、行単位で順に複数の画素１１０に、リセット動作を繰り返し行わせる。

[0135] また、撮像装置１００の制御回路は、ステップＳ１５において、外部からのトリガ信号を受け取ると、割り込み処理を行い、リセット動作を実施中のｘ行の画素１１０の処理終了までで停止させる。これにより、ステップＳ１４におけるリセット動作は、０行からｎ行までの単位でａ回繰り返され、さらに、０行からｘ行まで行われることになる。ここで、ａは０以上の整数である。ｘ行は、０行からｎ行の間のいずれかの行である。このように、ステップＳ１３からステップＳ１５において、撮像装置１００の制御回路は、露光開始を指示するトリガ信号を受け取るまでに、電荷蓄積部ＦＤの電位を初期化するリセット動作を、複数の画素１１０のすべてに行単位で順に行わせる。また、撮像装置１００の制御回路は、複数の画素１１０のうち少なくとも１つの行に属する画素１１０に、トリガ信号を受け取るまでに、リセット動作を複数回行わせる。これにより、制御回路が外部からのトリガ信号を受け付けるまでの間に、ノイズの原因となる暗電流等に由来する信号電荷の蓄積が抑制される。

[0136] 撮像装置１００の制御回路は、リセット動作が終了し次第、少なくとも２画素以上の複数の画素１１０に露光動作を行わせる（Ｓ１６）。そして、撮像装置１００の制御回路は、複数の画素１１０に信号読み出し動作、リセット動作及びリセット信号読み出し動作を行わせる（Ｓ１７）。つまり、撮像装置１００の制御回路は、トリガ信号を受け取った後、複数の画素１１０のうち少なくとも１つの行に属する画素１１０にリセット動作を行わせることなく、信号電荷を電荷蓄積部ＦＤに蓄積する露光動作を複数の画素１１０に同時に行わせる。このようにして得られた、信号読み出し動作での出力とリセット読み出し動作での出力との差分をとることで、露光動作時の光電変換によって生成された電荷の量に対応する信号が得られる。ステップＳ１６及びステップＳ１７では、上述のステップＳ１２及びＳ１３と同様の動作が行われる。

[0137] 撮像装置１００の制御回路は、ステップＳ１７では、図６Ａに示されるように、露光動作の後、信号読み出し動作を、ステップＳ１１及びステップＳ

１３でリセット動作を開始した０行から行単位で順に複数の画素１１０に行わせてもよい。本構成をとることにより、リセット動作と読み出し動作とが開始される行が共通化されるため、制御回路の複雑化を抑制できる。また、読み出しデータが、上行から下行、または下行から上行に、時間的に連続に読み出されるため、画像の連続性が保持される。

[0138] 信号読み出し動作は、行単位で順に全ての行に属する画素１１０に行われれば、開始される行は特に制限されない。例えば、撮像装置１００の制御回路は、ステップＳ１７では、図６Ｃに示されるように、露光動作の後、信号読み出し動作を、ステップＳ１４でリセット動作を終了したｘ行の次の順番の行から行単位で順に複数の画素１１０に行わせてもよい。本構成をとることにより、各行それぞれのリセット動作から読出し動作までの時間が略同一になる。そのため、各行の間での、リセット動作が行われた後に、暗電流等によって電荷蓄積部ＦＤに蓄積される電荷の量の差が、小さくなる。よって、複数の画素１１０間のノイズの差が低減される。

[0139] そして、ステップＳ１４からステップＳ１７の動作が繰り返し行われる。このように、本実施の形態に係る撮像装置１００では、プレリセット動作期間Ａ２を設けることで、外部からのトリガ信号の受け取りから露光動作開始までの待機時間Ｔ２を、上述の待機時間Ｔ１に比べて、１行のリセット動作時間以上の短縮が可能となる。

[0140] ここで、ステップＳ１４及びステップＳ１５において、外部からのトリガ信号を受け取ると、リセット動作を実施中の行の処理終了までで停止と説明したが、これに限らない。本リセット動作は、外部からのトリガ信号を受け取ったあと、少なくとも１つの行に属する画素１１０ついて実行されなければよく、例えば、周辺回路の安定化を考慮し、実施中の行から数行にわたってリセット動作が行われてもよい。

[0141] また、図６Ａ及び図６Ｂに示される例では、ステップＳ１４（図６Ａでは、プレリセット動作期間Ａ２）において、リセット動作が０行からｎ行を１つの単位（つまり、１フレーム）として繰り返される際に、１フレームのリ

セット動作完了後、すぐに次のフレームのリセット動作が０行から実行されている。つまり、リセット動作が繰り返される場合には、１フレームのリセット動作が完了後、次のフレームのリセット動作が始まるまでの間隔は、空いていない。なお、ステップＳ１４において、１フレームのリセット動作が完了後、次のフレームのリセット動作が始まるまでに、リセット動作が実行されない期間が設けられてもよい。ステップＳ１４におけるリセット動作が実行されない期間は、短いほど暗電流等によるノイズが抑制されるが、使用の目的において必要とされる画質が得られるように、設定されればよい。例えば、ステップＳ１４におけるリセット動作が実行されない期間は、１フレームの長さ以内としてもよい。

[0142] また、図６Ｂにおいて、ステップＳ１１からステップＳ１３が実行されている間、つまり、複数の画素１１０のすべてにリセット動作が行われるまでの間に、撮像装置１００の制御回路がトリガ信号を受け取る場合には、制御回路は、リセット動作等の動作を中断しない。この場合、例えば、撮像装置１００の制御回路は、受け取ったトリガ信号を破棄してもよく、画素１１０に露光動作をすぐに開始させず、ステップＳ１３の後に露光動作を行わせてもよい。また、撮像装置１００の制御回路は、複数の画素１１０すべてにリセット動作が行われるまでの間には、トリガ信号を受け取らない回路構成を有していてもよい。

[0143] 図６Ｄは、撮像装置１００における動作の別の例を示すフローチャートである。図６Ｄに示される例では、撮像装置１００の制御回路は、始めに、０行からｎ行のすべての行に属する画素１１０ついて、リセット動作を行わせる（Ｓ２１）。ステップＳ２１では、上述のステップＳ１１と同様の動作が実行される。撮像装置１００の制御回路は、ステップＳ２１におけるリセット動作後も、複数の画素１１０に、少なくとも１行毎のリセット動作を行わせる（Ｓ２２）。ステップＳ２２におけるリセット動作は、制御回路が外部からトリガ信号を受け取るまで（Ｓ２３）、０行からｎ行の単位で繰り返される。トリガ信号を受け取ると、撮像装置１００の制御回路は、リセット動

作が終了し次第、複数の画素１１０に同時に露光動作を行わせる（Ｓ２４）。そして、撮像装置１００の制御回路は、複数の画素１１０に、信号読み出し動作、リセット動作及びリセット信号読み出し動作を行わせる（Ｓ２５）。そして、ステップＳ２２からステップＳ２５の動作が繰り返し実行される。ステップＳ２２からステップＳ２５では、上述のステップＳ１４からステップＳ１７と同様の動作が行われる。

[0144] 撮像装置１００は、図６Ｂに示されるように、初期化の為に、１回目の撮像を行った後、プレリセット動作期間Ａ２を設け、外部からのトリガ信号の受け取りに合わせて、露光動作開始時間を決定してもよいし、図６Ｄに示されるように、始めからプレリセット動作期間Ａ２を設け、外部からのトリガ信号の受け取りに合わせて、露光動作開始時間を決定してもよい。また、撮像装置１００は、外部からのトリガ信号による露光動作タイミングの制御と内部での連続走査とを繰り返してもよい。

[0145] 図７は、撮像装置１００における動作の別の例を示すフローチャートである。この例では、撮像装置１００の制御回路は、図６Ｂに示されるステップＳ１１及びステップＳ１２と同様の動作を、ステップＳ３１及びステップＳ３２の動作として複数の画素１１０に行わせる。次に、撮像装置１００の制御回路は、複数の画素１１０に信号読み出し動作及びリセット動作を行わせる（ステップＳ３３）。つまり、ステップＳ３３では、図６Ｂに示されるステップＳ１３におけるリセット信号読み出し動作が行われない。次に、撮像装置１００の制御回路は、図６Ｂに示されるステップＳ１４からステップＳ１６と同様の動作を、ステップＳ３４からステップＳ３６の動作として複数の画素１１０に行わせる。そして、撮像装置１００の制御回路は、信号読み出し動作及びリセット動作を複数の画素１１０に行わせる（ステップＳ３７）。ステップＳ３７では、ステップＳ３３と同様の動作が行われる。この動作の例では、信号読み出し動作での出力について、例えば、リセット電圧ＶＲＳＴが設定された状態に相当する出力との差分をとることで、電荷蓄積部ＦＤに蓄積された電荷の量に対応する信号が得られる。

[0146] （実施の形態２）

次に、実施の形態２について説明する。実施の形態２では、少なくとも２層の基板の積層構造を有する撮像装置について説明する。

[0147] 図８は、本実施の形態に係る撮像装置１０１の構成の一例を示す模式図である。図８に示されるように、撮像装置１０１は、第１の基板２０００と第１の基板２０００に積層されている第２の基板２１００とを備える。

[0148] 第１の基板２０００は、第２の基板の上方に位置する。第１の基板２０００は、画素アレイ１１１を有する。画素アレイ１１１は、例えば、上述の画素１１０、画素１１０Ａ又は画素１１５が行列状に配置された構造を有する。

[0149] 第２の基板２１００は、画素アレイ１１１に含まれる各画素からの信号出力（具体的には、アナログ信号）を受け、デジタル信号に変換するアナログ－デジタル変換回路（ＡＤ変換回路）２２００と、アナログ－デジタル変換回路２２００によってデジタル信号に変換された信号が記憶されるメモリ２４００と、アナログ－デジタル変換回路２２００によってデジタル信号に変換された信号を演算処理する演算処理回路２３００と、を有する。

[0150] 第１の基板２０００と第２の基板２１００とは、接続部２５００によって、電気的に接続されている。

[0151] 本積層構成において、例えば、上述の撮像装置１００を実現するための、画素１１０、画素１１０Ａ又は画素１１５は第１の基板２０００に設けられ、光電変換部１の対向電極１ｂの制御用の回路、割り込み制御ロジック用の回路は第２の基板２１００に設けられる。光電変換部１の対向電極１ｂの制御用の回路、割り込み制御ロジック用の回路は、第２の基板２１００に設けられることで、画素アレイ１１１に含まれる画素の画素面積の影響を受けることなく、自由な制御ロジック用の回路の構築が可能となる。各回路が第１の基板２０００及び第２の基板２１００のいずれに設けられるかは、目的に応じて決定されればよく、特に制限されない。具体的には、例えば、画素１１０、画素１１０Ａ又は画素１１５は、第１の基板２０００に設けられ、垂

直操作回路１４１、電圧供給回路１４０、カラム信号処理回路１４２及び水平信号読み出し回路１４３は、第２の基板２１００に設けられる。また、画素１１０、画素１１０Ａ又は画素１１５に切替回路２０が含まれず、切替回路２０が第２の基板２１００に設けられていてもよい。また、定電流源１４４が第１の基板１０００に含まれず、定電流源１４４が第２の基板２１００に設けられていてもよい。

[0152] 図８に示される例では、撮像装置１０１の積層構造は、２層の基板が積層されている構造であるが、これに限らず、３層以上の基板が積層されている構造であってもよく、１層の基板上に、複数の子基板が積層されている構造であってもよい。基板の接続部２５００は、図８に示されているように列毎に設けられてもよく、領域毎に設けられてもよく、画素毎に設けられてもよい。

[0153] （実施の形態３）

次に、実施の形態３について説明する。実施の形態３では、上記撮像装置を備えるカメラシステムについて説明する。図９は、実施の形態３に係るカメラシステム１０００の構成の一例を示すブロック図である。

[0154] 本実施の形態に係るカメラシステム１０００は、撮像装置１０２と、レンズなどの光を集光する為の光学系１００１と、撮像装置１０２で撮ったデータを信号処理し、画像又はデータとして出力する為のカメラ信号処理部１００２と、撮像装置１０２及びカメラ信号処理部１００２を制御する為のシステムコントローラ１００３とを備える。

[0155] 光学系１００１は、撮像装置１０２の撮像面に光を集光するためのレンズなどである。光学系１００１を通過した光が撮像装置１０２の光電変換部１に入射し、光電変換され、信号電荷が発生する。撮像装置１０２には、例えば、上記実施の形態に係る撮像装置１００又は１０１が用いられる。

[0156] カメラ信号処理部１００２は、撮像装置１０２からの出力信号を処理する信号処理回路として機能する。カメラ信号処理部１００２は、例えばガンマ補正、色補間処理、空間補間処理、オートホワイトバランス、距離計測演算

及び波長情報分離などの処理を行う。カメラ信号処理部１００２は、例えばＤＳＰ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｏｒ）などによって実現され得る。

[0157] システムコントローラ１００３は、カメラシステム１０００全体を制御する。システムコントローラ１００３は、例えば、マイクロコンピュータによって実現され得る。

[0158] 本実施の形態におけるカメラシステム１０００は、撮像装置１０２として上記実施の形態に係る撮像装置１００又は１０１を用いることにより、外部からのトリガ信号の受け取りから受光面一括での露光動作開始までの遅延時間の短縮が可能となる。ゆえに、露光動作開始までの待ち時間が短く、撮像したいものを撮像したい時に撮像が可能、又は、高速な検査が可能な、ユーザビリティの高いカメラシステム１０００の提供が可能となる。

[0159] （他の実施の形態）

以上、１つ又は複数の態様に係る撮像装置及びカメラシステムについて、各実施の形態に基づいて説明したが、本開示は、これらの実施の形態に限定されるものではない。

[0160] 例えば、上記実施の形態では、ステップＳ１４におけるリセット動作は、ステップＳ１３の動作の終了後にすぐに開始されたが、使用の目的において必要とされる画質が得られる範囲で、ステップＳ１３の動作終了後から間隔を空けて開始されてもよい。

[0161] また、上記実施の形態では、リセット動作において、電荷蓄積部ＦＤが切替回路２０と電気的に接続されることで、電荷蓄積部ＦＤの電圧は、リセット電圧ＶＲＳＴと等しくなったが、これに限らない。電荷蓄積部ＦＤが切替回路２０とは異なる回路から基準電圧が印加されることで、リセット動作が行われてもよい。

[0162] また、上記実施の形態では、光電変換部１は、画素電極１ａと、対向電極１ｂと、光電変換層１ｃとを含んだが、さらに、光電変換層１ｃと画素電極１ａ又は対向電極１ｂとの間に、電荷輸送層又は電荷ブロッキング層を含ん

でいてもよい。これにより、さらに、暗電流の発生が抑制されるため、ノイズがさらに低減される。

[0163] また、上記実施の形態では、リセット動作および信号読み出し動作は、行単位で行われる形態について説明した。しかし、各列に複数の信号線を設けて、リセット動作および信号読み出し動作を複数行単位で行ってもよい。これにより、高速化を実現できる。各列に複数の信号線を設けた構成は、本出願人による特許出願である米国特許公報１０，２２５，５００号により詳細に記載されている。これらの開示内容の全てを参考のために本願明細書に援用する。

[0164] また、本開示の撮像装置を実際に使用する場面においては、プレリセット動作期間以外の期間にトリガ信号を受け取ることも想定される。例えば、プレリセット動作を開始する前にトリガ信号を受け取った場合には、トリガ信号を無視するようにしてもよい。あるいは、トリガ信号を受け取った後、全行の画素についてリセット動作を行ってから露光動作を開始してもよい。また、例えば、露光期間中にトリガ信号を受け取った場合には、トリガ信号を無視するようにしてもよい。あるいは、露光動作の終了後に信号読出し動作およびリセット動作を行ってから、再度露光動作を行ってもよい。あるいは、露光動作の終了後にリセット動作を行ってから再度露光動作を行ってもよい。あるいは、露光動作を途中で中断し、リセット動作を行ってから再度露光動作を行ってもよい。プレリセット動作期間以外の期間にトリガ信号を受け取った場合において上記したような動作を行ったとしても、本開示の請求項に記載の動作を行う限り、本開示の権利範囲に含まれる。

[0165] その他、本開示の主旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したもの、及び、異なる実施の形態における構成要素を組み合わせて構築される形態も、本開示の範囲内に含まれる。

産業上の利用可能性

[0166] 本開示に係る撮像装置は、デジタルスチルカメラ、医療用カメラ、監視用カメラ、車載用カメラ、デジタル一眼レフカメラ、デジタルミラーレス一眼

カメラ等、様々なカメラシステム及びセンサシステムへの利用が可能である。

符号の説明

[0167] １、１ｄ　光電変換部

１ａ　画素電極

１ｂ　対向電極

１ｃ　光電変換層

２　増幅器

３、３Ａ　帯域制御部

５　出力選択部

９　第１の容量素子

１０　第２の容量素子

１１　第１のスイッチ素子

１２　第２のスイッチ素子

１３、１３Ａ　帯域制御回路

１４Ａ　リセット回路

３０、３０Ａ　フィードバック回路

４１　電荷蓄積ノード

４２　増幅トランジスタ

４２ｇ、４４ｇ、４６ｇ　ゲート絶縁層

４２ｅ、４４ｅ、４６ｅ　ゲート電極

４４　選択トランジスタ

４６、４６Ａ　帯域制御トランジスタ

４８　リセットトランジスタ

５０、５０Ａ　読み出し回路

６２　半導体基板

６２ａ、６２ｂ、６２ｃ、６２ｄ、６２ｅ　不純物領域

６２ｓ　素子分離領域

６３Ａ、６３Ｂ、６３Ｃ、６３Ｄ　層間絶縁層

６５Ａ、６５Ｂ　コンタクトプラグ

６６Ａ、６８Ａ、６８Ｂ　配線

６７Ａ、６７Ｂ、６７Ｃ、６７Ｄ、６７Ｅ　プラグ

７２　カラーフィルタ

７４　マイクロレンズ

１００、１０１、１０２　撮像装置

１１０、１１０Ａ、１１５　画素

１１１　画素アレイ

１２０　電源線

１３０　蓄積制御線

１４１　垂直走査回路

１４２　カラム信号処理回路

１４３　水平信号読み出し回路

１４４　定電流源

１７０　信号読み出し信号線

１８０　水平共通信号線

１０００　カメラシステム

１００１　光学系

１００２　カメラ信号処理部

１００３　システムコントローラ

２０００　第１の基板

２１００　第２の基板

２２００　アナログ－デジタル変換回路

２３００　演算処理回路

２４００　メモリ

２５００　接続部

ＣＯＮ２　リセット制御信号線

ＣＯＮ３　増幅制御信号線

ＣＯＮ７　選択制御信号線

請求の範囲

[請求項1] 光を信号電荷に変換する光電変換部と、前記信号電荷を蓄積する電荷蓄積部とをそれぞれが含み、行列状に配列される複数の画素と、

制御回路と

を備え、

前記制御回路は、

露光開始を指示するトリガ信号を受け取るまでに、前記電荷蓄積部の電位を初期化するリセット動作を、前記複数の画素のうち少なくとも１つの行に属する画素に行単位または複数行単位で順に行わせ、

前記トリガ信号を受け取った後、前記複数の画素のうち少なくとも１つの行に属する画素に前記リセット動作を行わせることなく、前記信号電荷を前記電荷蓄積部に蓄積する露光動作を前記複数の画素に同時に行わせる、

撮像装置。

[請求項2] 前記制御回路は、前記トリガ信号を受け取るまでに、前記リセット動作を前記複数の画素のすべての画素に行単位または複数行単位で順に行わせる、

請求項１に記載の撮像装置。

[請求項3] 前記制御回路は、前記トリガ信号を受け取るまでに、前記複数の画素のうち少なくとも１つの行に属する画素に前記リセット動作を複数回行わせる、

請求項１又は２に記載の撮像装置。

[請求項4] 前記制御回路は、前記トリガ信号を受け取るまで、前記複数の画素に、前記リセット動作を行単位または複数行単位で順に繰り返し行わせる、

請求項１から３のいずれか一項に記載の撮像装置。

[請求項5] 前記制御回路は、前記露光動作の後、前記電荷蓄積部に蓄積された前記信号電荷に対応する信号を出力する読み出し動作を、前記リセッ

ト動作を開始した行から行単位または複数行単位で順に前記複数の画素に行わせる、

請求項１から４のいずれか一項に記載の撮像装置。

[請求項6] 前記制御回路は、

前記リセット動作を、前記リセット動作を開始した行とは異なる行まで行単位または複数行単位で順に前記複数の画素に行わせ、

前記露光動作の後、前記電荷蓄積部に蓄積された前記信号電荷に対応する信号を出力する読み出し動作を、前記リセット動作を終了した行の次の順番の行から行単位または複数行単位で順に前記複数の画素に行わせる、

請求項１から４のいずれか一項に記載の撮像装置。

[請求項7] 前記複数の画素のそれぞれは、前記リセット動作において前記電荷蓄積部の電位を負帰還させるフィードバック回路を含む、

請求項１から６のいずれか一項に記載の撮像装置。

[請求項8] 前記複数の画素のそれぞれは、前記リセット動作において発生するリセットノイズを抑制する回路を含む、

請求項１から７のいずれか一項に記載の撮像装置。

[請求項9] 前記リセット動作は、前記電荷蓄積部の電位を負帰還させる動作を含む、請求項１から８のいずれか一項に記載の撮像装置。

[請求項10] 電圧供給回路をさらに備え、

前記光電変換部は、前記電圧供給回路に電気的に接続される対向電極と、前記電荷蓄積部に電気的に接続される画素電極と、前記対向電極と前記画素電極との間に位置する光電変換層とを含み、

前記制御回路は、前記電圧供給回路に前記対向電極へ電圧を印加させて、前記光電変換層内に電界を形成させることにより、前記複数の画素に前記露光動作を行わせる、

請求項１から９のいずれか一項に記載の撮像装置。

[請求項11] 光を信号電荷に変換する光電変換部と、前記信号電荷を蓄積する電

荷蓄積部とをそれぞれが含み、行列状に配列される複数の画素を備える撮像装置の制御方法であって、

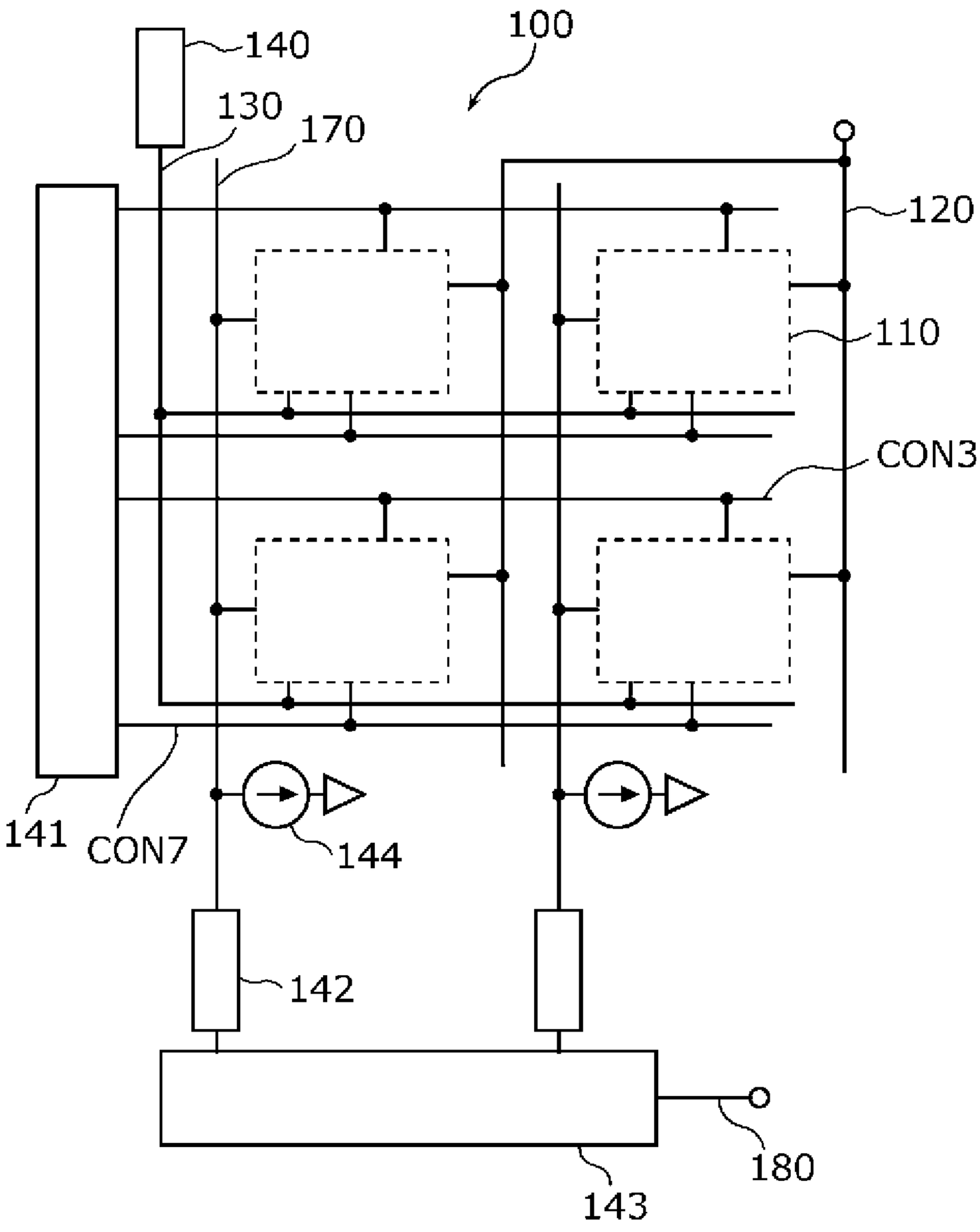
露光開始を指示するトリガ信号を受け取るまでに、前記電荷蓄積部の電位を初期化するリセット動作を、前記複数の画素のうち少なくとも１つの行に属する画素に行単位または複数行単位で順に行い、

前記トリガ信号を受け取った後、前記複数の画素のうち少なくとも１つの行に属する画素に前記リセット動作を行うことなく、前記信号電荷を前記電荷蓄積部に蓄積する露光動作を前記複数の画素に同時に行う、

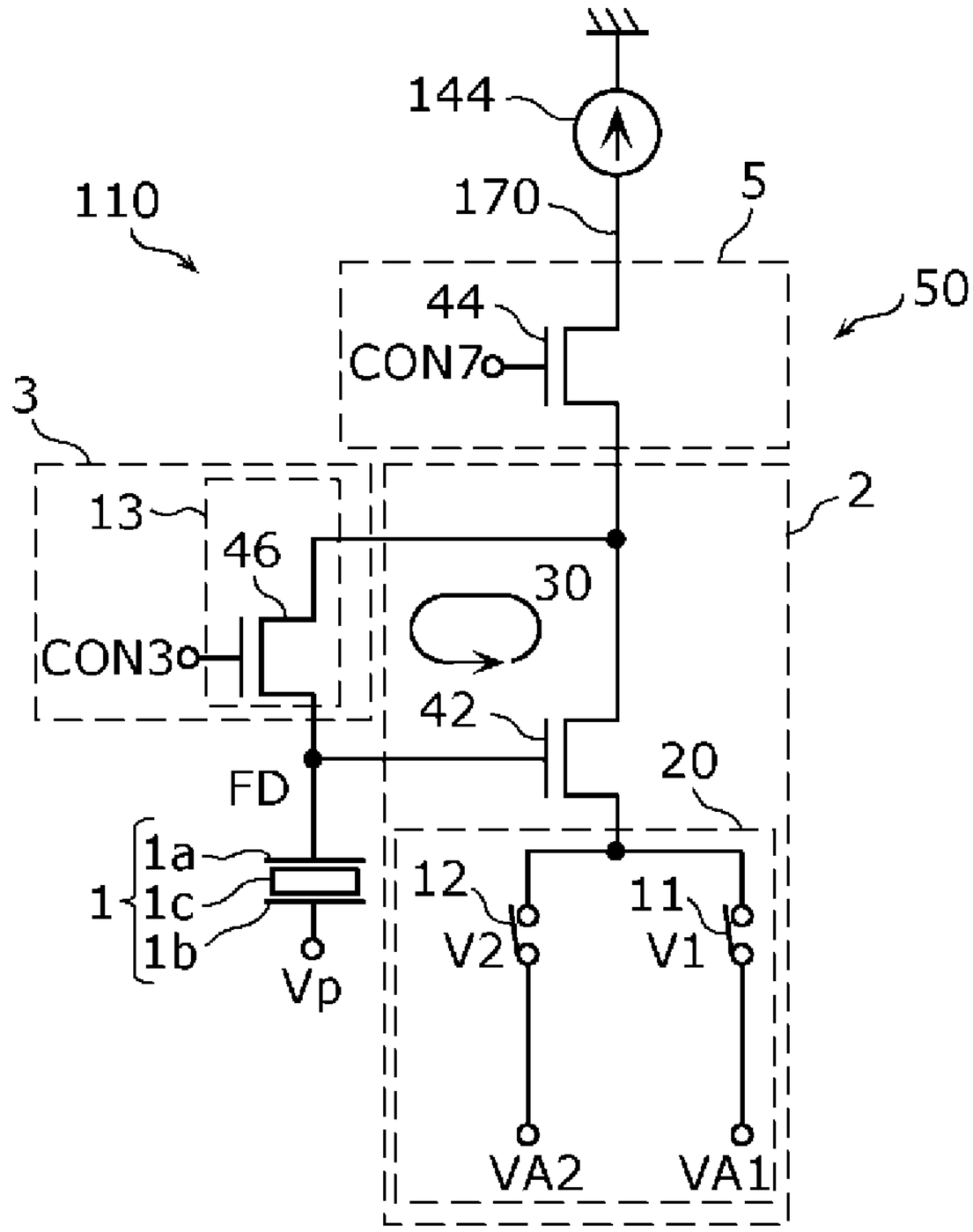
制御方法。

[請求項12] 前記リセット動作は、前記電荷蓄積部の電位を負帰還させる動作を含む、請求項１１に記載の撮像装置。

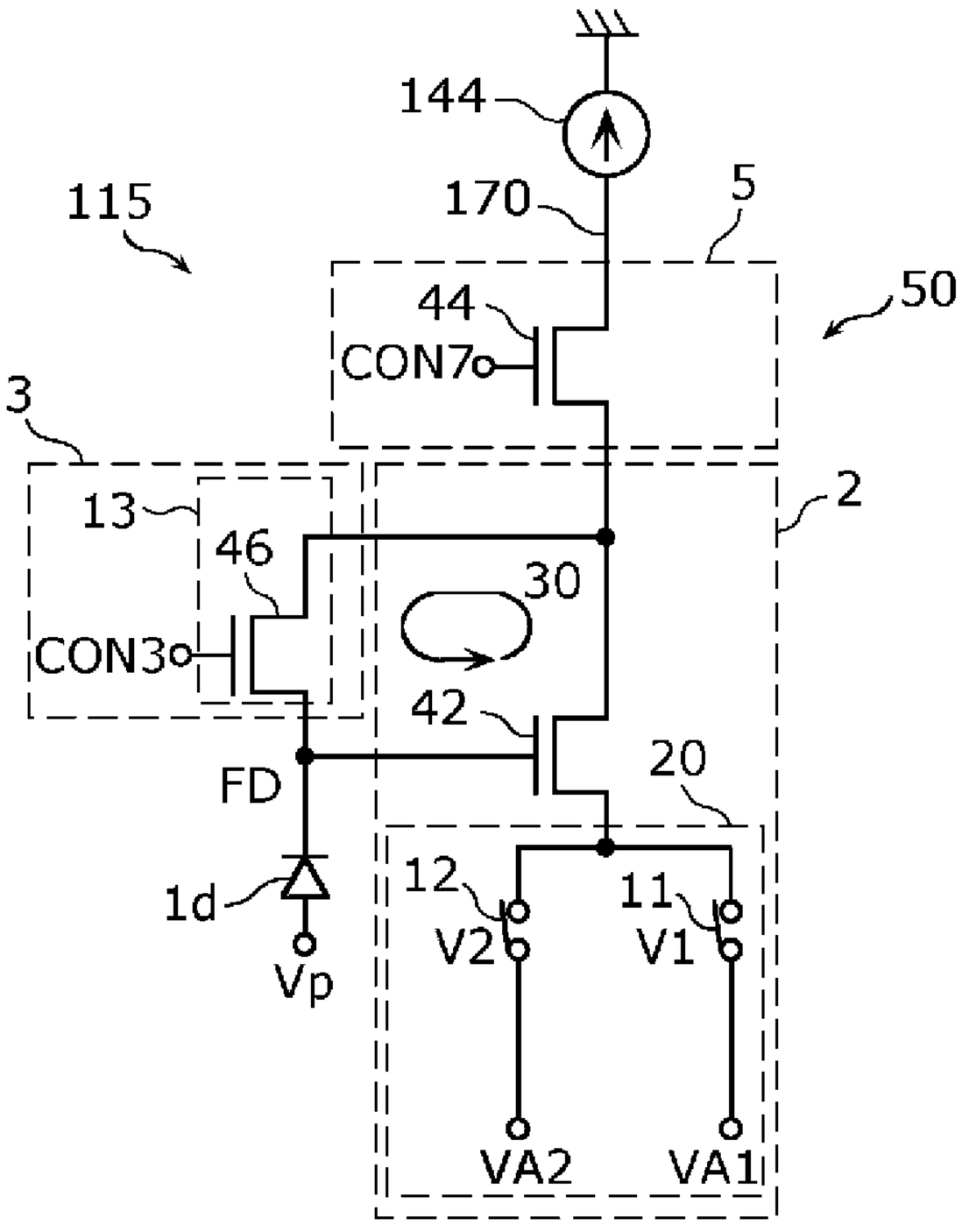
[図1A]



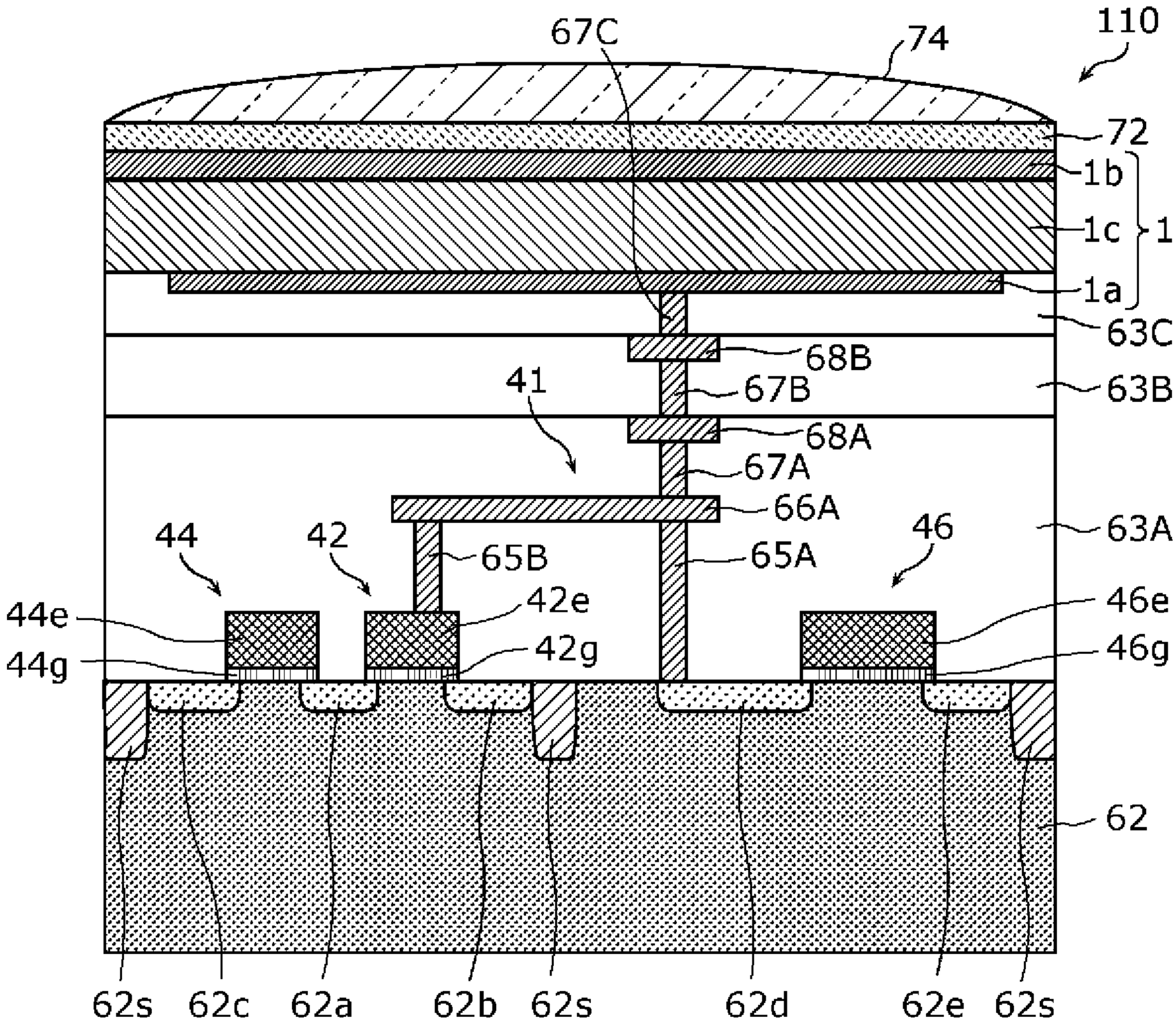
[図1B]


144
110
170
5
50
44
CON7
3
2
13
46
30
CON3
42
20
FD
1a
1c
1
1b
Vp
12
11
V2
V1
VA2
VA1

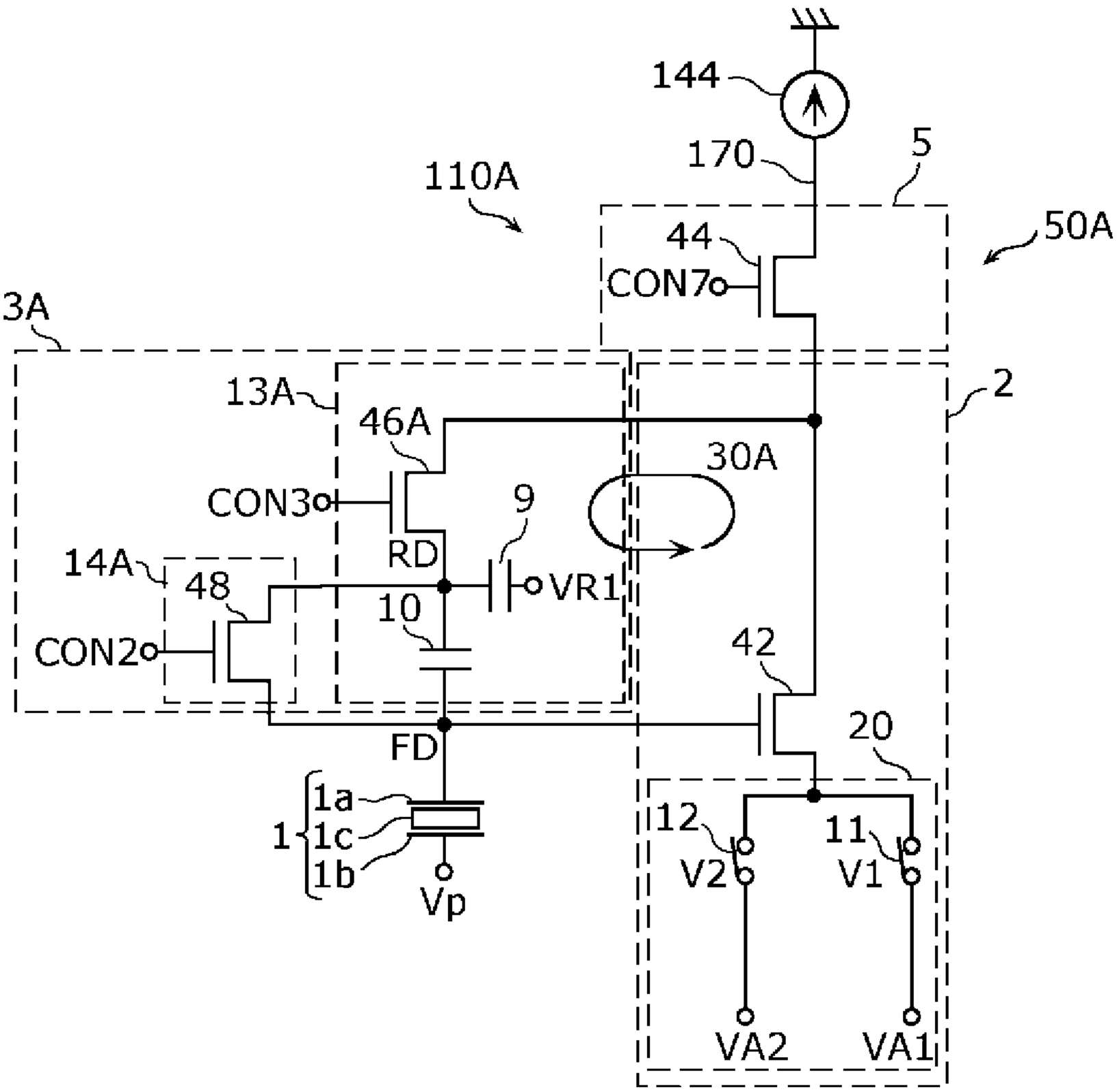
[図1C]


144
115
170
5
50
44
CON7
3
2
13
46
30
CON3
42
20
FD
1d
12
11
V2
V1
Vp
VA2
VA1

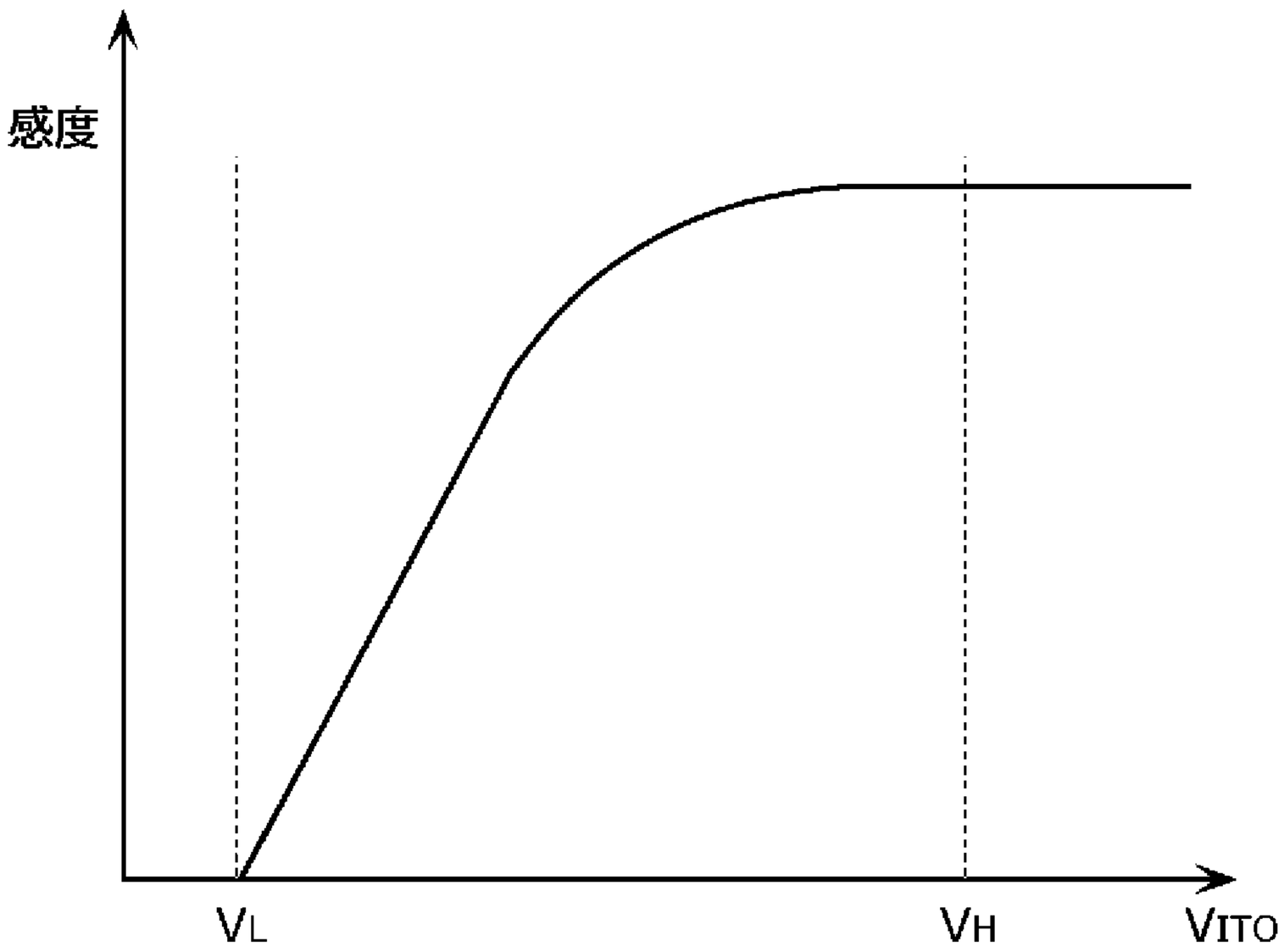
[図2]


110
67C
74
72
1b
1c
1
1a
63C
68B
67B
63B
41
68A
67A
66A
63A
44
42
65B
65A
46
44e
42e
46e
44g
42g
46g
62
62s
62c
62a
62b
62s
62d
62e
62s

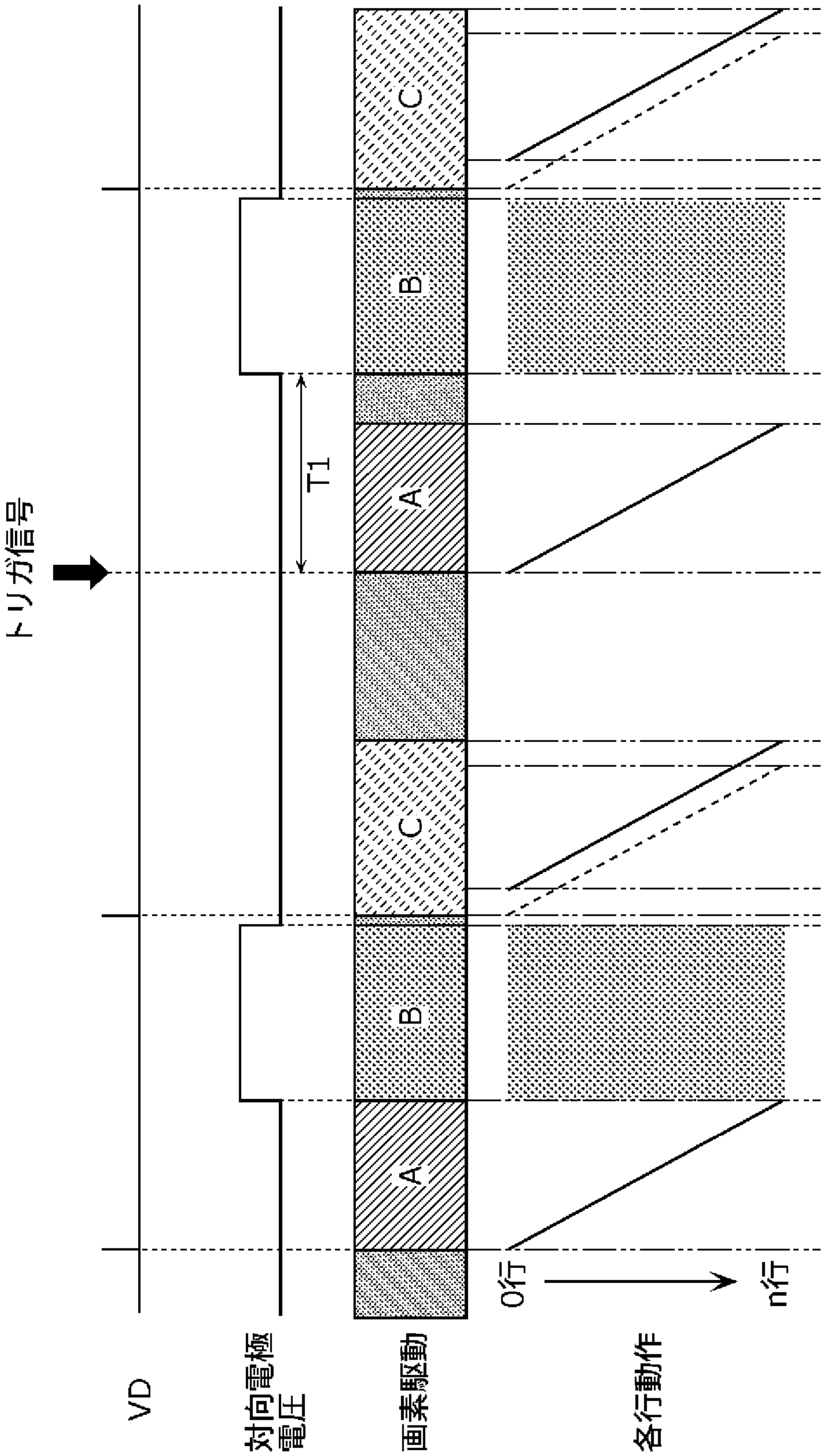
[図3]


144
170
5
110A
50A
44
CON7
3A
13A
46A
30A
2
CON3
9
RD
14A
48
VR1
10
CON2
42
20
FD
1a
1
1c
1b
Vp
12
11
V2
V1
VA2
VA1

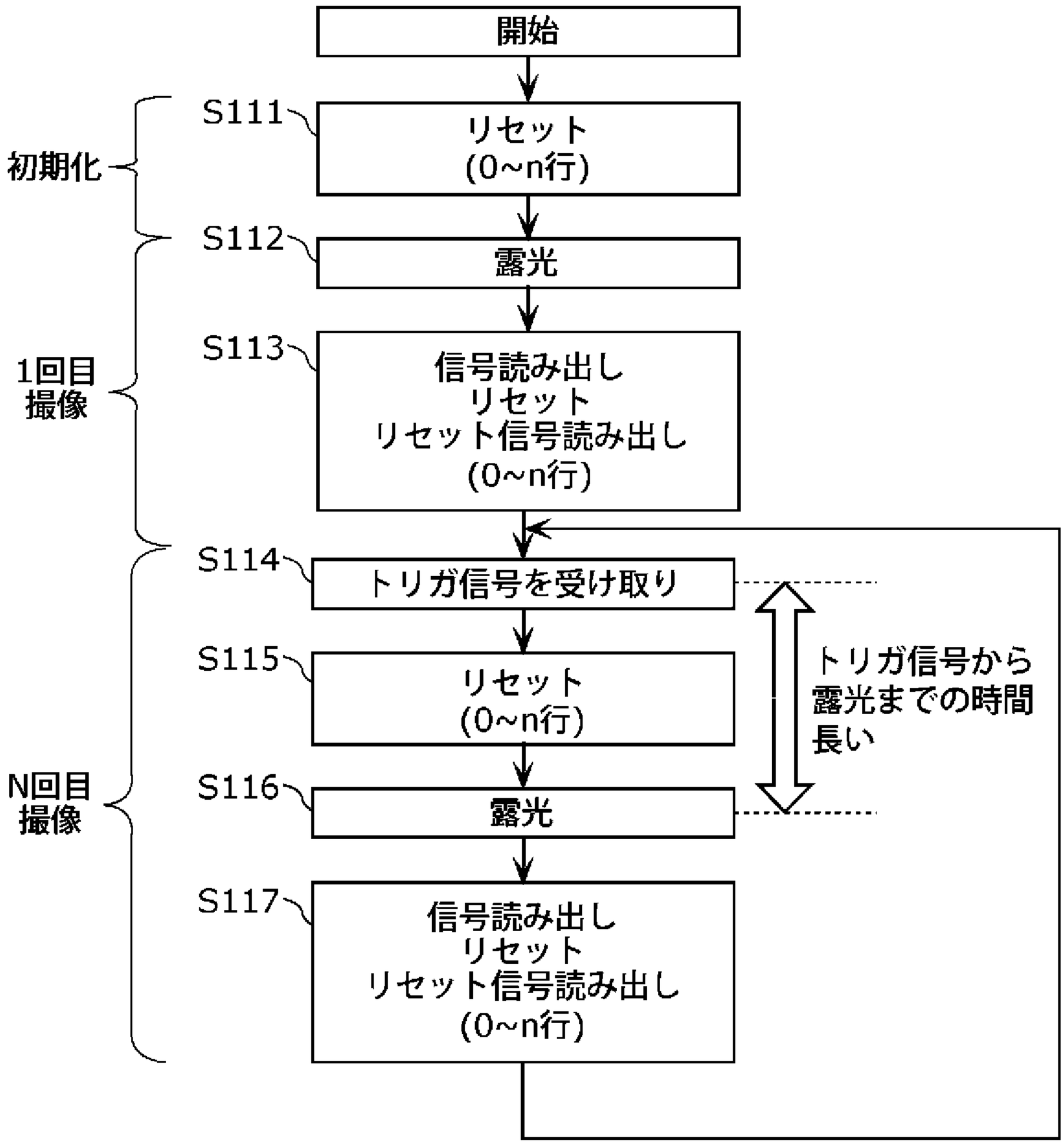
[図4]


感度
VL
VH
VITO

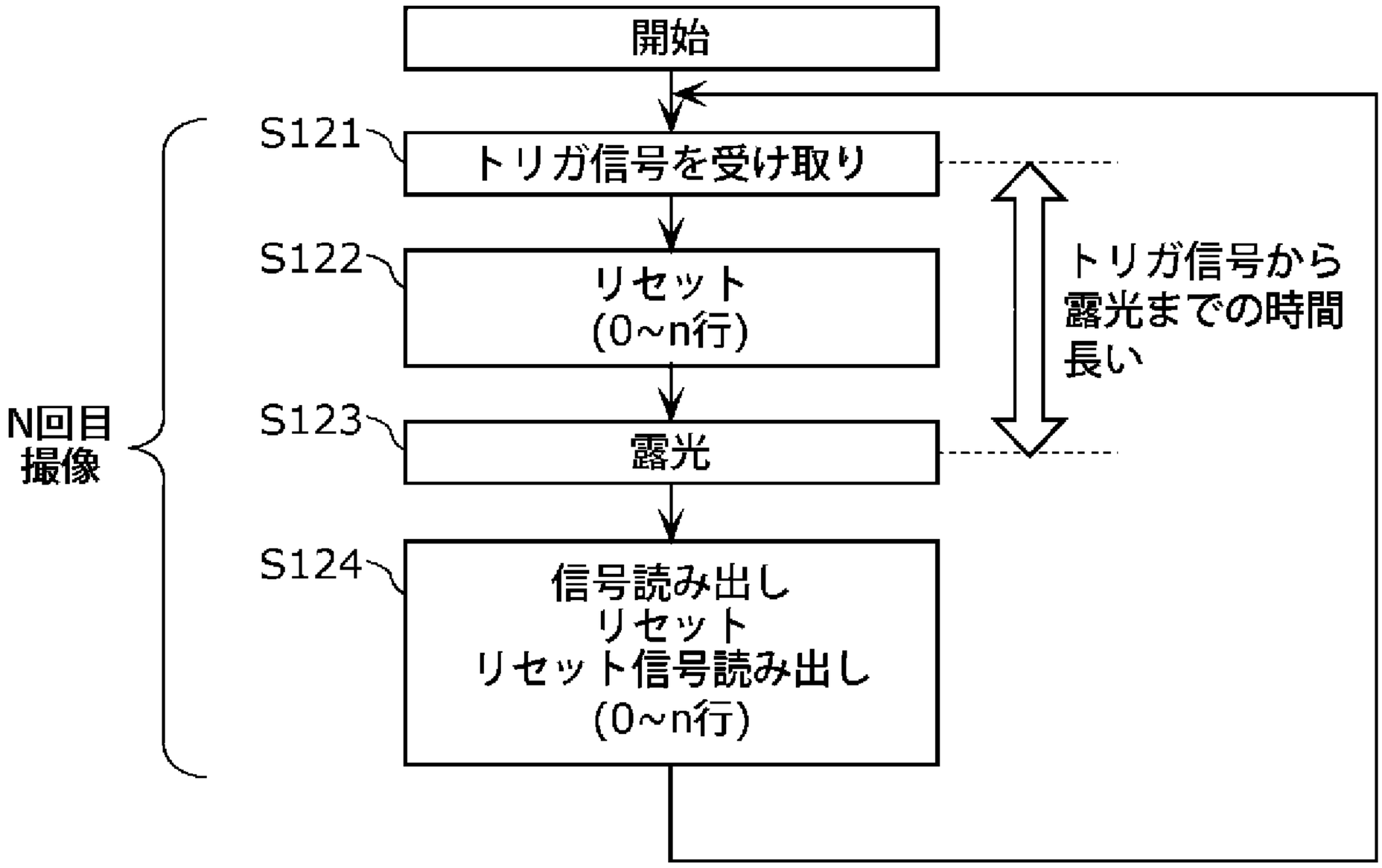
[図5A]



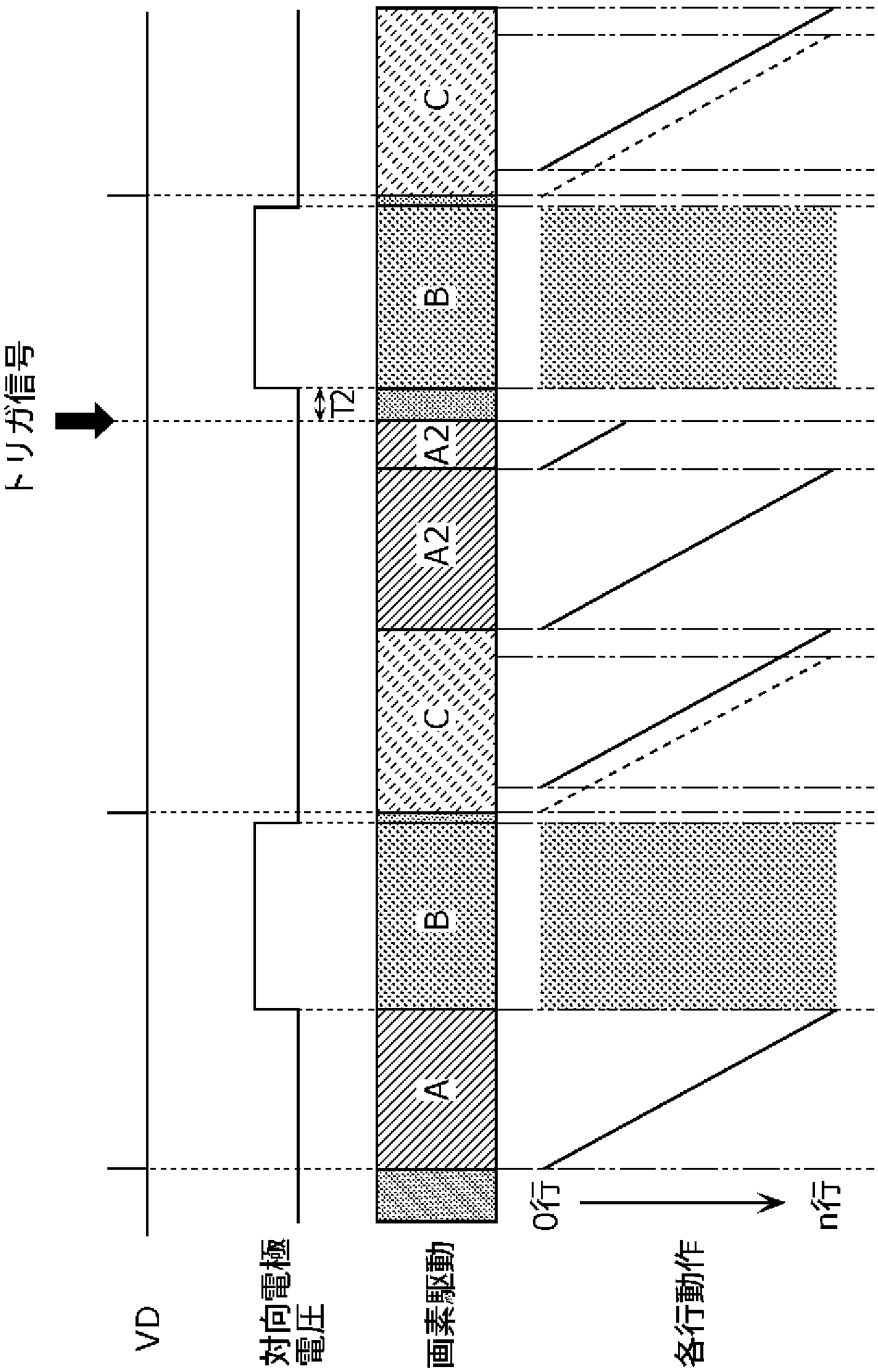
[図5B]


開始
初期化
S111
リセット
(0~n行)
S112
露光
1回目
撮像
S113
信号読み出し
リセット
リセット信号読み出し
(0~n行)
N回目
撮像
S114
トリガ信号を受け取り
S115
リセット
(0~n行)
S116
露光
トリガ信号から
露光までの時間
長い
S117
信号読み出し
リセット
リセット信号読み出し
(0~n行)

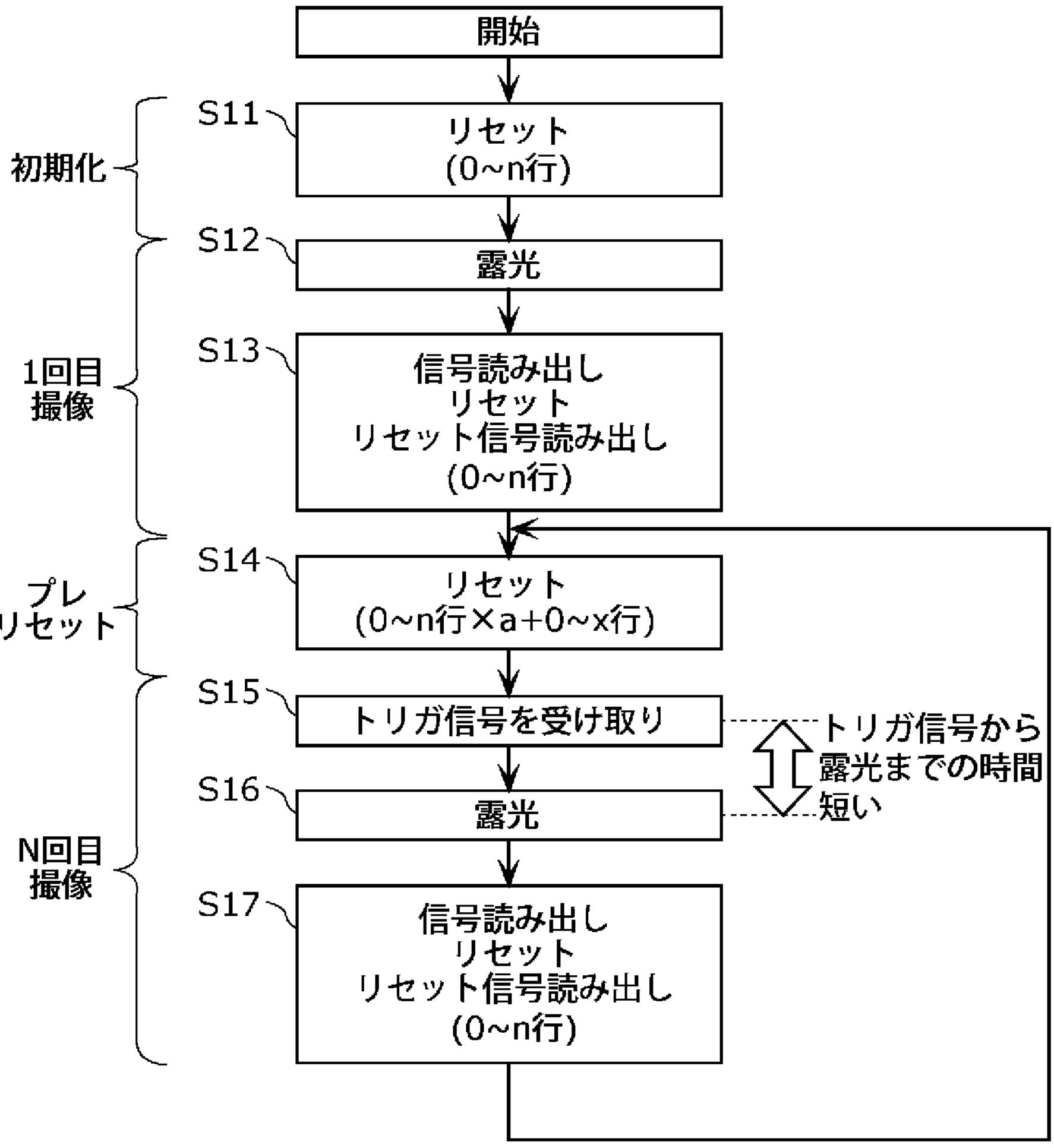
[図5C]


開始
S121
トリガ信号を受け取り
S122
リセット
(0~n行)
S123
露光
S124
信号読み出し
リセット
リセット信号読み出し
(0~n行)
トリガ信号から
露光までの時間
長い
N回目
撮像

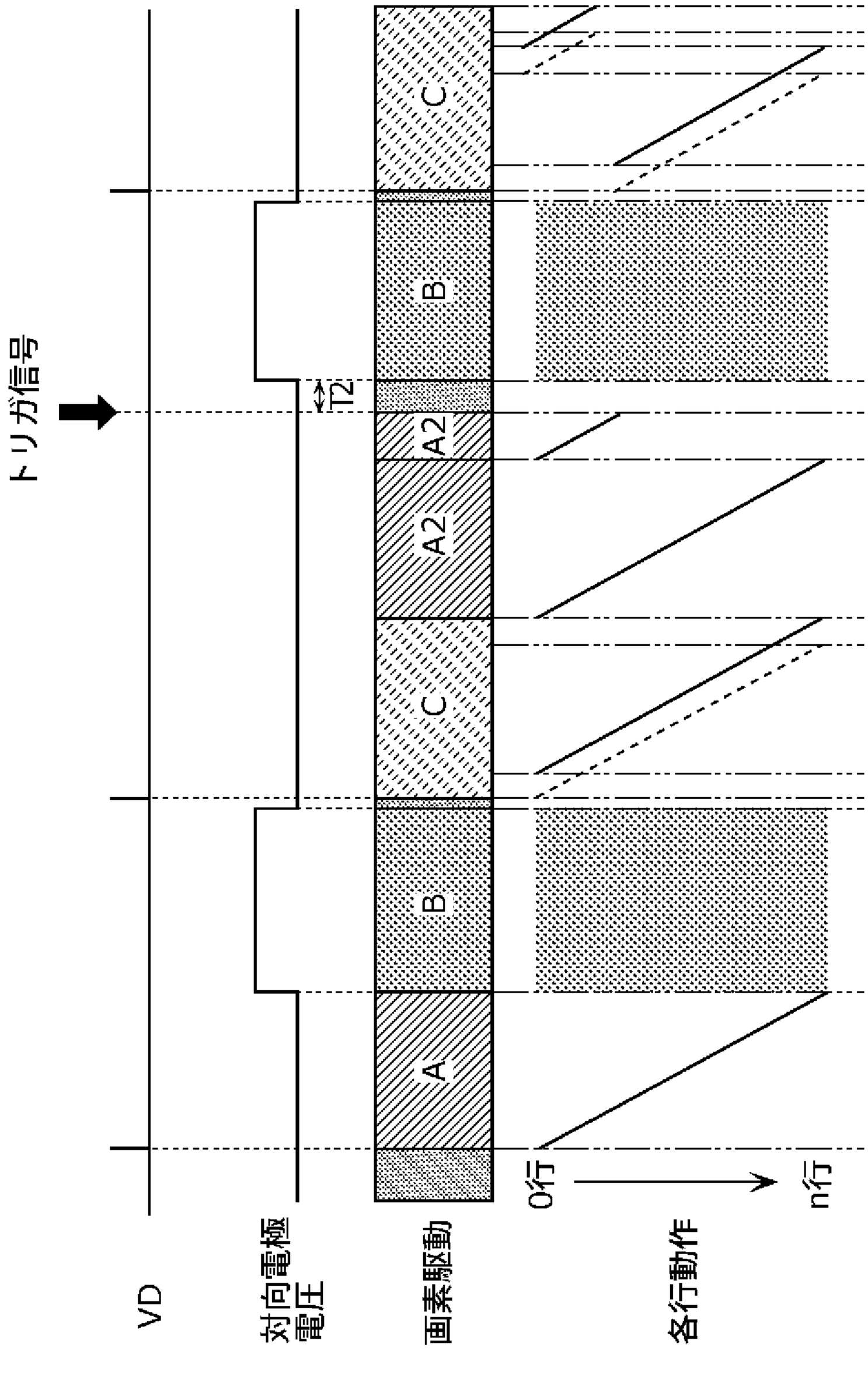
[図6A]



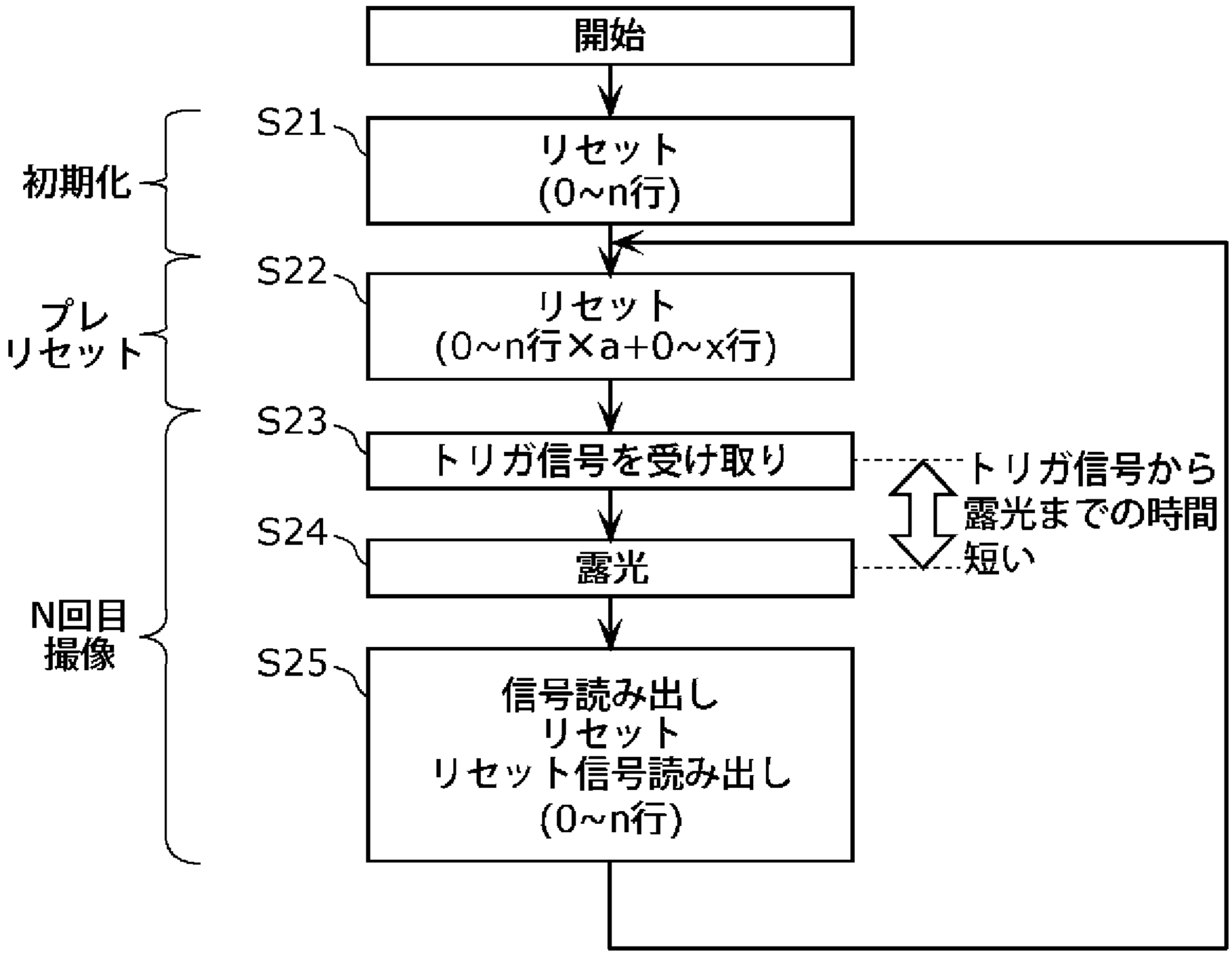
[図6B]


開始
初期化
S11
リセット
(0~n行)
S12
露光
1回目
撮像
S13
信号読み出し
リセット
リセット信号読み出し
(0~n行)
プレ
リセット
S14
リセット
(0~n行×a+0~x行)
S15
トリガ信号を受け取り
トリガ信号から
露光までの時間
短い
S16
露光
N回目
撮像
S17
信号読み出し
リセット
リセット信号読み出し
(0~n行)

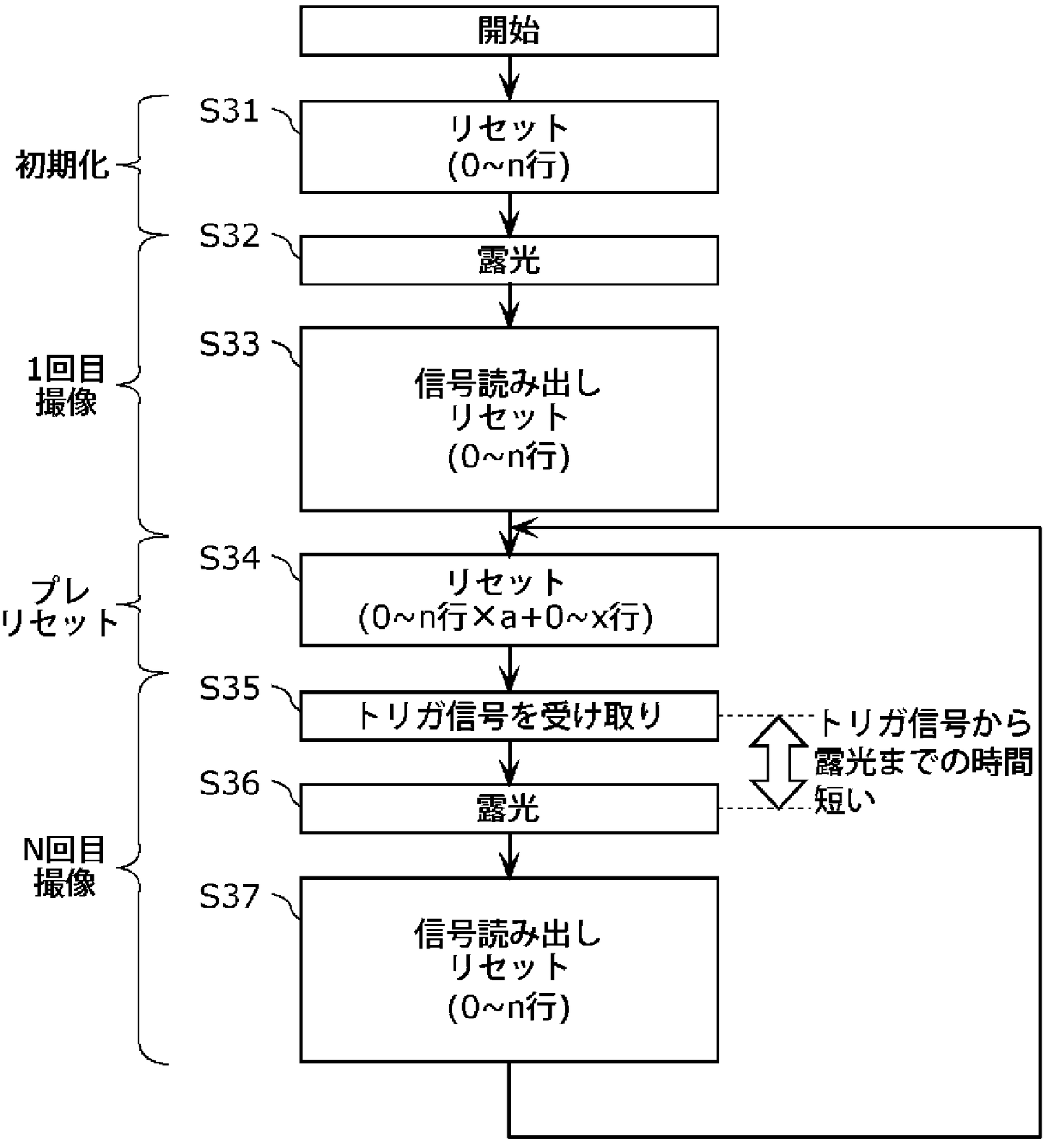
[図6C]



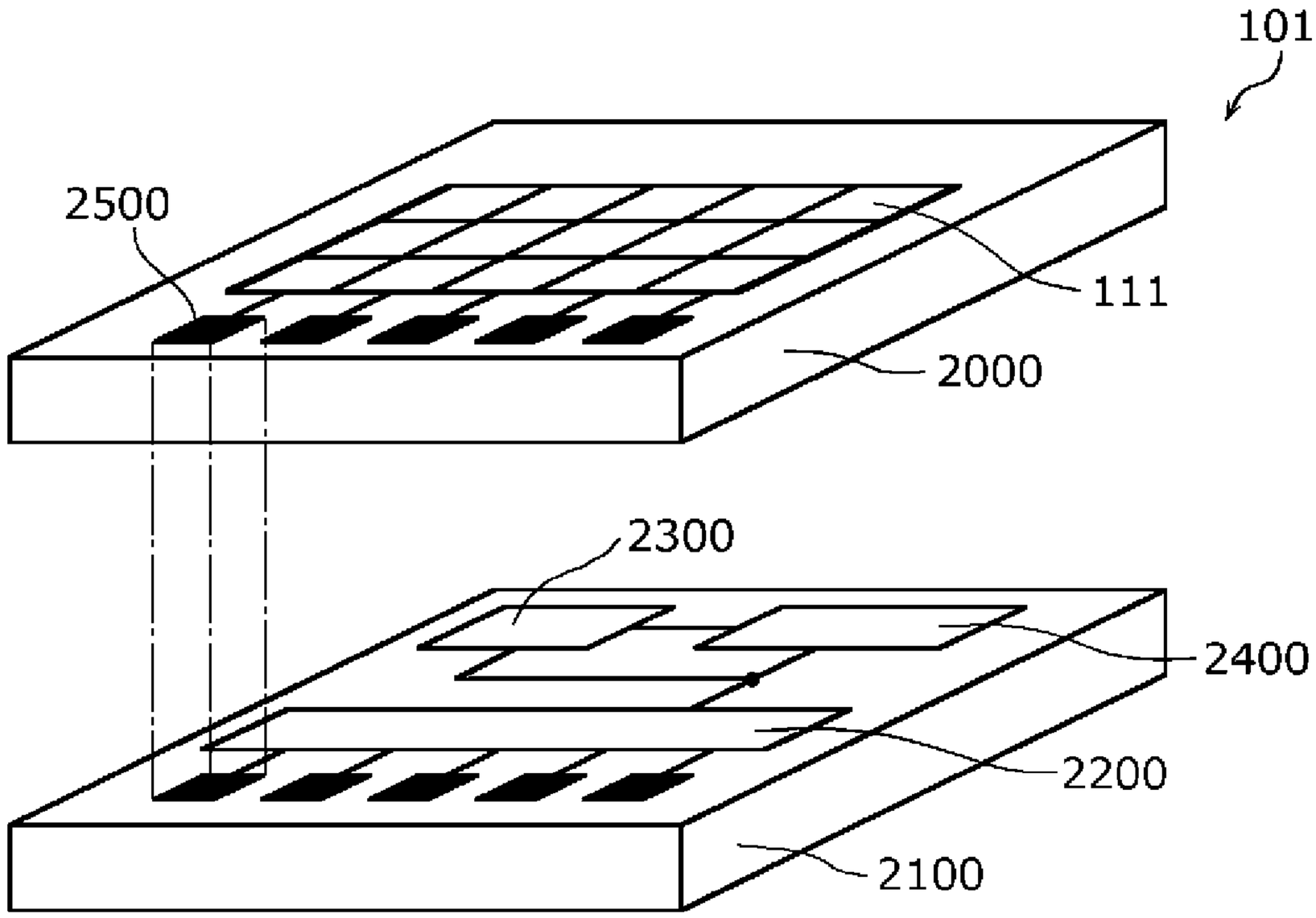
[図6D]


開始
S21
リセット
(0~n行)
初期化
S22
リセット
(0~n行×a+0~x行)
プレ
リセット
S23
トリガ信号を受け取り
トリガ信号から
露光までの時間
短い
S24
露光
N回目
撮像
S25
信号読み出し
リセット
リセット信号読み出し
(0~n行)

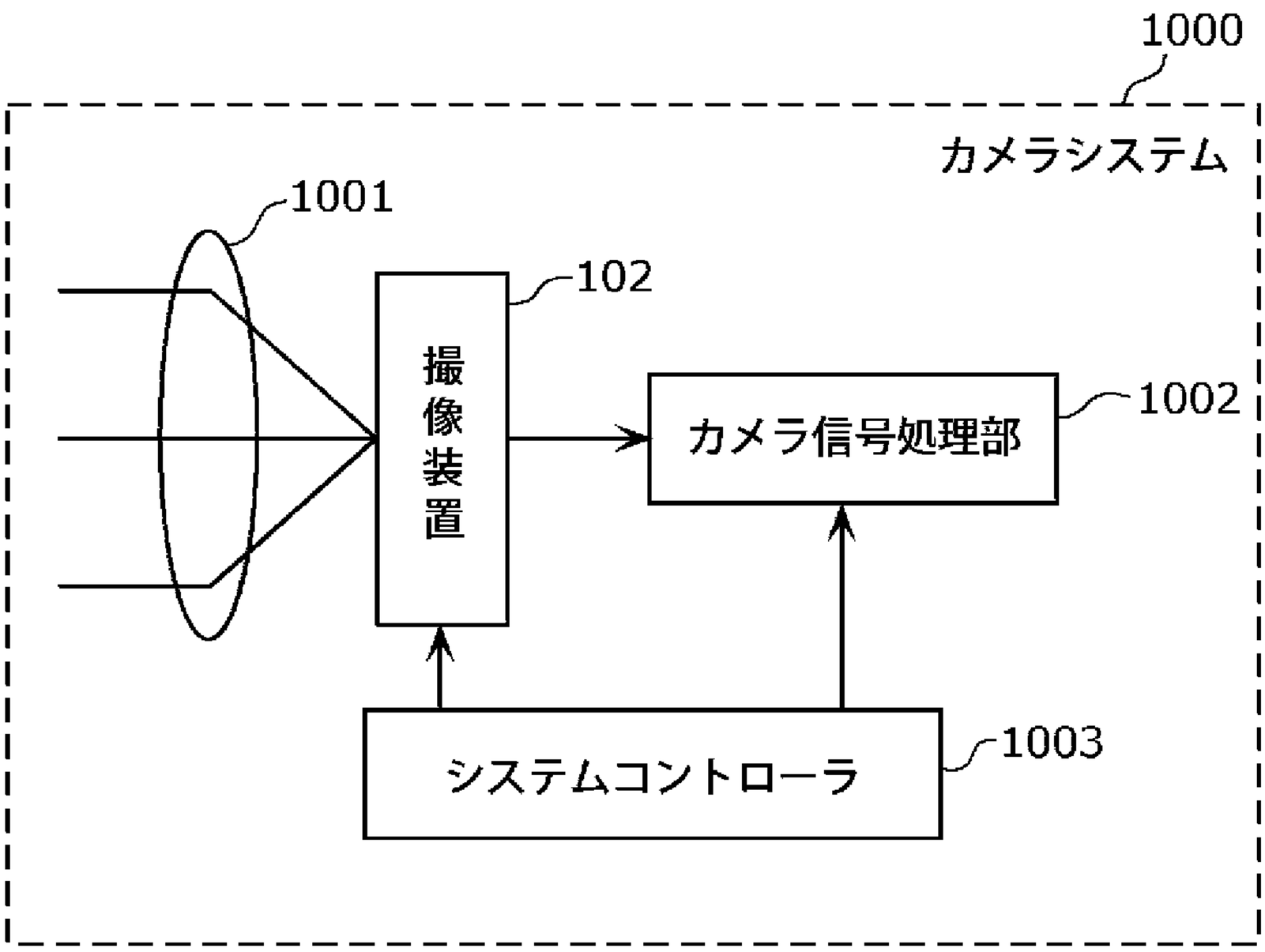
[図7]


開始
初期化
S31
リセット
(0~n行)
S32
露光
1回目
撮像
S33
信号読み出し
リセット
(0~n行)
プレ
リセット
S34
リセット
(0~n行×a+0~x行)
S35
トリガ信号を受け取り
トリガ信号から
露光までの時間
短い
S36
露光
N回目
撮像
S37
信号読み出し
リセット
(0~n行)

[図8]


101
2500
111
2000
2300
2400
2200
2100

[図9]


1000
カメラシステム
1001
102
撮像装置
1002
カメラ信号処理部
システムコントローラ
1003

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/032206

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L27/146(2006.01)i, H04N5/357(2011.01)i, H04N5/361(2011.01)i, H04N5/363(2011.01)i, H04N5/3745(2011.01)i
FI: H04N5/363, H04N5/361, H04N5/357500, H04N5/3745, H01L27/146A
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L27/146, H04N5/357, H04N5/361, H04N5/363, H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-258682 A (OLYMPUS CORPORATION) 11 November 2010 (2010-11-11), entire text	1-12
A	JP 2012-129817 A (CANON INC.) 05 July 2012 (2012-07-05), entire text	1-12
A	WO 2018/055948 A1 (FUJIFILM CORPORATION) 29 March 2018 (2018-03-29), entire text	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 October 2020	17 November 2020

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/032206

JP 2010-258682 A	11 November 2010	US 2010/0271518 A1 entire text	
JP 2012-129817 A	05 July 2012	(Family: none)	
WO 2018/055948 A1	29 March 2018	US 2019/0215470 A1 entire text CN 109792496 A	

国際調査報告

国際出願番号
PCT/JP2020/032206

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 27/146(2006.01)i; H04N 5/357(2011.01)i; H04N 5/361(2011.01)i; H04N 5/363(2011.01)i; H04N 5/3745(2011.01)i
FI: H04N5/363; H04N5/361; H04N5/357 500; H04N5/3745; H01L27/146 A

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L27/146; H04N5/357; H04N5/361; H04N5/363; H04N5/3745

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2010-258682 A (オリンパス株式会社) 11.11.2010 (2010-11-11) 全文	1-12
A	JP 2012-129817 A (キヤノン株式会社) 05.07.2012 (2012-07-05) 全文	1-12
A	WO 2018/055948 A1 (富士フイルム株式会社) 29.03.2018 (2018-03-29) 全文	1-12

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
30.10.2020	17.11.2020

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
橘　高志 5V 8391
電話番号 03-3581-1101 内線 3571

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/032206

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-258682 A	11.11.2010	US 2010/0271518 A1 全文	
JP 2012-129817 A	05.07.2012	（ファミリーなし）	
WO 2018/055948 A1	29.03.2018	US 2019/0215470 A1 全文 CN 109792496 A	