



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 699 18 175 T2** 2005.07.28

(12) **Übersetzung der europäischen Patentschrift**

(97) **EP 1 145 432 B1**

(21) Deutsches Aktenzeichen: **699 18 175.5**

(86) PCT-Aktenzeichen: **PCT/GB99/03776**

(96) Europäisches Aktenzeichen: **99 954 237.6**

(87) PCT-Veröffentlichungs-Nr.: **WO 00/30256**

(86) PCT-Anmeldetag: **12.11.1999**

(87) Veröffentlichungstag
der PCT-Anmeldung: **25.05.2000**

(97) Erstveröffentlichung durch das EPA: **17.10.2001**

(97) Veröffentlichungstag
der Patenterteilung beim EPA: **16.06.2004**

(47) Veröffentlichungstag im Patentblatt: **28.07.2005**

(51) Int Cl.⁷: **H03K 5/1252**
H03K 5/08

(30) Unionspriorität:

9824989	13.11.1998	GB
9907733	01.04.1999	GB

(73) Patentinhaber:

Toric Ltd., London, GB

(74) Vertreter:

**Grünecker, Kinkeldey, Stockmair &
Schwanhäusser, 80538 München**

(84) Benannte Vertragsstaaten:

**AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,
LI, LU, MC, NL, PT, SE**

(72) Erfinder:

**UNDERHILL, James, Michael, Lingfield, Surrey
RH7 6LL, GB**

(54) Bezeichnung: **SCHALTUNG ZUR UNTERDRÜCKUNG VON PHASENJITTER**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die Erfindung betrifft Anti-Jitter-Schaltungen (anti-jitter circuits – AJC.)

HINTERGRUND DER ERFINDUNG

[0002] Eine AJC wird in unserer Europäischen Patentanmeldung Nr. 97 903 456.8, basierend auf der internationalen Patentanmeldung, Anmeldeungsnummer WO 97/30 516 beschrieben. Die beschriebene AJC-Schaltung bietet eine einzigartige Möglichkeit, Phasenstörungen oder Zeit-Jitter an einer Frequenzquelle um typischerweise 20 dB oder mehr für die oder für jede (vollständig hintereinander geschaltete) Stufe zu verringern. [Fig. 1\(a\)](#) bis [Fig. 1\(c\)](#) der begleitenden Zeichnungen veranschaulichen das Wirkungsprinzip dieser früheren AJC. [Fig. 1\(a\)](#) ist ein Blockschaltbild des in der früheren Patentanmeldung beschriebenen Systems, [Fig. 1\(b\)](#) zeigt eine Eingangs-Impulsfolge mit Jitter (in unterbrochenen Umrissen gezeigt) am mittleren Impuls und [Fig. 1\(c\)](#) zeigt den entsprechenden Integrator-Ausgang (Op2) und den Vergleichs-Schaltpegel (Op3).

[0003] Die vorliegende Erfindung bietet eine Verbesserung gegenüber dieser früheren AJC. Da die Ausführung des Kernteils der verbesserten AJC keinen Gleichstrom erfordert, wird nachfolgend der Begriff adiabatischer Anti-Jitter (AAJC) verwendet.

[0004] Ein Artikel „Uhrzeit- und Normalfrequenzempfänger für DCF 77 mit Gangreserve“ von Reinhard Weiss, Funkshau, 1976, Nr. 22, Seiten 964 bis 968 offenbart unter anderem eine Demodulationschaltung für ein DCF 77-Signal, um zweite Impulse zu erzeugen.

ZUSAMMENFASSUNG DER ERFINDUNG

[0005] Entsprechend der Erfindung wird eine Anti-Jitter-Schaltung zum Reduzieren eines Zeit-Jitters in einer Eingangs-Impulsfolge bereitgestellt, mit einer Integrator-Ladungsspeichereinrichtung, einer Ladeeinrichtung zum Erhalten von wenigstens einem Ladungspaket aus der Eingangs-Impulsfolge während jedes Zyklus der Eingangs-Impulsfolge sowie zum Zuführen der Ladungspakete zu der Integrator-Ladungsspeichereinrichtung, einer Entladeeinrichtung zum kontinuierlichen Entladen einer Integrator-Ladungsspeichereinrichtung, wobei die Ladeeinrichtung und die Entladeeinrichtung betrieben werden können, um an der Integrator-Ladungsspeichereinrichtung eine in der Zeit variierende Spannung zu erzeugen, einen Tiefpassfilter, der mit einer Integrator-Ladungsspeichereinrichtung verbunden ist, um eine gemittelte Gleichspannung der in der Zeit variierenden Spannung zu erhalten, eine Einrichtung zum Vergleichen der in der Zeit variierenden Spannung mit der gemittelten Gleichspannung sowie zum Er-

halten einer Ausgangs-Impulsfolge als Ergebnis aus dem Vergleich, wobei die Entladeeinrichtung ein Entladeelement mit einem Steuereingang umfasst und der Tiefpassfilter einen negativen Rückkopplungspfad zwischen dem Steuereingang und dem Ausgang der Integrator-Ladungsspeichereinrichtung definiert, um die gemittelte Gleichspannung im Wesentlichen konstant zu halten.

BESCHREIBUNG DER ZEICHNUNGEN

[0006] Es werden jetzt Anti-Jitter-Schaltungen entsprechend der Erfindung nur beispielhaft mit Bezug auf die begleitenden Zeichnungen beschrieben, in denen zeigen:

[0007] [Fig. 1\(a\)](#) bis [Fig. 1\(c\)](#) eine bekannte, in unserer internationalen Patentanmeldung, Anmeldeungsnummer WO 97/30516 beschriebene Anti-Jitter-Schaltung;

[0008] [Fig. 2\(a\)](#) bis [Fig. 2\(d\)](#) ein Ausführungsbeispiel einer Anti-Jitter-Schaltung entsprechend der vorliegenden Erfindung. [Fig. 2\(a\)](#) ist ein Schaltbild einer Anti-Jitter-Schaltung. [Fig. 2\(b\)](#) zeigt eine Eingangs-Wellenform Op1, eine Sägezahn-Wellenform Op2 und einen gemittelten Gleichstrompegel Op3. [Fig. 2\(c\)](#) zeigt die überlagerten Wellenformen Op2 und Op3 und [Fig. 2\(d\)](#) zeigt ein Detail der überlagerten Wellenformen;

[0009] [Fig. 3\(a\)](#), [Fig. 3\(b\)](#); [Fig. 4\(a\)](#), [Fig. 4\(b\)](#) und [Fig. 5\(a\)](#), [Fig. 5\(b\)](#) weitere Ausführungsbeispiele der in [Fig. 2\(a\)](#) bis [Fig. 2\(d\)](#) gezeigten Anti-Jitter-Schaltungen. [Fig. 3\(a\)](#), [Fig. 4\(a\)](#) und [Fig. 5\(a\)](#) sind Schaltbilder, die die Anti-Jitter-Schaltungen zeigen, wobei [Fig. 3\(b\)](#), [Fig. 4\(b\)](#) und [Fig. 5\(b\)](#) die jeweiligen Sägezahn-Wellenformen Op2 und die überlagerten, gemittelten Gleichstrompegel Op3 zeigen.

[0010] [Fig. 6](#) eine Anti-Jitter-Schaltung entsprechend der Erfindung, in der die Impulslänge einer monostabilen Ausgangsschaltung gesteuert wird;

[0011] [Fig. 7\(a\)](#) bis [Fig. 7\(c\)](#) eine Anti-Jitter-Schaltung entsprechend der Erfindung mit einem Frequenz-Verdopplungseingang. [Fig. 7\(a\)](#) ist ein Schaltbild der Anti-Jitter-Schaltung. [Fig. 7\(b\)](#) zeigt die Sägezahn-Wellenform Op2 und den überlagerten Gleichstrompegel Op3 und [Fig. 7\(c\)](#) zeigt ein erweitertes Detail der überlagerten Wellenformen.

[0012] [Fig. 8](#) und [Fig. 9](#) Anti-Jitter-Schaltungen entsprechend der Erfindung, die eine Schaltungsanordnung enthalten, die angeordnet ist, um den Ladungswert der Ladungspakete im Wesentlichen konstant zu halten. [Fig. 8\(a\)](#) und [Fig. 9\(a\)](#) sind Schaltbilder, die Anti-Jitter-Schaltungen zeigen. [Fig. 8\(b\)](#) und [Fig. 9\(b\)](#) zeigen die Eingangs-Wellenformen Op2 und die überlagerten gemittelten Gleichstrompegel Op3, wobei

[Fig. 8\(c\)](#) und [Fig. 9\(c\)](#) ein erweitertes Detail der überlagerten Wellenformen zeigen. [Fig. 8\(b\)](#) und [Fig. 8\(c\)](#) zeigen außerdem eine Spannungs-Wellenform Op4.

BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSBEISPIELE

[0013] Das Wirkungsprinzip kann mit Bezug auf [Fig. 2a](#) bis [2d](#) gesehen werden und hat einige Ähnlichkeiten mit dem einer Ladungspumpe. Pro eingegebenen Frequenzquellen-Zyklus wird ein annähernd konstantes Ladungspaket entweder einmal, oder in einer zweiten Variation des Schaltschemas, zweimal ausgebildet. Jedes Ladungspaket wird zu der Ladung in einem Integrator-Speicher-Kondensator C3 hinzugefügt. Eine gesteuerte Stromquelle T1 (oder genauer eine Stromsenke) entlädt den Kondensator C3 mit einer Rate, die einen im Wesentlichen konstanten, gemittelten Gleichspannungspegel am Integrator-Speicher-Kondensator C3 aufrechterhält. Ein Tiefpassfilter (R1, C4) mit hoher Impedanz, der mit dem Integrator-Speicher-Kondensator C3 verbunden ist, errichtet den gemittelten Gleichspannungspegel, der dann den Entladestrom in einer negativen Rückkopplungsanordnung steuert. Die Kombination aus intermittierendem Laden und kontinuierlichem Entladen erzeugt eine Sägezahn-Spannungswellenform Op2 im Integrator-Speicher-Kondensator C3. Die zwei Eingänge (mit hoher Impedanz) eines Differenzial-Vergleichers (nicht dargestellt) sind jeweils mit dem Eingang und dem Ausgang des Tiefpassfilters verbunden. Dadurch werden Schaltungspunkte erzeugt, wenn der gemittelte Gleichstrompegel Op3 der Sägezahn-Spannungswellenform Op2 entspricht, der am Integrator-Speicher-Kondensator C3 vorhanden ist. Der Schaltungspunkt am Entladungsteil der Sägezahn-Wellenform hat sehr viel geringere Zeit-Jitter (wie in der zuvor erwähnten Offenlegung beschrieben wurde). Dieser Entlade-Schaltungs-Übergang triggert einen monostabilen Ausgang oder eine Frequenzhalbierungsschaltung, wie in jener Offenlegung beschrieben wird.

[0014] Die Kombination aus der negativen Rückkopplung und dem Differenzial-Vergleicher bedeutet, dass die genauen Vergleichers-Schaltpegel automatisch für einen sehr breiten Bereich von Eingangsfrequenzen errichtet werden, ohne irgendeine Änderung der Werte der Schaltungskomponenten.

[0015] Wenn die (optionalen) Dioden D5 bis D8 in [Fig. 2](#) sich nicht in Durchlassrichtung befinden, bestimmt die Zeitkonstante $R1C3C4/(C3+C4)$ die Seitenbandfrequenz, unter der die Jitter-Unterdrückung beginnt, sich bei einer Rate von 6 dB pro Oktave zu verschlechtern. Die optimale Schleifenverstärkung wurde als $gmR1=(C3+C4)^2/C3C4$ festgestellt. Für einen FET haben wir $gm=\sqrt{21_{dis}\beta}$, wobei man von der unteren Erläuterung sehen kann, dass $I_{dis}=f_{ina}Q$, der

proportional zur Eingangsfrequenz ist. Für eine solche Steuerschleife kann die Schleifenverstärkung typischerweise bis zu vier zu eins mit einer kleinen Abweichung in der Einstellzeit oder der Schleifenbandbreite variieren. Dies entspricht dann einem Arbeitsfrequenzbereich von sechzehn zu eins ohne Änderungen in den Werten der Komponenten.

[0016] Die vier über dem Widerstand R1 gezeigten optionalen "Beschleunigungsdioden" D5 bis D8 stellen einen Pfad mit niedriger Impedanz vom Eingang zum Ausgangs-Parallelkondensator C4 des Tiefpassfilters bereit, wenn die positive oder negative Spannung 2 Dioden (V_{be})-Abweichpegel (typischerweise annähernd $2 \times 0,6$ Volt) übersteigt. Diese Option senkt die Zeitkonstante des Tiefpassfilters durch die Reihenfolge der Größenordnung während des anfänglichen Erfassens der Sperrung vom Ausgangssignal zum Eingangssignal oder wenn große Frequenz- oder Phasensprungabweichungen im Eingangssignal auftreten. Die Zeit zum anfänglichen Erfassen ist damit sehr reduziert, wobei die Sperrung vom Eingang zum Ausgang über einen breiten Bereich von Eingangsabweichungen von Phase oder Frequenz aufrechterhalten wird (ohne dass Eingangsimpulse ausgelassen werden). Das Vorhandensein der Dioden ermöglicht es außerdem, dass die Phasen-Jitter-Seitenbandkomponenten, die viel enger am Trägersignal sind, besser unterdrückt werden können, nachdem eine vollständige Einstellung stattgefunden hat.

[0017] Im Fall der Ladungspumpenanordnung der Dioden D1 und D2 und des Eingangskondensators C1 in [Fig. 2\(a\)](#) wird die Spitzenamplitude V_{ppst} der Sägezahn-Wellenform annähernd durch das Verhältnis $Q=C_3 V_{ppst}=C_1 V_{ppin}$ angegeben, wobei V_{ppin} die Spitzen-Eingangsspannung und C_3 die Integrator-Speicherkapazität ist. Q ist die tatsächliche Ladungsmenge, die jedes Mal, wenn eine Übertragung stattfindet, von C1 nach C3 übertragen wird. Ein großer Phasen-Jitter wird im Wesentlichen dem Spitzen-Spannungshub hinzugefügt, während zwei Diodenabweichungen von V_{ppin} abgezogen werden sollten, um ein genaueres Verhältnis zu erhalten. Das Verhältnis wird angewendet, um zu gewährleisten, dass der schlimmste Fall, wobei V_{ppst} für den Sägezahn hinlänglich weniger als 4 (V_{be}) Diodenabweichungen beträgt, zwischen den Einschaltpegeln der Beschleunigungsdioden D5 bis D8 eingeordnet wird.

[0018] Günstigerweise ist eine gesteuerte Stromquelle T1 ein Transistor in der Form eines isolierten Gate-FETs (gemäß [Fig. 2\(a\)](#)). Alternativ kann eine bipolare Transistorkombination mit hoher Eingangsimpedanz, wie eine Darlington-Anordnung, anstelle von T1 verwendet werden. Eine hohe Eingangsimpedanz ist wünschenswert, so dass eine Langzeitkonstante (oder untere Grenzfrequenz) für den Tiefpassfilter erreicht werden kann und der Wert des Filter-

kondensators C4 gleichzeitig auf einem niedrigen Wert gehalten wird. Für eine schnellst beschleunigende Erfassungszeit wurde C4 im Wert mit der Ladungspumpe und den Speicherkondensatoren C1 und C3 vergleichbar gemacht.

[0019] Der gemittelte Dioden-Entladestrom I_{dis} wird durch das Verhältnis $I_{dis} = f_{ina} \cdot Q$ angegeben, wobei das Ladungspaket Q oben definiert wurde und f_{ina} die Rate der aktiven Eingangsfrequenz-Übergänge ist. So sollten die FET- oder Transistoreigenschaften so ausgewählt werden, dass sie diesen Strom mit der gewünschten gemittelten Sägezahn-Spannung bereitstellen. Der Wert des Widerstands R2 kann ebenfalls bequem ausgewählt werden, um dieses gewünschte Entwurfsziel zu erreichen; insbesondere gibt es eine Einschränkung in der Wahl der Transistoreigenschaften. Für eine angegebene Transistorauswahl kann der Widerstand R2 ebenso bequem ausgewählt werden, um einen typischen 10 zu 1 Arbeitsfrequenzbereich irgendwo in einer Entwurfshüllkurve von typischerweise 1000 zu 1 anzugeben, ohne den Wert von einer beliebigen anderen Komponente in der Schaltung ändern zu müssen.

[0020] Fig. 3 und 4 veranschaulichen durch Simulation die Begrenzungen des extremen Frequenzbereiches der AAJC gemäß Fig. 2, wenn nur der Widerstand 2 verändert wird. Um jedoch ausschließlich die Erfassung in einer begrenzten Anzahl von eingegebenen Wellenformzyklen anzuzeigen, wurde die Zeitkonstante C4R1 in jedem Fall entsprechend ausgewählt. Fig. 5 zeigt die AAJC-Simulation, die bei 5 GHz arbeitet. In allen Fällen sind die Wellenformen für einen Betrieb bestimmt, der von der ersten Einschaltung an beginnt. Die Erfassungszeit ist die, wenn sich die Wellenformen von Op2 und Op3 ohne weitere ausgelassene Überschneidungen schneiden.

[0021] Als eine zusätzliche Verbesserung kann gemäß Fig. 6 der gemittelte Gleichstromausgang vom Tiefpassfilter (der eine direkte Funktion von vielleicht einer Frequenz ist) direkt oder durch ein angepasstes Stromspiegelverfahren verwendet werden, um die Impulslänge eines monostabilen Ausgangs zu steuern. Auf diese Weise kann die gesamte Schaltung hinsichtlich des Aufrechterhaltens eines guten Impulslängenverhältnisses der Ausgangswellenform über einen breiten Frequenzbereich selbstabgleichend eingerichtet werden. Eine Schaltungsanordnung dafür wird als bestehender Zustand der Technik angesehen.

[0022] Die gesamte Energie für die AAJC-Schaltung erhält man von der Eingangsquelle. Ein ungefährender Schätzwert für die abgeleitete Energie in der Schaltung ist das Produkt aus dem Entladestrom und der gemittelten Gleichspannung. Angesichts idealer Komponenten gibt es in der Schaltung keine weiteren ableitenden Vorgänge. Eine sichere, weitere Verluste

berücksichtigende Begrenzung wäre es, ein Produkt aus dem Eingangsspannungshub und dem Entladestrom zu nehmen.

[0023] Eine typische AAJC würde mit einem Entladestrom von weniger als 1 bis 2 mA bei einem 5 Volt Eingangshub arbeiten. In diesem Beispiel würde die Eingangsquelle ein Maximum von 10 mW bereitstellen müssen.

[0024] Zusätzlich ist es vorteilhaft, wenn die Anstiegs- und Abfallzeiten der Wellenform der Quelle kurz sind, dass Zeiten von weniger als etwa einem Zehntel der Durchschnittsdauer die Potenzialamplitude zu einer Phasenumformung einer beliebigen Störung, die am Eingang auftritt, minimieren.

[0025] Die Amplitude der Eingangs-Wellenform sollte für eine kurze Dauer vernünftigerweise konstant sein. Es ist jedoch ein Merkmal der Schaltung, dass sie sich für langfristige (niedrige Frequenz-) Abweichungen in der Eingangsamplitude automatisch abgleicht.

[0026] Eine Frequenz-Verdopplungsschaltung kann mit der AAJC gemäß Fig. 7, 8 und 9 auf sehr einfache Weise verwirklicht werden. Hier gibt es zwei Eingangs-Ladungspumpen C1, D1; C2, D2, die abwechselnd auf den ansteigenden und den abfallenden Flanken der Eingangs-Wellenform arbeiten. Der Transformator XMR wird nur beispielhaft gezeigt und kann durch irgendeine transformatorlose, aktive Gentaktschaltung ersetzt werden, die auf dem Eingangssignal arbeitet. Vorteile der Frequenzverdopplung und dann dem Teilen, um den endgültigen Ausgang zu erhalten, sind eine weitere 6 dB Phasen-Störungsverringerung und ein gleiches Ausgangs-Impulslängenverhältnis, das über den ganzen Frequenzbereich des Vorgangs beibehalten wird.

[0027] Ein Nachteil der einfachen Dioden-Ladungspumpe, wie sie gezeigt wird, ist es, dass der Wert der Ladungspakete annähernd proportional zu der Spannung ist, die am Integrator-Speicher-Kondensator zur Startzeit des Ladungspakets existiert. Damit ist es, um die beste Jitter-Verringerung zu erhalten, ratsam, die Sägezahn-Spitzenspannung als einem so kleinen prozentualen Anteil wie möglich der gemittelten Spannung zu halten. Fig. 8 und 9 zeigen eine Frequenz-Verdopplungsschaltung, in der die Ladungspakete durch das Vorhandensein des Transistors T2 und seiner Basiskomponenten C5 und R3 viel konstanter gehalten werden, die eine Durchschnittsermittlungsfunktion über einige Eingangszyklen durchführen. Der Transistor arbeitet im Wesentlichen im geerdeten Basismodus, während er die Ladung überträgt. Da die Basisspannung über mehrere Eingangszyklen konstant bleibt, bewirken jegliche Phasensprünge, die ein Variieren des gemittelten Pegels der Sägezahn-Wellenform bewirken, kein Variieren der

Größe der Ladungspakete. Die Eingangskondensatoren C1 und C2 sind in konstante Spannungssenken geladen oder entladen. Es ist nahe liegend, dass dieses Verfahren genauso auch auf Basisschaltungen angewendet wird, in denen Frequenz-Verdopplungen nicht ausgeführt werden.

[0028] Fig. 9 zeigt eine günstigere Anordnung, wenn T2 ein FET ist. Die Komponenten der Zeitkonstanten C5 und R3 sind nicht länger erforderlich, weil das Gate von T2 mit dem Gate von T1 verbunden ist.

[0029] Die Transistoren T2 in Fig. 8 und Fig. 9 sind die wahrscheinlichsten Vorrichtungen, um den oberen Frequenz-Betrieb in der Schaltung einzuschränken. Da die Beweglichkeit von Löchern geringer ist als für Elektronen, kann es vorteilhaft sein, die p-Vorrichtungen gegen n-Vorrichtungen (oder pnp für npn) auszutauschen und umgekehrt und zur gleichen Zeit den Sinn der Eingangsdiode umzukehren. Es ist in der Praxis wahrscheinlich, dass dieses zu einer etwas höheren maximalen Betriebsfrequenz führen wird.

[0030] In den mit Bezug auf Fig. 2 bis 9 beschriebenen Ausführungsbeispielen werden die Sägezahn Wellenform (Op2) und der gemittelte Gleichstrompegel (Op3) den jeweiligen Eingängen eines Differenzialvergleichers zugeführt.

[0031] Man wird erkennen, dass ein Gleichstrom-Bezugspunkt in diesen Schaltungen passenderweise so ausgewählt wird, dass er sich an einem beliebigen HF-Erdungspunkt befindet, weil die durch Niederfrequenz-Kondensatoren oder Entkopplungs-Kondensatoren verbundenen Punkte sich gewissermaßen alle am HF-Potential befinden.

[0032] Daher könnten die Erdungsverbindungen in den Ausführungsbeispielen von Fig. 2 bis Fig. 9 durch eine geeignet entkoppelte Spannungsquelle mit niedriger Impedanz ersetzt werden, die mit dem Gate des FET (oder der Basis eines äquivalenten bipolaren Transistors) verbunden ist. Diese Spannungsquelle kann angeordnet sein, um den genauen Schaltpegel für den Vergleich zu errichten, der dann ein einfacher, einzelner Eingangsvergleich sein kann, wie ein CMOS-Wandler mit hoher Impedanz (NICHT-Element) anstatt eines in den Ausführungsbeispielen von Fig. 2 bis 9 verwendeten Potenzial-Vergleichers.

[0033] Besonders vorteilhafte Ausführungsformen der beschriebenen, beispielhaften Ausführungsbeispiele umfassen:

1. Eine Eingangsquelle mit einer annähernd konstanten Amplitude. Es ist außerdem wünschenswert, aber nicht wesentlich, dass die Eingangs-Wellenform eine Anstiegszeit haben sollte, die nicht länger ist als etwa ein Zehntel einer

durchschnittlichen Dauer der Eingangs-Wellenform. Das Leistungsverhalten der Schaltung in der Praxis ist dann als verbessert ermittelt worden.

2. Ein Eingangskondensator C1 (oder ein Paar Eingangskondensatoren C1 und C2) kann verwendet werden, um ein Eingangs-Ladungspaket mit einem im Wesentlichen konstanten Ladungswert zu bilden, wenn er an einem Anschluss durch das zuvor genannte Eingangssignal geschaltet wurde.

3. Es kann ein Integrator-Kondensator verwendet werden, der durch konstante Ladungspakete bei einer Eingangs-Frequenzrate geladen wird, und
4. dauerhaft durch eine gesteuerte Entlade-Stromquelle oder -senke entladen wird. Die Entladevorrichtung kann fast jeder Transistor mit einer ziemlich hohen Ausgangsimpedanz für seinen Drain oder Kollektor sein.

5. Es kann ein Tiefpassfilter (typischerweise ein Widerstand-Kapazitäts-Filter mit einem einzelnen Abschnitt) angeschlossen werden, um einen negativen Rückkopplungspfad vom Speicher-Kondensator zum Steuereingang (Gate oder Basis) der gesteuerten Stromquelle zu bilden.

6. Die negative Rückkopplungsverbindung bewirkt, dass ein im Wesentlichen konstanter gemittelter Gleichstrom-Pegel am Speicher-Kondensator existiert. Die Rückkopplung führt damit die Funktion der Gleichstrom-Entfernung aus, so dass der Speicher-Kondensator, der als ein Integrator der Lade- und Entladeströme angesehen wird, nicht durch die Gleichstromdrift beeinflusst wird.

7. Es kann ein Differenzial-Vergleicher verwendet werden, wobei ein Eingang mit dem Speicher-Kondensator verbunden ist und auf die Sägezahn Wellenform darauf reagiert und der andere Eingang mit dem gemittelten Gleichstrom-Pegel (am Ausgang des Tiefpassfilters) verbunden ist.

8. Es kann eine getriggerte Ausgangsschaltung, wie sie in der zuvor erwähnten Offenlegung beschrieben wurde, angeschlossen werden, so dass sie nur durch den Ausgangsübergang mit niedrigem Jitter des Vergleichers getriggert wird. (Der niedrige Jitter-Übergang tritt an dem langsameren der beiden Sägezahn-Wellenform-Neigungen auf).

9. Die hintereinander angeordneten Beschleunigungsdiode (D5 bis D8) können so verbunden sein, dass sie einen Pfad mit niedriger Impedanz zwischen dem Eingang und dem Ausgang des Rückkopplungs-Tiefpassfilters für den Fall bilden, wenn Eingangs-Phasesprünge bewirken, dass die Integrator-Spannung aus den Toleranzen springt, die durch die Anzahl der Dioden in Reihe und die typischen Dioden-Abweichspannungen eingestellt wurden.

10. Es kann eine Frequenz-Verdopplungs-Eingangsschaltung bereitgestellt werden, in der zwei Ladungspumpen abwechselnd auf den anstei-

genden und den abfallenden Flanken der Eingangs-Wellenform arbeiten und ihre Ladungspakete über einen üblichen Pfad zum Speicher-Kondensator übertragen.

11. (a) Eine gemeinsame Gate- oder gemeinsame Basis-Transistorschaltung kann in den Pfad zwischen dem (den) Eingangs-Kondensatoren) und dem Speicher-Kondensator eingebunden werden, so dass eine bessere Konstanz der Ladungspakete gewährleistet ist.

(b) Es kann außerdem eine Zeitkonstante mit der Basis verbunden werden, um die Konstanz der Größe der Ladungspakete in den kurzen Zeitschwankungen in der Eingangssignal Amplitude zu gewährleisten. Oder das Gate von T1 kann mit dem Gate von T2 verbunden werden.

12. Die Verwendung der Ausgangsspannung des Tiefpassfilters (die eine bekannte Funktion der Frequenz ist) hält das Impulslängenverhältnis eines monostabilen Ausgangs für einen breiten Bereich der Eingangs-Frequenzen im Wesentlichen konstant. Ein FET kann alternativ mit dem Gate des T1-Spiegels, der Strom von T1 mit einem stromgesteuerten, monostabilen Ausgang verbunden werden, um das gleiche Ziel zu erreichen.

Patentansprüche

1. Anti-Jitter-Schaltung zum Reduzieren eines Zeit-Jitters in einer Eingangs-Impulsfolge mit: einer Integrator-Ladungsspeichereinrichtung (C3), einer Ladeeinrichtung (C1, D1, D2) zum Erhalten von wenigstens einem Ladungspaket aus der Eingangs-Impulsfolge während jedes Zyklus der Eingangs-Impulsfolge sowie zum Zuführen der Ladungspakete zu der Integrator-Ladungsspeichereinrichtung (C3), einer Entladeeinrichtung (T1) zum kontinuierlichen Entladen der Integrator-Ladungsspeichereinrichtung (C3), wobei die Ladeeinrichtung (C1, D1, D2) und die Entladeeinrichtung (T1) betrieben werden können, um an der Integrator-Ladungsspeichereinrichtung eine in der Zeit variierende Spannung zu erzeugen, einem Tiefpassfilter (R1, C4), der mit der Integrator-Ladungsspeichereinrichtung (C3) verbunden ist, um eine gemittelte Gleichspannung der in der Zeit variierenden Spannung zu erhalten, einer Einrichtung zum Vergleichen der in der Zeit variierenden Spannung mit der gemittelten Gleichspannung sowie zum Erhalten einer Ausgangs-Impulsfolge als Ergebnis aus dem Vergleich, wobei die Entladeeinrichtung (T1) eine Entladeelement mit einem Steuereingang umfasst und der Tiefpassfilter (R1, C4) einen negativen Rückkopplungspfad zwischen dem Steuereingang und einem Ausgang der Integrator-Ladungsspeichereinrichtung (C3) definiert, um die gemittelte Gleichspannung im wesentlichen konstant zu halten.

2. Anti-Jitter-Schaltung nach Anspruch 1, dadurch gekennzeichnet, dass die Entladeeinrichtung (T1) eine Stromquelle oder eine Stromsenke ist.

3. Anti-Jitter-Schaltung nach Anspruch 2, dadurch gekennzeichnet, dass die Entladeeinrichtung (T1) ein Transistor ist.

4. Anti-Jitter-Schaltung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die gemittelte Gleichspannung an einem Ausgang des negativen Rückkopplungspfads erzeugt wird und die Vergleichseinrichtung einen Vergleicher umfasst, der einen ersten mit der Integrator-Ladungsspeichereinrichtung (C3) verbundenen Eingang und einen zweiten mit dem Ausgang des negativen Rückkopplungspfads verbundenen Eingang aufweist.

5. Anti-Jitter-Schaltung nach einem der Ansprüche 1 bis 4, weiterhin gekennzeichnet durch eine monostabile Schaltung, die mit dem Ausgang der Vergleichseinrichtung verbunden ist.

6. Anti-Jitter-Schaltung nach Anspruch 5, dadurch gekennzeichnet, dass die Gleichspannung verwendet wird, um die Impulslänge der durch die monostabile Schaltung ausgegebenen Impulse zu steuern.

7. Anti-Jitter-Schaltung nach Anspruch 6, dadurch gekennzeichnet, dass die monostabile Schaltung eines Strom-gesteuerte monostabile Schaltung ist und einen Steuereingang aufweist, der mit dem Ausgang des negativen Rückkopplungspfads über einen Stromspiegel (T3) verbunden ist, der an die Entladeeinrichtung (T1) angepasst ist.

8. Anti-Jitter-Schaltung nach Anspruch 7, dadurch gekennzeichnet, dass die Entladeeinrichtung (T1) und der Stromspiegel (T3) angepasste Transistoren sind.

9. Anti-Jitter-Schaltung nach einem der Ansprüche 5 bis 8, dadurch gekennzeichnet, dass die monostabile Schaltung immer getriggert wird, wenn ein Entladungsteil der in der Zeit variierenden Spannung die gemittelte Gleichspannung kreuzt.

10. Anti-Jitter-Schaltung nach einem der Ansprüche 1 bis 9, weiterhin gekennzeichnet durch eine Frequenzverdoppelungseinrichtung mit einer ersten Entladeeinrichtung (C1, D1, D2) und einer zweiten Entladeeinrichtung (C2, D4, D2), um Ladungspakete jeweils von den ansteigenden und abfallenden Flanken der Eingangs-Impulsfolge zu erhalten.

11. Anti-Jitter-Schaltung nach einem der Ansprüche 1 bis 10, weiterhin gekennzeichnet durch eine Einrichtung, die den Ladungswert der Ladungspakete im wesentlichen konstant hält.

12. Anti-Jitter-Schaltung nach Anspruch 11, dadurch gekennzeichnet, dass die Halteeinrichtung einen weiteren Transistor (T2) umfasst, der zwischen der Ladeeinrichtung und der Integrator-Ladungsspeichereinrichtung (C3) verbunden ist.

13. Anti-Jitter-Schaltung nach Anspruch 12, dadurch gekennzeichnet, dass der weitere Transistor (T2) angeordnet ist, um in einem geerdeten Basismodus betrieben zu werden.

14. Anti-Jitter-Schaltung nach Anspruch 13, weiterhin gekennzeichnet durch eine Durchschnittsbildungseinrichtung, die mit der Basis des weiteren Transistors verbunden ist.

15. Anti-Jitter-Schaltung nach Anspruch 12, dadurch gekennzeichnet, dass die Entladeeinrichtung einen ersten Feldeffekttransistor umfasst, der als Entladeeinrichtung betrieben werden kann, und dass der weitere Transistor ein zweiter Feldeffekttransistor ist, wobei das Gate des ersten Feldeffekttransistors mit dem Gate des zweiten Feldeffekttransistors verbunden ist.

16. Anti-Jitter-Schaltung nach einem der Ansprüche 1 bis 15, weiterhin gekennzeichnet durch eine Einrichtung (D5, D6, D7, D8), die einen Pfad mit niedriger Impedanz zwischen dem Eingang und dem Ausgang des negativen Rückkopplungspfads vorsieht.

17. Anti-Jitter-Schaltung nach Anspruch 16, dadurch gekennzeichnet, dass der Pfad mit niedriger Impedanz durch Dioden (D5, D6, D7, D8) gebildet wird, die hintereinander angeordnet sind.

18. Anti-Jitter-Schaltung nach einem der Ansprüche 1 bis 17, dadurch gekennzeichnet, dass die oder jede Ladeeinrichtung (C1, D1, D2) eine Ladungspumpe ist.

Es folgen 12 Blatt Zeichnungen

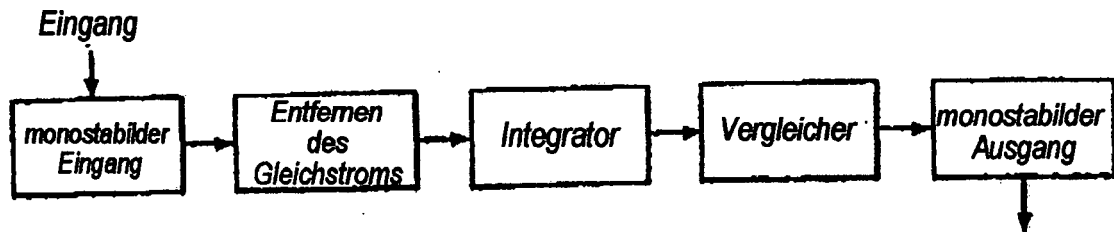


Fig.1(a)

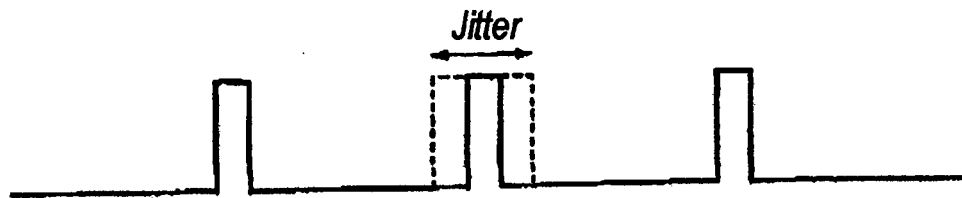


Fig.1(b)

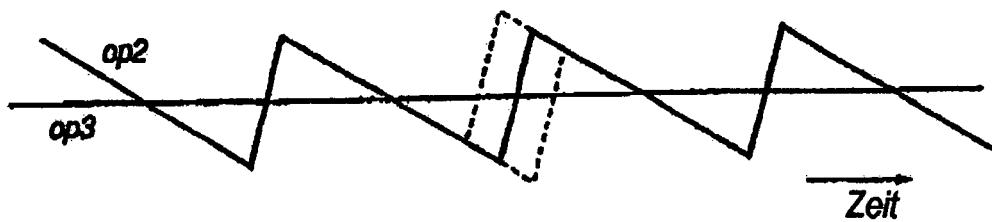
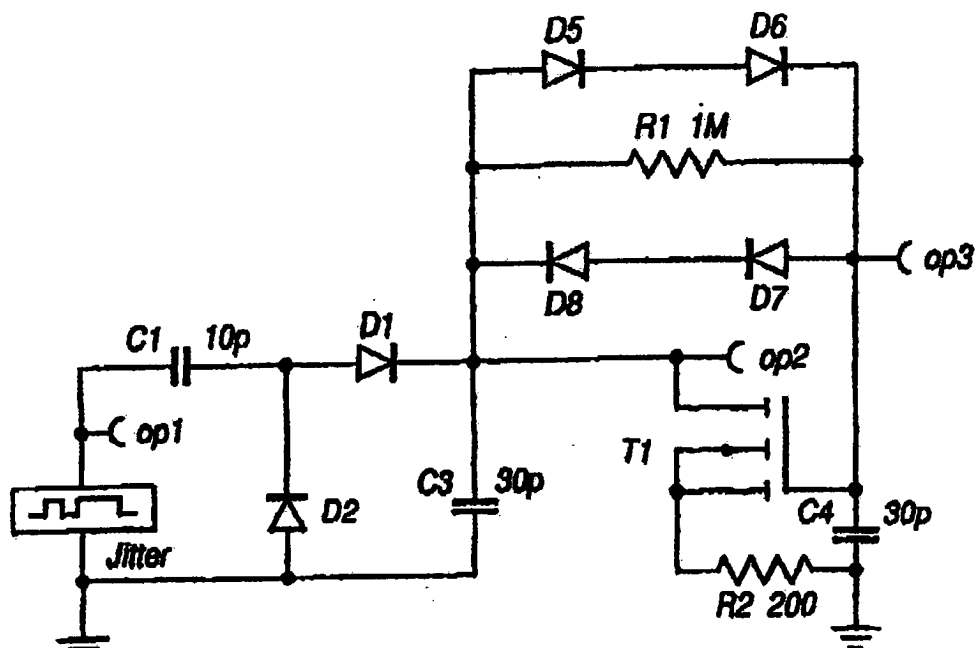


Fig.1(c)

Fig 1 Prinzip der Anti-Jitter-Schaltung
 (a) grundsätzliche Blockschaltung
 (b) Eingang mit Jitter am mittleren Impuls
 (c) Integrator-Ausgang (Op2) und Vergleicher-Schaltpegel (Op3)



T1: n-MOS-Verbesserung
Schwellenwert 0V Beta: 300uAVV

Op2 und Op3 an Differenzial-Vergleicher

Gemittelte $F_{in}=417\text{kHz}$ und Phasesprünge bei einer Rate von $1/3$ von 150°
= Zeit-Jitter von $2\mu\text{s}$ in $2,4\mu\text{s}$ bei einer Rate von $1/3$

Fig.2(a)

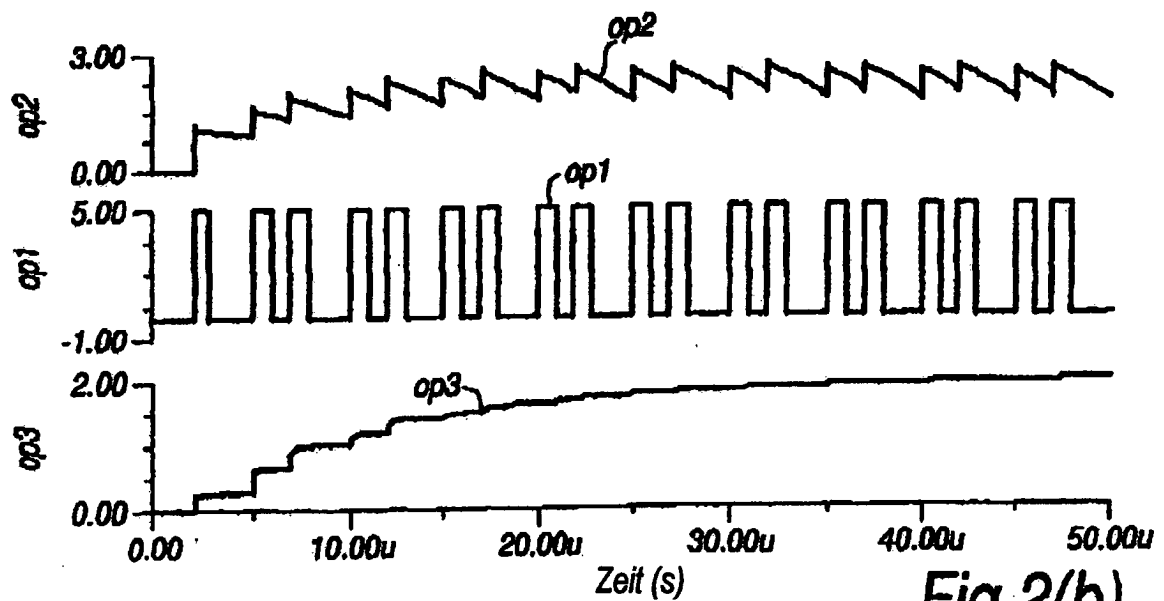


Fig.2(b)

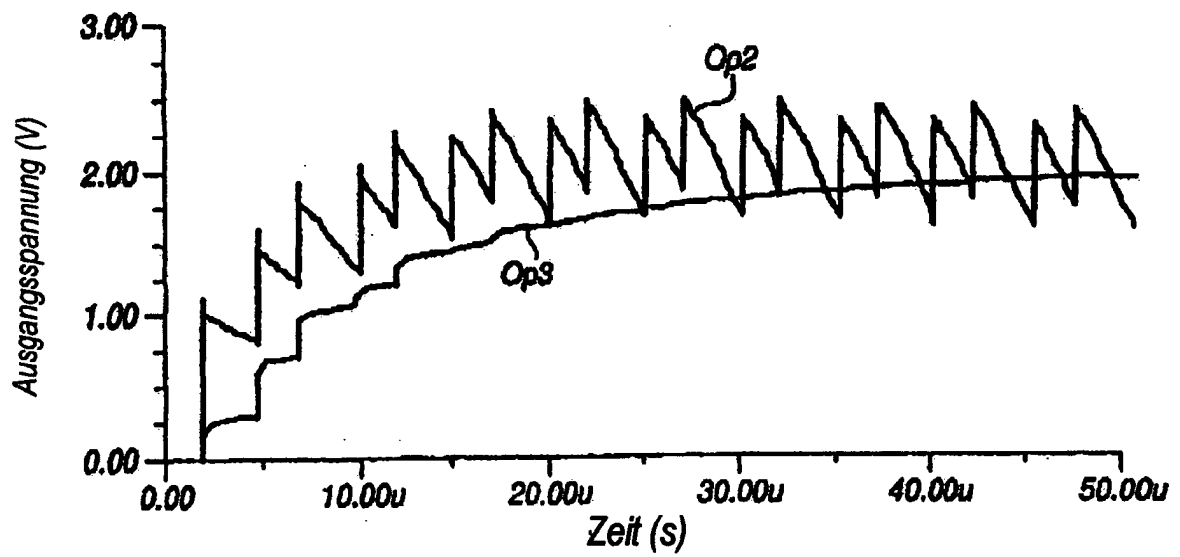


Fig.2(c)

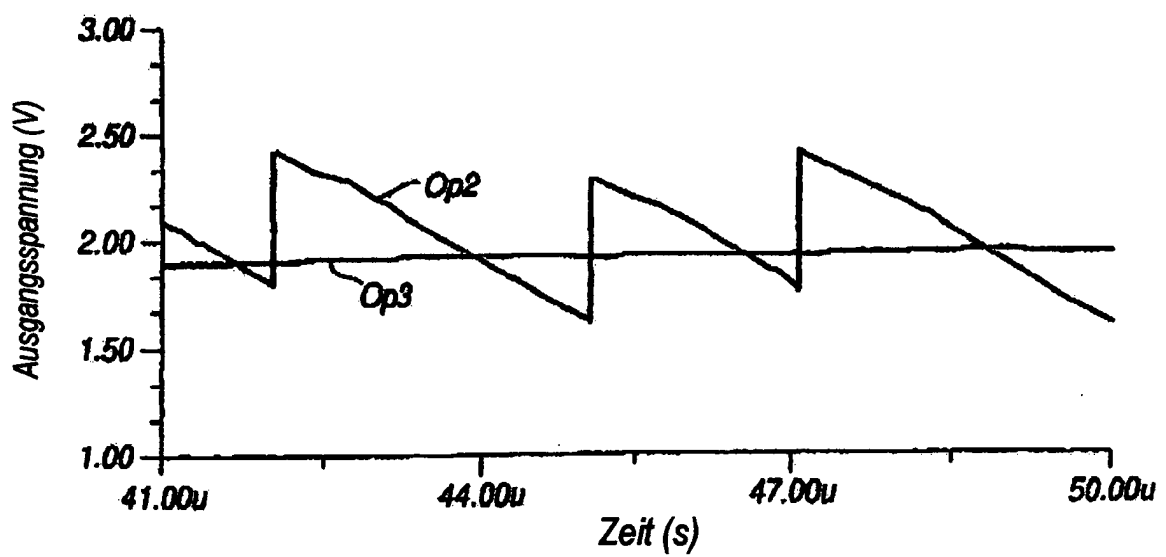
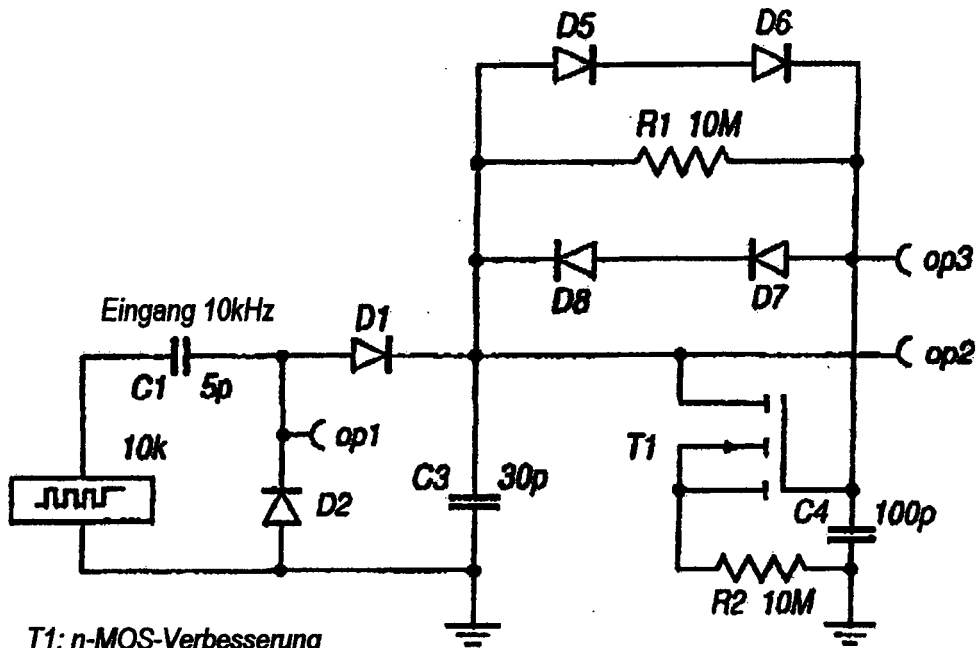


Fig.2(d)



T1: n-MOS-Verbesserung
Schwellenwert 0V Beta 300uA/VV

Op2 und Op3 an Differenzial-Vergleicher

Fig.3(a)

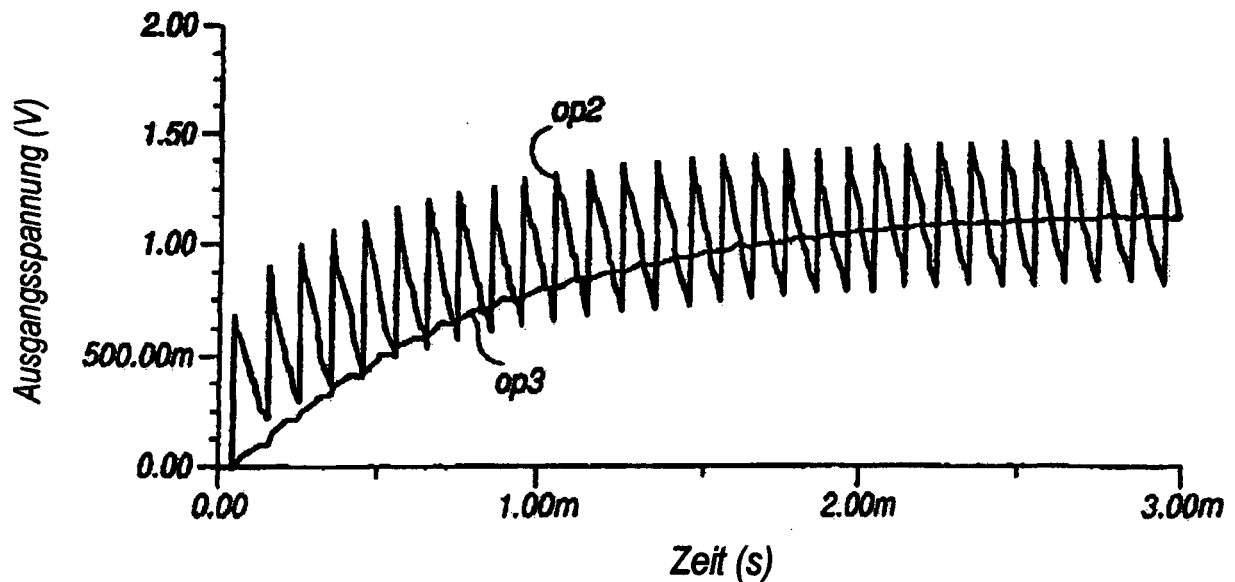
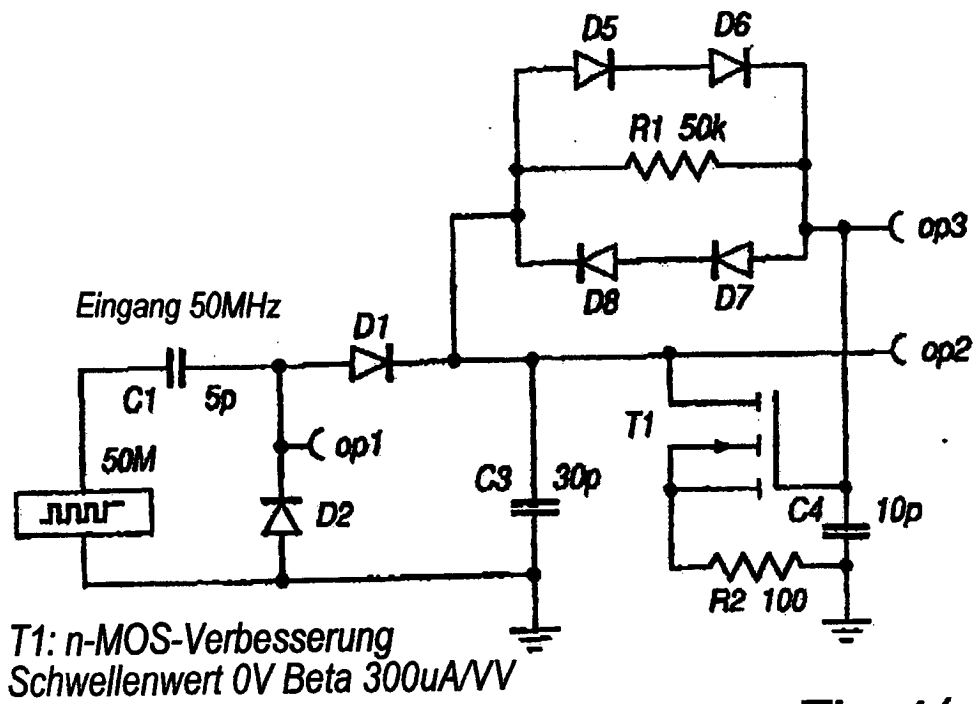


Fig.3(b)



Op2 und Op3 an Differenzial-Vergleicher

Fig.4(a)

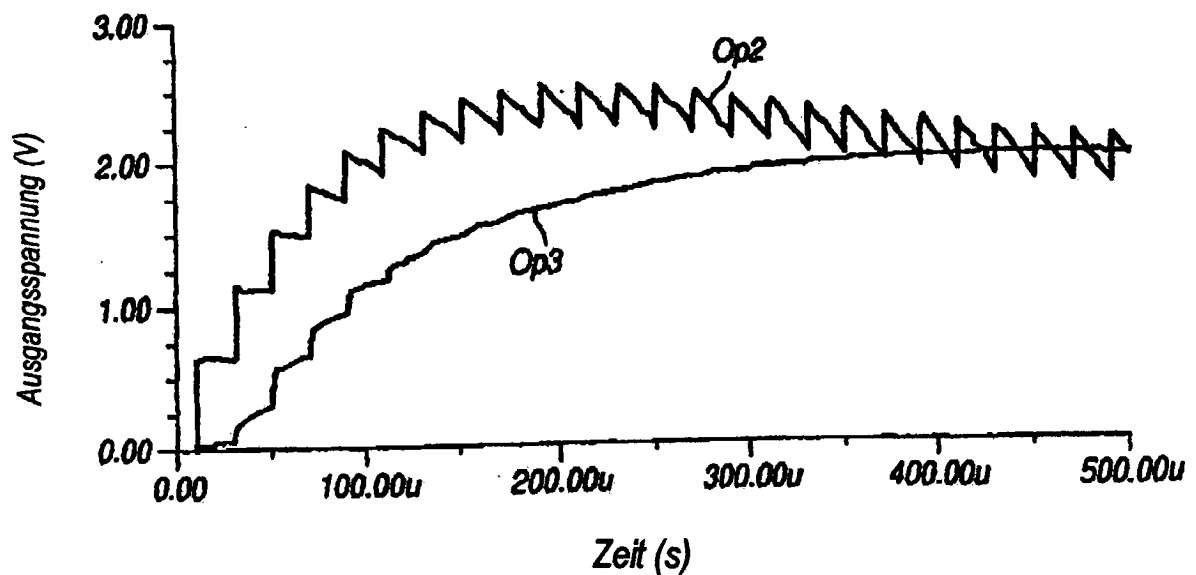
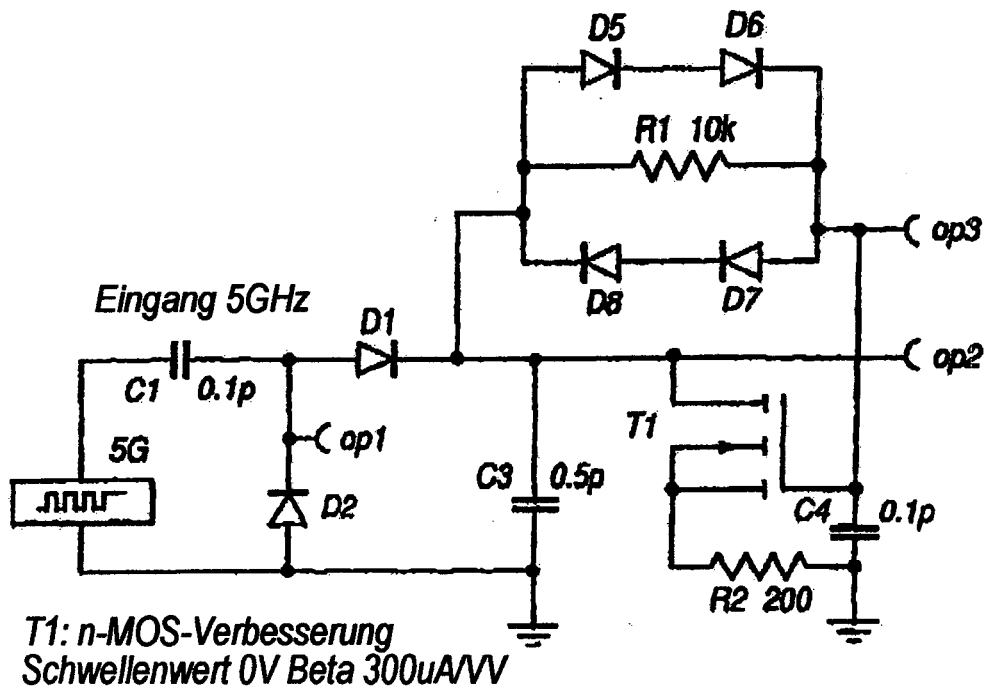


Fig.4(b)



Op2 und Op3 an Differenzial-Vergleicher

Fig.5(a)

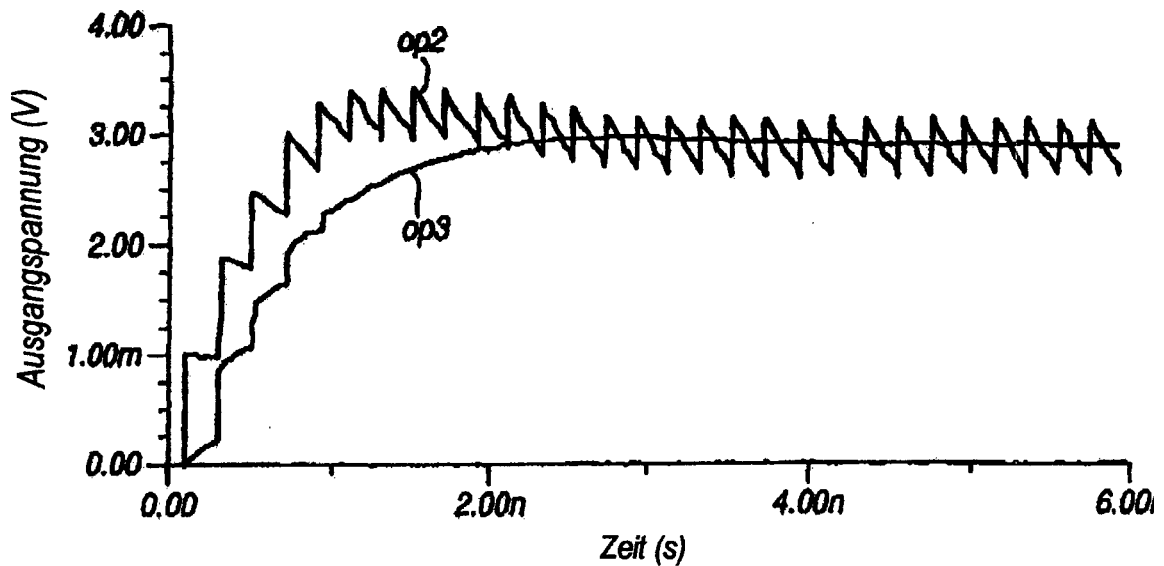


Fig.5(b)

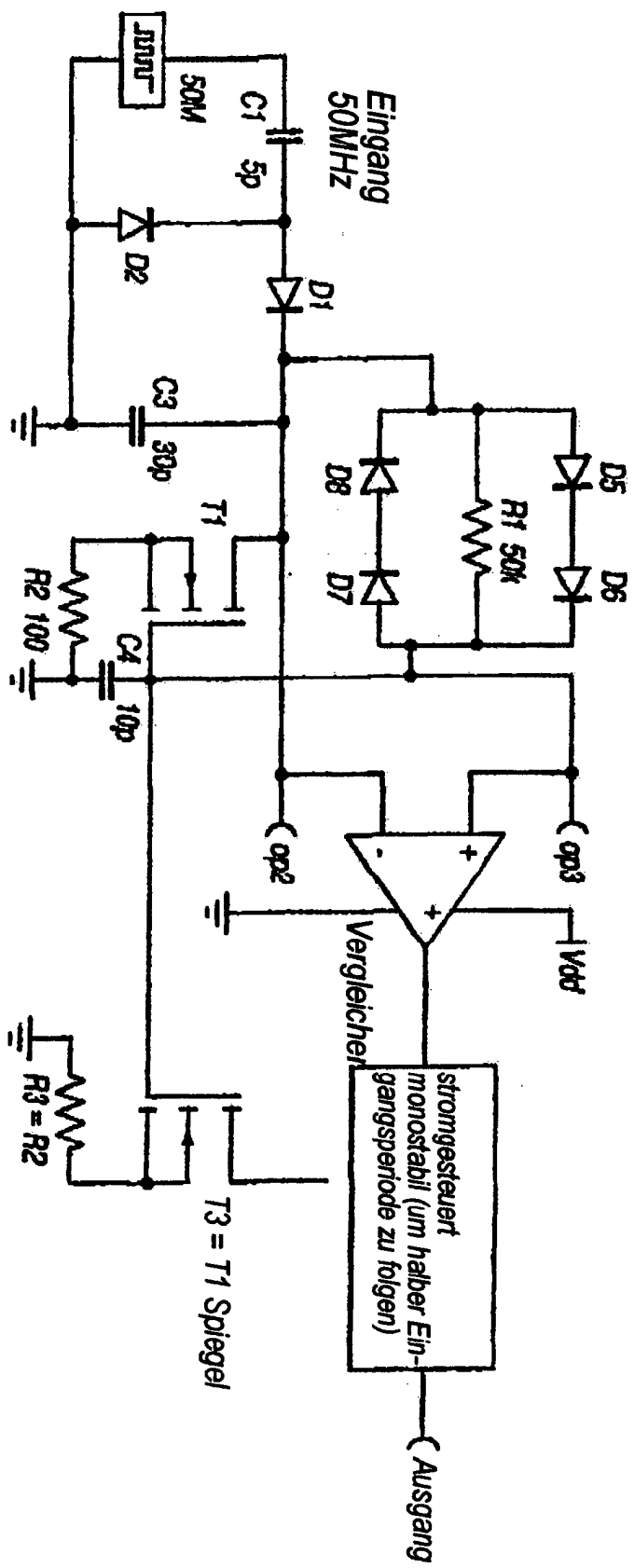
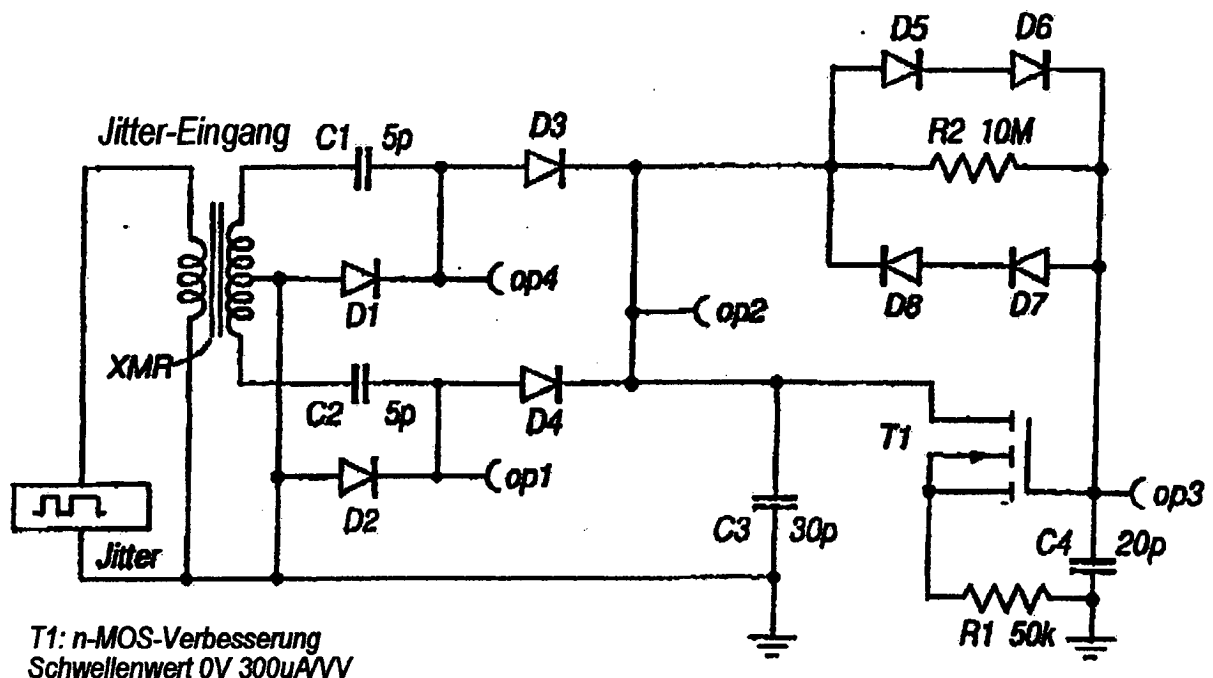


Fig. 6



Op2 und Op3 an Differenzial-Vergleicher

gemittelte $f_{in}=417\text{kHz}$ und Phasensprünge bei einer Rate von $1/3$ von 150°
 =Zeit-Jitter von $1\mu\text{s}$ in $2,4\mu\text{s}$ bei einer Rate von $1/3$

Fig.7(a)

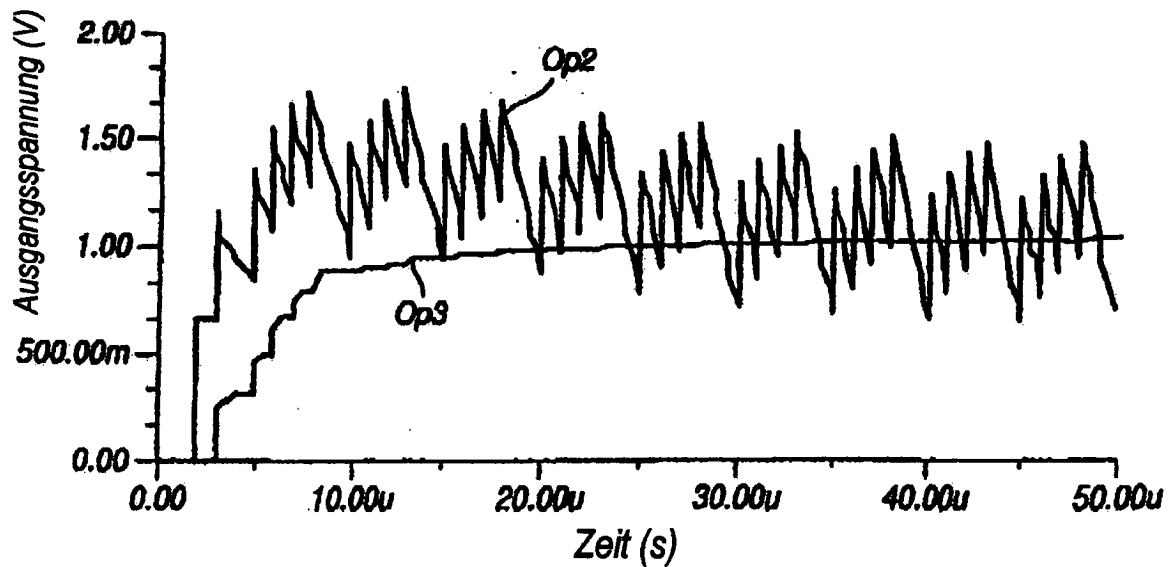


Fig.7(b)

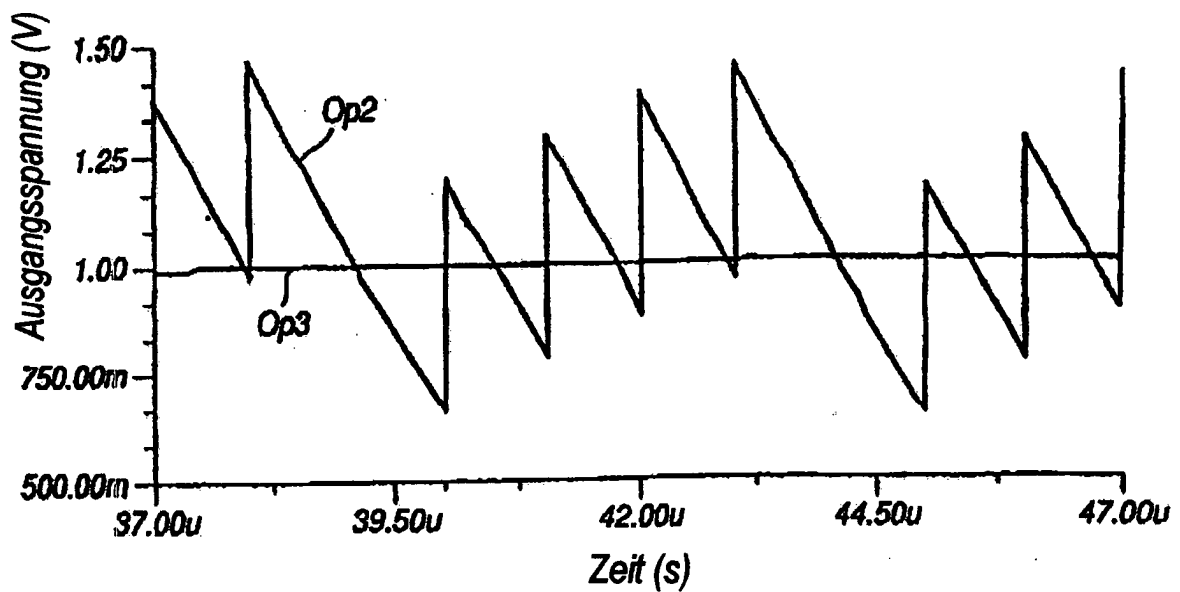
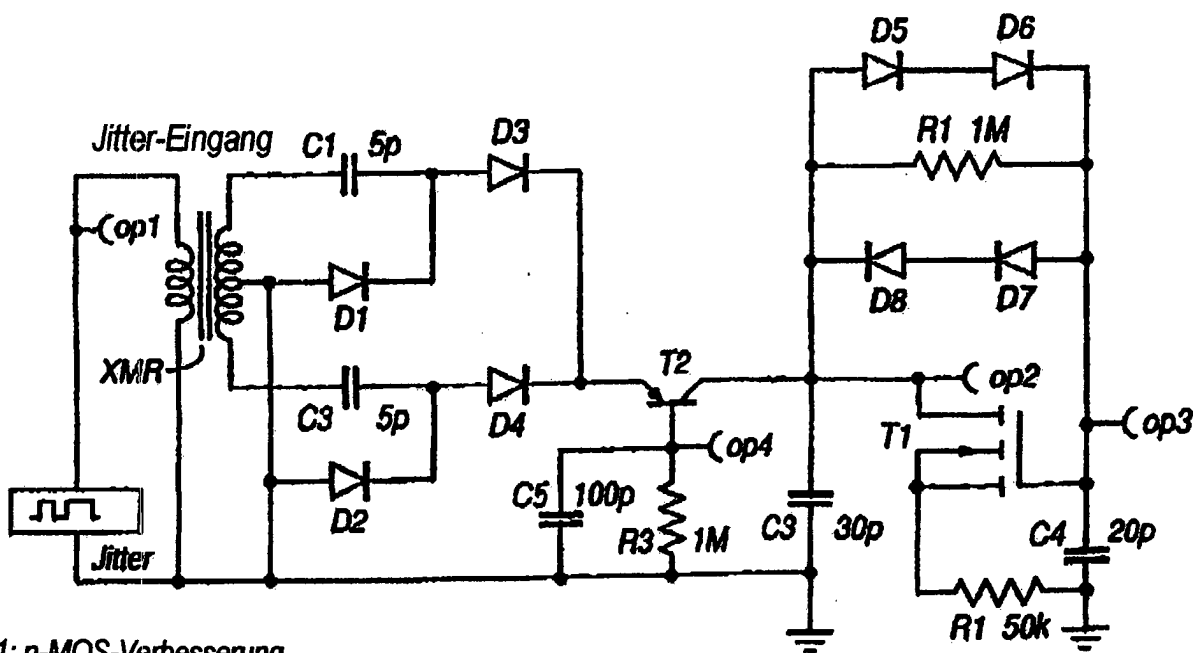


Fig.7(c)



T1: n-MOS-Verbesserung
Schwellenwert 0V Beta: 300uA/VV

Op2 und Op3 an Differenzial-Vergleicher

Fig.8(a)

gemittelte $F_{in}=417\text{kHz}$ und Phasensprünge bei einer Rate von $1/3$ von 150 Grad
= Zeit-Jitter von 1u sec in 2,4 u sec bei einer Rate von $1/3$

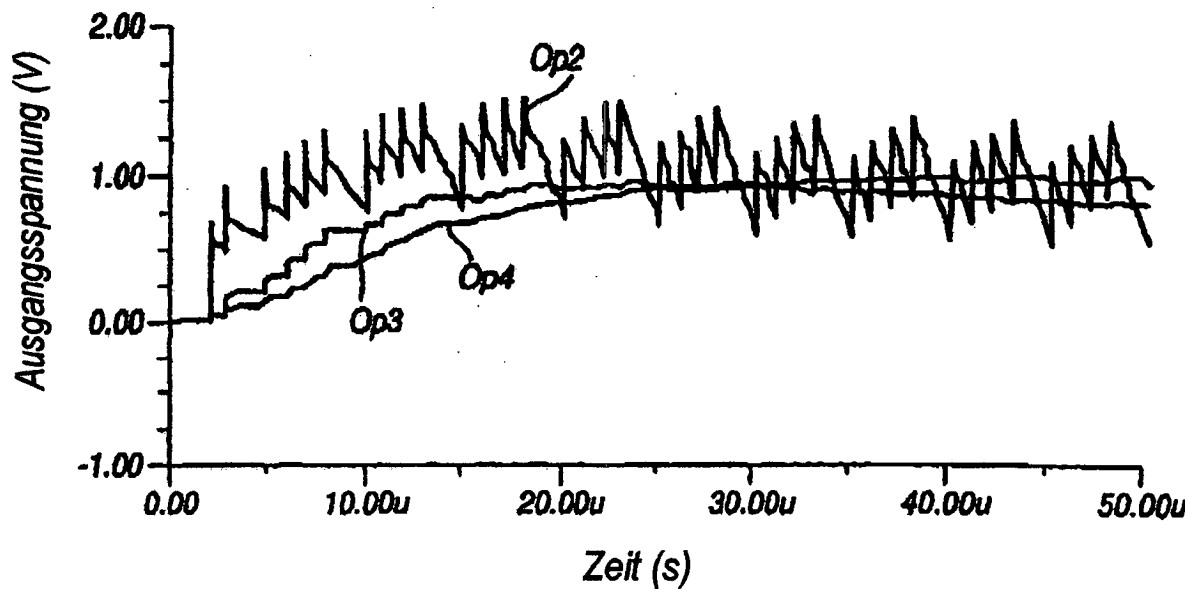


Fig.8(b)

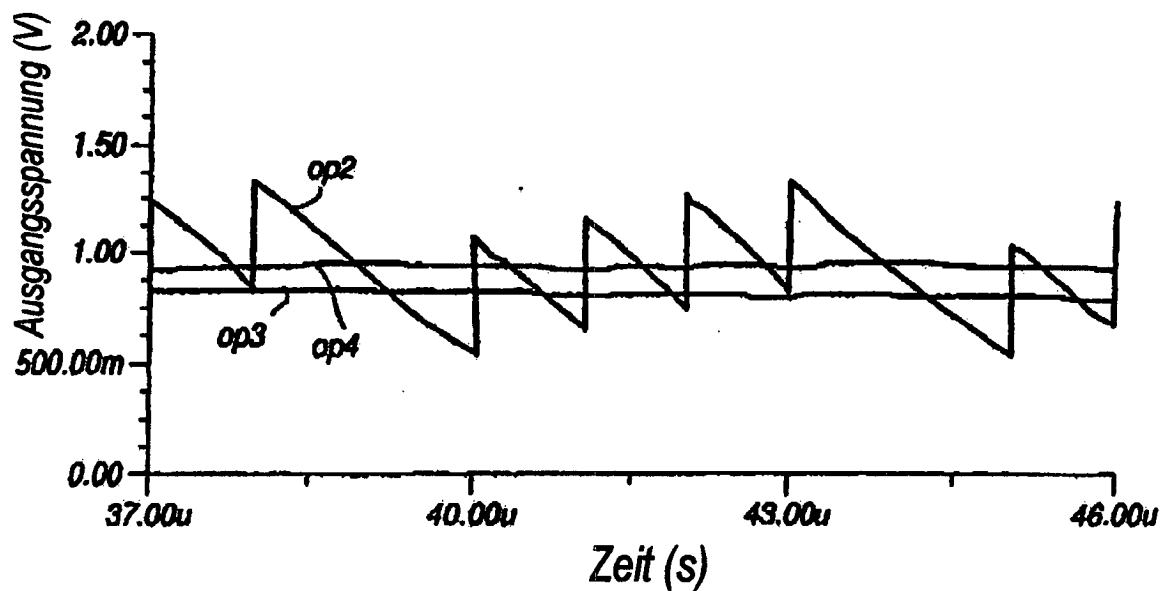
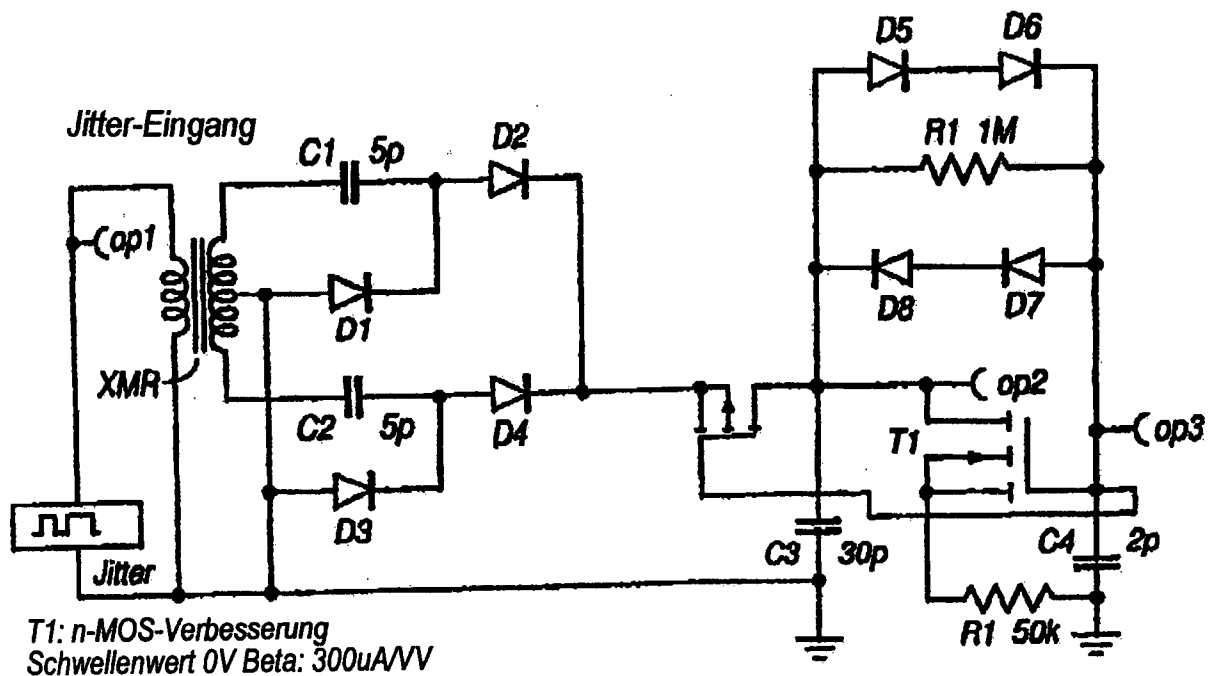


Fig.8(c)



Op2 und Op3 an Differenzial-Vergleicher

Fig.9(a)

gemittelte $f_{in}=417\text{kHz}$ und Phasensprünge bei einer Rate von $1/3$ von 300 Grad
= Zeit-Jitter von 1usec in 2,4 usec bei einer Rate von $1/3$

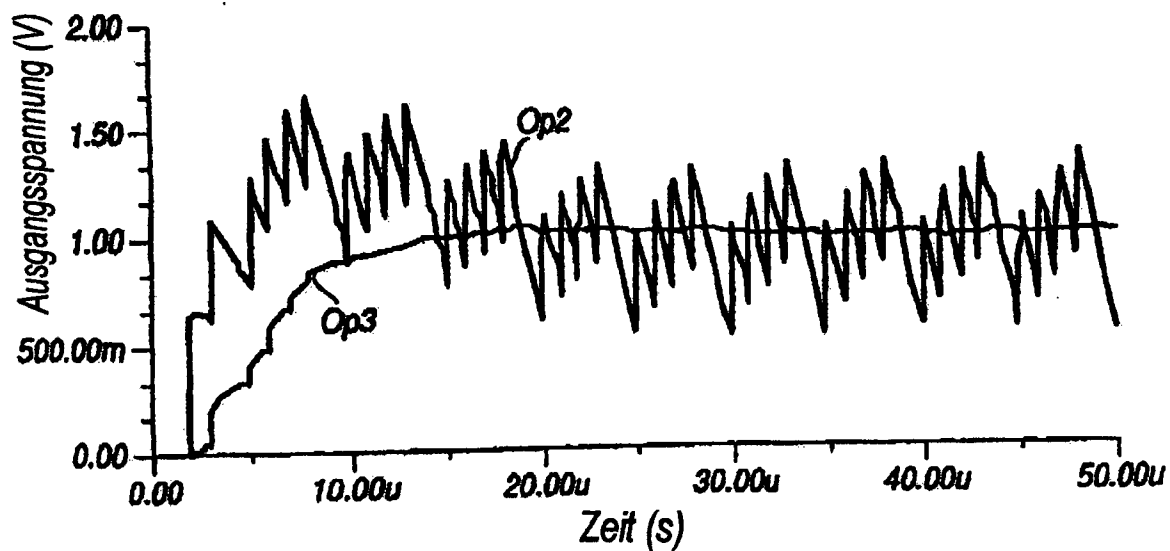


Fig.9(b)

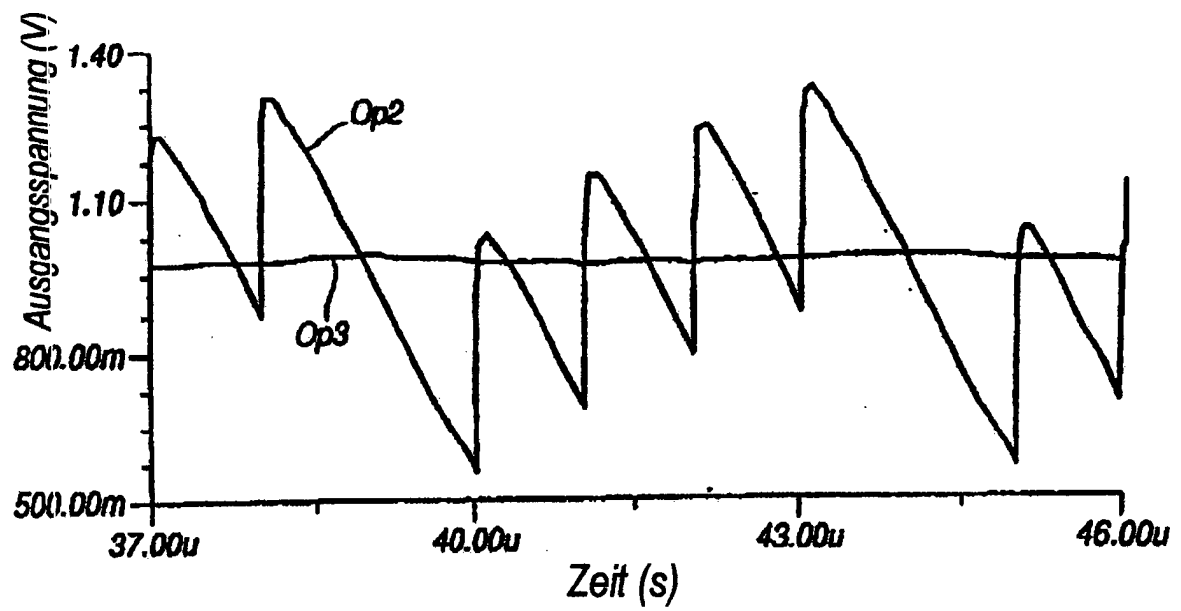


Fig.9(c)