



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

G11C 16/10 (2006.01)

(11) 공개번호 10-2006-0120078

G11C 16/04 (2006.01)

(43) 공개일자 2006년11월24일

G11C 16/30 (2006.01)

(21) 출원번호 10-2006-7008923

(22) 출원일자 2006년05월08일

심사청구일자

없음

번역문 제출일자

2006년05월08일

(87) 국제공개번호 WO 2005/048269

(86) 국제출원번호 PCT/US2004/036924

국제출원일자 2004년11월04일

국제공개일자 2005년05월26일

(30) 우선권주장 10/703,717 2003년11월07일 미국(US)

(71) 출원인 샌디스크 코포레이션
미합중국 캘리포니아 94089 씨니베일 카스피안 코트 140

(72) 발명자 루체 제프리 더블유.
미국 캘리포니아 95125 산호세 아델 플레이스 1906
광 찬-수이
미국 캘리포니아 94086 서니베일 푸치시아 드라이브 1078

(74) 대리인 박장원

전체 청구항 수 : 총 60 항

(54) 게이트 유발 접합 누설 전류를 사용하는 플래시 메모리프로그래밍

(57) 요약

저장 소자를 프로그래밍하는 방법과 게이트 유발 접합 누설 전류를 사용하여 프로그램된 저장 소자가 제공된다. 상기 저장 소자는 기판 위의 적어도 하나의 부동 게이트와, 상기 기판의 활성 영역과, 그리고 상기 부동 게이트에 인접한 제 2 게이트를 구비한다. 상기 방법은 상기 제 1 게이트를 바이어싱함으로써 상기 기판에서 상기 부동 게이트 아래에 반전 영역을 생성하는 단계와, 그리고 임계 전계를 상기 제 2 게이트에 인접하게 생성하는 단계를 포함한다. 임계 전계를 생성하는 단계는 상기 활성 영역에 제 2 양의 바이어스를 인가하는 단계와; 그리고 상기 제 2 게이트에 제 2 양의 바이어스보다 작은 바이어스를 인가하는 단계를 포함한다. 상기 저장 소자는 또한 상기 활성 영역에 인가되는 OV보다 큰 제 1 바이어스와 그리고 상기 제 2 게이트에 인가된 상기 제 1 바이어스보다 큰 제 2 바이어스를 포함한다. 상기 제 1 및 제 3 바이어스는 상기 기판에서 상기 부동 게이트와 상기 선택 게이트 사이에 누설 전류를 생성하도록 선택된다.

내용도

특허청구의 범위

청구항 1.

기판상의 적어도 하나의 제 1 게이트와, 상기 기판 내의 활성 영역과, 그리고 상기 제 1 게이트에 인접한 제 2 게이트를 구비하는 저장 소자를 프로그래밍하는 방법으로서:

상기 제 1 게이트를 바이어싱함으로써 상기 기판에서 상기 제 1 게이트 아래에 반전 영역을 생성하는 단계와; 그리고 상기 반전 영역과의 접합부에서 전자-정공 쌍들을 생성하기에 충분한 임계 전계를 상기 제 2 게이트에 인접하게 생성하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 2.

제 1항에 있어서, 상기 임계 전계를 생성하는 단계는 상기 활성 영역에 제 1 양의 바이어스(first positive bias)를 인가하는 단계와; 그리고 상기 제 2 게이트에 상기 제 1 양의 바이어스보다 작은 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 3.

제 2항에 있어서, 상기 제 1 양의 바이어스보다 작은 바이어스를 인가하는 단계는 0V 이하의 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 4.

제 2항에 있어서, 상기 제 1 양의 바이어스보다 작은 바이어스를 인가하는 단계는 0V 내지 -3V 범위의 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 5.

제 2항에 있어서, 상기 제 1 양의 바이어스를 인가하는 단계는 3V보다 큰 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 6.

제 2항에 있어서, 상기 반전 영역을 생성하는 단계는 상기 제 1 게이트에 상기 제 1 양의 전압보다 큰 제 2 양의 전압을 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 7.

제 6항에 있어서, 상기 제 2 양의 전압은 8V보다 큰 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 8.

제 1항에 있어서, 상기 기판은 p-타입 기판이고 상기 활성 영역은 n-타입 불순물 영역인 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 9.

제 8항에 있어서, 상기 p-타입 기판은 대략 $10^{16} - 10^{18}$ atm/cm³ 범위의 불순물 농도를 갖는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 10.

제 1항에 있어서, 상기 기판은 n-타입 기판이고 상기 활성 영역은 p-타입 불순물 영역인 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 11.

제 10항에 있어서, 상기 활성 영역은 대략 $10^{17} - 10^{20}$ atm/cm³의 도핑 농도를 갖는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 12.

제 1항에 있어서, 상기 제 1 게이트는 상기 기판상에서 제 1 게이트 절연체 위에 위치하고 상기 제 2 게이트는 상기 기판상에서 제 2 게이트 절연체 위에 위치하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 13.

제 12항에 있어서, 상기 제 1 게이트 절연체는 대략 60 - 100Å 범위의 두께를 갖는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 14.

제 13항에 있어서, 상기 제 2 게이트 절연체는 대략 20 - 200Å 범위의 두께를 갖는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 15.

제 1항에 있어서, 상기 저장 소자는 상기 제 1 게이트 위에 적어도 부분적으로 위치하고 제 3 절연체 층에 의해 상기 제 1 게이트로부터 분리된 제어 게이트를 더 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 16.

제 15항에 있어서, 상기 반전 층을 생성하는 단계는 상기 제어 게이트를 바이어싱하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 17.

제 1항에 있어서, 상기 저장 소자는 전하 저장 유전체를 더 포함하고,

상기 방법은 상기 전하 저장 유전체의 적어도 일부분 아래에 상기 임계 전계를 생성하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 18.

저장 소자를 프로그래밍하는 방법으로서:

기판 위의 적어도 하나의 부동 게이트와, 상기 기판 내에 활성 영역과, 그리고 상기 부동 게이트에 인접한 선택 게이트를 구비하는 저장 소자를 제공하는 단계와;

상기 부동 게이트 아래에 반전 영역을 생성하도록 상기 부동 게이트를 바이어싱하는 단계와; 그리고

상기 기판에서 상기 부동 게이트 아래의 상기 활성 영역에 대해 임계 전계가 생성되도록, 상기 활성 영역에 제 1 바이어스를 인가하고 상기 선택 게이트에 제 2 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 19.

제 18항에 있어서, 상기 저장 소자를 제공하는 단계는 다중상태(multi state) 저장 소자를 제공하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 20.

제 18항에 있어서, 상기 저장 소자를 제공하는 단계는 EEPROM 저장 소자를 제공하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 21.

제 18항에 있어서, 상기 저장 소자를 저장하는 단계는 플래시 EEPROM 저장 소자를 제공하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 22.

제 21항에 있어서, 상기 EEPROM 저장 소자는 NAND 소자인 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 23.

제 21항에 있어서, 상기 저장 소자는 NOR 저장 소자인 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 24.

제 18항에 있어서, 상기 바이어싱하는 단계 및 인가하는 단계는 디지털 정보의 저장을 달성하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 25.

제 18항에 있어서, 상기 바이어싱하는 단계 및 인가하는 단계는 아날로그 정보의 저장을 달성하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 26.

제 18항에 있어서, 상기 부동 게이트를 바이어싱하는 단계는 8V 보다 큰 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 27.

제 18항에 있어서, 상기 제 2 바이어스는 0V 이하인 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 28.

제 18항에 있어서, 상기 제 1 바이어스는 3V보다 큰 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 29.

저장 소자로서:

제 2 불순물 타입을 갖는 기판 내의 제 1 불순물 타입을 갖는 활성 영역과;

상기 기판상의 부동 게이트와; 그리고

상기 기판상의 상기 부동 게이트에 인접하게 위치한 선택 게이트를 포함하고,

상기 활성 영역에 0V 보다 큰 제 1 바이어스가 인가되고, 상기 부동 게이트에 상기 제 1 바이어스보다 큰 제 2 바이어스가 인가되고, 그리고 상기 선택 게이트에 0V 이하의 제 3 바이어스가 인가되며,

상기 제 1 및 제 3 바이어스는 상기 기판에서 상기 부동 게이트와 상기 선택 게이트 사이에 기판에 누설 전류를 생성하도록 선택되는 것을 특징으로 하는 저장 소자.

청구항 30.

제 29항에 있어서, 상기 제 1 양의 바이어스는 3V보다 큰 것을 특징으로 하는 저장 소자.

청구항 31.

제 29항에 있어서, 상기 제 2 바이어스는 8V 보다 큰 것을 특징으로 하는 저장 소자.

청구항 32.

제 29항에 있어서, 상기 기판은 p-타입 기판이고 상기 활성 영역은 n-타입 불순물 영역인 것을 특징으로 하는 저장 소자.

청구항 33.

제 32항에 있어서, 상기 p-타입 기판은 대략 $10^{16} - 10^{18}$ atm/cm³ 범위의 불순물 농도를 갖는 것을 특징으로 하는 저장 소자.

청구항 34.

제 33항에 있어서, 상기 활성 영역은 대략 $10^{17} - 10^{20}$ atm/cm³의 도핑 농도를 갖는 것을 특징으로 하는 저장 소자.

청구항 35.

제 29항에 있어서, 상기 기판은 n-타입 기판이고 상기 활성 영역은 p-타입 불순물 영역인 것을 특징으로 하는 저장 소자.

청구항 36.

제 29항에 있어서, 상기 부동 게이트는 상기 기판상에서 부동 게이트 옥사이드 위에 위치하고 상기 선택 게이트는 상기 기판상에서 선택 게이트 옥사이드 위에 위치하는 것을 특징으로 하는 저장 소자.

청구항 37.

제 29항에 있어서, 상기 부동 게이트 옥사이드는 대략 60 – 100Å 범위의 두께를 갖는 것을 특징으로 하는 저장 소자.

청구항 38.

제 29항에 있어서, 상기 제 2 게이트 옥사이드는 대략 20 – 200Å 범위의 두께를 갖는 것을 특징으로 하는 저장 소자.

청구항 39.

제 29항에 있어서, 상기 저장 소자는 NAND 셀인 것을 특징으로 하는 저장 소자.

청구항 40.

제 29항에 있어서, 상기 저장 소자는 NOR 셀인 것을 특징으로 하는 저장 소자.

청구항 41.

기판상에 제공된 적어도 하나의 저장 소자 - 상기 저장 소자는 적어도 하나의 부동 게이트와, 상기 부동 게이트에 측면으로 인접하게 위치한 선택 게이트와, 그리고 활성 영역을 구비하며 - 를 프로그래밍하는 방법으로서:

상기 활성 영역에 제 1 양의 바이어스를 인가하는 단계와;

상기 선택 게이트에 0V 이하의 제 2 바이어스를 인가하는 단계와; 그리고

상기 부동 게이트에 상기 제 1 바이어스보다 큰 제 3 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 42.

제 41항에 있어서, 상기 제 2 바이어스를 인가하는 단계는 0 내지 -3V 범위의 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 43.

제 41항에 있어서, 상기 제 1 양의 바이어스를 인가하는 단계는 대략 3 내지 7.5V 범위의 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 44.

제 43항에 있어서, 상기 제 3 바이어스를 인가하는 단계는 8-15V 이상의 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 45.

기판 위의 적어도 하나의 제 1 게이트와, 상기 기판 내에 활성 영역과, 그리고 상기 제 1 게이트에 인접한 제 2 게이트를 구비하는 저장 소자와;

상기 제 1 게이트를 바이어싱함으로써 상기 기판에서 상기 제 1 게이트 아래에 반전 영역을 생성하는 수단과; 그리고

전자-정공 쌍들을 생성하도록 상기 제 2 게이트에 인접하게 임계 전계를 생성하는 수단을 포함하는 것을 특징으로 하는 장치.

청구항 46.

제 45항에 있어서, 상기 임계 전계를 생성하는 수단은 상기 활성 영역에 양의 바이어스를 인가하는 수단과 상기 제 2 게이트에 0V 이하의 바이어스를 인가하는 수단을 포함하는 것을 특징으로 하는 장치.

청구항 47.

제 45항에 있어서, 상기 반전 영역을 생성하는 수단은 상기 제 1 게이트에 상기 제 1 양의 바이어스보다 큰 제 2 양의 바이어스를 인가하는 수단을 포함하는 것을 특징으로 하는 장치.

청구항 48.

저장 소자로서:

제 2 불순물 탑입을 갖는 기판 내의 제 1 불순물 탑입을 갖는 활성 영역과;

전하 저장 유전체와; 그리고

상기 기판상에 상기 부동 게이트에 인접하게 위치하는 선택 게이트를 포함하고,

여기서, 상기 활성 영역에 0V보다 큰 제 1 바이어스가 인가되고 상기 부동 게이트에 상기 제 1 바이어스보다 큰 제 2 바이어스가 인가되고, 그리고 상기 선택 게이트에 0V 이하의 제 3 바이어스가 인가되며,

상기 제 1 및 제 3 바이어스는 상기 기판에서 상기 부동 게이트와 상기 선택 게이트 사이에 누설 전류를 생성하도록 선택되는 것을 특징으로 하는 장치.

청구항 49.

제 48항에 있어서, 상기 제 1 양의 바이어스는 3V보다 큰 것을 특징으로 하는 장치.

청구항 50.

제 48항에 있어서, 상기 제 2 바이어스는 8V보다 큰 것을 특징으로 하는 장치.

청구항 51.

제 48항에 있어서, 상기 유전체는 옥사이드 나이트라이드 옥사이드 층인 것을 특징으로 하는 장치.

청구항 52.

제 48항에 있어서, 상기 유전체는 실리콘 풍부 실리콘 다이옥사이드(silicon rich silicon dioxide) 층인 것을 특징으로 하는 장치.

청구항 53.

제 48항에 있어서, 상기 유전체는 제 1 및 제 2 전하 트래핑 영역들을 포함하는 것을 특징으로 하는 장치.

청구항 54.

제 48항에 있어서, 상기 유전체는 대략 250Å의 두께를 갖는 것을 특징으로 하는 장치.

청구항 55.

기판상에 적어도 하나의 제 1 게이트와, 제 1 활성 영역 및 제 2 게이트와, 그리고 전하 저장 영역을 구비하는 저장 소자를 프로그래밍하는 방법으로서:

전자-정공 쌍들을 생성시키기에 충분한 전계를 생성하기에 충분한 제 1 및 제 2 전압으로 각각 상기 제 1 활성 영역 및 상기 제 2 게이트를 바이어싱하는 단계와; 그리고

상기 전하 저장 영역으로 상기 전자들의 일부분을 끌어당기기(attract)에 충분한 제 3 전압으로 상기 제 1 게이트를 바이어싱하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 56.

제 55항에 있어서, 상기 전하 저장 영역은 유전체인 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 57.

제 55항에 있어서, 상기 전하 저장 영역은 상기 기판 위의 상기 제 1 게이트인 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 58.

제 55항에 있어서, 상기 제 2 게이트를 바이어싱하는 단계는 0V 이하의 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 59.

제 58항에 있어서, 상기 제 2 게이트를 바이어싱하는 단계는 0 내지-3V의 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

청구항 60.

제 55항에 있어서, 상기 제 1 활성 영역을 바이어싱하는 단계는 5-8V 범위의 바이어스를 인가하는 단계를 포함하는 것을 특징으로 하는 저장 소자를 프로그래밍하는 방법.

명세서

기술분야

본 발명은 저장 소자에 대한 프로그래밍 기술에 관한 것이고, 특히 비휘발성 반도체 메모리 디바이스들의 프로그래밍에 관한 것이다.

배경기술

비휘발성 반도체 메모리는 셀룰러 폰(cellular telephone), 디지털 카메라, 개인 휴대정보 단말기(PDA), 이동 컴퓨팅 디바이스(mobile computing devices), 비이동성(non-mobile) 컴퓨팅 디바이스 및 다른 디바이스들을 포함하는 수많은 용도에 보급되어 있다. EEPROM(전기적 소거 프로그램가능 읽기 전용 메모리) 및 플래시 메모리(flash memory)가 가장 인기 있는 비휘발성 반도체 메모리 유형이다.

EEPROM 및 플래시 메모리 모두는 소자당 하나 이상의 비트들을 저장하는 저장 소자들의 어레이를 이용한다. 각 소자는 일반적으로 채널 영역 및 반도체 기판 위에 위치하고 상기 채널 영역 및 반도체 기판으로부터 절연되어 있는 부동 게이트를 포함한다. 상기 부동 게이트는 소스와 드레인 영역들 사이에 위치한다. 제어 게이트는 부동 게이트 위에 제공되어 상기 부동 게이트로부터 절연되어 있다. 각 메모리 트랜지스터의 임계 전압(threshold voltage)은 상기 부동 게이트 상에 잔존하는 전하(charge)의 양에 의해 제어된다. 즉, 트랜지스터의 소스와 드레인 사이에 전도(conduction)를 가능하게 하도록 트랜지스터가 턴온(turn on)되기 전에 상기 제어 게이트에 인가되어야만 하는 전압의 최소량은 상기 부동 게이트 상의 전하 레벨(level)에 의해 제어된다. 수많은 EEPROM 및 플래시 메모리는 두 개의 전하 범위를 저장하는데 사용되는 부동 게이트를 구비하므로, 상기 메모리 셀은 두 개의 상태들 사이에서 프로그램/소거(program/erase)될 수 있다. 이러한 메모리 셀들은 1비트의 데이터를 저장한다. 다른 EEPROM 및 플래시 메모리 셀들은 다수의 전하 범위들을 저장하고, 이에 따라 이러한 메모리 셀들은 다수의 상태들을 저장하여 프로그램될 수 있다. 이러한 메모리 셀들은 다수의 비트의 데이터를 저장한다.

저장 소자를 프로그램하거나 소거하기 위해 부동 게이트에 전자(electron) 또는 정공(hole)을 인가하는 절차가 수많은 서로 다른 물리적 메커니즘에 의해 수행되었다. 일반적으로 실용적인 대안들로 나타나는 일부 메커니즘들은 얇은 옥사이드를 통한 파울러 노르드하임(F-N) 터널링(Fowler Nordheim tunneling), 채널 핫-전자 주입(channel hot-electron(CHE) injection), 및 SSI(Source Side Injection)을 포함한다. 파울러 노르드하임 터널링은 옥사이드 층을 통하여 부동 게이트 위로의 전자들의 양자 역학적 터널링(quantum mechanical tunneling)에 기초한 전기장 보조(field-assisted) 전자 터널링 메커니즘이다. 핫 캐리어(hot carrier) 및 SSI는 기판과 부동 게이트 사이의 옥사이드의 에너지 장벽을 넘어 주입된 큰 전기장에 의한 강력한 캐리어들의 주입에 근거한다.

파울러 노르드하임 터널링은 SiO_2 를 통해 실리콘으로부터 부동 게이트로 전자들이 터널링할 수 있도록, 일반적으로 실리콘/ SiO_2 에너지 장벽에 걸쳐 10MV/CM 정도의 전기장을 필요로 한다.

핫 캐리어 주입은 큰 드레인 바이어스(large drain biases)를 사용하여 "핫" 전자들을 생성한다. 이러한 큰 드레인 바이어스들에서, MOS 트랜지스터의 채널에서 흐르는 캐리어들은 채널에서 큰 전기장에 의해 가열되고, 캐리어의 에너지 분포가 보다 높이 천이된다(shifted higher). 상기 채널 영역에서 충격 이온화(impact-ionization)를 통해 캐리어들은 상기 캐리어들이 기판과 부동 게이트 사이의 장벽을 넘는데 충분한 에너지를 얻는다. 채널 핫 전자 주입의 하나의 단점은 높은 전력 소모이다. 결과적으로, 얇은 옥사이드들이 적당한(moderate) 전압에서 큰 주입 전기장을 얻기 위해 사용되었다.

SSI(소스측 주입)이 핫 캐리어 주입에 대해 저전력 대안으로서 제안되었다. 상기 절차에서, 소스와 드레인 영역들 사이의 채널은 서로 다른 게이트들에 의해 제어된 두 개의 영역들로 분배된다. 상기 채널의 일 측(상기 소스 측) 상에서, 게이트는 최대 핫 전자 생성을 위한 조건(예컨대, 상기 채널의 임계 전압에 근접함)에서 바이어스된다. 상기 채널의 타 측(상기 드레인 측)에서, 상기 게이트는 상기 부동 게이트로의 핫 전자 주입에 유리한 수직 전계를 확립하기 위해 상기 드레인 전압 이상의 전위로 바이어스된다. 결과적으로, 상기 드레인 전위는 역전 층(inversion layer)에 의해 상기 게이트들 사이의 영역을 향해 확장된다. 상기 역전 층은 부동 게이트 아래에 그리고 일부 경우에 상기 소스 측 게이트 아래에 생성된다. 소스 영역과 역전 영역 사이의 유효 트랜지스터 채널은 상기 소스 측 게이트 아래의 영역에 의해 생성된다. 전자들은 소스로부터 가속되어 상기 유효 채널과 역전 영역 사이의 피크 측면 전계(peaked lateral field)에서 "핫" 전자들이 된다.

따라서, 비휘발성 메모리 디바이스를 프로그래밍하는데 저전력 및 저전류의 사용을 가능하게 하는 메커니즘이 일반적으로 바람직하다.

발명의 상세한 설명

본 발명은 개략적으로 게이트 유발 접합 누설 전류(gate induced junction leakage current)를 사용하여 저장 소자를 프로그래밍하는 방법에 관한 것으로 설명된다. 상기 소자는 기판상에 적어도 하나의 제 1 게이트와, 상기 기판에 활성 영역과, 그리고 상기 제 1 게이트에 인접한 제 2 게이트를 구비한다. 이러한 양상에서, 상기 방법은 상기 제 1 게이트를 바이어싱함으로써 상기 기판에서 상기 제 1 게이트 아래에 반전 영역을 생성하는 단계와; 그리고 상기 반전 영역과의 접합부에서 전자-정공 쌍들을 생성하기에 충분한 임계 전계를 상기 제 2 게이트에 인접하게 생성하는 단계를 포함한다.

추가로, 상기 제 2 게이트에 인접한 임계 전계를 생성하는 단계는 상기 활성 영역에 제 1 양의 바이어스를 인가하는 단계와; 그리고 상기 제 2 게이트에 상기 제 1 양의 바이어스보다 작은 바이어스를 인가하는 단계를 포함한다.

다른 양상에서, 상기 제 1 양의 바이어스보다 작은 바이어스를 인가하는 단계는 0V 이하의 바이어스를 인가하는 단계를 포함하고; 그리고 제 1 양의 바이어스를 인가하는 단계는 3V보다 큰 바이어스를 인가하는 단계를 포함한다.

다른 양상에서, 본 발명은 실질적으로 제 2 불순물 타입을 갖는 기판에 제 1 불순물 타입을 갖는 활성 영역을 포함하는 저장 소자를 포함한다. 상기 소자는 상기 기판상의 부동 게이트와, 그리고 상기 기판상에 상기 부동 게이트에 인접하게 위치하는 선택 게이트를 포함한다. 상기 소자는 또한 상기 활성 영역에 인가된 3V보다 큰 제 1 바이어스와, 상기 부동 게이트에 인가된 상기 제 1 바이어스보다 큰 제 2 바이어스와, 그리고 상기 선택 게이트에 인가된 0V 이하의 제 3 바이어스를 포함하고, 상기 제 1 및 제 2 바이어스는 상기 기판에서 상기 부동 게이트와 상기 선택 게이트 사이에 누설 전류를 생성하도록 선택된다.

다른 양상에서, 상기 제 1 양의 바이어스는 3V보다 크고 상기 제 2 바이어스는 8V보다 크다.

다른 양상에서, 상기 활성 영역상의 바이어스는 상기 부동 게이트상의 바이어스보다 크고, 상기 제 1 게이트 아래의 기판에 공핍 영역을 생성한다.

또 다른 양상에서, 본 발명은 기판상에 제공된 적어도 하나의 저장 소자를 프로그래밍하는 방법을 포함하며, 상기 소자는 적어도 하나의 부동 게이트와, 상기 부동 게이트에 인접하게 측면으로 위치한 선택 게이트와, 그리고 활성 영역을 포함한다. 상기 방법은 상기 활성 영역에 제 1 양의 바이어스를 인가하는 단계와; 상기 선택 게이트에 0V 이하의 제 2 바이어스를 인가하는 단계와; 그리고 상기 부동 게이트에 상기 제 1 바이어스보다 큰 제 3 바이어스를 인가하는 단계를 포함한다.

또 다른 양상에서, 상기 제 2 바이어스를 인가하는 단계는 0 내지 -3V 범위의 바이어스를 인가하는 단계를 포함하고; 상기 제 1 양의 바이어스를 인가하는 단계는 3V보다 큰 바이어스를 인가하는 단계를 포함하고; 그리고 상기 제 3 바이어스를 인가하는 단계는 8V 이상의 바이어스를 인가하는 단계를 포함한다.

다른 실시예에서, 본 발명은 장치를 포함한다. 상기 장치는 저장 소자를 포함하고, 상기 저장 소자는 기판상의 적어도 하나의 제 1 게이트와, 상기 기판의 활성 영역과, 그리고 상기 제 1 게이트에 인접한 제 2 게이트를 포함한다. 상기 제 1 게이트를 바이어싱함으로써 상기 제 1 게이트 아래의 상기 기판에 반전 영역을 생성하는 수단과 그리고 상기 제 2 게이트에 인접하여 임계 전계를 생성하는 수단이 또한 제공된다.

또 다른 실시예에서, 본 발명은 저장 소자이다. 상기 소자는 실질적으로 제 2 불순물 타입을 갖는 기판에 제 1 불순물 타입을 갖는 활성 영역과; 전하 저장 유전체와; 그리고 상기 기판상의 부동 게이트에 인접하여 위치한 선택 게이트를 포함한다. 상기 저장 소자에서, 0V보다 큰 제 1 바이어스가 상기 활성 영역에 인가되고, 상기 제 1 바이어스보다 큰 제 2 바이어스가 상기 부동 게이트에 인가되고, 그리고 0V 이하의 제 3 바이어스가 상기 선택 게이트에 인가된다. 상기 제 1 및 제 3 바이어스는 상기 기판에서 상기 부동 게이트와 상기 선택 게이트 사이에 누설 전류를 생성하도록 선택된다.

실시예

도 1은 본 발명의 원리를 예시하는 이상적인 비휘발성 메모리 셀의 단면 다이어그램이다. 도 1이 기본 셀의 단순화된 표현을 도시하고, 본 발명을 더욱 명확하게 나타내기 위해 특정 세부사항들은 생략한다는 점을 인식해야 한다. 예를 들어, 상기 기판 및 게이트 소자들은 상기 셀의 실질적인 구현에서 나타나는 유전체들 및 접속 층들에 대해서는 거의 세부적으로 예시되지 않는다. 그러나, 적당한 유전체 및 접속 층들이 상기 구조의 실제 구현에서 포함되어야 함이 이해될 것이다.

도 1에 도시된 기판(10)은 예를 들어, p-타입 불순물과 같은 제 1 불순물 타입의 배경 도핑 농도(background doping concentration)를 갖는다. 기판(10)은 벌크 기판을 나타내거나, 벌크 기판에 형성된 불순물 웰(well)을 나타낼 수 있음을 이해해야 한다. 또한, 본 발명이 일반적으로 p-타입 기판이나 p-웰에 형성된 디바이스에 관해서 기술되지만, 본 명세서에서 논의된 불순물 농도 타입들은 반전될 수 있으며, 따라서 p-타입으로 논의된 상기 영역들은 n-타입일 수 있으며 그 역도 가능함을 이해해야 한다.

일 실시예에서, 상기 기판(10) 또는 웰의 불순물 농도는 예를 들면 봉소(boron)의 10^{16} atm/cm³ 내지 10^{18} atm/cm³ 정도 일 수 있다. 활성 영역(active region)(20)이 기판(10) 내에 제공되며 상기 활성 영역은 대략 10^{18} 내지 10^{20} atm/cm³ 범

위의 불순물 농도를 갖는 비소(arsenic) 또는 인(phosphorous)으로 도핑된 n-타입 불순물 영역과 같은 제 2 불순물 타입을 포함한다. 부동 게이트(FG)가 부동 게이트 옥사이드(25)에 의해 기판(10)으로부터 분리된다. 또한 선택 게이트(SG)가 제공되며, 상기 선택 게이트는 선택 게이트 옥사이드(30)에 의해 기판(10)으로부터 분리된다.

전술한 구조의 게이트들은 바람직하게 증착된 폴리실리콘 물질로 만들어지지만, 다른 적당한 전기적 전도성 물질들이 전술한 폴리실리콘 층들 중 하나 이상을 대신하여 사용될 수 있다.

또한 도 1에 도시된 메모리 구조를 프로그래밍하는데 필요한 일반적인 바이어스 조건들이 도 1에 도시되어 있다. 상기 바이어스 조건들은 상기 활성 영역(20)에 인가되는 0보다 큰 전압과, 선택 게이트(SG)에 인가되는 0 이하의 전압과, 그리고 상기 부동 게이트(FG)에 인가되는 상기 활성 영역에 인가되는 전압보다 큰 전압을 포함한다. 상기 전압들 모두는 기판에 인가된 0V에 대한 것이다. 이러한 바이어스 조건들 하에서, 반전 영역(40)이 부동 게이트(FG) 아래에 형성된다. 상기 반전 영역(40)은 활성 영역(20)과 동일한 전위이므로, 상기 선택 게이트(SG)에 인접한 기판의 영역에 확장되는 "가상(virtual)" 접합이 형성된다. 일반적으로, 상기 n-타입 영역(20)이 p-타입 영역과의 관계에서 양으로 바이어스되어 상기 p-n 접합을 역바이어스(reverse bias)시킨다. 그 다음, 상기 역바이어스 전계를 증가시키기 위해 상기 선택 게이트 영역은 낮은 전압 또는 음의 전압으로도 된다. 상기 선택 게이트들로부터 상기 반전 영역으로의 전계가 충분히 크면, 게이트 유발 접합 누설 전류가 상기 가상 접합부에서 시작될 것이다. 상기 바이어스 조건은 활성 영역(20)으로 향하는 방향에서 전자들(도면에 e-에 의해 표시됨)이 흐르도록 한다. 일반적으로, 전자들은 활성 영역(20)으로 끌어 당겨진다; 그러나, 만약 0보다 매우 큰 전압이 상기 부동 게이트(FG)에 인가된다면, 반전 영역(40)에서 전자들의 일부는 부동 게이트(FG)로 끌어 당겨질 것이다.

도 1에 도시된 바이어스 조건들은 일반적으로 게이트 유발 접합 누설 전류로 알려진 잘 알려진 조건을 증강한다. 상기 조건은 가까운 게이트로부터의 높은 전계가 역바이어스 접합으로 하여금 상기 게이트에 인접한 점에서 누설되도록 야기할 수 있을 때 일어난다. 상기 방법은 SSI로부터 구분되는 바, 이는 전자 생성이 소스측 활성 영역과 드레인측 활성 영역 사이의 소스 캐리어들의 높은 측면 전계 가속에 의해 제공되지 않고, 오히려 상기 기판과 반전 영역 사이에 임계 전계(critical field)를 생성하는 바이어스 조건에서 동작하는 선택 게이트(SG)로부터 누설에 의해서 제공된다는 점에서 구분된다. 도 1 도시된 구조는 도 3-4에 도시된 그래프에서 예시된 데이터를 제공하는 시뮬레이션 측정치들을 생성하는데 이용되었다.

도 2는 제어 게이트 옥사이드(35)에 의해 부동 게이트(FG)로부터 분리된 제어 게이트(CG)를 사용하는 메모리 구조의 일 실시예의 단면을 예시한다. 또한 공통 선택 게이트(SG)와, 제 2 부동 게이트(FG')와, 제 2 제어 게이트(CG')와, 그리고 활성 영역(20')을 사용하는 제 2 메모리 구조가 도 2에 도시된다. 예시적인 바이어스 조건들이 활성 영역(20)과, 제어 게이트(CG)와, 그리고 선택 게이트(SG) 각각에 일반적으로 인가된 것으로 도시된다. 도 2에 나타낸 두 개의 저장 소자들 각각은 개별적으로(separately) 프로그램된다. 부동 게이트(FG)가 소자를 프로그램하기 위해, 도 2에 도시된 예시적인 조건들 하에서, 3V -7.5V의 바이어스가 활성 영역(20)에 인가되고, 8-15V의 바이어스가 제어 게이트(CG)에 인가되고, 그리고 -3 내지 0V의 범위의 바이어스가 선택 게이트(SG)에 인가된다.

도 3은 도 1에 도시된 것과 유사한 디바이스의 단면의 일부분을 예시하는 Synopsis, Inc.에 의해 제조된 Taurus-Medici 디바이스 시뮬레이션 툴에 의해 제공되는 시뮬레이션이다. 이 시뮬레이션에서, 드레인 전위는 7.5V로 설정되었고, 상기 부동 게이트 전위는 6V에 그리고 선택 게이트는 -3V로 설정되었다. 이러한 조건들은 전자-정공 생성이 일어나는 두 개의 영역들(100 및 102)을 도시한다. 상기 도면에서, 영역(100)에서 영역들(42, 44 및 46)은 각 영역에서 생성된 쌍들이 로그 형(logarithmically)으로 증가하는 영역들을 도시한다. 영역(102)은 영역(42)과 유사한 정공 생성 속도를 갖는다. 상기 시뮬레이션에 예시된 바와 같이, 캐리어들의 다수는 반전 영역과 선택 게이트 사이에서 높은 전계가 발견되는 영역에서 생성된다. 상기 반전 층은 도 3에 도시되지 않는다. 따라서, SSI와 대조적으로, 소스측 활성 영역으로부터가 아니라, 전자-정공 쌍 생성은 FG와 SG 사이의 영역에서 일어나며, 이에 따라 프로그래밍 전류의 소스를 제공한다.

도 4는 일련의 선택 게이트 전압들(V_{sg})과 고정 부동 게이트 전압에 대해 드레인 전류($I_{드레인}$) 대 드레인 전압($V_{드레인}$)의 플롯을 도시한다. 플롯(60)은 3V의 V_{sg} 에 대한 것이고; 플롯(62)은 0V의 V_{sg} 에 대한 것이고; 그리고 플롯(64)은 3V의 V_{sg} 에 대한 것이다. 여기에 도시된 바와 같이, 드레인 전류는 실질적으로 선택 게이트 바이어스가 더 음(negative)이 될수록 증가한다. 따라서, 선택 게이트 바이어스의 제어는 이러한 프로그래밍 기술의 속도를 증가시킬 수 있다.

도 5는 도 2에 도시된 것과 같은 셀이 11V의 제어 게이트 전압으로 그리고 0V의 V_{sg} 의 선택 게이트 전압으로 바이어스된 때, 드레인 전류 대 드레인 전압의 I-V 스윕을 도시한다. 여기에 도시된 바와 같이, 드레인 전류는 낮은 드레인 전압 레벨에서도 일어나며 그리고 이러한 바이어스 조건들에서 대략 5.3V에서 피크(peak)에 도달한다. 상기 I-V 곡선은 상기 부동 게이트가 전자들로 프로그램되었기 때문에 피크에 도달한다.

도 6은 6.5V의 드레인 바이어스와, 11V의 제어 게이트 바이어스와, 그리고 라인(68)에서는 (-)2V의 선택 게이트 전압 및 라인(79)에서는 0V의 선택 게이트 전압에서 프로그래밍 시간들의 두 개의 플롯들을 예시한다. 여기에 도시된 바와 같이, 상기 선택 게이트의 전압이 더욱 음이 될수록, 더 빨리 셀 임계 전압이 증가한다.

부동 게이트(제어 게이트를 통해), 선택 게이트, 및 드레인에 대한 바이어스 제어 파라미터들을 사용함으로써, 본 발명의 프로그래밍 방법이 최적화될 수 있다.

본 발명의 방법을 최적화하기 위해 다른 인자들이 또한 변경될 수 있다. 예를 들어, 기판(10) 및 활성 영역(20)의 도핑 농도들이 구조에서 바이어스 전류 생성에 영향을 미친다. 이러한 관점에서, n-타입 영역에 대한 영역(20)의 도핑 농도는 비소 또는 인과 같은 n-타입 불순물의 10^{17} - 10^{20} atm/cm³ 정도일 수 있다. 상기 기판(10)의 도핑 농도는 부동 게이트(FG)와 선택 게이트(SG) 아래에 주입된 영역으로서 봉소와 같은 불순물의 10^{16} - 10^{18} atm/cm³ 정도이다. p-타입 영역의 도핑 농도가 커지면 전자-정공 쌍 생성을 증가시키고, 그리고 이에 따라 영역(100)에서 게이트 유발 전류를 증가시킨다. 다른 인자는 선택 게이트 옥사이드(30) 및 부동 게이트 옥사이드(25)의 두께의 변동을 포함한다. 상기 부동 게이트 옥사이드(25)의 옥사이드 두께는 일반적으로 소정의 셀에 대한 데이터 보유 특성(data retention characteristic)에 의해 제어된다. 일 실시예에서, 부동 게이트 옥사이드(25)에 대한 옥사이드 두께는 대략 80-90Å의 범위이나, 응용에 따라 더 두껍거나 얇아 질 수 있다. 선택 게이트 옥사이드(30)는 부동 게이트 옥사이드의 두께와 다른 두께를 갖고, 대략 20-200Å의 범위이다. 선택 게이트의 옥사이드가 얇아질수록 기판에서 전계의 세기를 증가시키고, 다시 전자-정공 쌍 생성을 증가시킨다. 인가 되는 전압 조건들은 하기의 범위이다: 선택 게이트(SG)에 대해서 전압은 0V 내지 (-)3V의 범위이고; 제어 게이트(SG)에 대해서 전압은 7V 내지 15V의 범위이고; 그리고 활성 영역(20)에 대해서 전압은 3V 내지 7.5V의 범위이다.

본 발명의 프로그래밍 기술들이 임의의 수의 어레이 구조들 탑입에서 이용될 수 있지만, 세 개의 예시적인 셀 구조들이 도 7A 내지 9B에 도시되었음을 인식해야 한다.

도 7A는 도 7B의 단면이다. 도 7B는 본 발명의 프로그래밍 기술을 이용하는 제 1 예시적인 셀 어레이의 평면도이다. 여기에 도시된 셀 구조는 기판 또는 p-웰 영역(140) 위에 형성된 수많은 트랜지스터들(셀들, 메모리 셀들, 또는 저장 소자들로도 호칭됨)을 포함한다. 각 메모리 소자는 제어 게이트(100CG, 102CG, 106CG 및 108CG) 및 부동 게이트(100FG, 102FG, 106FG 및 108FG)로 구성된 스택 게이트 구조(stacked gate structure)를 포함한다. 부동 게이트들은 부동 게이트 옥사이드 막(125a - 125d)의 상부의 p-웰의 표면상에 형성된다. n-타입 확산 층들(120 및 130)은 인접한 셀들에 의해 공유된다. 이러한 n-타입 확산 층들은 상기 셀들 각각에 대한 소스 또는 드레인 영역들을 포함한다. 비록 도 7A가 단지 세 개의 메모리 셀들만을 도시한다고 해도, 세 개의 셀들의 사용은 단지 예시로서 제공되는 것임을 주의해야 한다. 각 셀은 또한 선택 게이트(104SG 및 110SG)를 포함한다. 따라서, 예를 들어 메모리 셀(102)은 제어 게이트(102CG), 부동 게이트(102FG), 활성 영역(120), 및 선택 게이트(104SG)를 포함한다. 메모리 셀(104)은 선택 게이트(104SG), 제어 게이트(106CG), 부동 게이트(106FG) 및 활성 영역(130)을 포함한다. 메모리 셀(106)은 활성 영역(130), 제어 게이트(18CG), 부동 게이트(108FG) 및 선택 게이트(110SG)를 포함한다. 메모리 셀들(102, 104 및 106)의 선택 게이트들(104SG 및 110SG)은 워드라인(150)에 형성된다.

동작시에, 셀(102)의 프로그래밍은 선택 게이트(104SG), 활성 영역(120), 및 제어 게이트(102CG)에 의해 제어된다. 유사하게, 셀(104)의 프로그래밍 제어는 선택 게이트(104SG), 제어 게이트(106CG), 및 활성 영역(130)에 의해 제공된다.

도 8A 및 8B는 본 발명의 셀을 사용하기 위한 NAND 스트링 대안(NAND string alternative)을 도시한다. 여기에 도시된 바와 같이, NAND 게이트들의 그룹은 수많은 부동 게이트들, 선택 게이트들 및 제어 게이트들을 포함한다. 셀 구조는 기판이나 p-웰 영역(140) 상에 형성된 수많은 트랜지스터들(또한 셀들, 메모리 셀들, 또는 저장 소자들로도 호칭됨)을 포함한다. 각 메모리 소자는 제어 게이트(202CG, 206CG, 210CG, 214CG 및 222CG)와 부동 게이트(202FG, 206FG, 210FG, 214FG 및 222FG)로 구성된 스택 게이트 구조를 포함한다. 부동 게이트들은 부동 게이트 옥사이드 막(225a-225e)의 상부의 p-웰 표면 위에 형성된다. 선택 게이트들(204SG, 208SG, 212SG 및 220SG)은 선택 게이트 옥사이드 막(230a-230d) 상에 형성된다. N-타입 확산 층들(128 및 126)은 상기 셀들 사이에 공유된다. 비록 도 8A가 단지 3개의 메모리 셀들만을 도시하더라도, 상기 세 개의 셀들의 사용은 단지 예시로서만 제공되는 것임을 주의하자. 이전의 NAND 구조들이 개별 저장 소자들 사이에 전도성을 제공하기 위해 확산 영역들을 사용하지만, 이러한 구조는 상기 선택 게이트에 인가된 바이어스를 사용하여 반전 영역을 생성하여 이러한 확산 영역들의 사용을 불필요하게 한다.

소정의 셀, 예를 들어 제어 게이트(202CG), 부동 게이트(202FG), 선택 게이트(204SG) 및 활성 영역(128)을 포함하는 셀(202)을 프로그램하기 위해 본 명세서의 교시에 따라 바이어스가 인가될 것이다. 예를 들어 제어 게이트(206CG), 선택 게

이트(208SG), 및 활성 영역(128)을 포함하는 셀(206)을 프로그램하기 위해 본 명세서의 교시에 따라 바이어스가 인가될 것이다. 제어 게이트(202CG) 및 선택 게이트(204SG)는, 활성 영역(128)을 부동 게이트(206FG) 아래 형성된 반전 영역에 전기적으로 접속하는 채널 영역을 생성하도록 바이어스되어야만 한다. 제어 게이트(222CG), 선택 게이트(220SG) 및 활성 영역(126)을 포함하는 셀(220)을 프로그램하기 위해 본 명세서의 교시에 따라 바이어스가 인가된다. 활성 영역들(126 및 128), 선택 게이트들, 제어 게이트들 및 부동 게이트들의 조합들은 따라서 본 명세서에 개시된 기술에 따라 부동 게이트들(202FG, 206FG, 210FG 및 214FG) 각각을 프로그램하는데 이용된다.

예시로서, 도 7 또는 도 8의 실시예에 따른 구조를 제조하기에 적합한 공정이 일반적으로 기술된다. 임의의 수의 적당한 공정들이 본 발명의 방법과 함께 사용하기에 적합한 메모리 구조들을 생성하는데 이용된다. 일 예시에서, 예를 들어 p-타입 기판 또는 p-타입 웰 영역인 시작 기판이 n-타입 기판 내에 제공된다. 적당한 마스킹(masking) 층들이 형성되고, N+ 소스 및 드레인 영역들이 형성될 영역들을 노출하도록 패턴된다. 그 다음, 상기 N+ 소스 및 드레인 영역들은 예를 들어 본 명세서에서 특정된 범위 내의 농도로 비소의 이온 주입에 의해 형성된다. 대안적으로, 상기 소스 및 드레인 영역들은 종래 방식으로 하나 이상의 폴리크리스탈린(polycrystalline) 실리콘 층들이 형성된 후에 형성된다. 모든 마스킹 층들이 제거되고, 부동 게이트들 및/또는 선택 게이트들에 의해 형성된 채널 영역들 위에 놓인 제 1 게이트 옥사이드 층이 기술된 바와 같은 두께로 형성된다. 옥사이드 형성이 서로 다른 단계들에서 일어나 서로 다른 두께들에 도달하거나, 만약 서로 다른 채널들에 대해 서로 다른 두께의 옥사이드들이 필요하다면 서로 다른 옥사이드 성장과 같은 기술들을 통해 서로 다른 두께들에 도달하고; 또한 옥사이드 성장을 채널 영역들로 제한하는 것을 보장하기 위해 마스킹 단계들이 사용된다는 것을 이해해야 한다. 그 다음, 부동 게이트 영역들을 형성하기 위해 제 1 폴리크리스탈린 실리콘층이 웨이퍼 상에 형성되고 패턴된다. 상기 제 1 폴리크리스탈린 실리콘층의 형성에 이어, 옥사이드 또는 옥사이드/나이트라이드 유전체 층이 폴리크리스탈린 실리콘층의 잔존 부분들 위에 형성된다. 그 다음, 제어 게이트들, 혹은 선택 게이트들에 대한 제 2 폴리크리스탈린 실리콘 층이 형성되고 필요한 전도율로 도핑된다. 그 다음, 제 2 폴리크리스탈린 실리콘층이 (도 7B 또는 도 8B의 오리엔테이션(orientation)당) 수직 스트립(strip)들로 패턴된다. 만약 제 1 폴리크리스탈린 실리콘층이 이전에 정의되지 않았다면, 상기 패턴 단계는 또한 제 1 폴리크리스탈린 층이 제 2 폴리크리스탈린 층의 패턴닝과 동시에 패턴되어야 하는 영역들에서 상기 제 1 및 제 2 폴리크리스탈린 실리콘 층들 사이에서 유전체 층을 제거하는데 사용된다. 도 7 실시예에서, 제 1 층 패터닝에 이어, 만약 이전에 형성되지 않았다면, 추가의 유전체 층이 이제 상기 선택 게이트와 상기 실리콘 기판 사이에 게이트 유전체를 형성하도록 상기 웨이퍼 상에 형성되며, 여기서 상기 제 3 폴리크리스탈린 실리콘층은 상기 실리콘 기판에 상기 선택 게이트를 만들기 위한 것이다. 그 다음, 상기 제 3 폴리크리스탈린 실리콘층이 형성되고 적당한 전도율로 도핑된다. 그 다음, 상기 제 3 폴리크리스탈린 실리콘층이 도 7B에 도시된 바와 같이, 수평으로 패터닝된다.

도 9A 및 9B는 본 발명의 또 다른 대안적인 실시예를 도시한다. 도 9A 및 9B의 실시예에서, 셀에 대해 어떠한 제어 게이트도 사용되지 않고, 어떠한 제어 게이트도 부동 게이트 아래서 공핍(depletion)을 형성함으로써 동작하지 않는다.

도 9B는 본 발명의 대안적인 프로그래밍 기술을 사용하는 제 1 예시적인 셀 어레이의 평면도이다. 도 9A는 도 9B의 단면도이다. 상기 도면들에 도시된 바와 같이, 셀 구조는 기판 또는 p-웰 영역(340) 상에 형성된 수많은 트랜지스터를 포함한다. 각 메모리 소자(302 및 304)는 부동 게이트(302FG 및 306FG)와 선택 게이트(302SG 및 306SG)로 구성된 게이트 구조를 포함한다. 부동 게이트들은 부동 게이트 옥사이드 막(325a-325b)의 상부의 p-웰의 표면상에 형성된다. 이전의 실시예들과 달리, 어떠한 제어 게이트들도 제공되지 않는다. 워드라인(308)은 비아(via) 또는 다른 적당한 수단들에 의해 인접한 셀들 사이에 공유되는 주입 소스 확산 영역(implanted source diffused region)(345)에 접속된다. 확산 층들(320 및 330)은 셀들 각각의 소스 또는 드레인 영역들을 포함한다. 따라서, 예를 들면, 메모리 셀(302)은 선택 게이트(302SG), 부동 게이트(302FG), 활성 영역(320), 및 활성 영역(345)을 포함한다. 메모리 셀(304)은 선택 게이트(306SG), 부동 게이트(306FG) 및 활성 영역들(330 및 345)을 포함한다.

동작시에, 셀(302)에 대한 프로그래밍은 선택 게이트(302SG) 및 활성 영역(345)에 의해 제어된다. 유사하게, 셀(304)의 프로그래밍 제어는 선택 게이트(306SG) 및 활성 영역(345)에 의해 제공된다. 이 실시예에서, 도 9A의 셀(302)에 인가되는 전압은 부동 게이트(302FG) 아래에 공핍 영역을 생성하도록 선택된다. 일 실시예에서, 선택 게이트(302SG)에 인가되는 전압은 대략 0 내지 -3V이고, 확산 영역(345)에 인가되는 전압은 대략 5 내지 8V이다.

이러한 조건들에서, 공핍 영역(336)이 부동 게이트(302FG) 아래에 형성된다. 상기 확산 영역(345)의 소정의 바이어스에서, 상기 트랜지스터는 핀치 오프 트랜지스터(pinched off transistor)와 유사한 방식으로 동작한다. 공핍 영역은 선택 게이트(302SG)와 확산 영역(345) 사이의 임계 전기장에 의해 형성되어, 전자들이 확산 영역(345)을 향해 그리고 부동 게이트(302FG)로 흐르도록 한다.

본 발명의 프로그래밍 기술들은 또 다른 대안적인 셀 실시예에 사용될 수 있다. 도 10A 내지 10C는 셀에 이용되는 본 발명의 실시예를 도시하며, 여기서 전하는 전도성 게이트와 기판 사이에 위치한 전하 트래핑 유전체(charge trapping

dielectric)의 적어도 한 영역에 저장된다. 이들 메모리 셀 예들은 1 비트의 데이터가 각 전하 영역에 저장되는 이진 모드(binary mode) 또는 1 비트보다 많은 데이터가 각 영역에 저장되는 다중상태 모드(multi-state mode)에서 동작될 수 있다. 이러한 유형의 저장 디바이스들은 제목 "Multi-State Non-Volatile Integrated Circuit Memory Systems That Employ Dielectric Storage Elements"인 미국 특허 공개 문서 US2003/0080370에서 논의되며, 이는 본 명세서에 참조로서 완전히 통합된다.

상기 도 1 내지 도 9B에 관해서 논의되었던 프로그래밍 방법들이 도 10A 내지 도 10C에 도시된 메모리 셀들을 프로그램하는데 사용될 수 있다.

셀들의 2차원 어레이의 몇몇 셀들(412 및 422)이 도 10B에 평면도로 예시된다. 도 10A는 도 10B의 A-A'라인을 따라 취해지는 단면이다. 긴(elongated) 평행 소스 및 드레인 확산들(410, 420 및 430)이 반도체 기판(또는 웨(400))의 표면(405) 아래에 제공되며, 이들은 길이가 y 방향으로 확장되고 x 방향에서 이격(spaced apart)되어 있다. 전하 저장 물질을 포함하는 유전체 층(440)이 기판 표면상에 형성된다. 긴 평행 전도성 제어 게이트들(400CG, 410CG 및 420CG)이 기판(400)의 표면(405) 상에 형성되며, 이들은 길이가 y 방향으로 확장되고 x 방향에서 이격되어 있다. 이들 게이트들은 전형적으로 도핑된 폴리실리콘 물질로부터 만들어질 수 있으며, 각각 확산들(410, 420 및 430)에 인접하여 위치한다. 상기 어레이의 워드라인들을 형성하는 선택 게이트들(400SG, 410SG 및 420SG)의 다른 집합은 x 방향으로 연장되고 y 방향에서 이격되어 있다.

도 10C는 셀(412)의 확대도이다. 상기 구조의 전하 저장 소자들은 상기 소스와 드레인 확산들(410 및 420) 사이의 유전체 층(440) 영역들로서 제어 게이트(410CG)와 기판(400) 사이에 삽입되어 있다. 이들 저장 소자 영역들(471 및 473)은 도 10C에 비스듬한 평행선으로 표시된다. 전하 트래핑 물질들은 적합한 메모리 셀들을 형성하기 위해 이들 영역들에만 위치해야될 필요가 있지만, 전체 메모리 셀 어레이 위를 포함하여, 편의에 따라 상기 구조의 임의의 다른 부분들 위에 확장될 수 있다.

일 실시예에서, 저장된 전하의 단일 영역(471)이 제공된다. 상기 워드라인(400SG)은 채널 길이의 대략 좌측 1/2 위에 놓이고 상기 제어 게이트(410CG)가 타측 위에 놓인다. 전하 저장 유전체(400)가 상기 기판(400)과 이들 게이트들 사이에 삽입되어 있다. 도 1 및 도 9B의 프로그래밍 예들에 관해 특정되었던 프로그래밍 전압의 워드라인(400SG), 확산 영역(420), 및 제어 게이트(410CG)로의 적용은 저장된 전하 영역(471)을 확립할 것이다. 다른 실시예들에서, 개별 메모리 셀 채널들의 길이는 서로 다른 확산 영역들(410 및 420)에 연결된 필드인 다수의 부분들로 분할된다. 분할된 채널 실시예에서, 전하는 상기 층(440) 내의 공간적으로 분리된 두 개의 영역들(471 및 473)에 저장되며, 이들 영역들 각각은 개별적으로 프로그램되고 그리고 다른 영역들에 독립적으로 판독된다. 본 발명의 방법들에 의한 프로그래밍은 일반적으로 상기 전하 저장 영역(471)이 상기 게이트(400SG)의 내부 엣지(edge)에 인접하여 위치하도록 하고 전하 저장 영역(473)이 상기 게이트(410CG)의 내부 엣지에 인접하도록 한다.

전하 저장 유전체는 두 개의 특정 유전체들 중 하나일 수 있고, 두 개의 게이트들 집합 사이의 전위 차이를 견딜 수 있도록, 250Å 두께의 옥사이드와 같이 비교적 두껍게 만들어진다. 일 유형은 일반적으로 "ONO"로 알려진 옥사이드-나이트라이드-옥사이드 층이다. 전자들은 상기 나이트라이드 층에 트랩되어 저장된다. 그 다음, 전도성 물질 층이 ONO 층 상에 증착되며, 여기서 상기 제어 게이트들은 상기 전도성 물질 층으로부터 형성된다. 상기 제 2 구조들은 전자들을 트랩하여 저장하기 위해 실리콘 풍부 실리콘 다이옥사이드(silicon rich silicon dioxide)의 맞춤 층(tailored layer)(440)을 사용한다. 이러한 물질은 다음 두 개의 논문들에 기술되어 있으며, 이들 논문들은 본 명세서에 참조로서 그 자체로 통합된다: DiMaria 외 "Electrically-alterable read-only-memory using Si-rich SiO₂ injectors and a floating polycrystalline silicon storage layer" J. Appl. Phys. 52(7), 1981년 7월, pp.4825-4824; Hori 외 "A MOSFET with Si-implanted Gate-SiO₂ Insulator for Nonvolatile Memory Applications", IEDM 92, 1992년 4월, pp.469-472.

비록 본 발명이 각각의 부동 게이트들 상에 전자들을 제공하는 관점에서 기술되었지만, 동일한 기술을 이용하여 정공 주입이 달성될 수 있음을 인식해야 한다. 본 발명이 p-기판 또는 p-웨(400)에 관해 기술되었지만, 상기 기판은 p-타입 활성 영역과 관련하여 n-웨 디바이스 또는 n-기판일 수 있음을 인식해야 한다.

본 발명의 전술한 상세한 설명은 예시 및 설명 목적으로 제시되었다. 상기 상세한 설명은 본 발명을 완전히 제시한 것이라거나 본 발명을 개시된 특정 형태로 제한하고자 하는 것이 아니다. 상기 교시 내용의 관점에서 수많은 수정 및 변경이 가능하다. 상기 상세한 설명들은 본 발명의 원리 및 그 실질적인 응용을 가장 잘 설명하여 기술분야의 당업자들이 본 발명을 다양한 실시예들에서 최적으로 사용하고 예기된 특정 사용에 적합하게 다양한 수정들을 가용하여 사용할 수 있도록 선택된다. 본 발명의 범위는 하기에 첨부된 청구항들에 의해 정의되도록 의도된다.

도면의 간단한 설명

본 발명은 본 발명의 특정 실시예들과 관련해서 설명될 것이다. 본 발명의 다른 목적, 특징, 및 장점들은 상세한 설명 및 도면들을 참조할 때 명백해질 것이다.

도 1은 본 발명에 따른 메모리 구조를 프로그래밍하는 방법을 예시하는 메모리 구조의 단순화된 단면도이다.

도 2는 본 발명의 방법을 예시하는 메모리 구조의 제 2 단순화된 단면도이다.

도 3은 본 발명에 따라 상기 선택 게이트에 인접하여 전자 정공 생성이 일어나는 영역들을 도시하는 디바이스 시뮬레이션 툴에 의해 생성된 도 1에 도시된 것과 같은 디바이스의 단면도이다.

도 4는 본 발명에 따른 방법을 이용할 때 선택 게이트의 일련의 전압들에 대해서, 도 1에 도시된 것과 같은 시뮬레이트된 디바이스에서의 드레인 전류 대(vs) 드레인 전압을 나타내는 일련의 플롯(plot)들을 도시하는 그래프이다.

도 5는 본 발명의 방법에 따라 활성 영역에 인가되는 전압의 변화에 대해서, 도 2에 도시된 것과 같은 저장 소자의 드레인에서의 전류/전압 스윕(sweep)을 예시하는 그래프이다.

도 6은 본 발명의 방법에 따라 소정의 바이어스 조건들 집합에 대한 선택 게이트 전압들의 변동이 프로그래밍 시간에 미치는 효과를 도시하는 도면이다.

도 7A 및 7B는 본 발명의 방법을 이용하는 셀 어레이의 제 1 실시예를 예시한다.

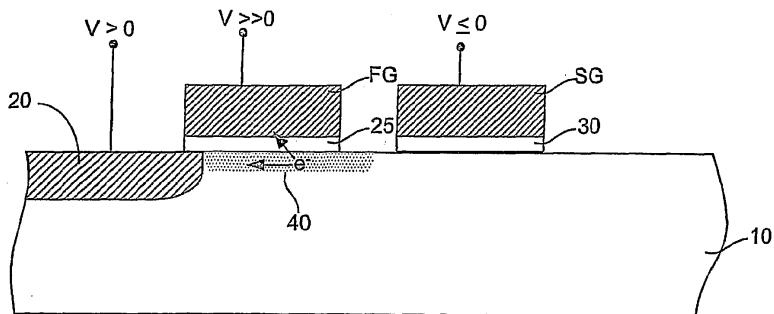
도 8A 및 8B는 본 발명의 방법을 이용하는 셀 어레이의 제 2 실시예를 예시한다.

도 9A 및 9B는 본 발명의 방법을 이용하는 셀 어레이의 제 3 실시예를 예시한다.

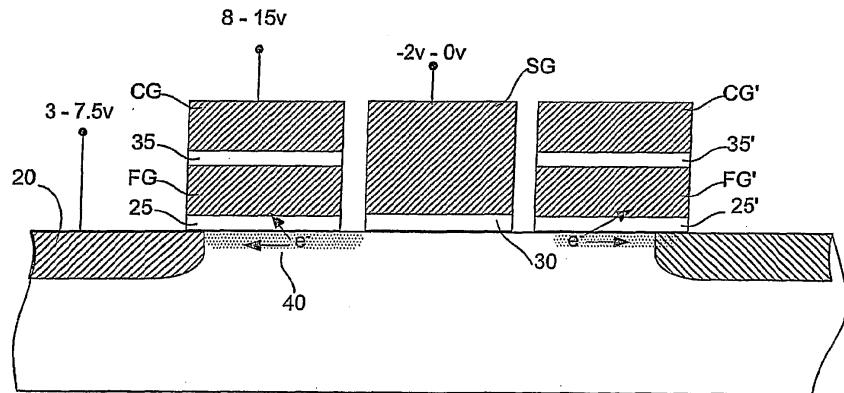
도 10A, 10B 및 10C는 본 발명의 방법을 이용하는 셀 어레이의 제 4 실시예를 예시한다.

도면

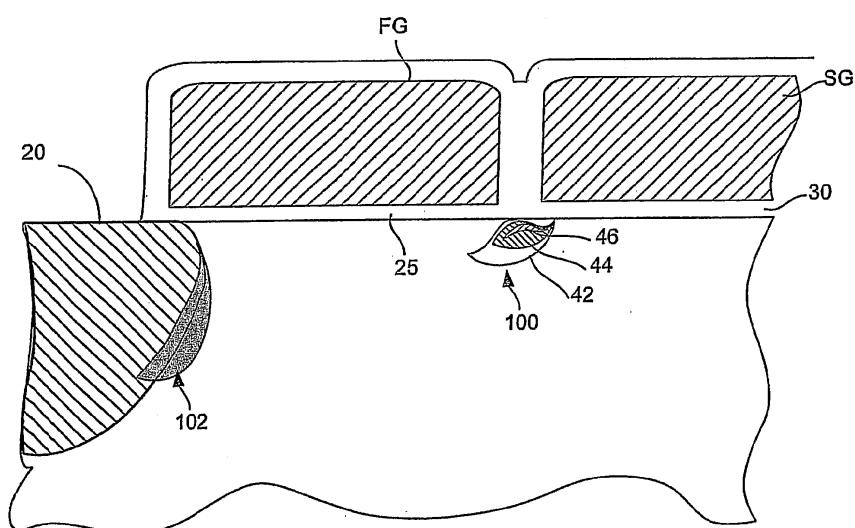
도면1



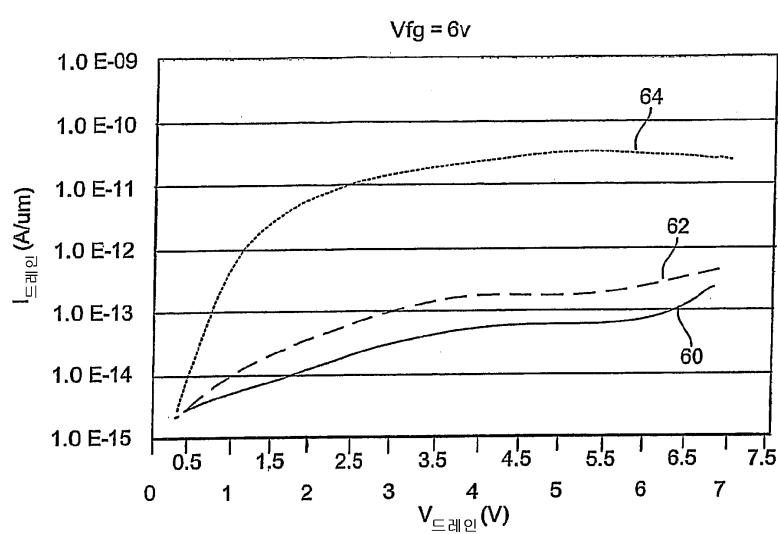
도면2



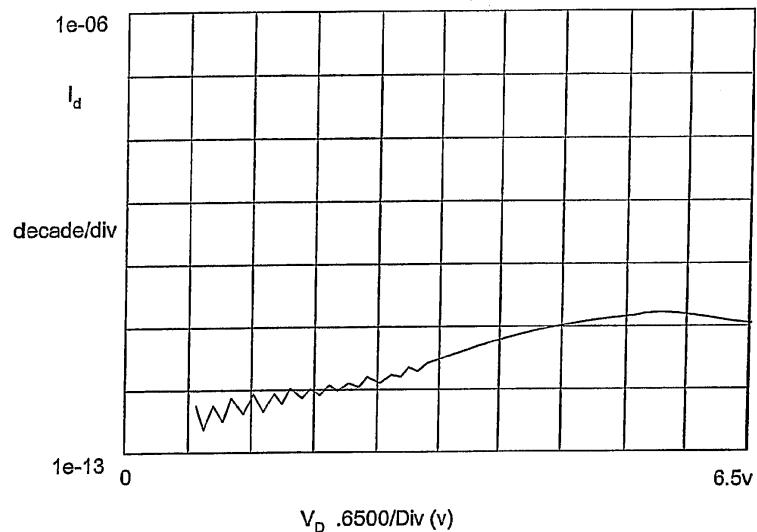
도면3



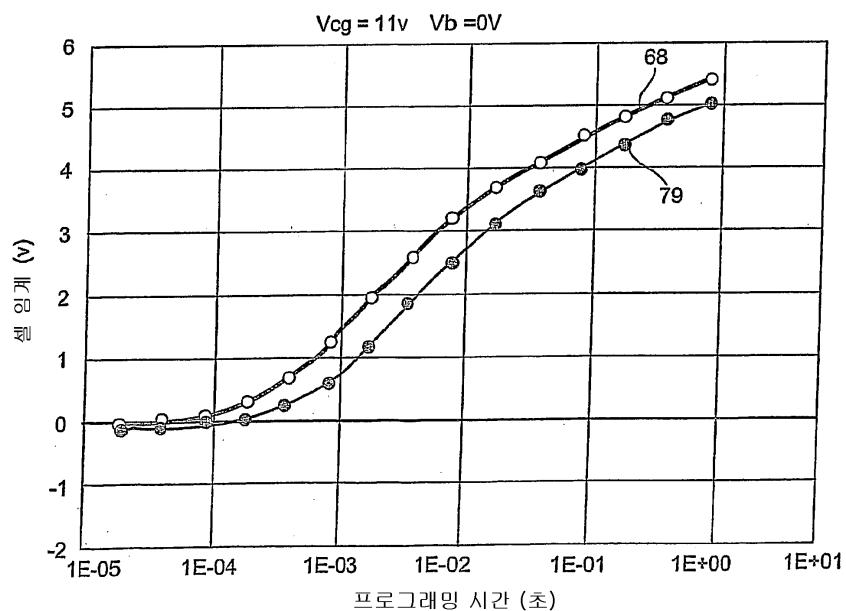
도면4



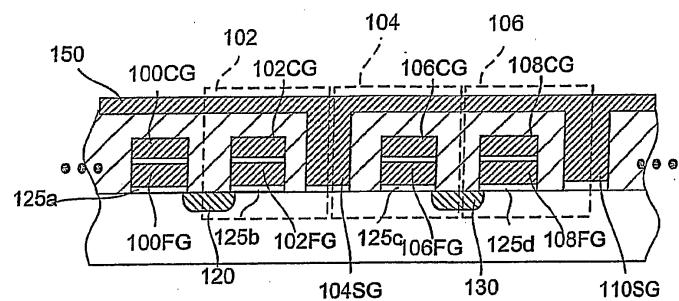
도면5



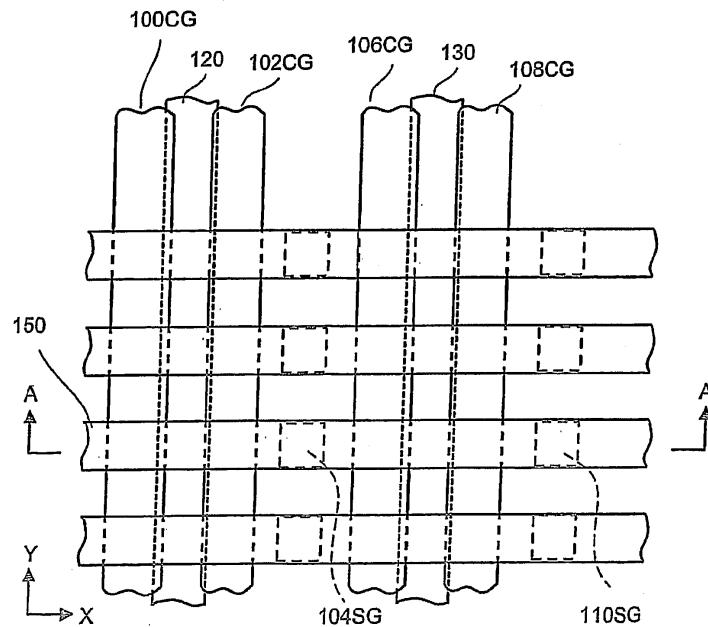
도면6



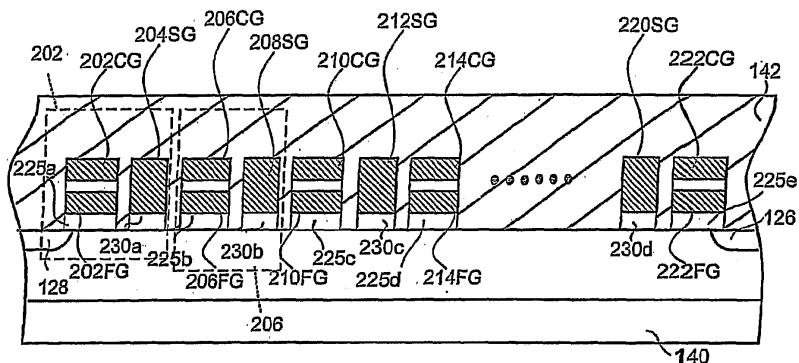
도면7A



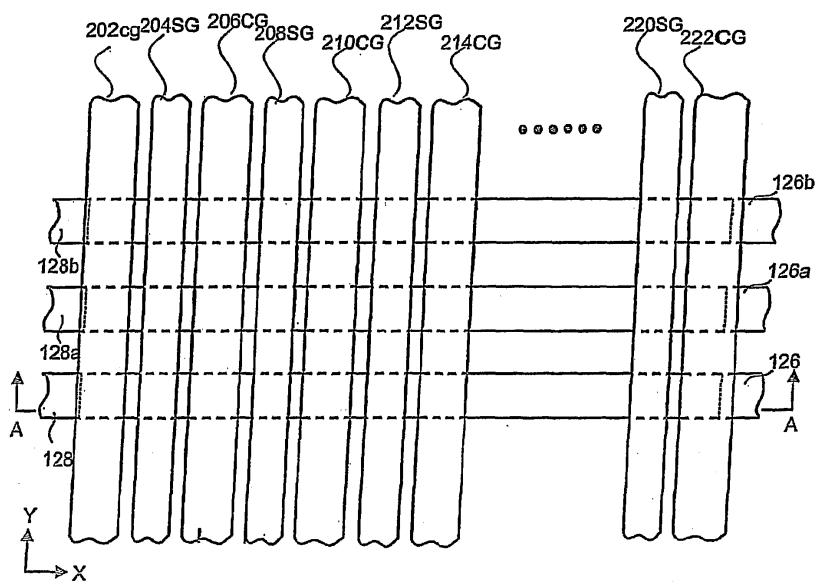
도면7B



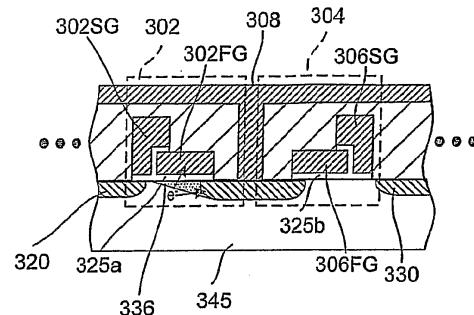
도면8A



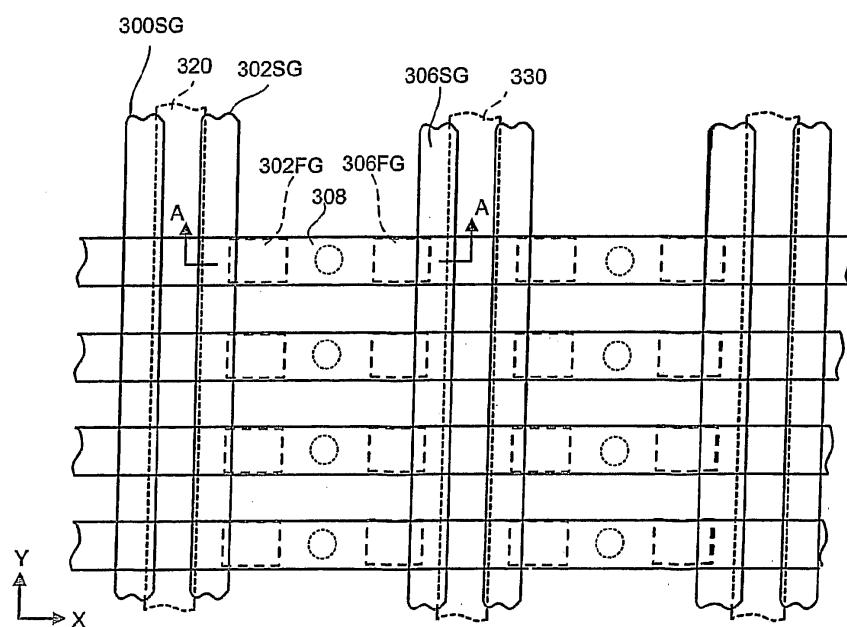
도면8B



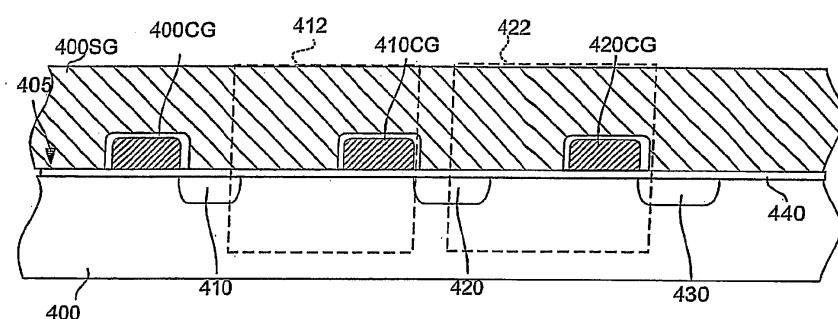
도면9A



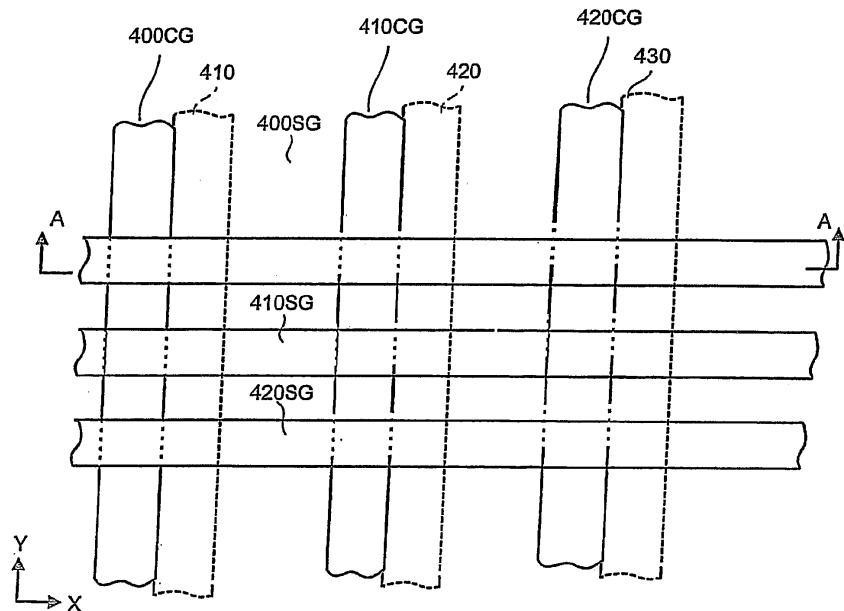
도면9B



도면10A



도면10B



도면10C

