

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6227110号
(P6227110)

(45) 発行日 平成29年11月8日(2017.11.8)

(24) 登録日 平成29年10月20日(2017.10.20)

(51) Int. Cl. F I
G05F 1/10 (2006.01) G O 5 F 1/10 B
H02J 7/00 (2006.01) H O 2 J 7/00 3 O 2 A

請求項の数 21 (全 9 頁)

(21) 出願番号	特願2016-501710 (P2016-501710)	(73) 特許権者	508233401 クアンタンス、 インコーポレイテッド アメリカ合衆国、01801 マサチュー セッツ州、ウォバーン、シルバン・ロード 、20
(86) (22) 出願日	平成26年3月12日(2014.3.12)	(74) 代理人	110001195 特許業務法人深見特許事務所
(65) 公表番号	特表2016-518649 (P2016-518649A)	(72) 発明者	ビナヤク、 ビカス アメリカ合衆国、01801 マサチュー セッツ州、ウォバーン、シルバン・ロード 、20、クアンタンス・インコーポレイテ ッド内
(43) 公表日	平成28年6月23日(2016.6.23)		
(86) 国際出願番号	PCT/US2014/024994		
(87) 国際公開番号	W02014/159752		
(87) 国際公開日	平成26年10月2日(2014.10.2)		
審査請求日	平成28年10月26日(2016.10.26)		
(31) 優先権主張番号	61/780,192		
(32) 優先日	平成25年3月13日(2013.3.13)		
(33) 優先権主張国	米国 (US)		
早期審査対象出願			
前置審査			

最終頁に続く

(54) 【発明の名称】 ロスレス定常状態の動作を有する過渡抑制

(57) 【特許請求の範囲】

【請求項1】

電子デバイスに電力を提供するバッテリー電圧端子に結合する負荷過渡抑制回路であって、前記負荷過渡抑制回路は、

過渡負荷状態中にバイアス入力を介してバイアス電流を受け、前記過渡負荷状態中に出力電流を提供するための演算増幅器と、

前記バイアス電流を供給するために前記過渡負荷状態中に放電するための、前記演算増幅器の前記バイアス入力に結合されるバイアスキャパシタと、

前記バッテリー電圧端子が閾値電圧を下回るのを防ぐために、前記過渡負荷状態中に前記電子デバイスに放電電流を提供する、前記演算増幅器の出力および前記バッテリー電圧端子の間に結合される出力キャパシタとを備え、前記負荷過渡抑制回路は、

前記演算増幅器の正の入力端子へ第1の電圧を提供し、前記演算増幅器の負の入力端子へ第2の電圧を提供する演算増幅器入力回路をさらに備え、前記第2の電圧は公称負荷状態中に前記第1の電圧よりも大きく、前記第2の電圧は、前記過渡負荷状態が前記過渡負荷状態中に前記演算増幅器に前記出力電流を提供させることに応じて前記第1の電圧を下回る、負荷過渡抑制回路。

【請求項2】

前記演算増幅器入力回路は、

前記バッテリー電圧端子に結合される、第1の時定数を有する第1の抵抗キャパシタ回路を備え、前記第1の抵抗キャパシタ回路は、前記演算増幅器の前記正の端子へ前記第1の

電圧を提供し、前記演算増幅器入力回路は、

前記バッテリー電圧端子に結合される、第2の時定数を有する第2の抵抗キャパシタ回路をさらに備え、前記第2の抵抗キャパシタ回路は、前記演算増幅器の前記負の端子へ前記第2の電圧を提供する、請求項1に記載の負荷過渡抑制回路。

【請求項3】

前記第1の抵抗キャパシタ回路は、

前記演算増幅器の前記正の端子への前記第1の電圧を前記公称負荷状態中に前記演算増幅器の前記負の端子への前記第2の電圧よりも低くさせる電圧減算回路を備える、請求項2に記載の負荷過渡抑制回路。

【請求項4】

前記バッテリー電圧端子を前記公称負荷状態中に前記演算増幅器の前記バイアス入力に結合し、前記過渡負荷状態中に前記バイアス入力からの前記バッテリー電圧端子を切り離すためのスイッチをさらに備える、請求項1に記載の負荷過渡抑制回路。

【請求項5】

前記演算増幅器の前記バッテリー電圧端子および前記バイアス入力の間に結合された抵抗をさらに備える、請求項1に記載の負荷過渡抑制回路。

【請求項6】

前記バイアスキャパシタおよび前記出力キャパシタはそれぞれ、前記過渡負荷状態中に予想されるバッテリー電圧における最大降下および予想される前記過渡負荷状態の最大継続時間に基づいて前記公称負荷状態中に電荷量を蓄積するよう構成される、請求項1に記載の負荷過渡抑制回路。

【請求項7】

電子デバイスに電力を提供するバッテリー電圧端子に結合する負荷過渡抑制回路であって、前記負荷過渡抑制回路は、

差動入力電圧を受け、正である前記差動入力電圧に応答して出力電流を生成するための演算増幅器と、

前記演算増幅器へ前記差動入力電圧を提供するための演算増幅器入力回路とを備え、前記差動入力電圧は過渡負荷状態中に正であり、前記差動入力電圧は、公称負荷状態中に負であり、前記負荷過渡抑制回路は、

前記演算増幅器の出力と前記バッテリー電圧端子との間に結合され、前記過渡負荷状態中に前記演算増幅器によって生成される前記出力電流に応じて前記電子デバイスへ放電電流を供給する出力キャパシタをさらに備え、前記放電電流は前記バッテリー電圧端子が閾値電圧を下回るのを防ぐのに足り、

前記演算増幅器が前記出力電流を供給することを可能にするために、前記過渡負荷状態中に前記演算増幅器のバイアス入力へバイアス電流を供給するために前記演算増幅器の前記バイアス入力に結合されるバイアスキャパシタをさらに備える、負荷過渡抑制回路。

【請求項8】

前記出力キャパシタおよび前記バイアスキャパシタはそれぞれ、前記過渡負荷状態のバッテリー電圧端子における予想される最大降下および予想される前記過渡負荷状態の最大継続時間に基づいて、前記公称負荷状態中に電荷量を蓄積するよう構成される、請求項7に記載の負荷過渡抑制回路。

【請求項9】

前記演算増幅器入力回路は、

第1の時定数を有する第1の抵抗キャパシタ回路を備え、前記第1の抵抗キャパシタ回路は前記バッテリー電圧端子に結合し、前記第1の抵抗キャパシタ回路は、前記演算増幅器の正の端子へ前記第1の電圧を提供し、前記演算増幅器入力回路は、

第2の時定数を有する第2の抵抗キャパシタ回路をさらに備え、前記第2の抵抗キャパシタ回路は前記バッテリー電圧端子に結合され、前記第2の抵抗キャパシタ回路は、前記演算増幅器の負の端子へ前記第2の電圧を提供する、請求項7に記載の負荷過渡抑制回路。

【請求項10】

10

20

30

40

50

前記第 1 の抵抗キャパシタ回路は、

前記演算増幅器の前記正の端子への前記第 1 の電圧を前記公称負荷状態中に前記第 2 の電圧前記演算増幅器の前記負の端子よりも低くさせる電圧減算回路を備える、請求項 9 に記載の負荷過渡抑制回路。

【請求項 1 1】

前記公称負荷状態中に前記演算増幅器のバイアス入力に前記バッテリー電圧端子を結合し、前記過渡負荷状態中に前記バイアス入力から前記バッテリー電圧端子を切り離すためのスイッチをさらに備える、請求項 7 に記載の負荷過渡抑制回路。

【請求項 1 2】

前記演算増幅器の前記バッテリー電圧端子およびバイアス入力の間結合される抵抗をさらに備える、請求項 7 に記載の負荷過渡抑制回路。

10

【請求項 1 3】

バッテリー電圧が電子デバイスに電力を提供する電源回路における負荷過渡を抑制するための方法であって、前記方法は、

演算増幅器へ差動入力を提供することを備え、前記差動入力は前記電子デバイスの負荷状態を示し、前記差動入力は過渡負荷状態が満たされたことに応答して第 1 の極性値を有し、前記差動入力は公称負荷状態が満たされたことに応答して第 2 の極性値を有し、前記方法は、

前記演算増幅器の出力において、前記第 1 の極性値を有する前記差動入力に応答して出力電流を生成することと、

20

前記出力電流に応答して出力キャパシタを介して前記バッテリー電圧を昇圧することと、前記出力電流の生成に応じて前記過渡負荷状態中に前記出力キャパシタから前記電子デバイスへと放電電流を供給することとをさらに備え、前記放電電流はバッテリー電圧端子が閾値電圧を下回することを防ぐために足り、

前記演算増幅器が前記出力電流を供給することを可能にするために、バイアスキャパシタから前記過渡負荷状態中に前記演算増幅器のバイアス入力へバイアス電流を供給することをさらに備える、方法。

【請求項 1 4】

前記公称負荷状態中に前記バッテリー電圧における予想される最大降下および前記過渡負荷状態中に前記過渡負荷状態の予想される最大継続時間に基づいて、前記出力キャパシタおよび前記バイアスキャパシタによってそれぞれ、電荷量を蓄積することをさらに備える、請求項 1 3 に記載の方法。

30

【請求項 1 5】

差動入力を提供することは、

第 1 の時定数を有する第 1 の抵抗キャパシタ回路による前記バッテリー電圧端子に基づいて第 1 の電圧を生成することと、

第 2 の時定数を有する第 2 の抵抗キャパシタ回路による前記バッテリー電圧端子に基づいて第 2 の電圧を生成することと、を含む、請求項 1 3 に記載の方法。

【請求項 1 6】

前記第 1 の電圧を生成することは、

40

前記演算増幅器の正の端子への前記第 1 の電圧を前記公称負荷状態中に前記演算増幅器の負の端子への前記第 2 の電圧よりも低くさせるために、前記第 1 の抵抗キャパシタ回路の出力から固定電圧を減算することを含む、請求項 1 5 に記載の方法。

【請求項 1 7】

前記公称負荷状態中に前記演算増幅器のバイアス入力へ前記バッテリー電圧端子を結合し、前記過渡負荷状態中に前記バイアス入力から前記バッテリー電圧端子を切り離すためにスイッチを制御することをさらに備える、請求項 1 3 に記載の方法。

【請求項 1 8】

前記バッテリー電圧端子は前記演算増幅器のバイアス入力に抵抗を介して結合される、請求項 1 3 に記載の方法。

50

【請求項 19】

前記第2の時定数は前記第1の時定数より大きく、これにより前記演算増幅器の前記負の端子への前記第2の電圧は前記過渡負荷状態中に前記演算増幅器の前記正の端子への前記第1の電圧を下回る、請求項2に記載の負荷過渡抑制回路。

【請求項 20】

前記第2の時定数は前記第1の時定数より大きく、これにより前記演算増幅器の前記負の端子への前記第2の電圧は前記過渡負荷状態中に前記演算増幅器の前記正の端子への前記第1の電圧を下回る、請求項9に記載の負荷過渡抑制回路。

【請求項 21】

前記第2の時定数は前記第1の時定数より大きく、これにより前記演算増幅器の前記負の端子への前記第2の電圧は前記過渡負荷状態中に前記演算増幅器の前記正の端子への前記第1の電圧を下回る、請求項15に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願はVikas VinayakとSerge Francois Drogiとによって2013年3月13日に出願された“Transient Suppression with Lossless Steady State Operation (ロスレス定常状態動作を有する過渡抑制)”と題する米国仮特許出願第61/780,192号の利益を主張し、その内容は、参照により本明細書中に組み込まれる。

20

【0002】

背景

1. 技術分野

本明細書に開示された実施形態は、電源に関し、より具体的には電源における過渡負荷電流の管理に関する。

【背景技術】

【0003】

2. 関連技術の説明

ノートパソコン、スマートフォン、タブレットなどの現代のモバイルデバイスは、一般的に内部の電子デバイスに電力を供給するために再充電可能なバッテリーを含む。バッテリーは、多くの場合、携帯機器を小型・軽量化するために、できるだけ小さく保たれる。結果として、これらのバッテリーは、限りある容量、負荷に電流を供給するための限りある能力を有する。

30

【0004】

電流を供給するためのバッテリーの能力は、バッテリーの内部抵抗によって定量化される。バッテリーがいずれの負荷回路にも接続されない場合には、「開路電圧」と呼ばれる、その端子間に特定の電圧が示されるだろう。負荷回路がバッテリーに接続されると、電流は負荷回路を介してバッテリーから流れる。この電流の増加により、バッテリーの端子間電圧がその開回路電圧より垂下する。大きな内部抵抗のバッテリーは、与えられた負荷電流の大きな電圧の垂下を生成する。

40

【0005】

これらの負荷電流は、アプリケーション・プロセッサ、デジタル・ベースバンド・プロセッサ、画像プロセッサ、などといった1つのバッテリーから動作する複数の回路を含む最新の電子デバイスでは特に大きくなることがある。起動中またはバッテリーから大電流の流出は他の過渡状態の下で、電圧がもはや負荷回路の動作を維持するのに足りなくなるまでバッテリーの電圧が落ちることがあり、装置全体がリセットされることを引き起こす。

【発明の概要】

【課題を解決するための手段】

【0006】

50

図面の簡単な説明

本明細書に開示される実施形態の教示は、添付の図面とともに以下の詳細な説明を検討されると容易に理解され得る。

【図面の簡単な説明】

【0007】

【図1】負荷過渡抑制回路の第1の実施形態を示す回路図である。

【図2】負荷過渡抑制回路の動作に関する例の波形を示す波形図である。

【図3】負荷現象抑制回路の第2の実施形態を示す回路図である。

【発明を実施するための形態】

【0008】

詳細な説明

図および以下の説明は、一例としてのみさまざまな実施形態に関する。なお、以下の記載から、本明細書に開示される構造および方法の代替的な実施形態が、本明細書に記載される原則から逸脱せずに採用され得る実施可能な代替物として容易に認識されるであろう。

【0009】

ここで、いくつかの実施形態を詳しく参照し、これらの例が添付の図に示される。なお、可能な限り、図において同様の参照番号が使用され、これらは同様の機能を示し得る。図は、例示目的でのみさまざまな実施形態を図示する。当業者であれば、以下の説明から、本明細書に例示される構造および方法の代替的な実施形態が、本明細書に記載される原則から逸脱せずに採用され得ることを容易に認識されるであろう。

【0010】

電源は、効率的にバッテリー電圧が落ち込むのを防止し、電荷を蓄積し、過渡事象中に過渡に実質的に等しいが反対量の割合で電荷を放出することによって過渡電圧を抑制する。一実施形態では、蓄積された電荷は、過渡において予想される電荷量の最大値、または、この予想される最大値の所定の範囲内の電荷を有する。説明される電源は、過渡抑制のための従来のアーキテクチャに比べて改善された効率を提供し、これによりバッテリーの充電時間の時間の長さを増加させ、より優れたユーザエクスペリエンスを作成する。

【0011】

図1は、バッテリー110および電子デバイス130に並列に結合された負荷過渡抑制回路120の第1の実施形態を示す。バッテリー110は、電圧 V_o と内部抵抗 R_4 を生成する電圧源102として図1に表わされ、電子デバイス130に接続される全体的なバッテリー電圧 V_{dd} をもたらす。負荷過渡抑制回路120は、電圧 V_{dd} が過渡負荷中に閾値電圧（たとえば、電子デバイス130の最小動作電圧）を下回らないことを保証する。

【0012】

負荷過渡抑制回路120は、演算増幅器 X_1 と、キャパシタ $C_3 - C_4$ と、抵抗 R_3 と、演算増幅器入力回路とを備え、演算増幅器入力回路140は、抵抗 $R_1 - R_2$ と、キャパシタ $C_1 - C_2$ と、電圧減算回路104を含む。演算増幅器入力回路140は、差動電圧 V_+ 、 V_- を生成し、過渡状態下で正の差動電圧、公称状態下で負の差動電圧を演算増幅器 X_1 に供給するために提供される。電圧減算回路104は、たとえば、電圧減算構成の差動増幅器のような、任意の従来の技術を使用して実施することができる。公称負荷状態中、電圧降下 V_1 に起因して、演算増幅器 X_1 の正の入力ノードの電圧 V_+ は、負の入力ノードの電圧 V_- 以下である。このため、演算増幅器 X_1 の出力は（たとえば、 $V_{out} = 0V$ ）の公称状態中にグランドにレールされる。このように、公称状態中に、演算増幅器 X_1 は、そのバイアス電流以外の任意の他の電流を提供または消費しない。演算増幅器 X_1 の電源端子は、電源電圧 V_{cc} を受ける。電源電圧 V_{cc} は、公称状態下で V_{dd} に近づき、 C_4 および C_3 の両方が大よそ V_{dd} に充電されると、 V_{dd} は大よそ V_o である。

【0013】

デバイス電流 I_{out} が急上昇する過渡的状态の下では、電圧 V_{dd} は、バッテリー11

10

20

30

40

50

0の内部抵抗 R_4 に起因して低下し始めるだろう。これは、演算増幅器X1の負入力ノードでの電圧 V^- および正の入力ノードでの V^+ を、それぞれ R_1C_1 および R_2C_2 の時定数に関するそれぞれの割合で降下することを引き起こす。抵抗 R_1 、 R_2 およびキャパシタ C_1 、 C_2 の値は、たとえば $\tau_1 = R_1C_1 \ll \tau_2 = R_2C_2$ である、ように選択され、ここで、 τ_1 は、演算増幅器X1の負の入力ノードに結合された抵抗 R_1 およびキャパシタ C_1 のRC時定数であり、 τ_2 は、演算増幅器X1の正の入力ノードに結合された抵抗 R_2 およびキャパシタ C_2 のRC時定数である。時定数の差に起因して、演算増幅器X1の負の入力ノードでの電圧 V^- は、演算増幅器X1の正の入力ノードの電圧 V^+ よりも速く降下し、 V^- は、 V^+ を下回る。これは、演算増幅器X1の出力電圧 V_{out} が、過渡負荷状態中に0Vを超えて上昇することを引き起こす。 V_{dd} はその後、電流が V_{out} を介してキャパシタ C_3 を介して流れ始めるにつれて、押し戻される。

10

【0014】

演算増幅器X1からの電流は、演算増幅器X1の電源電圧 V_{cc} から到来する。この電流を供給するために、 C_4 は放電を開始する。抵抗 R_3 は、 C_3 から流れる電流が V_{dd} を昇圧し、 C_4 を充電しないことを保証する。 C_3 および C_4 は、両方のキャパシタがおおよそ $V_o/2$ ($C_3 = C_4$ を仮定。)になるまで、出力電圧を V_{dd} に維持し続けるだろう。 C_3 および C_4 の値は、過渡期間の終わりまでそれらの両端の電圧が $V_o/2$ に到達しないように選択される。過渡期間が終了すると、キャパシタ C_3 および C_4 が徐々に充電して約 V_o に戻る。

【0015】

20

所望の機能を達成するために、 R_3 は R_4 よりも概して大きい。 R_3 が小さすぎると、キャパシタ C_3 によって汲み出される電荷は、大部分において抵抗 R_3 によって消費され得る。 R_3 が R_4 に比べて大きい場合には、キャパシタ C_3 からの電荷のほとんどは装置130に流入する。しかし、 R_3 の値が大きいほど、過渡事象の後にキャパシタ C_4 を充電するのにかかる時間は長くなる。したがって、 R_3 の正確な値は、所望のトレードオフに基づいて決定され得る。

【0016】

図2は、図1の負荷過渡抑制回路120の動作を示す波形例を示す。この例では、バッテリー110は、 $V_o = 3V$ の電圧を生成し、過渡的状态の下で $R_4 = 0.5$ オームの内部抵抗を持つ。公称状態下では、電子デバイス130は100ミリアンペアの電流 I_{out} を流し、その結果 $V_{dd} = 2.95V$ が生じる。時刻 t_1 において、負荷電流 I_{out} は5Aまで急上昇して、 V_{dd} を降下させ始める。 V_{dd} の降下は、電圧 V^+ が電圧 V^- を超えて上昇することを引き起こし、次いで V_{out} の上昇開始をもたらす。 V_{out} の上昇が V_{dd} を安定化させ、 V_{dd} がさらに降下するのを防ぐことができる。特に、上昇する V_{out} は過渡状態中(図2の時刻 t_1 および時刻 t_2 の間)にキャパシタ C_3 を介して電流を増加させる。 C_3 は、さらに、デバイス130に電流を供給し、 V_{dd} の落ち込みを防ぐために放電する。 V_{cc} はまた、 t_1 および t_2 の間に C_4 の放電につれて低下する。時刻 t_2 において、過渡期間が終了し、出力電流 I_{out} が下がり100ミリアンペアに戻る。これが発生すると、 C_3 および C_4 は、再び充電を開始し、これにより V_{out} が降下し、 V_{cc} が増加して約3Vまで戻る。 V_{out} が約0Vに達し、時刻 t_3 でキャパシタ C_3 が完全に充電されると、 V_{dd} は上昇して約3Vに戻る。

30

40

【0017】

C_3 および C_4 の合計容量は、過渡電圧 V_{dd} が与えられたバッテリー電圧用の電子デバイス130の最小動作電圧より常に上にあるように選択される。たとえば、上記の例では700 μF の合計容量(たとえば、 $C_3 = C_4 = 350\mu F$)は、3Vのバッテリーに対し V_{dd} が2.7V以上残っていることを保証する。

【0018】

図3は、負荷過渡抑制回路320の別の実施形態を示す。本実施形態では、抵抗 R_3 は、過渡事象の検出に基づいて制御されるスイッチ S_1 (たとえば、トランジスタ)と置換されるが、それ以外は、図3の実施形態は、図2のものと同様である。一実施形態におい

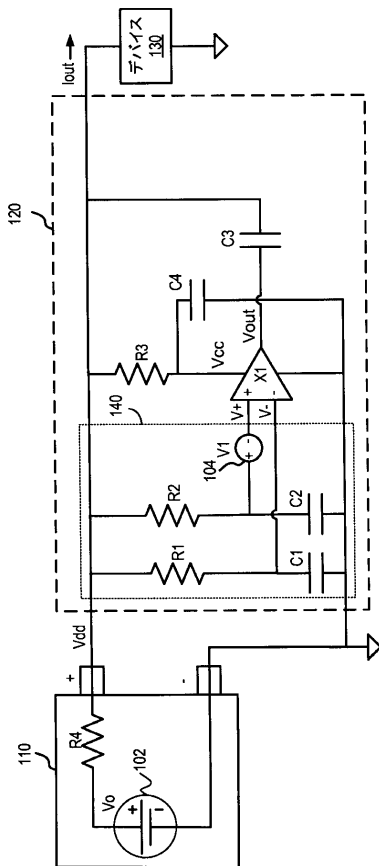
50

て、センス回路322は、電圧V_{dd}または電流I_{out}をモニタリングすることによって過渡事象を感知する。たとえば、センス回路322は、V_{dd}が閾値電圧を下回るか、またはV_{dd}の変化率の大きさが閾値速度を超えて下回ったときに、過渡状態を検出する。I_{out}がほぼ閾値電流に上昇、またはI_{out}の変化率の大きさが閾値速度を上回るときに、センス回路322は、過渡状態を検出してもよい。過渡状態の検出にตอบสนองして、センス回路322はスイッチS1をオフに切り替え、これにより演算増幅器X1のV_{CC}ノードがキャパシタC4から電流を引き寄せせることをもたらす。センス回路322は、過渡状態が終了したことを検知すると、スイッチS1がオンに戻されている。スイッチS1は公称状態中にオンに留まり、これによりキャパシタC4が約V_{dd}に戻るまで充電することを可能とする。

【0019】

本開示を読むと、当業者であれば、負荷過渡抑制回路のためのさらなる追加の代替的な設計を認識するであろう。したがって、特定の実施形態および用途について図示し、説明してきたが、本明細書に記載される実施形態は、本明細書に開示される厳密な構成および構成要素に限定されるものではなく、本開示の趣旨および範囲から逸脱することなく、本明細書に開示される方法および装置の配置、操作および詳細において、当業者に明らかとなるさまざまな改良、変更およびバリエーションがなされ得ることが理解されるべきである。

【図1】



【図2】

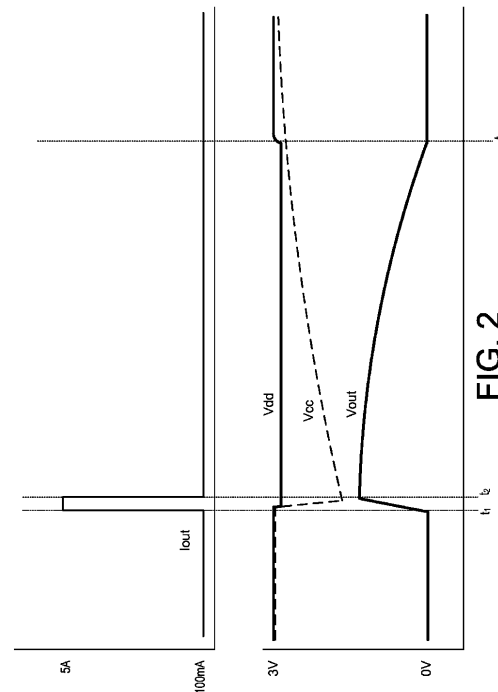


FIG. 1

FIG. 2

【 図 3 】

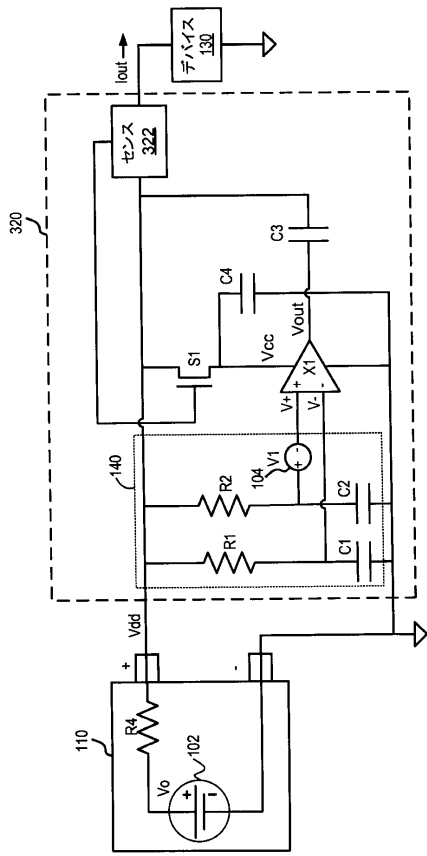


FIG. 3

フロントページの続き

(72)発明者 ドゥロギ, セルジュ・フランソワ
アメリカ合衆国、01801 マサチューセッツ州、ウォバーン、シルバン・ロード、20、クア
ンタンス・インコーポレイテッド内

審査官 柳下 勝幸

(56)参考文献 特開平08-293813(JP, A)

(58)調査した分野(Int.Cl., DB名)

G05F 1/10

H02J 7/00