



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0088010

(43) 공개일자 2015년07월31일

(51) 국제특허분류(Int. Cl.)

H03M 1/06 (2006.01) H03M 1/12 (2006.01)

(21) 출원번호 10-2014-0008304

(22) 출원일자 2014년01월23일

심사청구일자 2014년01월23일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김철우

서울 성북구 길음로 16, 605동 1301호 (길음동, 삼성래미안3차아파트)

박세진

서울특별시 성북구 안암로 145, 미래융합기술관 516호 (안암동5가)

(뒷면에 계속)

(74) 대리인

심경식, 홍성욱, 한승범, 유병욱

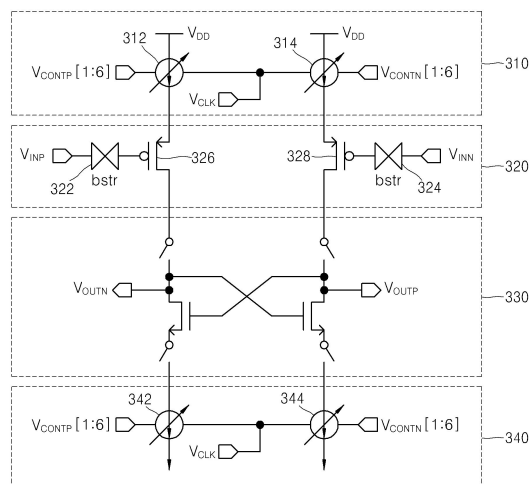
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **아날로그-디지털 변환기의 동적 레지듀 증폭기 및 그 증폭 방법**

(57) 요약

본 발명의 일 실시예에 따른 아날로그-디지털 변환기의 동적 레지듀 증폭기는 클럭 신호 및 제어 신호를 제1 및 제2 전류원에 전달하여, 상기 제1 및 제2 전류원의 반도체 공정 변화에 따른 공급 전류의 차이를 보상하는 제1 공정 변화 보상 제어부; 제1 및 제2 입력 전압을 인가 받고, 상기 제1 및 제2 입력 전압의 전압 차이에 따라 상기 제1 및 제2 전류원의 보상된 공급 전류를 변화시켜 서로 다른 제1 및 제2 샘플링 전류를 출력하는 입력 전압 샘플링부; 및 상기 제1 및 제2 샘플링 전류의 전압 차이에 기초하여 상기 제1 및 제2 샘플링 전류를 증폭하는 전압 증폭부를 포함한다.

대표도 - 도3



(72) 발명자

이호규

서울특별시 성북구 안암로 145, 미래융합기술관
516호 (안암동5가)

아우란고제브

서울특별시 성북구 안암로 145, 미래융합기술관
516호 (안암동5가)

임채강

인천광역시 남구 한나루로 550번길 91 (주안동)

박윤수

충청남도 예산군 예산읍 사직동길 65, 106호 (삼미
맨션)

이 발명을 지원한 국가연구개발사업

과제고유번호 20120008839

부처명 교과부

연구관리전문기관 한국연구재단

연구사업명 (이공)기초연구실용성사업

연구과제명 그린 스마트패치 및 응용 소프트웨어 연구

기 여 율 1/1

주관기관 고려대학교 산학협력단

연구기간 2012.09.01 ~ 2013.08.31

명세서

청구범위

청구항 1

클럭 신호 및 제어 신호를 제1 및 제2 전류원에 전달하여, 상기 제1 및 제2 전류원의 반도체 공정 변화에 따른 공급 전류의 차이를 보상하는 제1 공정 변화 보상 제어부;

제1 및 제2 입력 전압을 인가 받고, 상기 제1 및 제2 입력 전압의 전압 차이에 따라 상기 제1 및 제2 전류원의 보상된 공급 전류를 변화시켜 서로 다른 제1 및 제2 샘플링 전류를 출력하는 입력 전압 샘플링부; 및

상기 제1 및 제2 샘플링 전류의 전압 차이에 기초하여 상기 제1 및 제2 샘플링 전류를 증폭하는 전압 증폭부를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기.

청구항 2

제1항에 있어서,

상기 제1 공정 변화 보상 제어부는

상기 제1 및 제2 전류원에 각각 연결되고, 애스펙트 레이쇼(aspect ratio)가 이진으로 가중된(binary weighted) 구조를 가지는 N(상기 N은 자연수)개의 P-MOS FET 및 N-MOS FET을 포함하는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기.

청구항 3

제2항에 있어서,

상기 P-MOS FET은

상기 클럭 신호와 상기 제어 신호를 입력 받아 NAND 연산을 수행하여 상기 제어 신호를 상기 클럭 신호에 내장시켜 출력하는 NAND 게이트를 포함하고,

상기 N-MOS FET은

상기 NAND 게이트, 및 상기 NAND 게이트의 출력 신호를 반전하여 출력하는 인버터를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기.

청구항 4

제1항에 있어서,

상기 입력 전압 샘플링부는

상기 제어 신호의 논리 값에 기초하여 온/오프 동작을 스위칭하는 제1 및 제2 부트스트랩 스위치;

상기 제1 부트스트랩 스위치의 온 동작에 따라 상기 제1 입력 전압을 인가 받고, 상기 제1 입력 전압에 따른 게이트 전압에 의해 결정되는 전류 값으로 상기 제1 전류원의 보상된 공급 전류를 변화시켜 상기 제1 샘플링 전류를 출력하는 P-MOS FET; 및

상기 제2 부트스트랩 스위치의 온 동작에 따라 상기 제2 입력 전압을 인가 받고, 상기 제2 입력 전압에 따른 게이트 전압에 의해 결정되는 전류 값으로 상기 제2 전류원의 보상된 공급 전류를 변화시켜 상기 제2 샘플링 전류를 출력하는 N-MOS FET

을 포함하는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기.

청구항 5

제1항에 있어서,

상기 제1 및 제2 입력 전압은

상기 전압 증폭부에 적용되는 전압 이득을 고려하여 미리 정해진 값만큼의 전압 차이를 가지는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기.

청구항 6

제1항에 있어서,

상기 전압 증폭부는

상기 제1 및 제2 샘플링 전류를 입력 받아 포지티브 피드백(positive feedback) 방식으로 래치(latch)하여 출력하는 래치 회로를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기.

청구항 7

제6항에 있어서,

상기 래치 회로는

미리 설정된 전압 이득에 기초하여, 상기 제1 및 제2 샘플링 전류의 전압 차이에 따른 전압 증폭 동작을 수행하는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기.

청구항 8

제1항에 있어서,

상기 제1 공정 변화 보상 제어부에 흐르는 가변 전류와 제2 공정 변화 보상 제어부에 흐르는 가변 전류의 양을 일치시키기 위한 상기 제2 공정 변화 보상 제어부

를 더 포함하는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기.

청구항 9

제8항에 있어서,

상기 제2 공정 변화 보상 제어부는

상기 전압 증폭부에 출력단이 연결되고, 애스펙트 레이쇼가 이진으로 가중된 구조를 가지는 N개의 P-MOS FET 및 N-MOS FET을 포함하는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기.

청구항 10

제9항에 있어서,

상기 P-MOS FET은

상기 클럭 신호와 상기 제어 신호를 입력 받아 NAND 연산을 수행하여 상기 제어 신호를 상기 클럭 신호에 내장

시켜 출력하는 NAND 게이트를 포함하고,

상기 N-MOS FET은

상기 NAND 게이트, 및 상기 NAND 게이트의 출력 신호를 반전하여 출력하는 인버터를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기.

청구항 11

제1항 내지 제10항 중 어느 한 항에 따른 동적 레지듀 증폭기를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 12

제1 공정 변화 보상 제어부에서, 클럭 신호 및 제어 신호를 제1 및 제2 전류원에 전달하여, 상기 제1 및 제2 전류원의 반도체 공정 변화에 따른 공급 전류의 차이를 보상하는 단계;

입력 전압 샘플링부에서, 제1 및 제2 입력 전압을 인가 받고, 상기 제1 및 제2 입력 전압의 전압 차이에 따라 상기 제1 및 제2 전류원의 보상된 공급 전류를 변화시켜 서로 다른 제1 및 제2 샘플링 전류를 출력하는 단계; 및

전류 증폭부에서, 상기 제1 및 제2 샘플링 전류의 전압 차이에 기초하여 상기 제1 및 제2 샘플링 전류를 증폭하는 단계

를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기의 증폭 방법.

청구항 13

제12항에 있어서,

상기 증폭하는 단계는

포지티브 피드백 방식의 래치 회로를 이용하여, 상기 제1 및 제2 샘플링 전류를 입력 받아 상기 포지티브 피드백 방식으로 래치하여 출력하는 단계

를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기의 증폭 방법.

청구항 14

제12항에 있어서,

제2 공정 변화 보상 제어부에서, 상기 제1 공정 변화 보상 제어부에 흐르는 가변 전류와 상기 제2 공정 변화 보상 제어부에 흐르는 가변 전류의 양을 일치시키기 위해, 상기 클럭 신호 및 상기 제어 신호를 제3 및 제4 전류원에 전달하여, 상기 제3 및 제4 전류원의 반도체 공정 변화에 따른 공급 전류의 차이를 보상하는 단계

를 더 포함하는 것을 특징으로 하는 아날로그-디지털 변환기의 동적 레지듀 증폭기의 증폭 방법.

발명의 설명

기술 분야

[0001]

본 발명의 실시예들은 증폭기 및 증폭 방법에 관한 것으로, 더욱 상세하게는 아날로그-디지털 변환기(ADC)의 동적 레지듀 증폭기 및 그 증폭 방법에 관한 것이다.

배경 기술

- [0002] 자연계에 존재하는 가공되지 않은 정보 및 데이터를 상위 가치의 정보 또는 데이터로 가공하기 위해서는 주변 환경에 민감하고, 동작 속도에 제약이 많은 아날로그 영역(Analog Domain)에서 처리하기 보다는 환경 잡음에 둔감하고, 동작 속도의 자유도가 높은 디지털 영역(Digital Domain)에서 처리하는 것이 유리하다.
- [0003] 자연계의 가공되지 않은 정보를 디지털 영역에서 처리하기 위해서는 아날로그 신호를 디지털 신호로 변환하는 아날로그-디지털 변환기가 필수적이다. 아날로그-디지털 변환기는 여러 가지 방법으로 구현될 수 있는데, 고속 동작이 요구되는 시스템에서는 플래시 아날로그-디지털 변환기(Flash Analog-to-Digital Converter), 중간 속도와 10bit~15bit의 해상도를 요구하는 시스템에서는 파이프라인 아날로그-디지털 변환기(Pipeline Analog-to-Digital Converter), 저속 동작 속도와 저 전력을 요구하는 시스템에서는 축차 근사형 아날로그-디지털 변환기(Successive Approximation Register Analog to Digital Converter)를 사용한다.
- [0004] 하지만, 고속 통신 시스템의 발전으로 고속 및 저 전력으로 동작하는 아날로그-디지털 변환기의 요구가 증가하고 있다. 그러나, 아날로그-디지털 변환기를 설계함에 있어 샘플링 속도와 전력 소모는 트레이드 오프(Trade-Off) 관계에 있기 때문에 고속 및 저 전력 아날로그-디지털 변환기 설계에 어려움이 있다.
- [0005] 관련 선행기술로는 대한민국 등록특허공보 제10-0976697호(발명의 명칭: 잔류전압 증폭기 및 이를 이용한 아날로그/디지털 변환기, 등록일자: 2010년 08월 11일)가 있다.

발명의 내용

해결하려는 과제

- [0006] 본 발명의 일 실시예에는 간단한 구조로 개선함과 동시에 폐회로 전압 이득을 최대화할 수 있는 아날로그-디지털 변환기의 동적 레지듀 증폭기 및 그 증폭 방법을 제공한다.
- [0007] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제(들)로 제한되지 않으며, 언급되지 않은 또 다른 과제(들)는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0008] 본 발명의 일 실시예에 따른 아날로그-디지털 변환기의 동적 레지듀 증폭기는 클럭 신호 및 제어 신호를 제1 및 제2 전류원에 전달하여, 상기 제1 및 제2 전류원의 반도체 공정 변화에 따른 공급 전류의 차이를 보상하는 제1 공정 변화 보상 제어부; 제1 및 제2 입력 전압을 인가 받고, 상기 제1 및 제2 입력 전압의 전압 차이에 따라 상기 제1 및 제2 전류원의 보상된 공급 전류를 변화시켜 서로 다른 제1 및 제2 샘플링 전류를 출력하는 입력 전압 샘플링부; 및 상기 제1 및 제2 샘플링 전류의 전압 차이에 기초하여 상기 제1 및 제2 샘플링 전류를 증폭하는 전압 증폭부를 포함한다.
- [0009] 상기 제1 공정 변화 보상 제어부는 상기 제1 및 제2 전류원에 각각 연결되고, 애스펙트 레이쇼(aspect ratio)가 이진으로 가중된(binary weighted) 구조를 가지는 N(상기 N은 자연수)개의 P-MOS FET 및 N-MOS FET을 포함할 수 있다.
- [0010] 상기 P-MOS FET은 상기 클럭 신호와 상기 제어 신호를 입력 받아 NAND 연산을 수행하여 상기 제어 신호를 상기 클럭 신호에 내장시켜 출력하는 NAND 게이트를 포함하고, 상기 N-MOS FET은 상기 NAND 게이트, 및 상기 NAND 게이트의 출력 신호를 반전하여 출력하는 인버터를 포함할 수 있다.
- [0011] 상기 입력 전압 샘플링부는 상기 제어 신호의 논리 값에 기초하여 온/오프 동작을 스위칭하는 제1 및 제2 부트스트랩 스위치; 상기 제1 부트스트랩 스위치의 온 동작에 따라 상기 제1 입력 전압을 인가 받고, 상기 제1 입력 전압에 따른 게이트 전압에 의해 결정되는 전류 값으로 상기 제1 전류원의 보상된 공급 전류를 변화시켜 상기 제1 샘플링 전류를 출력하는 P-MOS FET; 및 상기 제2 부트스트랩 스위치의 온 동작에 따라 상기 제2 입력 전압을 인가 받고, 상기 제2 입력 전압에 따른 게이트 전압에 의해 결정되는 전류 값으로 상기 제2 전류원의 보상된

공급 전류를 변화시켜 상기 제2 샘플링 전류를 출력하는 N-MOS FET을 포함할 수 있다.

- [0012] 상기 제1 및 제2 입력 전압은 상기 전압 증폭부에 적용되는 전압 이득을 고려하여 미리 정해진 값만큼의 전압 차이를 가지는 것이 바람직하다.
- [0013] 상기 전압 증폭부는 상기 제1 및 제2 샘플링 전류를 입력 받아 포지티브 피드백(positive feedback) 방식으로 래치(latch)하여 출력하는 래치 회로를 포함할 수 있다.
- [0014] 상기 래치 회로는 미리 설정된 전압 이득에 기초하여, 상기 제1 및 제2 샘플링 전류의 전압 차이에 따른 전압 증폭 동작을 수행할 수 있다.
- [0015] 본 발명의 일 실시예에 따른 아날로그-디지털 변환기의 동적 레지듀 증폭기는 상기 제1 공정 변화 보상 제어부에 흐르는 가변 전류와 제2 공정 변화 보상 제어부에 흐르는 가변 전류의 양을 일치시키기 위한 상기 제2 공정 변화 보상 제어부를 더 포함할 수 있다.
- [0016] 상기 제2 공정 변화 보상 제어부는 상기 전압 증폭부에 출력단이 연결되고, 애스펙트 레이쇼가 이진으로 가중된 구조를 가지는 N개의 P-MOS FET 및 N-MOS FET을 포함할 수 있다.
- [0017] 상기 P-MOS FET은 상기 클럭 신호와 상기 제어 신호를 입력 받아 NAND 연산을 수행하여 상기 제어 신호를 상기 클럭 신호에 내장시켜 출력하는 NAND 게이트를 포함하고, 상기 N-MOS FET은 상기 NAND 게이트, 및 상기 NAND 게이트의 출력 신호를 반전하여 출력하는 인버터를 포함할 수 있다.
- [0018] 본 발명의 일 실시예에 따른 아날로그-디지털 변환기의 동적 레지듀 증폭기의 증폭 방법은 제1 공정 변화 보상 제어부에서, 클럭 신호 및 제어 신호를 제1 및 제2 전류원에 전달하여, 상기 제1 및 제2 전류원의 반도체 공정 변화에 따른 공급 전류의 차이를 보상하는 단계; 입력 전압 샘플링부에서, 제1 및 제2 입력 전압을 인가 받고, 상기 제1 및 제2 입력 전압의 전압 차이에 따라 상기 제1 및 제2 전류원의 보상된 공급 전류를 변화시켜 서로 다른 제1 및 제2 샘플링 전류를 출력하는 단계; 및 전류 증폭부에서, 상기 제1 및 제2 샘플링 전류의 전압 차이에 기초하여 상기 제1 및 제2 샘플링 전류를 증폭하는 단계를 포함한다.
- [0019] 상기 증폭하는 단계는 포지티브 피드백 방식의 래치 회로를 이용하여, 상기 제1 및 제2 샘플링 전류를 입력 받아 상기 포지티브 피드백 방식으로 래치하여 출력하는 단계를 포함할 수 있다.
- [0020] 본 발명의 일 실시예에 따른 아날로그-디지털 변환기의 동적 레지듀 증폭기의 증폭 방법은 제2 공정 변화 보상 제어부에서, 상기 제1 공정 변화 보상 제어부에 흐르는 가변 전류와 상기 제2 공정 변화 보상 제어부에 흐르는 가변 전류의 양을 일치시키기 위해, 상기 클럭 신호 및 상기 제어 신호를 제3 및 제4 전류원에 전달하여, 상기 제3 및 제4 전류원의 반도체 공정 변화에 따른 공급 전류의 차이를 보상하는 단계를 더 포함할 수 있다.
- [0021] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 첨부 도면들에 포함되어 있다.

발명의 효과

- [0022] 본 발명의 일 실시예에 따르면, 간단한 구조로 개선함과 동시에 폐회로 전압 이득을 최대화할 수 있다.
- [0023] 본 발명의 일 실시예에 따르면, 시간 영역 래치 증폭 방식을 사용한 새로운 구조의 동적 레지듀 증폭기와 그 증폭 방법을 제공함으로써, 기존의 증폭기에 비해 간단한 구조와 높은 전압 이득의 장점을 가질 수 있으며, 정적 레지듀 증폭기(Static Residue Amplifier)에 비해 저 전력의 장점을 가질 수 있다.
- [0024] 본 발명의 일 실시예에 따르면, 반도체 공정 변화에 따른 보상 능력을 갖는 동적 레지듀 증폭기 및 그 증폭 방법을 제공함으로써, 전력 소모를 최소화할 수 있으며 반도체 변화 공정에 따른 전류원의 변화를 보상할 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일 실시예에 따른 아날로그-디지털 변환기의 전체 구성을 설명하기 위해 도시한 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 아날로그-디지털 변환기의 동적 레지듀 증폭기를 설명하기 위해 도시한 블

록도이다.

도 3은 도 2의 동적 레지듀 증폭기에 대한 회로도이다.

도 4는 반도체 공정 변화의 일례를 보여주기 위한 도면이다.

도 5 및 도 6은 제1 공정 변화 보상 제어부의 제1 디지털 제어부의 회로도이다.

도 7 및 도 8은 제2 공정 변화 보상 제어부의 제2 디지털 제어부의 회로도이다.

도 9는 본 발명의 일 실시예에 따른 아날로그-디지털 변환기의 동적 레지듀 증폭기의 증폭 방법을 설명하기 위해 도시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본 발명의 이점 및/또는 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.
- [0027] 종래의 저 전력 파이프라인 아날로그-디지털 변환기에서 사용되는 동적 레지듀 증폭기(Dynamic Residue Amplifier)는 입력 전압의 차이에 따라 커패시터에 충전(Charging)되는 시간 차이를 이용하여 샘플링 커패시터에 입력 신호를 저장하는 방식을 사용한다.
- [0028] 그러나, 이 회로는 복잡도가 종래의 정적 레지듀 증폭기에 비하여 높을 뿐만 아니라, 공정 변화 및 충전되는 커패시터의 불일치에 민감하게 반응하기 때문에 안정적인 동작에는 적합하지 않다. 그리고, 커패시터에 충전되는 시간을 이용하기 때문에 폐회로 전압 이득이 작다는 단점이 있다.
- [0029] 따라서, 종래의 방식보다 간단한 구조인 동시에 폐회로 전압 이득을 최대화 할 수 있는 동적 레지듀 증폭기가 필요하다.
- [0030] 본 발명의 일 실시예는 아날로그-디지털 변환기(ADC)의 동적 레지듀 증폭기(Dynamic Residue Amplifier) 및 그 증폭 방법에 관한 것으로서, 그 중에서도 시간 영역 래치 증폭 방식(Time Domain Latched Amplification Technique)을 사용한 새로운 구조의 동적 레지듀 증폭기(Dynamic Residue Amplifier)와 그 증폭 방법, 및 공정 변화를 보상할 수 있는 전류를 출력하는 디지털-아날로그 변환기(Current Steering Digital to Analog Converter)에 관한 것이다.
- [0031] 본 발명의 일 실시예에 따르면, 기존의 동적 레지듀 증폭기들에 비해 간단한 구조와 높은 전압 이득의 장점을 가질 수 있으며, 정적 레지듀 증폭기(Static Residue Amplifier)에 비해 저 전력의 장점을 가질 수 있다.
- [0032] 이를 위해, 본 발명의 일 실시예에 따른 동적 레지듀 증폭기는 시간 영역 래치 증폭 방식을 기반으로 구현될 수 있다. 증폭기에 인가된 입력 전압의 차이에 따라 정귀환(positive feedback)의 특성을 가지는 시간 영역 래치는, 증폭기에 인가된 입력 전압의 차이를 시간 영역에 비례하도록 하는 출력 전압을 샘플링 커패시터에 충전한다.
- [0033] 종래의 동적 레지듀 증폭기는 앞서 언급한 바와 같이 공정 변화 및 충전 커패시터의 불일치에 민감하기 때문에, 본 발명의 일 실시예에 따른 동적 레지듀 증폭기에서는 충전 커패시터를 제거하여 충전 커패시터의 불일치에 의해 발생하는 오류를 감소시킬 수 있다.
- [0034] 그러나, 본 발명의 일 실시예에 따른 동적 레지듀 증폭기는 종래의 동적 레지듀 증폭기와 유사하게 공정 변화에는 취약한 약점이 있기 때문에, 전류원 디지털-아날로그 변환기를 전류원으로 사용함으로써, 공정 변화를 보상할 수 있는 보완책을 포함한다.
- [0035] 이와 같이, 본 발명의 일 실시예에 의하면, 시간 영역 래칭 증폭 방식을 기반으로 한 파이프라인 측차 근사형 아날로그-디지털 변환기를 구현하면, 인접한 두 개의 아날로그-디지털 변환기 단계의 폐회로 전압 이득을 종래의 동적 레지듀 증폭기와 비교하여 크게 향상시킬 수 있기 때문에, 세밀한 측차 근사형 아날로그-디지털 변환

기의 샘플링 커패시터의 크기를 감소시켜 저 전력 동작의 효과를 얻을 수 있다.

- [0036] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.
- [0037] 도 1은 본 발명의 일 실시예에 따른 아날로그-디지털 변환기의 전체 구성을 설명하기 위해 도시한 블록도이다.
- [0038] 도 1을 참조하면, 본 발명의 일 실시예에 따른 아날로그-디지털 변환기(100)는 두 개의 채널과 다중화기(170)로 구성되어 있으며, 각 채널은 1개의 6비트 성근한(Coarse) 아날로그-디지털 변환기(110, 120), 시간 영역 래칭 증폭 방식이 적용된 동적 레지듀 증폭기(130, 140), 및 1개의 6비트 세밀한(Fine) 아날로그-디지털 변환기(150, 160)로 구성된다.
- [0039] 상기 성근한 아날로그-디지털 변환기(110, 120)는 차동 모드로 입력 받은 입력 전압을 양자화하여 6비트의 디지털 출력 코드를 생성한다.
- [0040] 상기 동적 레지듀 증폭기(130, 140)는 상기 성근한 아날로그-디지털 변환기(110, 120)에 내장된 커패시터(미도시)를 이용한 디지털-아날로그 변환기의 최종 값을 전달 받아 16배로 증폭시킨다.
- [0041] 상기 세밀한 아날로그-디지털 변환기(150, 160)는 상기 동적 레지듀 증폭기(130, 140)로부터 출력된 전압을 샘플링 및 양자화하여 6비트의 디지털 출력 코드를 생성한다.
- [0042] 상기 다중화기(170)는 각 채널에서 출력된 12비트의 디지털 코드를 통합하여 최종 12비트의 디지털 코드를 출력한다.
- [0043] 도 2는 본 발명의 일 실시예에 따른 아날로그-디지털 변환기의 동적 레지듀 증폭기를 설명하기 위해 도시한 블록도이다.
- [0044] 도 2를 참조하면, 본 발명의 일 실시예에 따른 아날로그-디지털 변환기의 동적 레지듀 증폭기(200)는 제1 공정 변화 보상 제어부(210), 입력 전압 샘플링부(220), 전압 증폭부(230), 및 제2 공정 변화 보상 제어부(240)를 포함할 수 있다.
- [0045] 상기 제1 공정 변화 보상 제어부(210)는 상기 동적 레지듀 증폭기(200)에 전류(Vdd)를 공급하는 제1 및 제2 전류원(도 3의 "312", "314" 참조)의 반도체 공정 변화에 따른 공급 전류의 차이를 보상한다. 이를 위해, 상기 제1 공정 변화 보상 제어부(210)는 클럭 신호 및 제어 신호를 상기 제1 및 제2 전류원에 전달한다. 여기서, 상기 제어 신호는 상기 클럭 신호에 내장되어 상기 제1 및 제2 전류원에 전달될 수 있다.
- [0046] 상기 입력 전압 샘플링부(220)는 제1 및 제2 입력 전압을 인가 받고, 상기 제1 및 제2 입력 전압의 전압 차이에 따라 상기 제1 및 제2 전류원의 보상된 공급 전류를 변화시켜 서로 다른 제1 및 제2 샘플링 전류를 출력한다. 여기서, 상기 제1 및 제2 입력 전압은 상기 전압 증폭부(230)에 적용되는 전압 이득을 고려하여 미리 정해진 값만큼의 전압 차이를 가지는 것이 바람직하다.
- [0047] 상기 전압 증폭부(230)는 상기 제1 및 제2 샘플링 전류의 전압 차이에 기초하여 상기 제1 및 제2 샘플링 전류를 증폭한다. 이를 위해, 상기 전압 증폭부(230)는 상기 제1 및 제2 샘플링 전류를 입력 받아 포지티브 피드백(positive feedback) 방식으로 래치(latch)하여 출력하는 래치 회로를 포함할 수 있다.
- [0048] 여기서, 상기 래치 회로는 미리 설정된 전압 이득에 기초하여, 상기 제1 및 제2 샘플링 전류의 전압 차이에 따른 전압 증폭 동작을 수행할 수 있다.
- [0049] 예를 들어, 상기 입력 전압 샘플링부(220)에 입력되는 상기 제1 및 제2 입력 전압이 V_{inp} , V_{inn} 이고, 상기 래치 회로의 출력 전압이 V_{outp} , V_{outn} 인 경우, 상기 전압 증폭부(230)는 아래 수식과 같이 상기 제1 및 제2 입력 전압의 전압 차이 값을 증폭하여 출력할 수 있다.
- [0050] [수식]
- [0051]
$$V_{outp} - V_{outn} = 16(V_{inp} - V_{inn})$$
- [0052] 이에 따라, 본 발명의 일 실시예에 따른 동적 레지듀 증폭기(200)는 도 1의 6비트 성근한 아날로그-디지털 변환기(110, 120)에 내장된 커패시터를 이용한 디지털-아날로그 변환기의 최종 값을 전달 받아 16배로 증폭시켜 출력할 수 있다.

- [0053] 상기 제2 공정 변화 보상 제어부(240)는 상기 제1 공정 변화 보상 제어부(210)에 흐르는 가변 전류와 상기 제2 공정 변화 보상 제어부(240)에 흐르는 가변 전류의 양을 일치시키기 위한 기능을 수행할 수 있다. 상기 제2 공정 변화 보상 제어부(240)는 상기 제1 공정 변화 보상 제어부(210)와 동일한 구성 및 기능을 가지므로 이에 대한 상세한 설명은 생략하기로 한다.
- [0054] 도 3은 도 2의 동적 레지듀 증폭기(200)에 대한 회로도이다.
- [0055] 도 3에 도시된 바와 같이, 상기 동적 레지듀 증폭기의 회로 구성은 제1 공정 변화 보상 제어부(310), 입력 전압 샘플링부(320), 전압 증폭부(330), 및 제2 공정 변화 보상 제어부(340)를 포함할 수 있다.
- [0056] 상기 제1 공정 변화 보상 제어부(310)는 제1 및 제2 전류원(312, 314)의 반도체 공정 변화에 따른 공급 전류의 차이를 보상한다. 제 1 및 제2 전류원(312, 314)는 도 4에 도시된 바와 같이 여러 개의 트랜지스터로 구성될 수 있는데, 각각의 트랜지스터는 SS(느림), MM(보통), FF(빠름)과 같이 반도체 공정 변화를 가질 수 있으며, 이러한 반도체 공정 변화는 디바이스의 속도 변화를 일으키는 원인을 제공한다.
- [0057] 따라서, 상기 제1 공정 변화 보상 제어부(310)는 상기 제1 및 제2 전류원(312, 314)에 각각 제어 신호를 포함하는 클럭 신호($V_{CONT1}[1:6]$, $V_{CONT2}[1:6]$)를 전달할 수 있다.
- [0058] 이를 위해, 상기 제1 공정 변화 보상 제어부(310)는 도 5 및 도 7에 도시된 바와 같이 애스펙트 레이션(aspect ratio)이 이진으로 가중된(binary weighted) 구조를 가지는 6개의 P-MOS FET(510) 및 N-MOS FET(710)을 포함할 수 있다. 상기 P-MOS FET(510)은 상기 제1 전류원(312)에 연결되어 상기 클럭 신호($V_{CONT1}[1:6]$)를 전달하고, 상기 N-MOS FET(710)은 상기 제2 전류원(314)에 연결되어 상기 클럭 신호($V_{CONT2}[1:6]$)를 전달할 수 있다.
- [0059] 상기 P-MOS FET(510)은 도 6에 도시된 바와 같이, 상기 클럭 신호와 상기 제어 신호를 입력 받아 NAND 연산을 수행하여 상기 제어 신호를 상기 클럭 신호에 내장시켜 출력하는 NAND 게이트(610)를 포함할 수 있다.
- [0060] 상기 N-MOS FET(710)은 도 8에 도시된 바와 같이, 상기 클럭 신호와 상기 제어 신호를 입력 받아 NAND 연산을 수행하여 상기 제어 신호를 상기 클럭 신호에 내장시켜 출력하는 NAND 게이트(810), 및 상기 NAND 게이트(810)의 출력 신호를 반전하여 출력하는 인버터(820)를 포함할 수 있다.
- [0061] 한편, 상기 입력 전압 샘플링부(320)는 제1 및 제2 입력 전압(V_{IN1} , V_{IN2})을 인가 받고, 상기 제1 및 제2 입력 전압(V_{IN1} , V_{IN2})의 전압 차이에 따라 상기 제1 및 제2 전류원(312, 314)의 보상된 공급 전류를 변화시켜 서로 다른 제1 및 제2 샘플링 전류를 출력한다.
- [0062] 이를 위해, 상기 입력 전압 샘플링부(320)는 제1 및 제2 부트스트랩 스위치(322, 324), P-MOS FET(326), 및 N-MOS FET(328)을 포함할 수 있다.
- [0063] 상기 제1 및 제2 부트스트랩 스위치(Bootstrap Switch, bstr)(322, 324)는 상기 제1 및 제2 전류원(312, 314)에 입력되는 제어 신호의 논리 값에 기초하여 온/오프 동작을 스위칭하는 역할을 한다.
- [0064] 즉, 상기 제1 및 제2 부트스트랩 스위치(322, 324)는 상기 제어 신호의 논리 값이 1일 경우에 온으로 스위칭되고, 이에 따라 상기 정밀한 아날로그-디지털 변환기(110, 120)의 디지털-아날로그 변환기(미도시)로부터 상기 제1 및 제2 입력 전압을 입력 신호로 받아 상기 P-MOS FET(326) 및 상기 N-MOS FET(328)에 각각 전달할 수 있다.
- [0065] 이러한 제1 및 제2 부트스트랩 스위치(322, 324)는 입력 전압을 왜곡 없이 세밀한 아날로그-디지털 변환기(150, 160)에 전달 및 상기 정밀한 아날로그-디지털 변환기로의 영향을 줄이기 위해서 상기 동적 레지듀 증폭기(130, 140)의 입력 단에 위치할 수 있다.
- [0066] 상기 P-MOS FET(326)은 상기 제1 부트스트랩 스위치(322)의 온 동작에 따라 상기 제1 입력 전압을 인가 받고, 상기 제1 입력 전압에 따른 게이트 전압에 의해 결정되는 전류 값으로 상기 제1 전류원(312)의 보상된 공급 전류를 변화시켜 상기 제1 샘플링 전류를 출력할 수 있다.
- [0067] 상기 N-MOS FET(328)은 상기 제2 부트스트랩 스위치(324)의 온 동작에 따라 상기 제2 입력 전압을 인가 받고, 상기 제2 입력 전압에 따른 게이트 전압에 의해 결정되는 전류 값으로 상기 제2 전류원(314)의 보상된 공급 전류를 변화시켜 상기 제2 샘플링 전류를 출력할 수 있다.

- [0068] 상기 전압 증폭부(330)는 상기 제1 및 제2 샘플링 전류의 전압 차이에 기초하여 상기 제1 및 제2 샘플링 전류를 증폭한다. 이를 위해, 상기 전압 증폭부(330)는 상기 제1 및 제2 샘플링 전류를 입력 받아 포지티브 피드백(positive feedback) 방식으로 래치(latch)하여 출력하는 래치 회로를 포함할 수 있다.
- [0069] 상기 래치 회로는 미리 설정된 전압 이득에 기초하여, 상기 제1 및 제2 샘플링 전류의 전압 차이에 따른 전압 증폭 동작을 수행할 수 있다. 상기 래치 회로는 상기 입력 전압 샘플링부(320)의 P-MOS FET(326) 및 N-MOS FET(328)와 스위치로 연결되어 상기 제1 및 제2 전류원(312, 314)에 입력되는 제어 신호의 논리 값에 따라 온/오프 동작을 스위칭할 수 있다. 또한, 상기 래치 회로는 상기 제2 공정 변화 보상 제어부(340)의 제3 및 제4 전류원(342, 344)와 스위치로 연결되어 상기 제3 및 제4 전류원(342, 344)에 입력되는 제어 신호의 논리 값에 따라 온/오프 동작을 스위칭할 수 있다.
- [0070] 상기 전압 증폭부(330)는 상기 입력 전압 샘플링부(320)의 출력 신호, 즉 상기 제1 및 제2 샘플링 전류를 상기 제어 신호가 로직(logic) '1'을 유지하는 시간 동안에 상기 래치 회로의 전압 이득만큼 신호를 증폭하여 상기 세밀한 아날로그-디지털 변환기(150, 160)에 전달할 수 있다.
- [0071] 상기 제2 공정 변화 보상 제어부(340)는 상기 제1 공정 변화 보상 제어부(310)에 흐르는 가변 전류와 상기 제2 공정 변화 보상 제어부(340)에 흐르는 가변 전류의 양을 일치시키기 위한 회로 구성을 가지며, 이를 위해 상기 제1 공정 변화 보상 제어부(310)와 동일한 회로 구성을 가질 수 있다(도 5 내지 도 8 참조).
- [0072] 즉, 상기 제1 및 제2 공정 변화 보상 제어부(310, 340)는 제1 및 제2 디지털 제어부와 제1 및 제2 전류원(312, 314)을 포함할 수 있으며, 상기 제1 및 제2 디지털 제어부는 각각 앞서 설명한 바 있는 P-MOS FET(510) 및 N-MOS FET(710)을 포함할 수 있다.
- [0073] 상기 제1 및 제2 디지털 제어부는 상기 제1 및 제2 전류원(312, 314)의 제어 신호의 로직 '1' 또는 '0'에 따라 상기 제어 신호가 내장된 클럭 신호를 활성화시킨다. 아래에서는 도 5 및 도 6을 참조하여 상기 제1 디지털 제어부에 대해 자세히 설명하기로 한다. 다만, 상기 제2 디지털 제어부는 상기 제1 디지털 제어부와 동일한 기능 및 구조를 가지므로 이에 대한 설명은 생략한다.
- [0074] 예컨대, $V_{CONT}[1:3]$ 은 로직 '1'의 값을 갖고, $V_{CONT}[4:6]$ 은 로직 '0'의 값을 가지는 경우, 상기 제어 신호가 내장된 클럭 신호 중 $V_{CLK,C}[1:3]$ 은 로직 '1'과 로직 '0'이 동작 주파수에 동기화되어 이행(Transition)되지만, $V_{CLK,C}[4:6]$ 은 로직 '1'을 유지하여, 트랜지스터 M_4 , M_5 , M_6 은 항상 오프(Off) 상태에 있게 된다.
- [0075] 트랜지스터 M_1 부터 M_6 의 애스펙트 레이쇼(Aspect Ratio)는 이진으로 증분(가중)되어 있어, 상기 제어 신호의 최하위 비트에서 최상위 비트로 순차적으로 로직 '0'에서 로직 '1'로 이행할 때, 상기 동적 레지듀 증폭기(200)에 흐르는 전류 값이 자승으로 증가하게 된다.
- [0076] 상기 동적 레지듀 증폭기(200)는 공정 변화에 취약한 기존의 문제점을 해소하기 위해, 공정 변화로 인하여 입력/래칭 트랜지스터가 서로 다른 코너(Corner)에서 동작하더라도, 상기 제어 신호를 로직 '1' 또는 '0'으로 이행하여 같은 코너에서 동작하는 것과 유사하게 동작할 수 있다.
- [0077] 도 9는 본 발명의 일 실시예에 따른 아날로그-디지털 변환기의 동적 레지듀 증폭기의 증폭 방법을 설명하기 위해 도시한 흐름도이다.
- [0078] 도 1, 도 2 및 도 9를 참조하면, 단계(910)에서 상기 동적 레지듀 증폭기(200)의 제1 공정 변화 보상 제어부(210)는 클럭 신호 및 제어 신호를 제1 및 제2 전류원에 전달하여, 상기 제1 및 제2 전류원의 반도체 공정 변화에 따른 공급 전류의 차이를 보상한다.
- [0079] 다음으로, 단계(920)에서 상기 동적 레지듀 증폭기(200)의 입력 전압 샘플링부(220)는 제1 및 제2 입력 전압을 인가 받고, 상기 제1 및 제2 입력 전압의 전압 차이에 따라 상기 제1 및 제2 전류원의 보상된 공급 전류를 변화시켜 서로 다른 제1 및 제2 샘플링 전류를 출력한다.
- [0080] 다음으로, 단계(930)에서 상기 동적 레지듀 증폭기(200)의 전류 증폭부(230)는 상기 제1 및 제2 샘플링 전류의 전압 차이에 기초하여 상기 제1 및 제2 샘플링 전류를 증폭한다.
- [0081] 이때, 상기 동적 레지듀 증폭기(200)의 전류 증폭부(230)는 포지티브 피드백 방식의 래치 회로를 이용하여, 상

기 제1 및 제2 샘플링 전류를 입력 받아 상기 포지티브 피드백 방식으로 래치하여 출력할 수 있다.

[0082] 즉, 상기 동적 레지듀 증폭기(200)의 전류 증폭부(230)는 상기 래치 회로에 미리 설정된 전압 이득만큼 래치하여 출력함으로써, 상기 6비트 성근한 아날로그-디지털 변환기(6bit Coarse ADC)(110, 120)로부터 입력된 입력 전압(상기 제1 및 제2 입력 전압)을 증폭하여 상기 6비트 세밀한 아날로그-디지털 변환기(6bit Fine ADC)(150, 160)에 출력할 수 있다.

[0083] 한편, 상기 동적 레지듀 증폭기(200)의 제2 공정 변화 보상 제어부(240)는 상기 제1 공정 변화 보상 제어부(210)에 흐르는 가변 전류와 상기 제2 공정 변화 보상 제어부(240)에 흐르는 가변 전류의 양을 일치시키기 위해, 상기 클럭 신호 및 상기 제어 신호를 제3 및 제4 전류원에 전달하여, 상기 제3 및 제4 전류원의 반도체 공정 변화에 따른 공급 전류의 차이를 보상할 수 있다.

[0084] 본 발명의 실시예들은 다양한 컴퓨터로 구현되는 동작을 수행하기 위한 프로그램 명령을 포함하는 컴퓨터 판독 가능 매체를 포함한다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 로컬 데이터 파일, 로컬 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체는 본 발명을 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체, CD-ROM, DVD와 같은 광기록 매체, 플롭티컬 디스크와 같은 자기-광 매체, 및 롬, 램, 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0085] 지금까지 본 발명에 따른 구체적인 실시예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서는 여러 가지 변형이 가능함은 물론이다. 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 안 되며, 후술하는 특허 청구의 범위뿐만 아니라 이 특허 청구의 범위와 균등한 것들에 의해 정해져야 한다.

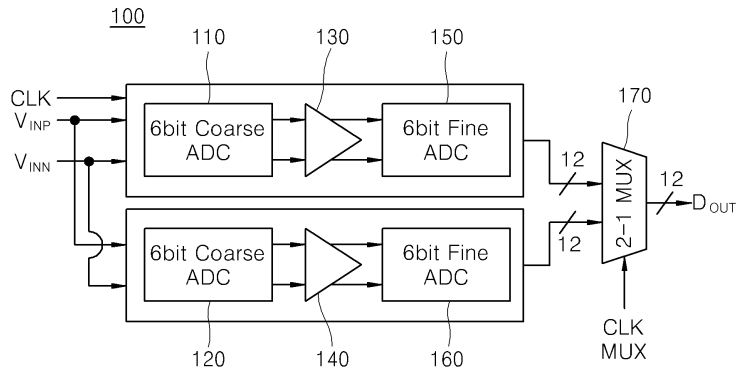
[0086] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 이는 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명 사상은 아래에 기재된 특허청구범위에 의해서만 파악되어야 하고, 이의 균등 또는 등가적 변형 모두는 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

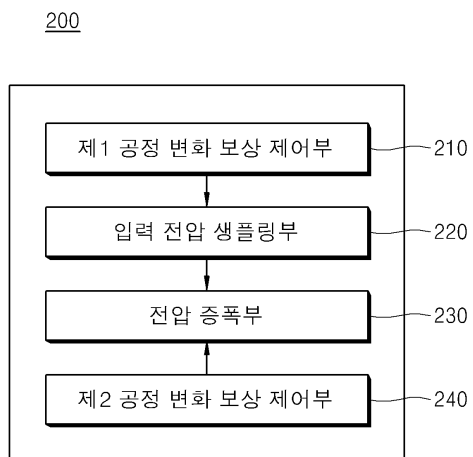
[0087] 110, 120: 6bit Coarse ADC
130, 140, 200: 동적 레지듀 증폭기
150, 160: 6bit Fine ADC
170: 다중화기
210: 제1 공정 변화 보상 제어부
220: 입력 전압 샘플링부
230: 전압 증폭부
240: 제2 공정 변화 보상 제어부

도면

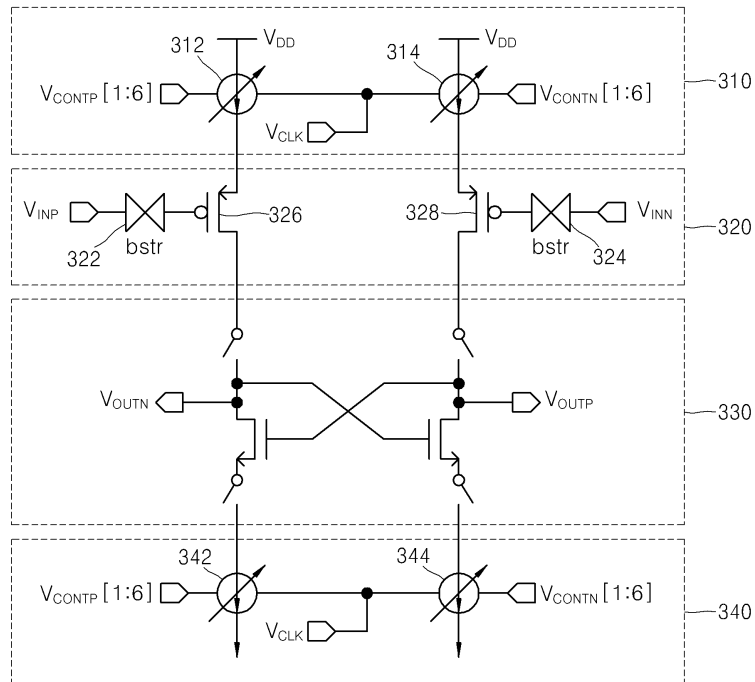
도면1



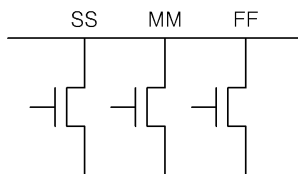
도면2



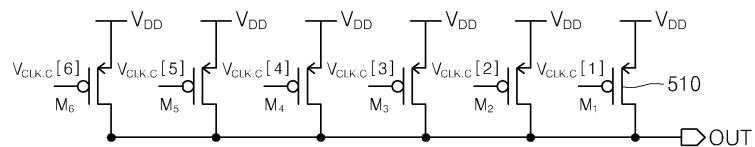
도면3



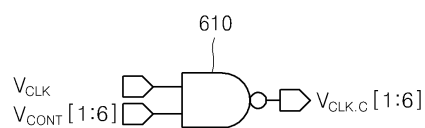
도면4



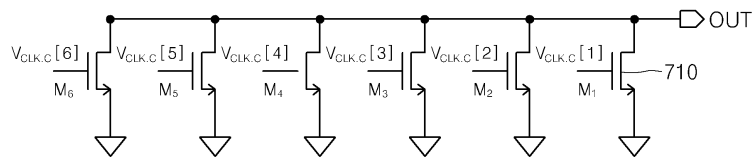
도면5



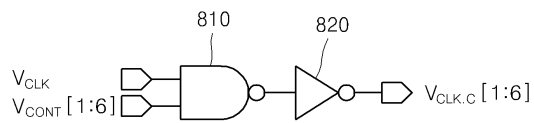
도면6



도면7



도면8



도면9

