

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-311299

(P2005-311299A)

(43) 公開日 平成17年11月4日(2005.11.4)

(51) Int.Cl.⁷

H O 1 L 21/822

H O 1 L 21/768

H O 1 L 27/04

F I

H O 1 L 27/04

H O 1 L 21/90

H O 1 L 27/04

C

A

P

テーマコード(参考)

5 F O 3 3

5 F O 3 8

審査請求 未請求 請求項の数 21 O L (全 45 頁)

(21) 出願番号 特願2005-27246 (P2005-27246)
 (22) 出願日 平成17年2月3日(2005.2.3)
 (31) 優先権主張番号 特願2004-91207 (P2004-91207)
 (32) 優先日 平成16年3月26日(2004.3.26)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100068504
 弁理士 小川 勝男
 (74) 代理人 100086656
 弁理士 田中 恭助
 (74) 代理人 100094352
 弁理士 佐々木 孝
 (72) 発明者 武田 健一
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 藤原 剛
 東京都青梅市新町六丁目16番地の3 株
 式会社日立製作所デバイス開発センタ内
 最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

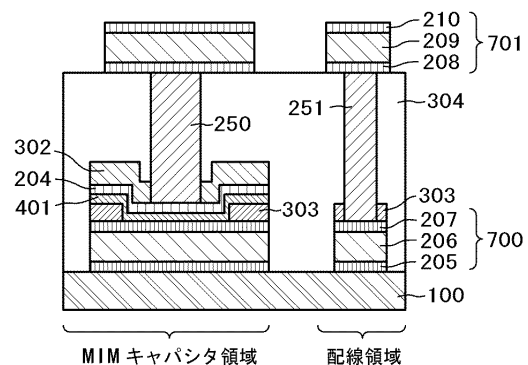
(57) 【要約】

【課題】酸化タンタル等の高誘電率絶縁膜を用いたMIMキャパシタにおいてリーク電流増大や絶縁破壊耐圧の低下を抑制しようとする、MIMキャパシタを構成している下層金属配線において、隣接配線間のリーク電流が増大したり、配線寄生容量が増大したりしてしまうという問題がある。

【解決手段】上部電極204、容量膜401、下部電極700から構成されるMIMキャパシタにおいて、下部電極上に開口部を有する絶縁膜を形成し、前記開口部を介して下部電極と接するように容量膜を形成し、容量膜上に上部電極を形成し、前記開口部を完全に包含するように上部電極と容量膜を残し、その後、前記上部電極と容量膜の幅と同じか、もしくは、広い幅で前記絶縁膜、及び、前記下部電極を残すことにより、MIMキャパシタ端部で上部電極と下部電極の間に前記絶縁膜と前記容量膜とが形成されることにより達成される。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

半導体基板上に形成された第 1 電極と、
前記第 1 電極の上面周辺部近傍に設けられ、中心部近傍に開口部を有する中間絶縁膜と、
前記中間絶縁膜上および前記開口部に形成された容量絶縁膜と、
前記容量絶縁膜上に形成された第 2 電極とを備え、
前記容量絶縁膜の端部および前記第 2 電極の端部は、前記中間絶縁膜の端部を越えない位置に設けられていることを特徴とする半導体装置。

【請求項 2】

前記中間絶縁膜の厚さは、前記開口部のいずれの幅よりも小さいことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

半導体基板上に設けられた導体配線と、
前記導体配線上に形成された貫通孔を有する層間絶縁膜と、
前記貫通孔に埋め込まれた導電性プラグを介して接するように前記層間絶縁膜上に形成された第 1 電極と、
前記第 1 電極の上面周辺部近傍を覆うように設けられ、中心部近傍に開口部を有する中間絶縁膜と、
前記中間絶縁膜および前記開口部を被覆するように形成された容量絶縁膜と、
前記容量絶縁膜上に形成された第 2 電極とを備え、
前記開口部の幅は前記第 1 電極の幅よりも狭く、前記中間絶縁膜の幅は、前記第 1 電極の幅よりも大きく、前記第 2 電極及び前記容量絶縁膜の幅は、前記開口部の幅よりも大きく、前記中間絶縁膜の幅以下であることを特徴とする半導体装置。

【請求項 4】

半導体基板上に形成された第 1 電極と、
前記第 1 電極の上面周辺部近傍に設けられ、中心部近傍に開口部を有する中間絶縁膜と、
前記中間絶縁膜上および前記開口部に形成された容量絶縁膜と、
前記容量絶縁膜上に形成された第 2 電極と、
前記第 2 電極および前記中間絶縁膜を覆うように堆積された層間絶縁膜とを備え、
前記第 1 及び第 2 電極に挟持された前記容量絶縁膜からなる容量素子と、
前記第 2 電極を抵抗部とし、前記層間絶縁膜に形成された貫通孔に埋め込まれた導電プラグ層にその両端子が接続されてなる抵抗素子とを有することを特徴とする半導体装置。

【請求項 5】

前記中間絶縁膜の厚みは、10 nm より厚く、300 nm より薄いことを特徴とする請求項 1 乃至 3 のいずれかーに記載の半導体装置。

【請求項 6】

前記中間絶縁膜は、酸化シリコン、窒化シリコン、酸窒化シリコン、炭化シリコン、窒素含有炭化シリコン、酸化アルミおよび炭素含有酸化シリコンから選ばれる絶縁膜を主たる成分とすることを特徴とする請求項 1 乃至 3 のいずれかーに記載の半導体装置。

【請求項 7】

前記中間絶縁膜は、エッチング選択比の異なる少なくとも 2 種類の絶縁膜からなる積層構造であることを特徴とする請求項 1 乃至 3 のいずれかーに記載の半導体装置。

【請求項 8】

前記容量絶縁膜は、酸化タンタル、酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミ、P Z T、S T O および B S T から選ばれる絶縁膜を主たる成分とすることを特徴とする請求項 1 乃至 3 のいずれかーに記載の半導体装置。

【請求項 9】

前記第 1 電極及び前記第 2 電極は、チタン、タンタル、タングステン、モリブデン、及

10

20

30

40

50

びその窒化物、または、アルミ及びその合金から選ばれる金属を主たる成分とすることを特徴とする請求項 1 乃至 3 のいずれか一に記載の半導体装置。

【請求項 1 0】

半導体基板上に第 1 導体膜を形成する工程と、
前記第 1 導体膜上に中間絶縁膜を形成する工程と、
前記中間絶縁膜の所望の領域を前記第 1 導体膜が露出するように除去して開口部を設ける工程と、

前記開口部および前記中間絶縁膜上に容量絶縁膜を形成し、前記容量絶縁膜上に第 2 導体膜を形成する工程と、

前記第 2 導体膜上に無機膜を堆積する工程と、

10

前記開口部を含む領域上に前記無機膜よりなる第 1 の加工マスクを形成し、前記第 1 の加工マスクを用いて、前記第 2 導体膜および前記容量絶縁膜をパターニングする工程と、

前記第 1 の加工マスクとは異なる形状を有し感光性膜よりなる第 2 の加工マスクを形成し、前記第 1 の加工マスクで加工された前記第 2 導体膜及び前記容量絶縁膜と前記第 2 の加工マスクで被覆された領域とをエッチングの保護マスクとして、前記中間絶縁膜および前記第 1 導体膜をエッチングする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 1 1】

半導体基板上に導体配線膜を形成する工程と、

前記導体配線膜上に層間絶縁膜を形成する工程と、

前記層間絶縁膜の所望の領域を前記導体配線膜が露出するように除去して貫通孔を設ける工程と、

20

前記導体配線膜に電氣的に接続される導電性プラグを前記貫通孔に埋め込む工程と、

前記導電性プラグの一端が接するように第 1 導体膜を形成する工程と、

前記貫通孔を被覆するように形成された前記第 1 導体膜を被覆するように中間絶縁膜を形成する工程と、

前記第 1 導体膜の一部が露出するように、前記中間絶縁膜に開口部を形成する工程と、

前記開口部を被覆するように容量絶縁膜を形成し、前記容量絶縁膜上に第 2 導体膜を形成する工程と、

前記開口部を含むように前記第 2 導体膜上に形成した加工マスクをエッチングの保護マスクとして、前記第 2 導体膜および前記容量絶縁膜をエッチングする工程とを含むことを特徴とする半導体装置の製造方法。

30

【請求項 1 2】

半導体基板上に第 1 導体膜を形成する工程と、

前記第 1 導体膜上に中間絶縁膜を形成する工程と、

前記中間絶縁膜の所望の領域を前記第 1 導体膜が露出するように除去して開口部を設ける工程と、

前記開口部および前記中間絶縁膜上に容量絶縁膜を形成し、前記容量絶縁膜上に第 2 導体膜を形成する工程と、

前記開口部を含む領域上の前記第 2 導体膜上に感光性膜よりなる第 1 の加工マスクを形成し、前記第 1 の加工マスクを用いて、前記第 2 導体膜および前記容量絶縁膜をパターニングする工程と、

40

前記第 1 の加工マスクとは異なる形状を有し感光性膜よりなる第 2 の加工マスクを形成し、前記第 1 の加工マスクで加工された前記第 2 導体膜及び前記容量絶縁膜と前記第 2 の加工マスクで被覆された領域とをエッチングの保護マスクとして、前記中間絶縁膜および前記第 1 導体膜をエッチングする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 1 3】

前記中間絶縁膜の厚みは、10 nm より厚く、300 nm より薄いことを特徴とする請求項 1 0 乃至 1 2 のいずれか一に記載の半導体装置の製造方法。

【請求項 1 4】

前記中間絶縁膜は、酸化シリコン、窒化シリコン、酸窒化シリコン、炭化シリコン、窒

50

素含有炭化シリコン、酸化アルミ、炭素含有酸化シリコンから選ばれる絶縁膜を主たる成分とすることを特徴とする請求項 10 乃至 12 のいずれか一に記載の半導体装置の製造方法。

【請求項 15】

前記中間絶縁膜は、エッチング選択比の異なる 2 種類以上の絶縁膜の積層構造であることを特徴とする請求項 10 乃至 12 のいずれか一に記載の半導体装置の製造方法。

【請求項 16】

前記容量絶縁膜は、酸化タンタル、酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミ、P Z T、S T O、B S T から選ばれる絶縁膜を主たる成分とすることを特徴とする請求項 10 乃至 12 のいずれか一に記載の半導体装置の製造方法。 10

【請求項 17】

前記第 1 導体膜及び前記第 2 導体膜は、チタン、タンタル、タングステン、モリブデン、及びその窒化物、または、アルミ及びその合金、から選ばれる金属を主たる成分とすることを特徴とする請求項 10 乃至 12 のいずれか一に記載の半導体装置の製造方法。

【請求項 18】

前記導体配線膜は、タングステン、チタン、モリブデン、及びその窒化物、または、アルミ及びその合金から選ばれる金属を主たる成分とすることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 19】

前記導体配線膜は、アルミ及びその合金を主たる成分とし、その上面と下面、もしくはそのいずれかを、タングステン、チタン、モリブデン、及びその窒化物、から選ばれる金属を主たる成分とする層で被覆されていることを特徴とする請求項 11 に記載の半導体装置の製造方法。 20

【請求項 20】

前記導体配線膜は、タングステン、チタン、モリブデン、及びその窒化物、または、アルミまたは銅及びそれらの合金から選ばれる金属を主たる成分とすることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 21】

前記導体配線膜は、アルミまたは銅及びそれらの合金から選ばれる金属を主たる成分とし、その表面の少なくとも 1 面が、タングステン、チタン、モリブデン、及びその窒化物の層で被覆されていることを特徴とする請求項 11 に記載の半導体装置の製造方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高信頼度かつ高性能な容量素子を有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

アナログ信号を取り扱う I C (I n t e g r a t e d C i r c u i t) においては、容量素子、抵抗素子、インダクタ素子等の受動素子が集積回路の重要な構成要素となる。従来、これら受動素子は I C チップの中に作りこむのが困難であったため、実装基板上に外付け部品として搭載されてきた。しかしながら、近年、システムの高速化、省スペース化へのニーズが強いため、これら受動素子を I C チップ内部へ取り込む試みが盛んになされている。 40

【0003】

I C チップ内で容量素子を形成する手法として最も一般的なのが、絶縁膜の上下を多結晶シリコンで挟んだ構造を持つ容量素子である。このタイプの容量素子はその構造から P I P キャパシタ (P I P : P o l y s i l i c o n - I n s u l a t o r - P o l y s i l i c o n) と呼ばれる。電極材料に多結晶シリコンを用いるために抵抗が高いこと、また、多結晶シリコンの成膜温度が配線工程の上限温度を超えているため、シリコン基板の 50

近くに形成せざるを得ず、そのため寄生容量が増大すること、などの課題がある。このような課題を解決する方法として、絶縁膜の上下を金属電極で挟んだMIM (Metal-Insulator-Metal) キャパシタが注目されている。

【0004】

MIMキャパシタが有する特徴と課題を図2と図3に示した従来例の工程図を用いながら説明する。

図2(a)に示すように、半導体素子が形成された基体100上に、膜厚50nmの窒化チタン膜、膜厚400nmのアルミニウム合金膜、膜厚50nmの窒化チタン膜を順次形成した後、リソグラフィ法を用いて所望の領域に第一の加工レジスト600を形成し、この第一の加工レジスト600をマスクにドライエッチングを行い、膜厚50nmの窒化チタンからなる第一のバリアメタル層205、膜厚400nmのアルミニウム合金からなる第一のアルミニウム層206、膜厚50nmの窒化チタンからなる第二のバリアメタル層207によって構成される第一の金属配線700を形成した。

10

【0005】

次に、図2(b)に示すように、第一の金属配線700を被覆するようにプラズマCVD法を用いて膜厚1000nmの酸化シリコン膜からなる第一の層間絶縁層304を形成した後、化学的機械研磨法を用いて第一の層間絶縁層304の平坦度を上げた後、リソグラフィ法とドライエッチング法を用いて、第一の金属配線700が露出するように第一の層間絶縁層に形成された開口部501を設けた。この開口部を設けた領域がMIMキャパシタとなる領域である。次に、テトラエトキシシランを原料とするプラズマCVD法を用いて膜厚50nmの酸化シリコン膜からなる容量膜400を、第一の層間絶縁層に形成された開口部501内部に露出した第一の金属配線700を被覆するように形成した。次に、MIMキャパシタ以外の領域の第一の金属配線に電氣的接続を行うための接続孔を形成するために、容量膜400上に所望の領域に開口部を持つ第二の加工レジスト601を形成し、この第二の加工レジスト601を加工マスクにドライエッチングを行い、第二の開口部502を形成した。

20

【0006】

次に、図3(a)に示すように、第一の層間絶縁層304に形成された開口部を充填するように、スパッタ法とCVD法を用いてタングステン膜を形成し、化学的機械研磨を用いて開口部以外の領域のタングステン膜を除去し、第一の導電性プラグ250と第二の導電性プラグ251を形成した。図3(b)に示すように、膜厚50nmの窒化チタン膜、膜厚400nmのアルミニウム合金膜、膜厚50nmの窒化チタン膜を順次形成した後、リソグラフィ法とドライエッチング法を用いて、所望の領域に膜厚50nmの窒化チタンからなる第三のバリアメタル層208、膜厚400nmのアルミニウム合金からなる第二のアルミニウム層209、膜厚50nmの窒化チタンからなる第四のバリアメタル層210によって構成される第二の金属配線701を形成した。以上の工程により、第一の金属配線700、容量膜400、第一の導電性プラグ250および第二の金属配線701から構成されるMIMキャパシタを形成することが可能となる。以下では、上記の工程に準じて形成されたMIMキャパシタを従来例1と呼ぶことにする。

30

【0007】

従来例1にもとづくMIMキャパシタは、電極の形成温度が450℃以下であるため配線工程で形成可能であり、また、電極として電気抵抗の低い金属材料を用いることが可能となるので、PIPキャパシタが持つ課題を解決することが可能となる。

しかしながら、このように構成されたMIMキャパシタには性能が高めにくいという欠点がある。上記手法では、下部電極となる下層に位置する配線へ接続孔を形成した後、CVD法を用いて容量膜を形成している。配線工程の上限温度(450℃)以下でCVD法により形成可能な材料は、一般的には酸化シリコン膜と窒化シリコン膜であり、それぞれの比誘電率は約4、および、7である。配線高さと同程度以上の深さを持つ接続孔に欠陥なく形成可能な下限の膜厚は50nm程度であるので、容量密度の上限は、酸化シリコンの場合は1平方マイクロメートルあたり0.7fF、窒化シリコンの場合は、1平方マイク

40

50

ロメータあたり 1.2 fF となり、ICチップに占めるMIM素子の面積を削減することが困難であり、ICチップ面積が増加するという問題がある。

【0008】

この課題を解決するための方法として、酸化シリコンや窒化シリコンよりも比誘電率が高い材料（高誘電率材料）を用いる方法が検討されている。一般的には、比誘電率20以上の材料として、酸化タンタル、酸化ハフニウム、酸化チタンなどが検討されている。このような高誘電率材料を用いたMIMキャパシタ形成工程の従来例を、図4を用いて説明する。

図4(a)に示すように、半導体素子が形成された基体100上に、膜厚50nmの窒化チタン膜からなる第一のバリア膜200、膜厚400nmのアルミニウム合金からなる第一のアルミニウム膜201、膜厚50nmの窒化チタン膜からなる第二のバリア膜202、反応性スパッタ法を用いて膜厚50nmの酸化タンタル膜からなる容量膜400、膜厚50nmの窒化チタンからなる上部電極203、を順次形成した後、リソグラフィー法を用いて所望の領域に第一の加工レジスト600を形成した。

【0009】

次に、第一の加工レジスト600をマスクとして、上部電極203と容量膜400を加工した後、リソグラフィー法を用いて第二の加工レジスト601を形成し、ドライエッチ法により第一のバリア膜層205、第一のアルミニウム層206、第二のバリア膜層207によって構成される第一の金属配線700を形成した（図4(b)）。

次に、図4(c)に示すように、プラズマCVD法を用いて膜厚1000nmの酸化シリコン膜からなる第一の層間絶縁層304を形成した後、化学的機械研磨法を用いて第一の層間絶縁層304の平坦化を行った。次に、リソグラフィー法とドライエッチング法を用いて、加工された上部電極204もしくは第一の金属配線700が露出するように開口部を設け、この開口部に対し、加工された上部電極204と接続したタングステンからなる第一の導電性プラグ250、第一の金属配線700と接続したタングステンからなる第二の導電性プラグ251とを形成した。最後に、スパッタ法及びリソグラフィー法、ドライエッチ法を組み合わせることで所望の領域に膜厚50nmの窒化チタン膜からなる第三のバリア層208、膜厚400nmのアルミニウム合金からなる第二のアルミニウム層209、膜厚50nmの窒化チタン膜からなる第四のバリア膜層210から構成される第二の金属配線701を形成した。以上の工程により、第一の金属配線700、加工された容量膜401、加工された上部電極204、第一の導電性プラグ250および第二の金属配線701から構成されるMIMキャパシタを形成することが可能となる。以下では、上記の工程に準じて形成されたMIMキャパシタを従来例2と呼ぶことにする。

【0010】

従来例2に基づくMIMキャパシタは、膜厚50nmの酸化タンタル（比誘電率24）を用いることができるので、1平方マイクロメータあたり4fFの容量密度が実現可能となり、ICチップにおけるキャパシタの面積を削減することが可能となる。しかしながらこのようにして形成したMIMキャパシタには絶縁破壊電圧が低い、リーク電流が多いという欠点がある。上記の手法では、MIMキャパシタの端部において加工された上部電極204と加工された容量膜401の端部が一致しており、かつ、その端部の直下に下部電極である第一の金属配線700が位置する構成をとっている。容量膜の端部は欠陥が多いため、容量膜の端部が上部電極および下部電極に直接接する構造ではリーク電流が増大したり、絶縁破壊電圧が低下したりするおそれがある。一方、図4(a)に示した工程図において、第一の加工レジスト600を用いて上部電極203と容量膜400を加工後、再度リソグラフィー、ドライエッチを行うことで加工された容量膜401の端部と加工された上部電極204の端部をずらして形成することが可能となる。このようにすれば、MIMキャパシタの端部において加工された上部電極204と加工された容量膜401の端部が一致することを防ぐことが可能となるが、容量膜400上で上部電極203のドライエッチを行うため、容量膜400における加工された上部電極204端部直下領域にプラズマダメージや局所的な膜減りが生じ、絶縁破壊耐圧が低下する欠点がある。

【0011】

この課題を解決するための方法として、MIMキャパシタの上部電極の端部直下に容量膜と第二の絶縁層を挟む構造が提案されている。このようにすれば、MIMキャパシタの端部におけるリーク電流増大や絶縁破壊耐圧の低下を最小限に抑制することが可能となる。このようなMIMキャパシタ形成工程の従来例を、図5と図6を用いて説明する。

図5(a)に示すように、半導体素子が形成された基体100上に、膜厚50nmの窒化チタンからなる第一のバリアメタル層205、膜厚400nmのアルミニウム合金からなる第一のアルミニウム層206、膜厚50nmの窒化チタンからなる第二のバリアメタル層207によって構成される第一の金属配線700を形成した後、プラズマCVD法を用いて、膜厚100nmの酸化シリコンからなる第一の中間層300を全面に成膜した。

10

【0012】

次に、図5(b)に示すように、リソグラフィー法とドライエッチング法を用いて、第一の金属配線700表面が露出するように第一の中間層300に開口部を形成した後、この開口部を被覆するように反応性スパッタ法で膜厚50nmの酸化タンタルからなる容量膜400、反応性スパッタ法により膜厚50nmの窒化チタン膜からなる上部電極203を順次成膜した。その後、リソグラフィー法を用いて、所望の領域に第一の加工レジスト600を形成した。

次に、図6(c)に示すように、第一の加工レジスト600をマスクにドライエッチを行い、加工された容量膜401、加工された上部電極204を形成した。この際、第一の金属配線700の側壁部分には上部電極203と容量膜400からなるエッチング残り800が存在していた。

20

【0013】

次に、図6(a)に示すように、プラズマCVD法を用いて膜厚1000nmの酸化シリコン膜からなる第一の層間絶縁層304を形成した後、化学的機械研磨法を用いて第一の層間絶縁層304の平坦化を行った。次に、リソグラフィー法とドライエッチング法を用いて、加工された上部電極204もしくは第一の金属配線700が露出するように開口部を設け、この開口部に対し、加工された上部電極204と接続したタングステンからなる第一の導電性プラグ250、第一の金属配線700と接続したタングステンからなる第二の導電性プラグ251とを形成した。最後に、図6(b)に示すように、スパッタ法及びリソグラフィー法、ドライエッチ法を組み合わせることで所望の領域に膜厚50nmの窒化チタン膜からなる第三のバリア層208、膜厚400nmのアルミニウム合金からなる第二のアルミニウム層209、膜厚50nmの窒化チタン膜からなる第四のバリアメタル層210から構成される第二の金属配線701を形成した。以上の工程により、第一の金属配線700、加工された容量膜401、加工された上部電極204、第一の導電性プラグ250および第二の金属配線701から構成されるMIMキャパシタを形成することが可能となる。以下では、上記の工程に準じて形成されたMIMキャパシタを従来例3と呼ぶことにする。

30

【0014】

従来例3に基づくMIMキャパシタは、MIMキャパシタの端部において加工された上部電極204と加工された容量膜401の端部が一致しているものの、その端部の直下には他の絶縁膜である第一の中間層300が形成されてあるためにMIMキャパシタ端部におけるリーク電流の増大や絶縁破壊耐圧の低下を抑制することが可能となる。しかしながら、このようにして形成したMIMキャパシタには大きく分けて2つの欠点がある。1つは、図6(b)に示したように、隣接する第一の金属配線700の間に、エッチング残り800として高誘電率の酸化タンタルや導電材料である窒化チタンが残りやすいため、隣接する第一の金属配線700の寄生容量が増大したり、配線間のリーク電流が増大したりする懸念がある。もう1つの欠点は特に狭配線ピッチの領域で問題となる。その問題とは、図6(c)に示したように、第一の金属配線700の配線間隔が狭い場合には、隣接する配線間のほとんどの体積を第一の中間層300で占有することに起因して生じる。近年のICでは動作速度の向上等の要求から配線間容量を可能な限り小さくすることが求めら

40

50

れている。そのためにLow-k材料とよばれる比誘電率の小さな（約3.5以下）の絶縁膜を配線の周囲の絶縁膜に用いることが多い。しかしながら、従来例3に基づけば、図6(c)に示したように、隣接する配線の間が比誘電率の高い（約4）第一の中間層に占められてしまうため、Low-k材料の入り込む余地が少なく、配線の寄生容量低減の大きな妨げとなる。

【0015】

【特許文献1】特開2001-320026号公報

【特許文献2】特開2003-188264号公報

【特許文献3】特開2003-282719号公報

【発明の開示】

【発明が解決しようとする課題】

【0016】

発明が解決しようとする問題は、MIMキャパシタの容量密度を高めることが可能な、酸化タンタル等の高誘電率絶縁膜を容量膜に用いたMIMキャパシタにおいてリーク電流増大や絶縁破壊耐圧の低下を抑制するためには、MIMキャパシタの下部電極の一部を構成している下層金属配線において、隣接配線間のリーク電流が増大したり、配線寄生容量が増大したりしてしまうという点である。

【課題を解決するための手段】

【0017】

上記課題は、上部電極、容量膜、下部電極から構成されるMIMキャパシタにおいて、下部電極上に開口部を有する絶縁膜を形成し、前記開口部を介して下部電極と接するように容量膜を形成し、容量膜上に上部電極を形成し、前記開口部を完全に包含するように上部電極と容量膜を残し、その後、前記上部電極と容量膜の幅と同じか、もしくは、広い幅で前記絶縁膜、及び、前記下部電極を残すことにより、MIMキャパシタ端部で上部電極と下部電極の間に前記絶縁膜と前記容量膜とが形成されることにより達成される。

【0018】

上記課題は、上部電極、容量膜、下部電極から構成されるMIMキャパシタにおいて、加工された下層配線上に開口された接続孔を包含するように下部電極を形成、加工し、前記下部電極表面が露出するように、前記下部電極より幅の狭い開口部を有する絶縁膜を形成し、前記開口部を介して前記下部電極と接するように容量膜を形成し、前記容量膜上に上部電極を形成し、前記開口部を完全に包含する形で加工を行い上部電極と容量膜を残すことにより、MIMキャパシタ端部で上部電極と下部電極の間に前記絶縁膜と前記容量膜とが形成されることにより達成される。

【発明の効果】

【0019】

本発明に基づけば、MIMキャパシタの容量密度を高めながらも、リーク電流増大や絶縁破壊耐圧の低下といった課題を最小限度に抑制しつつ、MIMキャパシタに隣接して形成された金属配線において、隣接配線間のリーク電流の低減、配線寄生容量の削減が可能となり、高性能かつ高信頼度なMIMキャパシタを有する半導体装置を得ることが可能となる。

【発明を実施するための最良の形態】

【0020】

以下、図面を用いて本発明の実施例について説明する。なお、各図面は模式的に描いており、説明に不用な箇所は省略している。

【実施例1】

【0021】

図7および図8は本発明の実施例1に基づく半導体装置の製造工程を示す断面図である。以下順を追って説明する。半導体素子が形成された基体100上に、スパッタ法を用い、膜厚50nmの窒化チタン膜からなる第一のバリア膜200、膜厚400nmのアルミニウム合金からなる第一のアルミニウム膜201、膜厚50nmの窒化チタン膜からなる

10

20

30

40

50

第二のバリアメタル膜 202 を形成した後、プラズマ CVD 法を用い、膜厚 100 nm の酸化シリコンからなる第一の中間層 300 を形成し、リソグラフィー法とドライエッチ法を用いて第一の中間層 300 の所望の領域に第一の開口部 500 を形成した。次に、第一の開口部 500 を被覆するように反応性スパッタ法を用い、膜厚 50 nm の酸化タンタル膜からなる容量膜 400、スパッタ法を用い、膜厚 50 nm の窒化チタンからなる上部電極 203、プラズマ CVD 法を用い、膜厚 100 nm の酸化シリコンからなるハードマスク 301 を形成した（図 7（a））。

【0022】

次に、図 7（b）に示すように、リソグラフィー法を用いて MIM キャパシタを形成したい領域を保護するように第一の加工レジスト 600 を形成し、この第一の加工レジスト 600 をエッチングマスクに、フッ素系ハロゲンガスを用いたドライエッチにより、加工されたハードマスク 302、加工された上部電極 204、加工された容量膜 401 を形成した。その後アッシャにより残った第一の加工レジスト 600 を除去した（図 7（c））。この工程におけるドライエッチは、微細パターンの加工を伴わないため、容易にエッチングの終点判定が可能となる。また、万一、被加工物である容量膜 400 が部分的に残ったとしても、その後の工程において大きな問題となることはない。

【0023】

次に、加工されたハードマスク 302 で被覆された領域以外において、金属配線を形成したい領域に対しリソグラフィー法を用いて、第二の加工レジスト 601 を形成し、この第二の加工レジスト 601 をエッチングマスクとして第一の中間層 300 をドライエッチした（図 8（a））。引き続いて、金属のエッチング装置を用いて、加工されたハードマスク 302 と第二の加工レジスト及びその直下にある加工された第一の中間層 303 をエッチングマスクとして塩素系のガスを用いたドライエッチングを行い、第一のバリアメタル層 205、第一のアルミニウム層 206、第二のバリアメタル層 207 によって構成される第一の金属配線 700 を形成し、第二の加工レジストをアッシャにより除去した（図 8（b））。この工程において、寸法シフトの少ないハードマスクを加工マスクに用いているため、寸法制御性良く第一の金属配線 700 を加工することが可能となる。

【0024】

次に、図 8（c）に示すように、プラズマ CVD 法を用いて膜厚 1000 nm の酸化シリコン膜からなる第一の層間絶縁層 304 を形成した後、化学的機械研磨法を用いて第一の層間絶縁層 304 の平坦化を行った。次に、リソグラフィー法とドライエッチング法を用いて、加工された上部電極 204 もしくは第一の金属配線 700 が露出するように開口部を設け、この開口部に対し、上部電極 204 と接続したタングステンからなる第一の導電性プラグ 250、第一の金属配線 700 と接続したタングステンからなる第二の導電性プラグ 251 とを形成した。

【0025】

最後に、スパッタ法及びリソグラフィー法、ドライエッチ法を組み合わせることで所望の領域に膜厚 50 nm の窒化チタン膜からなる第三のバリア層 208、膜厚 400 nm のアルミニウム合金からなる第二のアルミニウム層 209、膜厚 50 nm の窒化チタン膜からなる第四のバリアメタル層 210 から構成される第二の金属配線 701 を形成した。以上の工程により、図 1 に示したような、第一の金属配線 700、加工された容量膜 401、上部電極 204、第一の導電性プラグ 250 および第二の金属配線 701 から構成される MIM キャパシタを有する半導体装置を形成することが可能となる。

【0026】

上記の工程で形成した MIM キャパシタの平面レイアウト図を図 9 に示す。図 1、図 8、図 9 に示した断面図は図 9 中の A-A' 間の断面である。図 9 における B-B' 方向の断面図を図 10 に示した。図 9 に示したレイアウト図において、第一の中間層に設けられた開口部 755 が MIM キャパシタとして機能する領域である。MIM キャパシタ端部、すなわち、領域 755 の周縁部において、領域 754 であらわされる上部電極の直下には、膜厚 100 nm の酸化シリコンからなる第一の中間層 303 が形成されている。

この実施例 1 で示した構造のほかに、第一の中間層 300 の膜厚を 0、10、50、200、300 nm と変えて作成した構造もそれぞれ準備した。なお、ここで第一の中間層の厚みを 0 nm とした構造は、従来例 2 と本質的に同じ構造である。

【0027】

このようにして形成した MIM キャパシタを有する半導体装置における MIM キャパシタの性能と信頼度を調べた。その結果、第一の中間層の厚みにかかわらず、容量密度 $4 \text{ fF} / \mu\text{m}^2$ が得られた。一方、MIM キャパシタを流れるリーク電流密度の電圧依存性を評価したところ、絶縁破壊耐圧の規格値（10 V の電圧でリーク電流密度が 1 平方センチメートルあたり $1 \mu\text{A}$ 以下）を満たしたのは、第一の中間層 300 の膜厚が 50 nm から 200 nm の間の構造を有するものであった。絶縁破壊耐圧が規格を満たさない理由を詳しく調べたところ、第一の中間層の膜厚が 0 nm と 10 nm のものでは、MIM キャパシタの端部において容量膜 401 の端部において下部電極 700 と上部電極 204 が容量膜 401 を挟んで直接対向していることがあることがわかった。このため、この MIM 端部でのリーク電流の増大によって絶縁破壊耐圧が低下した可能性が考えられる。一方、第一の中間層の膜厚が 300 nm の場合には、第一の中間層の設けた開口部の端部付近で、容量膜 400 が局所的に薄くなっているのが観察された。これは、第一の中間層の膜厚が厚くなりすぎたために開口部端部での酸化タンタル膜のカバレジ不足が顕在化した可能性が考えられる。すなわち、第一の中間層が薄すぎると（たとえば 10 nm 以下）、MIM キャパシタ端部におけるリーク電流増大を抑制する効果が失われ、一方、第一の中間層を厚くしすぎると（たとえば 300 nm 以上）、開口部端部におけるスパッタカバレジが低下して、絶縁破壊耐圧が低下することがわかった。

次に、実施例 1 で示した構造のほかに、第一の層間絶縁膜としてプラズマ CVD 法を用いて形成した SiOC 膜を用いた構造も準備した。この SiOC 膜の比誘電率は 2.9 である。さらに比較のために、従来例 3 に示した工程図にもとづく構造も準備した。

【0028】

このようにして形成した MIM キャパシタを有する半導体装置における MIM キャパシタの性能と信頼度を調べた。その結果、第一の層間絶縁膜の種類によらず容量密度 $4 \text{ fF} / \mu\text{m}^2$ の性能と前記の規格値を満たす絶縁破壊耐圧が得られた。一方、第一の金属配線の寄生容量及び隣接する第一の金属配線間のリーク電流密度には差が生じた。図 11 に示したように、第一の層間絶縁膜に SiOC 膜を用い、本実施例に基づき形成した MIM キャパシタでは隣接する配線間の寄生容量は対向長 1 cm あたり 1.36 pF となるのに対し、従来例 3 にもとづいて形成した場合には 1.56 pF となり、寄生容量が 15% 程度大きくなってしまい、回路動作の高速化、消費電力低減の妨げになる。一方、第一の層間絶縁膜に酸化シリコンを用いた場合には、実施例 1 と従来例 3 では寄生容量に大きな差は見られなかった。しかしながら、隣接する第一の金属配線 700 で形成した同層間楕円形キャパシタ構造で隣接配線間のショート歩留まりを評価したところ、従来例 3 に基づいて形成した場合には、ショート歩留まりが低下する傾向が得られた。

【0029】

つまり、本発明の実施例に従い、下部電極上に開口部を有する膜厚 100 nm の酸化シリコン層からなる第一の中間層を形成し、前記開口部を被覆するように容量膜、上部電極を形成し、前記開口部を完全に包含する形で上部電極、容量膜、第一の中間層、下部電極を加工することにより、リーク電流増大や絶縁破壊耐圧低下を最小限に抑制しつつ、高い容量密度が得られる MIM キャパシタと、この MIM キャパシタの下部電極に相当する配線層の寄生容量低減や配線間ショート歩留まりの向上が同時に可能となる半導体装置が形成可能となる。

【0030】

本実施例では、容量膜として膜厚 50 nm の酸化タンタルを用いたが、膜厚及び材料はこれに限定されるものではない。容量密度は容量膜の膜厚に反比例して増加するので、容量密度の面からは膜厚は薄いほど良い。ただし、薄膜化に応じて絶縁破壊耐圧も低下するので、使用する電圧に応じて薄膜化限界が存在する。また、容量膜の材料として、酸化タ

ンタル以外にも酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、P Z T、S T O、B S T等の強誘電材料を用いることも可能である。さらに、本実施例では、容量膜として

単層の絶縁膜を用いているが、この容量膜は必要に応じて積層構造とすることも可能であり、たとえば、酸化タンタル膜の上下をバンドギャップの大きな酸化アルミ等で挟み込むことでリーク電流密度を下げることも可能となる。

【0031】

また本実施例では、第一の中間層として主として膜厚100nmの酸化シリコン膜を用いているが、この膜厚、材料に限定されるものではない。前述のように第一の中間層には好適な膜厚範囲があり、現在の製造装置を用いている範囲では50nmから200nm程度が良好な特性が得られている。容量膜の形成方法としてより段差カバレジの良い手法を採用すれば、第一の中間層の上限が200nm以上の領域に広がることが容易に予想できるものの、いたずらにこの膜厚を増やすことに関してメリットは少ない。また、第一の中間層に用いる材料としてプラズマCVD法により形成した酸化シリコンを用いているが、当初の目的に合致する限りにおいて他の材料の選択を妨げるものではない。具体的には、窒化シリコン、酸窒化シリコン、炭化シリコン、窒素含有炭化シリコン、酸化アルミ、SiOCなどに代表されるLow-k膜などが利用可能である。窒化シリコンや酸窒化シリコン、酸化アルミを用いた場合には、ドライエッチ時の選択比向上やリソグラフィ時の吸光層として利用できるが、比誘電率が高いため配線の寄生容量が増大する欠点がある。一方、炭化シリコン、窒素含有炭化シリコン、SiOC膜などは比誘電率が低いために、寄生容量低減に効果的であるが、リーク電流が低減しにくい欠点もある。さらに、本実施例では、第一の中間層として単層の酸化シリコンを用いているが、これを複数の層からなる積層構造とすることも可能である。具体的には、下部電極に接する層として窒化シリコンを用い、その上層に酸化シリコンを用いた構造では、第一の中間層に設けた開口部の断面のテーパ角度を制御しやすくなる。このテーパ角度の制御性が良いと、容量膜のカバレジが向上しやすいため絶縁破壊耐圧の向上に効果的である。さらに、このテーパ角度の制御性が良ければ、MIMキャパシタの開口部面積の制御性が向上するので、所望の容量値が再現性良く得られるというメリットもある。

【0032】

また本実施例では、上部電極として膜厚50nmの窒化チタンを用いているが、膜厚、材料ともにこれに限定されない。上部電極が薄すぎる場合には接続孔を開口した場合に上部電極を突き破り、下に位置する容量膜に損傷を与える恐れがある。一方、膜厚が厚すぎる場合にはMIMキャパシタに対して直列に抵抗が挿入された形になるので、高周波特性が劣化する恐れがある。窒化チタンを用いている範囲では、50nmから100nm程度が好適である。また、上部電極の材料として、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属、アルミおよびその合金、なども利用可能である。さらに、第一および第二の金属配線に用いるバリアメタルとして窒化チタンを用いているが、上記のように、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属を用いることも可能であり、また、信頼度的に余裕があるのであれば、バリアメタルを用いない構造を利用することも可能である。また、上部電極、バリアメタルともに複数の層からなる積層構造にすることになんら問題はない。

【0033】

また本実施例では、図9のレイアウト図面に示したように、上部電極と上層配線は、開口部内に位置する1つの接続孔756で接続している。しかしながら、接続孔の位置、数、大きさはこの例に限定されることはない。接続孔の大きさは、大きければ大きいほど寄生抵抗は小さくなるため高周波特性は良好になる。しかし、一般的にCVD法で形成するタングステンの場合には、上限のサイズが存在する。接続孔の埋め込みをアルミ合金で行う場合には、このサイズ制限は緩和されるものの、別途、層間絶縁膜平坦化やメタル平坦化など工程数が増える原因となる。また本実施例では、接続孔位置が開口部の内側にある

。この構成では上部電極にともなう寄生抵抗は最小限度に抑えられるものの、接続孔開口時のオーバーエッチ量が多すぎる場合には、容量膜に損傷が入る恐れがある。一方、接続孔を開口部の外側、つまり、図9において領域754内部で、かつ、領域755外部である領域、に設置した場合には、オーバーエッチに伴う容量膜損傷に対するマージンは大幅に向上する。その理由は、万一、接続孔が上部電極を突き抜けて容量膜に達しても、その直下には第一の中間層が存在するため、容量膜の損傷がそのままMIMキャパシタ特性の劣化につながらないからである。しかしながら、上部電極のシート抵抗に起因した寄生抵抗が増大するため、高周波特性には悪影響を与える恐れがある。また、図9のレイアウト図面では、MIMキャパシタは、ただ1つの第一の中間層に形成された開口部755をもつが、これを分割し、複数の開口部からなるMIMキャパシタとすることも可能である。 10

【0034】

また本実施例では、第一の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、ブラックダイヤモンド（登録商標：Applied Materials社製）に代表されるようなSiOC膜（炭素を含有する酸化シリコン膜）、SiLK（登録商標：Dow Chemical社製）に代表されるような有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。この酔うなLow-k材料を用いるときには、何らかの保護絶縁膜が必要であるので、第一の層間絶縁膜としては、それら複数の絶縁膜から構成される積層膜も含んでいる。さらにこのようなLow-k材料を用いた場合には、プロセス温度等の制約からタングステンのCVD法の適用が困難な場合が多いので、その際にはアルミ等で接続孔を埋め込んだほうが良い。 20

本実施例では、第二の金属配線をドライエッチ法で加工したアルミ配線を用いているが、必要に応じてダマシン法を用いたアルミ配線や銅配線を用いることも可能である。この際、接続孔も同時に形成するデュアルダマシン法を適用し、工程数を削減することも可能である。

【実施例2】

【0035】

図12および図13は本発明の半導体装置の製造工程を示す断面図である。以下、順を追って説明する。 30

【0036】

図12(a)に示すように、半導体素子が形成された基体100上に、スパッタ法を用い、膜厚50nmの窒化チタン膜からなる第一のバリア膜200、膜厚400nmのアルミニウム合金からなる第一のアルミニウム膜201、膜厚50nmの窒化チタン膜からなる第二のバリア金属膜202を形成した後、プラズマCVD法を用い、膜厚100nmの酸化シリコンからなる第一の中間層300を形成し、リソグラフィー法とドライエッチ法を用いて第一の中間層300の所望の領域に開口部を設けた後、この開口部を被覆するように、反応性スパッタ法を用い、膜厚50nmの酸化タンタル膜からなる容量膜400、スパッタ法を用い、膜厚50nmの窒化チタンからなる上部電極203を形成した。その後、リソグラフィー法を用いてMIMキャパシタを形成したい領域を保護するように第一の加工レジスト600を形成した。 40

【0037】

次に、この第一の加工レジスト600をエッチングマスクに、フッ素系ハロゲンガスを用いたドライエッチにより、加工された上部電極204、加工された容量膜401を形成した後、アッシャにより残った第一の加工レジスト600を除去した。その後、MIMキャパシタを形成したい領域と金属配線を形成したい領域とを保護するように、リソグラフィー法を用いて、第二の加工レジスト601を形成した（図12(b)）。

次に、この第二の加工レジスト601をエッチングマスクとして、第一の中間層300をドライエッチした。引き続いて、金属のエッチング装置を用いてドライエッチを行い、第二の加工レジスト601をエッチングマスクとして、第一のバリア金属層205、 50

第一のアルミニウム層 206、第二のバリアメタル層 207 によって構成される第一の金属配線 700 を形成した (図 12 (c))。

【0038】

次に、図 13 (a) に示すように、第二の加工レジスト 601 をアッシャで除去後、プラズマ CVD 法を用いて膜厚 1000 nm の酸化シリコン膜からなる第一の層間絶縁層 304 を形成した後、化学的機械研磨法を用いて第一の層間絶縁層 304 の平坦化を行った。次に、リソグラフィー法とドライエッチング法を用いて、加工された上部電極 204 もしくは第一の金属配線 700 が露出するように開口部を設け、この開口部に対し、上部電極 204 と接続したタングステンからなる第一の導電性プラグ 250、第一の金属配線 700 と接続したタングステンからなる第二の導電性プラグ 251 とを形成した。

10

【0039】

最後に、スパッタ法及びリソグラフィー法、ドライエッチ法を組み合わせることで所望の領域に膜厚 50 nm の窒化チタン膜からなる第三のバリア層 208、膜厚 400 nm のアルミニウム合金からなる第二のアルミニウム層 209、膜厚 50 nm の窒化チタン膜からなる第四のバリアメタル層 210 から構成される第二の金属配線 701 を形成した。以上の工程により、図 13 (b) に示したような、第一の金属配線 700、加工された容量膜 401、上部電極 204、第一の導電性プラグ 250 および第二の金属配線 701 から構成される MIM キャパシタを有する半導体装置を形成することが可能となる。

この実施例 2 で示した構造のほかに、第一の層間絶縁膜としてプラズマ CVD 法を用いて形成した SiOC 膜を用いた構造も準備した。

20

【0040】

このようにして形成した MIM キャパシタを有する半導体装置における MIM キャパシタの性能と信頼度を調べた結果、実施例 1 に示したのと同様の容量密度、絶縁破壊耐圧の規格値が得られた。また隣接する第一の金属配線間の寄生容量およびショート歩留まりも実施例 1 と同等の値が得られた。

つまり、本発明の実施例に従い、下部電極上に開口部を有する膜厚 100 nm の酸化シリコン層からなる第一の中間層を形成し、前記開口部を被覆するように容量膜、上部電極を形成し、前記開口部を完全に包含する形で上部電極、容量膜、第一の中間層、下部電極を加工することにより、リーク電流増大や絶縁破壊耐圧低下を最小限に抑制しつつ、高い容量密度が得られる MIM キャパシタと、この MIM キャパシタの下部電極に相当する配線層の寄生容量低減や配線間ショート歩留まりの向上が同時に可能となる半導体装置が形成可能となる。

30

【0041】

本実施例では、実施例 1 と異なり、MIM キャパシタ直下の積層アルミ膜の加工にレジストマスクを用いている。ハードマスクを用いていないため、微細加工時の寸法制御性の面で若干不利ではあるものの、ハードマスク成膜工程が省略できるというメリットがある。

本実施例では、容量膜として膜厚 50 nm の酸化タンタルを用いたが、膜厚及び材料はこれに限定されるものではない。容量密度は容量膜の膜厚に反比例して増加するので、容量密度の面からは膜厚は薄いほど良い。ただし、薄膜化に応じて絶縁破壊耐圧も低下するので、使用する電圧に応じて薄膜化限界が存在する。また、容量膜の材料として、酸化タンタル以外にも酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST 等の強誘電材料を用いることも可能である。さらに、本実施例では、容量膜として単層の絶縁膜を用いているが、この容量膜は必要に応じて積層構造とすることも可能であり、たとえば、酸化タンタル膜の上下をバンドギャップの大きな酸化アルミ等で挟み込むことでリーク電流密度を下げることも可能となる。

40

【0042】

また本実施例では、第一の中間層として主として膜厚 100 nm の酸化シリコン膜を用いているが、この膜厚、材料に限定されるものではない。前述のように第一の中間層には

50

好適な膜厚範囲があり、現在の製造装置を用いている範囲では50nmから200nm程度が良好な特性が得られている。容量膜の形成方法としてより段差カバレジの良い手法を採用すれば、第一の中間層の上限が200nm以上の領域に広がるのが容易に予想できるものの、いたずらにこの膜厚を増やすことに関してメリットは少ない。また、第一の中間層に用いる材料としてプラズマCVD法により形成した酸化シリコンを用いているが、当初の目的に合致する限りにおいて他の材料の選択を妨げるものではない。具体的には、窒化シリコン、酸窒化シリコン、炭化シリコン、窒素含有炭化シリコン、酸化アルミ、SiOCなどに代表されるLow-k膜などが利用可能である。窒化シリコンや酸窒化シリコン、酸化アルミを用いた場合には、ドライエッチ時の選択比向上やリソグラフィ時の吸光層として利用できるが、比誘電率が高いため配線の寄生容量が増大する欠点がある。一方、炭化シリコン、窒素含有炭化シリコン、SiOC膜などは比誘電率が低いために、寄生容量低減に効果的であるが、リーク電流が低減しにくい欠点もある。さらに、本実施例では、第一の中間層として単層の酸化シリコンを用いているが、これを複数の層からなる積層構造とすることも可能である。具体的には、下部電極に接する層として窒化シリコンを用い、その上層に酸化シリコンを用いた構造では、第一の中間層に設けた開口部の断面のテーパ角度を制御しやすくなる。このテーパ角度の制御性が良いと、容量膜のカバレジが向上しやすいため絶縁破壊耐圧の向上に効果的である。さらに、このテーパ角度の制御性が良ければ、MIMキャパシタの開口部面積の制御性が向上するので、所望の容量値が再現性良く得られるというメリットもある。

10

20

30

40

50

【0043】

また本実施例では、上部電極として膜厚50nmの窒化チタンを用いているが、膜厚、材料ともにこれに限定されない。上部電極が薄すぎる場合には接続孔を開口した場合に上部電極を突き破り、下に位置する容量膜に損傷を与える恐れがある。一方、膜厚が厚すぎる場合にはMIMキャパシタに対して直列に抵抗が挿入された形になるので、高周波特性が劣化する恐れがある。窒化チタンを用いている範囲では、50nmから100nm程度が好適である。また、上部電極の材料として、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属、アルミおよびその合金、なども利用可能である。さらに、第一および第二の金属配線に用いるバリアメタルとして窒化チタンを用いているが、上記のように、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属を用いることも可能であり、また、信頼度的に余裕があるのであれば、バリアメタルを用いない構造を利用することも可能である。また、上部電極、バリアメタルともに複数の層からなる積層構造にすることになら問題はない。

【0044】

また本実施例では、実施例1とほぼ同様、図9のレイアウト図面に示したような構成をとっている。ただ、実施例とは一点異なっており、上部電極を示す領域754の外側に第一の金属配線750が位置している。実際の応用を考えた場合には、実施例2に示したような、接続孔の位置、数、大きさに限定されることはない。接続孔の大きさは、大きければ大きいほど寄生抵抗は小さくなるため高周波特性は良好になる。しかし、一般的にCVD法で形成するタングステンの場合には、上限のサイズが存在する。接続孔の埋め込みをアルミ合金で行う場合には、このサイズ制限は緩和されるものの、別途、層間絶縁膜平坦化やメタル平坦化など工程数が増える原因となる。また本実施例では、接続孔位置が開口部の内側にある。この構成では上部電極にともなう寄生抵抗は最小限度に抑えられるものの、接続孔開口時のオーバーエッチ量が多すぎる場合には、容量膜に損傷が入る恐れがある。一方、接続孔を開口部の外側、つまり、図9において領域754内部で、かつ、領域755外部である領域、に設置した場合には、オーバーエッチに伴う容量膜損傷に対するマージンは大幅に向上する。その理由は、万一、接続孔が上部電極を突き抜けて容量膜に達しても、その直下には第一の中間層が存在するため、容量膜の損傷がそのままMIMキャパシタ特性の劣化につながらないからである。しかしながら、上部電極のシート抵抗に起因した寄生抵抗が増大するため、高周波特性には悪影響を与える恐れがある。

【0045】

また本実施例では、第一の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、ブラックダイヤモンド（登録商標：Applied Materials社製）に代表されるようなSiOC膜（炭素を含有する酸化シリコン膜）、SiLK（登録商標：Dow Chemical社製）に代表されるような有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。この酔うなLow-k材料を用いるときには、何らかの保護絶縁膜が必要であるので、第一の層間絶縁膜としては、それら複数の絶縁膜から構成される積層膜も含んでいる。さらにこのようなLow-k材料を用いた場合には、プロセス温度等の制約からタングステンのCVD法の適用が困難な場合が多いので、その際にはアルミ等で接続孔を埋め込んだほうが良い。

10

本実施例では、第二の金属配線をドライエッチ法で加工したアルミ配線を用いているが、必要に応じてダマシン法を用いたアルミ配線や銅配線を用いることも可能である。この際、接続孔も同時に形成するデュアルダマシン法を適用し、工程数を削減することも可能である。

【実施例3】

【0046】

図14および図15は本発明の半導体装置の製造工程を示す断面図である。以下、順を追って説明する。

図14(a)に示すように、半導体素子が形成された基体100上に、スパッタ法を用い、膜厚50nmの窒化チタン膜、膜厚400nmのアルミニウム合金、膜厚50nmの窒化チタン膜を形成した後、リソグラフィー法とドライエッチ法を用いて第一のバリアメタル層205、第一のアルミニウム層206、第二のバリアメタル層207によって構成される第一の金属配線700を形成した。次に、プラズマCVD法を用いて膜厚1000nmの酸化シリコン膜からなる第一の層間絶縁層304を形成した後、化学的機械研磨法を用いて第一の層間絶縁層304の平坦化を行った。次に、リソグラフィー法とドライエッチング法を用いて、所望の領域の第一の金属配線700が露出するように開口部を設け、この開口部に対し、タングステンからなる第一の導電性プラグ250、第二の導電性プラグ251とを形成した。次に、この第一の導電性プラグ250、第二の導電性プラグ251を被覆するようにスパッタ法を用いて膜厚50nmの窒化チタンを形成し、リソグラフィー法とドライエッチ法とを組み合わせ、第一の導電性プラグ250を被覆するように加工された下部電極211を形成した。その後、プラズマCVD法を用いて膜厚100nmの酸化シリコン膜を形成した後、リソグラフィー法とドライエッチ法を用い、加工された下部電極211に開口部500を有する第一の中間層300を形成した。

20

30

【0047】

次に、この開口部500を被覆し、かつ、加工された下部電極211と接するように膜厚50nmの酸化タンタルからなる容量膜400を形成し、さらにスパッタ法で膜厚50nmの窒化チタンからなる上部電極203を形成した。その後、MIMキャパシタとして残したい領域をカバーするように第一の加工レジスト600をリソグラフィー法を用いて形成した（図14(b)）。

40

次に、第一の加工レジスト600を加工マスクとして、上部電極203、容量膜400、第一の中間層300をドライエッチした。その後、全面にスパッタ法で、膜厚50nmの窒化チタン膜からなる第三のバリア膜212、膜厚400nmのアルミニウム合金からなる第二のアルミニウム膜213、膜厚50nmの窒化チタン膜からなる第四のバリアメタル膜214を形成した（図15(a)）。

【0048】

次に図15(b)に示すように、金属配線を形成したい領域に、第二の加工レジスト601をリソグラフィー法で形成し、塩素系のガスを用いたドライエッチ法により、膜厚50nmの窒化チタン膜からなる第三のバリア層208、膜厚400nmのアルミニウム合金からなる第二のアルミニウム層209、膜厚50nmの窒化チタン膜からなる第四のバ

50

リアメタル層 210 から構成される第二の金属配線 701 を形成した。最後に余分な第二の加工レジスト 601 をアッシャで除去することで、第一の金属配線 700、第一の導電性プラグ 250、加工された下部電極 211、加工された容量膜 401、加工された上部電極 204、および第二の金属配線 701 から構成される MIM キャパシタを有する半導体装置を形成することが可能となる。

この実施例 3 で示した構造のほかに、第一の中間層 300 の膜厚を 0、10、50、200、300 nm と変えて作成した構造もそれぞれ準備した。

【0049】

このようにして形成した MIM キャパシタを有する半導体装置における MIM キャパシタの性能と信頼度を調べた。その結果、実施例 1 と同様、第一の中間層の厚みにかかわらず、容量密度 $4 \text{ fF} / \mu\text{m}^2$ の性能が得られた。一方、MIM キャパシタの絶縁破壊耐圧の規格値を満たしたのは、実施例 1 と同様、第一の中間層 300 の膜厚が 50 nm から 200 nm の間の構造を有するものであった。絶縁破壊耐圧が規格を満たさない理由を詳しく調べたところ、第一の中間層の膜厚が 0 nm と 10 nm のものでは、下部電極 211 の端部および側壁においてその上に形成された第一の中間層や容量膜が薄くなっていることがわかった。このため、この下部電極端部におけるリーク電流の増大によって絶縁破壊耐圧が低下した可能性が考えられる。一方、第一の中間層の膜厚が 300 nm の場合には、第一の中間層 303 に設けた開口部の端部付近で、容量膜 400 が局所的に薄くなっているのが観察された。これは、第一の中間層の膜厚が厚くなりすぎたために開口部端部での酸化タンタル膜のカバレッジ不足が顕在化した可能性が考えられる。すなわち、第一の中間層が薄すぎると（たとえば 10 nm 以下）、MIM キャパシタ端部におけるリーク電流増大を抑制する効果が失われ、一方、第一の中間層を厚くしすぎると（たとえば 300 nm 以上）、開口部端部におけるスパッタカバレッジが低下して、絶縁破壊耐圧が低下することがわかった。

【0050】

さらに、実施例 1 と同様、第一の金属配線 700、第二の金属配線 701 の周囲を比誘電率の高い第一の中間層で被覆されることがないため、従来例 3 のように配線の寄生容量が増大し、信号遅延の増大や消費電力の増大といった問題がおきにくいことがわかった。

つまり、本発明の実施例に従い、下層金属配線に開口された接続孔を被覆するように下部電極を形成し、この下部電極上に開口部を有する膜厚 100 nm の酸化シリコン層からなる第一の中間層を形成し、前記開口部を被覆するように容量膜、上部電極を形成し、前記開口部を完全に包含する形で上部電極、容量膜、第一の中間層を加工することにより、リーク電流増大や絶縁破壊耐圧低下を最小限に抑制しつつ、高い容量密度が得られる MIM キャパシタを有する半導体装置が形成可能となる。

【0051】

本実施例では、実施例 1 と異なり、MIM キャパシタの容量膜直下はアルミ配線とは別個に形成した金属膜であるので、アルミ配線に使われているバリアメタルとは独立して材料選択が可能であり、また、アルミ配線上に生じるヒロック等の影響を受けにくい特徴を持つ。一方、下部電極の加工工程が新たに加わるので全体の工程数は増加する。

本実施例では、容量膜として膜厚 50 nm の酸化タンタルを用いたが、膜厚及び材料はこれに限定されるものではない。容量密度は容量膜の膜厚に反比例して増加するので、容量密度の面からは膜厚は薄いほど良い。ただし、薄膜化に応じて絶縁破壊耐圧も低下するので、使用する電圧に応じて薄膜化限界が存在する。また、容量膜の材料として、酸化タンタル以外にも酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST 等の強誘電材料を用いることも可能である。さらに、本実施例では、容量膜として単層の絶縁膜を用いているが、この容量膜は必要に応じて積層構造とすることも可能であり、たとえば、酸化タンタル膜の上下をバンドギャップの大きな酸化アルミ等で挟み込むことでリーク電流密度を下げることも可能となる。

【0052】

10

20

30

40

50

また本実施例では、第一の中間層として主として膜厚100nmの酸化シリコン膜を用いているが、この膜厚、材料に限定されるものではない。前述のように第一の中間層には好適な膜厚範囲があり、現在の製造装置を用いている範囲では50nmから200nm程度が良好な特性が得られている。容量膜の形成方法としてより段差カバレジの良い手法を採用すれば、第一の中間層の上限が200nm以上の領域に広がるのが容易に予想できるものの、いたずらにこの膜厚を増やすことに関してメリットは少ない。また、第一の中間層に用いる材料としてプラズマCVD法により形成した酸化シリコンを用いているが、当初の目的に合致する限りにおいて他の材料の選択を妨げるものではない。具体的には、窒化シリコン、酸窒化シリコン、炭化シリコン、窒素含有炭化シリコン、酸化アルミ、SiOCなどに代表されるLow-k膜などが利用可能である。窒化シリコンや酸窒化シリコン、酸化アルミを用いた場合には、ドライエッチ時の選択比向上やリソグラフィ時の吸光層として利用できるが、比誘電率が高いため配線の寄生容量が増大する欠点がある。一方、炭化シリコン、窒素含有炭化シリコン、SiOC膜などは比誘電率が低いために、寄生容量低減に効果的であるが、リーク電流が低減しにくい欠点もある。さらに、本実施例では、第一の中間層として単層の酸化シリコンを用いているが、これを複数の層からなる積層構造とすることも可能である。具体的には、下部電極に接する層として窒化シリコンを用い、その上層に酸化シリコンを用いた構造では、第一の中間層に設けた開口部の断面のテーパ角度を制御しやすくなる。このテーパ角度の制御性が良いと、容量膜のカバレジが向上しやすいため絶縁破壊耐圧の向上に効果的である。さらに、このテーパ角度の制御性が良ければ、MIMキャパシタの開口部面積の制御性が向上するので、所望の容量値が再現性良く得られるというメリットもある。

【0053】

また本実施例では、下部電極及び上部電極として膜厚50nmの窒化チタンを用いているが、膜厚、材料ともにこれに限定されない。電極膜厚が厚すぎる場合にはMIMキャパシタに対して直列に抵抗が挿入された形になるので、高周波特性が劣化する恐れがある。窒化チタンを用いている範囲では、50nmから100nm程度が好適である。また、上部電極の材料として、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属、アルミおよびその合金、なども利用可能である。さらに、第一および第二の金属配線に用いるバリアメタルとして窒化チタンを用いているが、上記のように、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属を用いることも可能であり、また、信頼度的に余裕があるのであれば、バリアメタルを用いない構造を利用することも可能である。また、上部電極、バリアメタルともに複数の層からなる積層構造にすることになんら問題はない。

【0054】

また本実施例では、第一の金属配線700と下部電極211を単一の接続孔で接続しているが、両者の電氣的接続が確保されてさえいれば、接続孔の数、位置、形状は任意に選択可能である。MIMキャパシタに直列に挿入される寄生抵抗を低減するためには、接続孔は大きいほど良いのは言うまでもない。

本実施例では、接続孔は第一の導電性プラグ250でタングステンによって完全に埋め込まれているが、本発明の有効性は、この構造、材料に限定されるわけではない。第一の導電性プラグ250の材料としてタングステン以外にもアルミや銅を主成分とする導体を用いることも可能である。また、第一の導電性プラグ250の表面が第一の層間絶縁膜304の表面と必ずしも一致する必要はなく、信頼度に影響しない程度でのへこみ、隆起は下部電極、容量膜の成膜工程であるていど対応可能である。

【0055】

また本実施例では、第一の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、ブラックダイヤモンド（登録商標：Applied Materials社製）に代表されるようなSiOC膜（炭素を含有する酸化シリコン膜）、SiLK（登録商標：Dow Chemical社製

）に代表されるような有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。このようなLow-k材料を用いるときには、何らかの保護絶縁膜が必要であるので、第一の層間絶縁膜としては、それら複数の絶縁膜から構成される積層膜も含んでいる。

【0056】

本実施例では、第一の金属配線をドライエッチ法で加工したアルミ配線を用いているが、必要に応じてダマシン法を用いたアルミ配線や銅配線を用いることも可能である。

【実施例4】

【0057】

図16および図17は本発明の半導体装置の製造工程を示す断面図である。以下、順を追って説明する。 10

図16(a)に示すように、半導体素子が形成された基体100上に、スパッタ法を用い、膜厚50nmの窒化チタン膜、膜厚400nmのアルミニウム合金、膜厚50nmの窒化チタン膜を形成した後、リソグラフィ法とドライエッチ法を用いて第一のバリアメタル層205、第一のアルミニウム層206、第二のバリアメタル層207によって構成される第一の金属配線700を形成した。次に、プラズマCVD法を用いて膜厚1000nmの酸化シリコン膜からなる第一の層間絶縁層304を形成した後、化学的機械研磨法を用いて第一の層間絶縁層304の平坦化を行った。次に、膜厚50nmの窒化シリコンからなるエッチストップ層をCVD法で形成した後、リソグラフィ法とドライエッチング法を用いて、所望の領域の第一の金属配線700が露出するように開口部を設け、この 20
開口部に対し、タングステンからなる第一の導電性プラグ250、第二の導電性プラグ251とを形成した。次に、この第一の導電性プラグ250、第二の導電性プラグ251を被覆するようにスパッタ法を用いて膜厚50nmの窒化チタンを形成し、リソグラフィ法とドライエッチ法とを組み合わせ、第一の導電性プラグ250を被覆するように加工された下部電極211を形成した。その後、プラズマCVD法を用いて膜厚100nmの酸化シリコン膜を形成した後、リソグラフィ法とドライエッチ法を用い、加工された下部電極211に開口部500を有する第一の中間層300を形成した。

【0058】

次に、この開口部500を被覆し、かつ、加工された下部電極211と接するように膜厚50nmの酸化タンタルからなる容量膜400を形成し、さらにスパッタ法で膜厚50 30
nmの窒化チタンからなる上部電極203を形成した。その後、MIMキャパシタとして残したい領域をカバーするように第一の加工レジスト600をリソグラフィ法を用いて形成した(図16(b))。

次に、第一の加工レジスト600を加工マスクとして、上部電極203、容量膜400、第一の中間層300をドライエッチした。その後、プラズマCVD法を用いて膜厚500nmの酸化シリコンからなる第二の層間絶縁膜306を形成し、化学的機械研磨法を用いて第二の層間絶縁膜306の平坦化を行った。その後、金属配線を形成したい領域に、第二の加工レジスト601をリソグラフィ法で形成した(図17(a))。

【0059】

次に図17(b)に示したように、ドライエッチ法を用いて、上部電極204及びエッチストップ305をエッチング停止層としてドライエッチを行い、第二の層間絶縁膜に開口部を形成した。次に、スパッタ法で膜厚50nmの窒化タンタル、膜厚100nmの銅膜を順次形成した後、硫酸銅水溶液を主成分とする銅メッキ液を用いて電解銅メッキを行い第二の層間絶縁膜に設けた開口部を埋め込んだ。その後、化学的機械研磨法を用いて、余分な領域の銅膜及び窒化タンタル膜を除去し、第一の銅層216と第五のバリアメタル層215から構成される第二の金属配線701を形成した。このようにして、第一の金属配線700、第一の導電性プラグ250、加工された下部電極211、加工された容量膜401、加工された上部電極204、および第二の金属配線701から構成されるMIM 40
キャパシタを有する半導体装置を形成することが可能となる。

【0060】

このようにして形成したMIMキャパシタを有する半導体装置におけるMIMキャパシタの性能及び信頼度を調べた結果、実施例3に示したのと同様の信頼度および性能が得られることがわかった。

つまり、本発明の実施例に従い、下層金属配線に開口された接続孔を被覆するように下部電極を形成し、この下部電極上に開口部を有する膜厚100nmの酸化シリコン層からなる第一の中間層を形成し、前記開口部を被覆するように容量膜、上部電極を形成し、前記開口部を完全に包含する形で上部電極、容量膜、第一の中間層を加工することにより、リーク電流増大や絶縁破壊耐圧低下を最小限に抑制しつつ、高い容量密度が得られるMIMキャパシタを有する半導体装置が形成可能となる。

【0061】

本実施例では、実施例1と異なり、MIMキャパシタの容量膜直下はアルミ配線とは別個に形成した金属膜であるので、アルミ配線に使われているバリアメタルとは独立して材料選択が可能であり、また、アルミ配線上に生じるヒロック等の影響を受けにくい特徴を持つ。一方、下部電極の加工工程が新たに加わるので全体の工程数は増加する。

【0062】

また本実施例では、容量膜として膜厚50nmの酸化タンタルを用いたが、膜厚及び材料はこれに限定されるものではない。容量密度は容量膜の膜厚に反比例して増加するので、容量密度の面からは膜厚は薄いほど良い。ただし、薄膜化に応じて絶縁破壊耐圧も低下するので、使用する電圧に応じて薄膜化限界が存在する。また、容量膜の材料として、酸化タンタル以外にも酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST等の強誘電材料を用いることも可能である。さらに、本実施例では、容量膜として単層の絶縁膜を用いているが、この容量膜は必要に応じて積層構造とすることも可能であり、たとえば、酸化タンタル膜の上下をバンドギャップの大きな酸化アルミ等で挟み込むことでリーク電流密度を下げることも可能となる。

【0063】

また本実施例では、エッチストップ層として膜厚50nmの窒化シリコンを用いているが、膜厚、材料はこれに限定されるものではない。窒化シリコンは比誘電率が高いので、寄生容量を削減したい場合には、酸窒化シリコン、炭化シリコン、窒素含有炭化シリコン、酸化アルミ、SiOCなどに代表されるLow-k膜なども利用可能である。また、本実施例では、エッチストップ層は第一の層間絶縁膜上、かつ、下部電極211下に形成してあるが、この位置に限定されるものではなく、上部電極204、容量膜401を被覆するように形成することも可能である。このようにした場合、MIMキャパシタ部分は第二の層間絶縁膜加工時にはプラズマにさらされず、加工終了後にエッチストップ層を除去する際にのみプラズマにさらされることになる。また、配線高さの制御性等に関する制限がゆるい場合には、このエッチストップ層を設けない構造も利用可能である。

【0064】

また本実施例では、第一の中間層として主として膜厚100nmの酸化シリコン膜を用いているが、この膜厚、材料に限定されるものではない。前述のように第一の中間層には好適な膜厚範囲があり、現在の製造装置を用いている範囲では50nmから200nm程度が良好な特性が得られている。容量膜の形成方法としてより段差カバレジの良い手法を採用すれば、第一の中間層の上限が200nm以上の領域に広がることが容易に予想できるものの、いたずらにこの膜厚を増やすことに関してメリットは少ない。また、第一の中間層に用いる材料としてプラズマCVD法により形成した酸化シリコンを用いているが、当初の目的に合致する限りにおいて他の材料の選択を妨げるものではない。具体的には、窒化シリコン、酸窒化シリコン、炭化シリコン、窒素含有炭化シリコン、酸化アルミ、SiOCなどに代表されるLow-k膜などが利用可能である。窒化シリコンや酸窒化シリコン、酸化アルミを用いた場合には、ドライエッチ時の選択比向上やリソグラフィー時の吸光層として利用できるが、比誘電率が高いために配線の寄生容量が増大する欠点がある。一方、炭化シリコン、窒素含有炭化シリコン、SiOC膜などは比誘電率が低いために、

10

20

30

40

50

寄生容量低減に効果的であるが、リーク電流が低減しにくい欠点もある。さらに、本実施例では、第一の中間層として単層の酸化シリコンを用いているが、これを複数の層からなる積層構造とすることも可能である。具体的には、下部電極に接する層として窒化シリコンを用い、その上層に酸化シリコンを用いた構造では、第一の中間層に設けた開口部の断面のテーパ角度を制御しやすくなる。このテーパ角度の制御性が良いと、容量膜のカパレジが向上しやすいため絶縁破壊耐圧の向上に効果的である。さらに、このテーパ角度の制御性が良ければ、MIMキャパシタの開口部面積の制御性が向上するので、所望の容量値が再現性良く得られるというメリットもある。

【0065】

また本実施例では、下部電極及び上部電極として膜厚50nmの窒化チタンを用いているが、膜厚、材料ともにこれに限定されない。電極膜厚が厚すぎる場合にはMIMキャパシタに対して直列に抵抗が挿入された形になるので、高周波特性が劣化する恐れがある。窒化チタンを用いている範囲では、50nmから100nm程度が好適である。また、上部電極の材料として、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属、アルミおよびその合金、なども利用可能である。さらに、第一の金属配線に用いるバリアメタルとしては窒化チタン、第二の金属配線に用いるバリアメタルとしては窒化タンタルを用いているが、上記のように、窒化チタンタンタル、タングステン及びその窒化物を主たる成分とする金属を用いることも可能であり、また、信頼度的に余裕があるのであれば、バリアメタルを用いない構造を利用することも可能である。また、上部電極、バリアメタルともに複数の層からなる積層構造にすることになんら問題はない。

【0066】

また本実施例では、第一の金属配線700と下部電極211を単一の接続孔で接続しているが、両者の電氣的接続が確保されてさえいれば、接続孔の数、位置、形状は任意に選択可能である。MIMキャパシタに直列に挿入される寄生抵抗を低減するためには、接続孔は大きいほど良いのは言うまでもない。

【0067】

また本実施例では、接続孔は第一の導電性プラグ250でタングステンによって完全に埋め込まれているが、本発明の有効性は、この構造、材料に限定されるわけではない。第一の導電性プラグ250の材料としてタングステン以外にもアルミや銅を主成分とする導体を用いることも可能である。また、第一の導電性プラグ250の表面が第一の層間絶縁膜304の表面と必ずしも一致する必要はなく、信頼度に影響しない程度でのへこみ、隆起は下部電極、容量膜の成膜工程であるていど対応可能である。

【0068】

また本実施例では、第一の層間絶縁膜および第二の層間絶縁膜として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、ブラックダイヤモンド（登録商標：Applied Materials社製）に代表されるようなSiOC膜（炭素を含有する酸化シリコン膜）、SiLK（登録商標：Dow Chemical社製）に代表されるような有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。このようなLow-k材料を用いるときには、何らかの保護絶縁膜が必要であるので、第一の層間絶縁膜および第二の層間絶縁膜としては、それら複数の絶縁膜から構成される積層膜も含んでいる。

【0069】

本実施例では、第一の金属配線をドライエッチ法で加工したアルミ配線を用いているが、必要に応じてダマシン法を用いたアルミ配線や銅配線を用いることも可能である。

【実施例5】

【0070】

本実施例は実施例2に示した半導体装置の製造工程を用いた応用例の1つであり、MIMキャパシタと抵抗体とを同一の平面上に形成するための工程を図18、図19に示す断面図を用いて説明する。以下、順を追って説明する。

図18(a)に示すように、半導体素子が形成された基体100上に、スパッタ法を用い、膜厚50nmの窒化チタン膜からなる第一のバリア膜200、膜厚400nmのアルミニウム合金からなる第一のアルミニウム膜201、膜厚50nmの窒化チタン膜からなる第二のバリア金属膜202を形成した後、プラズマCVD法を用い、膜厚100nmの酸化シリコンからなる第一の中間層300を形成し、リソグラフィー法とドライエッチ法を用いて第一の中間層300の所望の領域に開口部を設けた後、この開口部を被覆するように、反応性スパッタ法を用い、膜厚50nmの酸化タンタル膜からなる容量膜400、スパッタ法を用い、膜厚25nmの窒化タンタルからなる上部電極203を形成した。その後、リソグラフィー法を用いてMIMキャパシタを形成したい領域には第一の加工レジスト600を、また、抵抗体を形成したい領域には第二の加工レジスト601を形成した。

10

【0071】

次に、この第一の加工レジスト600及び第二の加工レジスト601をエッチングマスクに、フッ素系ハロゲンガスを用いたドライエッチにより、加工された上部電極204、加工された容量膜401、加工された抵抗体層217、抵抗体層下の容量膜402を形成した後、アッシャにより残った第一の加工レジスト600、第二の加工レジスト601を除去した。その後、MIMキャパシタを形成したい領域と金属配線を形成したい領域とを保護するように、リソグラフィー法を用いて、第三の加工レジスト602を形成した(図18(b))。

【0072】

20

次に、この第三の加工レジスト602をエッチングマスクとして、第一の中間層300をドライエッチした。引き続いて、金属のエッチング装置を用いてドライエッチを行い、第三の加工レジスト602をエッチングマスクとして、第一のバリア金属層205、第一のアルミニウム層206、第二のバリア金属層207によって構成される第一の金属配線700を形成した(図18(c))。

次に、図19(a)に示すように、第三の加工レジスト602をアッシャで除去後、プラズマCVD法を用いて膜厚1000nmの酸化シリコン膜からなる第一の層間絶縁層304を形成した後、化学的機械研磨法を用いて第一の層間絶縁層304の平坦化を行った。次に、リソグラフィー法とドライエッチング法を用いて、加工された上部電極204もしくは加工された抵抗体層217が露出するように開口部を設け、この開口部に対し、上部電極204と接続したタングステンからなる第一の導電性プラグ250、加工された抵抗体層217と接続したタングステンからなる第二の導電性プラグ251とを形成した。図面には開示していないが、MIMキャパシタおよび抵抗体が形成されていない第一の金属配線に接続孔を設ける必要がある際には、第一の中間層303にも開口部を設け、第一の金属配線700が露出させる必要がある。

30

【0073】

最後に、スパッタ法及びリソグラフィー法、ドライエッチ法を組み合わせることで所望の領域に膜厚50nmの窒化チタン膜からなる第三のバリア層208、膜厚400nmのアルミニウム合金からなる第二のアルミニウム層209、膜厚50nmの窒化チタン膜からなる第四のバリア金属層210から構成される第二の金属配線701を形成した。以上の工程により、図19(b)に示したような、第一の金属配線700、加工された容量膜401、上部電極204、第一の導電性プラグ250および第二の金属配線701から構成されるMIMキャパシタ、および、加工された抵抗体層217から構成された抵抗体を有する半導体装置を形成することが可能となる。

40

このようにして形成したMIMキャパシタを有する半導体装置におけるMIMキャパシタの性能と信頼度は実施例2と同等である。一方、このようにして形成された抵抗体は、 $92\Omega/\square$ のシート抵抗を持つことがわかった。さらに電気抵抗の温度係数を評価したところ、 $-70\text{ppm}/^\circ\text{C}$ の十分な性能が得られた。

【0074】

つまり、本発明の実施例に従い、下部電極上に開口部を有する膜厚100nmの酸化シ

50

リコン層からなる第一の中間層を形成し、前記開口部を被覆するように容量膜、上部電極を形成し、前記開口部を完全に包含する形で上部電極、容量膜、第一の中間層、下部電極を加工し、さらに、上部電極加工時に抵抗体を形成したい領域に上部電極と容量膜を加工し、抵抗体を形成したい領域を包含する形で第一の中間層、下部電極を加工すれば、リーク電流増大や絶縁破壊耐圧低下を最小限に抑制しつつ、高い容量密度が得られるMIMキャパシタと、このMIMキャパシタの下部電極に相当する配線層の寄生容量低減や配線間ショート歩留まりの向上と、温度係数に優れた抵抗体とが同時に可能となる半導体装置が形成可能となる。

【0075】

本実施例では、上部電極および抵抗体を、膜厚25nmの窒化タンタルで形成したが、膜厚及び材料はこれに限定されるものではない。上部電極としての性能、および、抵抗体としての性能を損なわない範囲で他の材料、異なる膜厚を用いることも可能となる。具体的には、チタン、タングステン、モリブデンなどの高融点金属、およびその窒化物を主たる成分とする合金を用いることが可能である。また、膜厚に関しても、抵抗体を形成する物質の抵抗率に応じて、回路設計で許容するシート抵抗の範囲で変化させることが可能である。また、本実施例では、上部電極および抵抗体を、単層の窒化タンタルで構成したが、異なる組成、材料を持つ層を複数重ねた積層構造とすることも可能である。

【0076】

また本実施例では、容量膜として膜厚50nmの酸化タンタルを用いたが、膜厚及び材料はこれに限定されるものではない。容量膜の材料として、酸化タンタル以外にも酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST等の強誘電材料を用いることも可能である。さらに、本実施例では、容量膜として単層の絶縁膜を用いているが、この容量膜は必要に応じて積層構造とすることも可能である。

【0077】

また本実施例では、第一の中間層として主として膜厚100nmの酸化シリコン膜を用いているが、この膜厚、材料に限定されるものではない。前述のように第一の中間層には好適な膜厚範囲があり、現在の製造装置を用いている範囲では50nmから200nm程度が良好な特性が得られているが、成膜装置の性能に依存して、この好適な膜厚範囲はある程度変化することは容易に予想可能である。また、第一の中間層に用いる材料としてプラズマCVD法により形成した酸化シリコンを用いているが、当初の目的に合致する限りにおいて他の材料の選択を妨げるものではない。具体的には、窒化シリコン、酸窒化シリコン、炭化シリコン、窒素含有炭化シリコン、酸化アルミ、SiOCなどに代表されるLow-k膜などが利用可能である。さらに、本実施例では、第一の中間層として単層の酸化シリコンを用いているが、これを複数の層からなる積層構造とすることも可能である。具体的には、下部電極に接する層として窒化シリコンを用い、その上層に酸化シリコンを用いた構造では、第一の中間層に設けた開口部の断面のテーパ角度を制御しやすくなる。このテーパ角度の制御性が良いと、容量膜のカバレッジが向上しやすいため絶縁破壊耐圧の向上に効果的である。さらに、このテーパ角度の制御性が良ければ、MIMキャパシタの開口部面積の制御性が向上するので、所望の容量値が再現性良く得られるというメリットもある。

【0078】

また本実施例では、MIM部分のレイアウトに関しては、ほぼ図9のレイアウト図面に示したような構成をとっている。実際の応用を考えた場合には、本実施例に示したような、接続孔の位置、数、大きさに限定されることはないという点は、実施例2において示したとおりである。

また本実施例では、第一の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、ブラックダイヤモンド（

10

20

30

40

50

登録商標：Applied Materials社製）に代表されるようなSiOC膜（炭素を含有する酸化シリコン膜）、SiLK（登録商標：Dow Chemical社製）に代表されるような有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。

【0079】

本実施例では、第二の金属配線をドライエッチ法で加工したアルミ配線を用いているが、必要に応じてダマシン法を用いたアルミ配線や銅配線を用いることも可能である。この際、接続孔も同時に形成するデュアルダマシン法を適用し、工程数を削減することも可能である。

【実施例6】

【0080】

本実施例は実施例3に示した半導体装置の製造工程を用いた応用例の1つであり、MIMキャパシタと抵抗体とを同一の平面上に形成するための工程を図20、図21に示す断面図を用いて説明する。以下、順を追って説明する。

図20(a)に示すように、半導体素子が形成された基体100上に、スパッタ法を用い、膜厚50nmの窒化チタン膜、膜厚400nmのアルミニウム合金、膜厚50nmの窒化チタン膜を形成した後、リソグラフィー法とドライエッチ法を用いて第一のバリアメタル層205、第一のアルミニウム層206、第二のバリアメタル層207によって構成される第一の金属配線700を形成した。次に、プラズマCVD法を用いて膜厚1000nmの酸化シリコン膜からなる第一の層間絶縁層304を形成した後、化学的機械研磨法を用いて第一の層間絶縁層304の平坦化を行った。次に、リソグラフィー法とドライエッチング法を用いて、所望の領域の第一の金属配線700が露出するように開口部を設け、この開口部に対し、タングステンからなる第一の導電性プラグ250、第二の導電性プラグ251とを形成した。次に、この第一の導電性プラグ250、第二の導電性プラグ251を被覆するようにスパッタ法を用いて膜厚50nmの窒化タンタルを形成し、リソグラフィー法とドライエッチ法とを組み合わせ、第一の導電性プラグ250を被覆するように加工された下部電極211、及び、第二の導電性プラグ251を被覆するように加工された抵抗体層217を形成した。その後、プラズマCVD法を用いて膜厚100nmの酸化シリコン膜を形成した後、リソグラフィー法を用い、所望の領域に開口部を有する第一の加工レジスト600を形成した。この第一の加工レジスト600は、少なくとも加工された下部電極211上において開口部を有する必要がある。

【0081】

次に、第一の加工レジスト600を加工マスクにドライエッチを行い、少なくとも下部電極211が露出するように第一の中間層300に開口部を設けた後、この開口部を被覆するように容量膜400、上部電極203を形成した（図20(b)）。次に、MIMキャパシタとして残したい領域をカバーするように第二の加工レジスト601をリソグラフィー法を用いて形成した後、第二の加工レジスト601を加工マスクとして、上部電極203、容量膜400をドライエッチした（図21(a)）。この工程において、加工された抵抗体層217は上部に加工された第一の中間層303で保護されるために、エッチングされない。

【0082】

次に、第二の加工レジスト601をアッシャで除去後、全面にスパッタ法で、膜厚50nmの窒化チタン膜、膜厚400nmのアルミニウム合金、膜厚50nmの窒化チタン膜を形成した後、リソグラフィー法と、塩素系のガスを用いたドライエッチ法とを組み合わせ、膜厚50nmの窒化チタン膜からなる第三のバリア層208、膜厚400nmのアルミニウム合金からなる第二のアルミニウム層209、膜厚50nmの窒化チタン膜からなる第四のバリアメタル層210から構成される第二の金属配線701を形成した。このようにして、第一の金属配線700、第一の導電性プラグ250、加工された下部電極211、加工された容量膜401、加工された上部電極204、および第二の金属配線701から構成されるMIMキャパシタ、及び、第二の導電性プラグ251に接続された抵抗

10

20

30

40

50

体層 2 1 7 から構成される抵抗体を有する半導体装置を形成することが可能となる。

【0083】

上記の工程で形成した M I M キャパシタ及び抵抗体の平面レイアウト図の例を図 2 2 に示す。図 2 0、図 2 1 に示した断面図は図 2 2 中の A - A ' 間の断面である。図 2 2 における B - B ' 方向の断面図を図 2 3 に、図 2 2 における C - C ' 方向の断面図を図 2 4 に示した。図 2 2 に示したレイアウト図において、第一の中間層に設けられた開口部 7 5 5 が M I M キャパシタとして機能する領域であり、抵抗体 7 6 1 が抵抗体として機能する領域である。

このようにして形成した M I M キャパシタと抵抗体を有する半導体装置における M I M キャパシタの性能と信頼度を調べた結果、実施例 3 と同様の性能、信頼度が得られることがわかった。また、このようにして形成された抵抗体は、 $92 \Omega / \square$ のシート抵抗を持つことがわかった。さらに電気抵抗の温度係数を評価したところ、 $-70 \text{ ppm} / ^\circ\text{C}$ の十分な性能が得られた。

【0084】

つまり、本発明の実施例に従い、下層金属配線に開口された接続孔を被覆するように下部電極を形成し、この下部電極上に開口部を有する膜厚 100 nm の酸化シリコン層からなる第一の中間層を形成し、前記開口部を被覆するように容量膜、上部電極を形成し、前記開口部を完全に包含する形で上部電極、容量膜、第一の中間層を加工することにより、リーク電流増大や絶縁破壊耐圧低下を最小限に抑制しつつ、高い容量密度が得られる M I M キャパシタが形成可能であり、さらに、下部電極として形成された金属膜の一部を加工することで抵抗体を形成し、この抵抗体上を被覆するように第一の中間層を形成することにより、工程数の増大を伴わずに抵抗体が形成可能である、半導体装置を得ることが可能となる。

本実施例では、実施例 5 と異なり、M I M キャパシタの容量膜直下はアルミ配線とは別個に形成した金属膜であるので、アルミ配線に使われているバリアメタルとは独立して材料選択が可能であり、また、アルミ配線上に生じるヒロック等の影響を受けにくい特徴を持つ。一方、下部電極の加工工程が新たに加わるので全体の工程数は増加する。

【0085】

また本実施例では、下部電極および抵抗体を、膜厚 25 nm の窒化タンタルで形成したが、膜厚及び材料はこれに限定されるものではない。下部電極としての性能、および、抵抗体としての性能を損なわない範囲で他の材料、異なる膜厚を用いることも可能となる。具体的には、チタン、タングステン、モリブデンなどの高融点金属、およびその窒化物を主たる成分とする合金を用いることが可能である。また、膜厚に関しても、抵抗体を形成する物質の抵抗率に応じて、回路設計で許容するシート抵抗の範囲で変化させることが可能である。また、本実施例では、下部電極および抵抗体を、単層の窒化タンタルで構成したが、異なる組成、材料を持つ層を複数重ねた積層構造とすることも可能である。

【0086】

また本実施例では、上部電極として膜厚 50 nm の窒化チタンを用いているが、膜厚、材料ともにこれに限定されない。上部電極の材料として、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属、アルミおよびその合金、なども利用可能である。さらに、第一および第二の金属配線に用いるバリアメタルとして窒化チタンを用いているが、上記のように、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属を用いることも可能であり、また、信頼度的に余裕があるのであれば、バリアメタルを用いない構造を利用することも可能である。また、上部電極、バリアメタルともに複数の層からなる積層構造にすることになんら問題はない。

【0087】

また本実施例では、容量膜として膜厚 50 nm の酸化タンタルを用いたが、膜厚及び材料はこれに限定されるものではない。容量膜の材料として、酸化タンタル以外にも酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、P Z T、

10

20

30

40

50

S T O、B S T等の強誘電材料を用いることも可能である。さらに、本実施例では、容量膜として単層の絶縁膜を用いているが、この容量膜は必要に応じて積層構造とすることも可能である。

【0088】

また本実施例では、第一の中間層として主として膜厚100nmの酸化シリコン膜を用いているが、この膜厚、材料に限定されるものではない。前述のように第一の中間層には好適な膜厚範囲があり、現在の製造装置を用いている範囲では50nmから200nm程度が良好な特性が得られているが、成膜装置の性能に依存して、この好適な膜厚範囲はある程度変化することは容易に予想可能である。また、第一の中間層に用いる材料としてプラズマCVD法により形成した酸化シリコンを用いているが、当初の目的に合致する限りにおいて他の材料の選択を妨げるものではない。具体的には、窒化シリコン、酸窒化シリコン、炭化シリコン、窒素含有炭化シリコン、酸化アルミ、SiOCなどに代表されるLow-k膜などが利用可能である。さらに、本実施例では、第一の中間層として単層の酸化シリコンを用いているが、これを複数の層からなる積層構造とすることも可能である。具体的には、下部電極に接する層として窒化シリコンを用い、その上層に酸化シリコンを用いた構造では、第一の中間層に設けた開口部の断面のテーパ角度を制御しやすくなる。このテーパ角度の制御性が良いと、容量膜のカバレッジが向上しやすいため絶縁破壊耐圧の向上に効果的である。さらに、このテーパ角度の制御性が良ければ、MIMキャパシタの開口部面積の制御性が向上するので、所望の容量値が再現性良く得られるというメリットもある。

10

20

また本実施例では、図22に示したレイアウト構成をとっている。実際の応用を考えた場合には、本実施例に示したような、接続孔の位置、数、大きさに限定されることはないという点は、他の実施例において示したとおりである。

【0089】

また本実施例では、接続孔は第一の導電性プラグ250および第二の導電性プラグ251でタングステンによって完全に埋め込まれているが、本発明の有効性は、この構造、材料に限定されるわけではない。導電性材料としてタングステン以外にもアルミや銅を主成分とする導体を用いることも可能である。また、第一の導電性プラグ250及び第二の導電性プラグ251の表面が第一の層間絶縁膜304の表面と必ずしも一致する必要はなく、信頼度に影響しない程度でのへこみ、隆起は下部電極、容量膜の成膜工程であるていど対応可能である。

30

【0090】

また本実施例では、第一の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、ブラックダイヤモンド（登録商標：Applied Materials社製）に代表されるようなSiOC膜（炭素を含有する酸化シリコン膜）、SiLK（登録商標：Dow Chemical社製）に代表されるような有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。このようなLow-k材料を用いるときには、何らかの保護絶縁膜が必要であるので、第一の層間絶縁膜としては、それら複数の絶縁膜から構成される積層膜も含んでいる。

40

本実施例では、第一の金属配線や第二の金属配線をドライエッチ法で加工したアルミ配線を用いているが、必要に応じてダマシン法を用いたアルミ配線や銅配線を用いることも可能である。

【実施例7】

【0091】

本実施例は実施例2に示した半導体装置の製造工程を用いた応用例の1つであり、MIMキャパシタを縦方向に二段積層して形成するための工程を図25、図26に示す断面図を用いて説明する。以下、順を追って説明する。

図25(a)に示すように、半導体素子が形成された基体100上に、スパッタ法を用

50

い、膜厚 50 nm の窒化チタン膜からなる第一のバリア膜 200、膜厚 400 nm のアルミニウム合金からなる第一のアルミニウム膜 201、膜厚 50 nm の窒化チタン膜からなる第二のバリアメタル膜 202 を形成した後、プラズマ CVD 法を用い、膜厚 100 nm の酸化シリコンからなる第一の中間層を形成し、リソグラフィ法とドライエッチ法を用いて第一の中間層の所望の領域に開口部を設けた後、この開口部を被覆するように、反応性スパッタ法を用い、膜厚 50 nm の酸化タンタル膜からなる容量膜、スパッタ法を用い、膜厚 50 nm の窒化チタンからなる上部電極を形成した。その後、リソグラフィ法とドライエッチ法を用いて、前記開口部を被覆するように加工された上部電極 204、加工された容量膜 401 を形成した。

【0092】

次に、全面にプラズマ CVD 法を用いて、膜厚 100 nm の酸化シリコンからなる第二の中間層 307 を形成した。その後、少なくとも前記加工された上部電極 204、加工された容量膜 401 上に開口部を持つ第一の加工レジスト 600 をリソグラフィ法を用いて第二の中間層 307 上に形成した（図 25（b））。

次に、この第一の加工レジスト 600 をエッチングマスクとして、前記加工された上部電極 204 が露出するまで第二の中間層 307 をドライエッチし、加工された第二の中間層 308 を形成した。その後、全面に反応性スパッタ法を用い、膜厚 50 nm の酸化タンタル膜からなる第二の容量膜 403、スパッタ法を用い、膜厚 50 nm の窒化チタンからなる第二の上部電極 218 を形成した（図 25（c））。

次に、図 26（a）に示すように、リソグラフィ法とドライエッチ法を用いて、前記加工された第二の中間層に設けられた前記加工された上部電極 204 上の開口部を少なくとも被覆するように、加工された第二の容量膜 404、加工された第二の上部電極 219 を形成した。引き続き、リソグラフィ法を用いて前記加工された上部電極 204、加工された第二の上部電極 219 を少なくとも含むように所望の領域に第二の加工レジスト 601 を形成した。

次に、第二の加工レジスト 601 をエッチングマスクとして、加工された第一の中間層 303 をドライエッチ後、引き続き、第二のバリアメタル膜 202、第一のアルミニウム膜 201、第一のバリア膜 200 をドライエッチし、第一のバリアメタル層 205、第一のアルミニウム層 206、第二のバリアメタル層 207 によって構成される第一の金属配線 700 を形成した。次に、第二の加工レジスト 601 をアッシャで除去後、プラズマ CVD 法を用いて膜厚 1000 nm の酸化シリコン膜からなる第一の層間絶縁層 304 を形成した後、化学的機械研磨法を用いて第一の層間絶縁層 304 の平坦化を行った。次に、リソグラフィ法とドライエッチング法を用いて、加工された上部電極 204、第一の金属配線 700、加工された第二の上部電極 219 が露出するように開口部を設け、この開口部に対し、加工された第二の上部電極 219 と接続したタングステンからなる第一の導電性プラグ 250、加工された上部電極 204 と接続したタングステンからなる第二の導電性プラグ 251、第一の金属配線 700 と接続したタングステンからなる第三の導電性プラグ 252、とを形成した。

【0093】

最後に、スパッタ法及びリソグラフィ法、ドライエッチ法を組み合わせ、第二の導電性プラグ 251 と電氣的に接続されるように、膜厚 50 nm の窒化チタン膜からなる第三のバリア層 208、膜厚 400 nm のアルミニウム合金からなる第二のアルミニウム層 209、膜厚 50 nm の窒化チタン膜からなる第四のバリアメタル層 210 から構成される第二の金属配線 701、及び、第一の導電性プラグ 250 と第三の導電性プラグ 252 と電氣的に接続された膜厚 50 nm の窒化チタン膜からなる第六のバリア層 220、膜厚 400 nm のアルミニウム合金からなる第三のアルミニウム層 221、膜厚 50 nm の窒化チタン膜からなる第七のバリアメタル層 222 から構成される第二の金属配線 702 を形成した。以上の工程により、図 26（b）に示したような、第一の金属配線 700、加工された容量膜 401、加工された上部電極 204、加工された第二の容量膜 404、加工された第二の上部電極 219 から構成される縦方向に積層された MIM キャパシタを有

10

20

30

40

50

する半導体装置を形成することが可能となる。

【0094】

このようにして形成したMIMキャパシタを有する半導体装置におけるMIMキャパシタの性能と信頼度を調べた結果、実施例2に示したのと同等の絶縁破壊耐圧の規格値が得られた。また隣接する第一の金属配線間の寄生容量およびショート歩留まりも実施例2と同等の値が得られた。一方、本実施例では、実施例2に示したMIMキャパシタを並列接続しているため、実施例2と比較して約2倍の容量密度が得られた。

つまり、本発明の実施例に従い、下部電極上に開口部を有する膜厚100nmの酸化シリコン層からなる第一の中間層を形成し、前記開口部を被覆するように容量膜、上部電極を形成し、前記開口部を完全に包含する形で上部電極、容量膜を加工し、前記下部電極上に開口部を有する膜厚100nmの酸化シリコン層からなる第二の中間層を形成し、前記開口部を被覆するように第二の容量膜、第二の上部電極を形成し、前記開口部を完全に包含する形で第二の上部電極、第二の容量膜を加工することで、リーク電流増大や絶縁破壊耐圧低下を最小限に抑制しつつ、高い容量密度が得られるMIMキャパシタと、このMIMキャパシタの下部電極に相当する配線層の寄生容量低減や配線間ショート歩留まりの向上が同時に可能となる半導体装置が形成可能となる。

【0095】

本実施例では、実施例2と異なり、MIMキャパシタを縦方向に二段積層した構造を有している。製造工程数は増大するが、MIMキャパシタ占有面積あたりの容量密度を大幅に向上することが可能となる。

本実施例では、MIMキャパシタを縦方向に二段積層した構造を用いたが、必要に応じて積層する段数を三段以上とすることも可能である。

【0096】

また本実施例では、容量膜および第二の容量膜として膜厚50nmの酸化タンタルを用いたが、膜厚及び材料はこれに限定されるものではない。容量密度は容量膜の膜厚に反比例して増加するので、容量密度の面からは膜厚は薄いほど良い。ただし、薄膜化に応じて絶縁破壊耐圧も低下するので、使用する電圧に応じて薄膜化限界が存在する。また、容量膜の材料として、酸化タンタル以外にも酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST等の強誘電材料を用いることも可能である。さらに、本実施例では、容量膜として単層の絶縁膜を用いているが、この容量膜は必要に応じて積層構造とすることも可能であり、たとえば、酸化タンタル膜の上下をバンドギャップの大きな酸化アルミ等で挟み込むことでリーク電流密度を下げることも可能となる。また、容量膜と第二の容量膜は必ずしも同一の材料、同一の製法、同一の膜厚を用いる必要はなく、用途に応じて使い分けることも可能である。

【0097】

また本実施例では、第一の中間層、第二の中間層として主として膜厚100nmの酸化シリコン膜を用いているが、この膜厚、材料に限定されるものではない。前述のように第一の中間層及び第二の中間層には好適な膜厚範囲があり、現在の製造装置を用いている範囲では50nmから200nm程度が良好な特性が得られている。容量膜の形成方法としてより段差カバレジの良い手法を採用すれば、膜厚上限が200nm以上の領域に広がるのが容易に予想できるものの、いたずらにこの膜厚を増やすことに関してメリットは少ない。また、第一の中間層、第二の中間層に用いる材料としてプラズマCVD法により形成した酸化シリコンを用いているが、当初の目的に合致する限りにおいて他の材料の選択を妨げるものではない。具体的には、窒化シリコン、酸窒化シリコン、炭化シリコン、窒素含有炭化シリコン、酸化アルミ、SiOCなどに代表されるLow-k膜などが利用可能である。窒化シリコンや酸窒化シリコン、酸化アルミを用いた場合には、ドライエッチ時の選択比向上やリソグラフィ時の吸光層として利用できるが、比誘電率が高いため配線の寄生容量が増大する欠点がある。一方、炭化シリコン、窒素含有炭化シリコン、SiOC膜などは比誘電率が低いために、寄生容量低減に効果的であるが、リーク電流が低減

10

20

30

40

50

しにくい欠点もある。さらに、本実施例では、第一の中間層、第二の中間層として単層の酸化シリコンを用いているが、これを複数の層からなる積層構造とすることも可能である。具体的には、下部電極に接する層として窒化シリコンを用い、その上層に酸化シリコンを用いた構造では、第一の中間層及び第二の中間層に設けた開口部の断面のテーパー角度を制御しやすくなる。このテーパー角度の制御性が良いと、容量膜のカバレッジが向上しやすいため絶縁破壊耐圧の向上に効果的である。さらに、このテーパー角度の制御性が良ければ、MIMキャパシタの開口部面積の制御性が向上するので、所望の容量値が再現性良く得られるというメリットもある。また、本実施例では第一の中間層と第二の中間層は同一膜厚、同一材料、同一製法を用いているが、本発明の有効性はこれに限定されるものではない。

10

【0098】

また本実施例では、上部電極、第二の上部電極として膜厚50nmの窒化チタンを用いているが、膜厚、材料ともにこれに限定されない。膜厚が薄すぎる場合には接続孔を開口した場合に電極を突き破り、下に位置する容量膜に損傷を与える恐れがある。一方、膜厚が厚すぎる場合にはMIMキャパシタに対して直列に抵抗が挿入された形になるので、高周波特性が劣化する恐れがある。窒化チタンを用いている範囲では、50nmから100nm程度が好適である。また、電極材料として、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属、アルミおよびその合金、なども利用可能である。

【0099】

さらに、第一、第二、第三の金属配線に用いるバリアメタルとして窒化チタンを用いているが、上記のように、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属を用いることも可能であり、また、信頼度的に余裕があるのであれば、バリアメタルを用いない構造を利用することも可能である。また、上部電極、バリアメタルともに複数の層からなる積層構造にすることになんら問題はない。

20

また本実施例では、第一の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、ブラックダイヤモンド（登録商標：Applied Materials社製）に代表されるようなSiOC膜（炭素を含有する酸化シリコン膜）、SiLK（登録商標：Dow Chemical社製）に代表されるような有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。このようなLow-k材料を用いるときには、何らかの保護絶縁膜が必要であるので、第一の層間絶縁膜としては、それら複数の絶縁膜から構成される積層膜も含んでいる。さらにこのようなLow-k材料を用いた場合には、プロセス温度等の制約からタングステンのCVD法の適用が困難な場合が多いので、その際にはアルミ等で接続孔を埋め込んだほうが良い。

30

【0100】

本実施例では、第二、第三の金属配線をドライエッチ法で加工したアルミ配線を用いているが、必要に応じてダマシン法を用いたアルミ配線や銅配線を用いることも可能である。この際、接続孔も同時に形成するデュアルダマシン法を適用し、工程数を削減することも可能である。

40

【実施例8】

【0101】

本実施例は実施例7に示した半導体装置の製造工程を用いた応用例の1つであり、本発明の詳細を図27に示す断面図を用いて説明する。以下、順を追って説明する。

実施例7に示した製造工程に従い、図26(a)に示した構造を作成する。

【0102】

次に、第二の加工レジスト601をエッチングマスクとして、加工された第一の中間層303をドライエッチ後、引き続き、第二のバリアメタル膜202、第一のアルミニウム膜201、第一のバリア膜200をドライエッチし、第一のバリアメタル層205、第一

50

のアルミニウム層 206、第二のバリアメタル層 207 によって構成される第一の金属配線 700 を形成した。次に、第二の加工レジスト 601 をアッシャで除去後、プラズマ CVD 法を用いて膜厚 1000 nm の酸化シリコン膜からなる第一の層間絶縁層 304 を形成した後、化学的機械研磨法を用いて第一の層間絶縁層 304 の平坦化を行った。次に、リソグラフィ法とドライエッチング法を用いて、加工された上部電極 204、第一の金属配線 700、加工された第二の上部電極 219 が露出するように開口部を設け、この開口部に対し、加工された第二の上部電極 219 と接続したタングステンからなる第一の導電性プラグ 250、加工された上部電極 204 と接続したタングステンからなる第二の導電性プラグ 251、第一の金属配線 700 と接続したタングステンからなる第三の導電性プラグ 252、とを形成した。ここまでの製造工程は実施例 7 と同一である。

10

【0103】

次に、スパッタ法及びリソグラフィ法、ドライエッチ法を組み合わせ、第二の導電性プラグ 251 と電氣的に接続されるように、膜厚 50 nm の窒化チタン膜からなる第三のバリア層 208、膜厚 400 nm のアルミニウム合金からなる第二のアルミニウム層 209、膜厚 50 nm の窒化チタン膜からなる第四のバリアメタル層 210 から構成される第二の金属配線 701、第一の導電性プラグ 250 と電氣的に接続された膜厚 50 nm の窒化チタン膜からなる第六のバリア層 220、膜厚 400 nm のアルミニウム合金からなる第三のアルミニウム層 221、膜厚 50 nm の窒化チタン膜からなる第七のバリアメタル層 222 から構成される第二の金属配線 702、第三の導電性プラグ 252 と電氣的に接続された膜厚 50 nm の窒化チタン膜からなる第八のバリアメタル層 223、膜厚 400 nm のアルミニウム合金からなる第四のアルミニウム層 224、膜厚 50 nm の窒化チタン膜からなる第九のバリアメタル層 225 によって構成される第四の金属配線 703 を形成した。

20

以上の工程により、図 27 に示したような、第一の金属配線 700、加工された容量膜 401、加工された上部電極 204、加工された第二の容量膜 404、加工された第二の上部電極 219 から構成される縦方向に積層された MIM キャパシタを有する半導体装置を形成することが可能となる。

【0104】

図 27 に示した本実施例の構造では、第一の導電性プラグ 250 と第三の導電性プラグ 252 に対して別個の取り出し端子 (702、703) を形成している点が実施例 7 の構造と異なる点である。

30

図 27 に示した MIM キャパシタ部分の電氣的な等価回路を模式的に示したのが図 28 である。ここで C1 は第一の金属配線 700、加工された容量膜 401、加工された上部電極 204 から構成されるキャパシタの容量値であり、C2 は加工された上部電極 204、加工された第二の容量膜 404、加工された第二の上部電極 219 から構成されるキャパシタの容量値である。端子 1 は第二の金属配線 701、端子 2 は第三の金属配線 702、端子 3 は第四の金属配線 703 に対応する。S1、S2、S3、S4 は電氣的なスイッチであり、スイッチが「入」とは導通状態を示し、「切」とは非導通状態をあらわす。

【0105】

図 28 (b) は各スイッチの「入／切」状態と端子間で得られる容量値を示している。たとえば、S1、S2 を「入」、S3、S4 を「切」とすれば、端子 1 と端子 2 (または端子 3) の間の容量値は C1 と C2 の並列容量 ($C1 + C2$) となる。具体的には、S1 を「入」にするためには、第三の金属配線 702 と第四の金属配線 703 を電氣的にショートさせれば良く、S2 を「入」にするためには、第二の金属配線 701 が加工された上部電極 204 と電氣的に接続されていれば良い。また、S3、S4 を「切」とするためには、第二の金属配線 701 と第三の金属配線 702 及び第四の金属配線 703 が電氣的にショートしないように配置すればよい。一方、S1、S2、S3、S4 をすべて「切」とすれば、端子 2 と端子 3 の間の容量値は C1 と C2 の直列容量 ($C1 \times C2 / (C1 + C2)$) となる。また、S1 を「切」、S2 を「入」とした状態で、S3 を「切」、S4 を「入」とすれば端子 1 - 端子 3 間の容量値は C1、S3 を「入」、S4 を「切」とすれば

40

50

端子 1—端子 2 間の容量値は C 2 となる。これらの接続形式も、各金属配線間の接続方法を変えることで容易に実現できる。

【0106】

このようにして形成した MIM キャパシタを有する半導体装置における MIM キャパシタの性能と信頼度を調べた。S 1、S 2 を「入」、S 3、S 4 を「切」とした構造において、第二の金属配線と第三の金属配線の間の容量を測定したところ、容量密度 $8 \text{ fF}/\mu\text{m}^2$ の性能が得られた。一方、S 1、S 2、S 3、S 4 をすべて「切」とし、第三の金属配線と第四の金属配線間で容量値を測定したところ容量密度 $2 \text{ fF}/\mu\text{m}^2$ の性能と非常に大きな絶縁破壊耐圧が得られた。一方、S 1 を「切」、S 2 を「入」とし、S 3 を「切」、S 4 を「入」、または、S 4 を「切」、S 3 を「入」とした場合には、容量密度 $4 \text{ fF}/\mu\text{m}^2$ の性能が得られた。また、このようにして形成した MIM キャパシタを有する半導体装置における隣接する第一の金属配線間の寄生容量およびショート歩留まりは実施例 7 と同等の値が得られた。

10

【0107】

つまり、本発明の実施例に従い、下部電極上に開口部を有する膜厚 100 nm の酸化シリコン層からなる第一の中間層を形成し、前記開口部を被覆するように容量膜、上部電極を形成し、前記開口部を完全に包含する形で上部電極、容量膜を加工し、前記下部電極上に開口部を有する膜厚 100 nm の酸化シリコン層からなる第二の中間層を形成し、前記開口部を被覆するように第二の容量膜、第二の上部電極を形成し、前記開口部を完全に包含する形で第二の上部電極、第二の容量膜を加工することで、リーク電流増大や絶縁破壊耐圧低下を最小限に抑制しつつ、高い容量密度が得られる MIM キャパシタと、この MIM キャパシタの下部電極に相当する配線層の寄生容量低減や配線間ショート歩留まりの向上が同時に可能となる半導体装置が形成可能となる。

20

本実施例では、実施例 7 と異なり、加工された上部電極、加工された第二の上部電極、第一の金属配線に対して別個の引き出し配線を設けた。その結果、引き出し配線間の接続方法を変えることで同一の MIM キャパシタ構造において、複数の容量値を実現することが可能となる。

【0108】

本実施例では、S 1、S 2、S 3、S 4 の各スイッチの「入／切」状態は、金属配線の接続／非接続で制御したが、スイッチの制御方法はこの方法に限定されない。クロスバのような電氣的に制御可能なスイッチを設けたり、ヒューズ素子などを用いたりすることでも制御可能である。

30

本実施例では、MIM キャパシタを縦方向に二段積層した構造を用いたが、必要に応じて積層する段数を三段以上とすることも可能である。

また本実施例では、容量膜および第二の容量膜として膜厚 50 nm の酸化タンタルを用いたが、膜厚及び材料はこれに限定されるものではない。容量密度は容量膜の膜厚に反比例して増加するので、容量密度の面からは膜厚は薄いほど良い。ただし、薄膜化に応じて絶縁破壊耐圧も低下するので、使用する電圧に応じて薄膜化限界が存在する。また、容量膜の材料として、酸化タンタル以外にも酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST 等の強誘電材料を用いることも可能である。さらに、本実施例では、容量膜として単層の絶縁膜を用いているが、この容量膜は必要に応じて積層構造とすることも可能であり、たとえば、酸化タンタル膜の上下をバンドギャップの大きな酸化アルミ等で挟み込むことでリーク電流密度を下げることも可能となる。また、容量膜と第二の容量膜は必ずしも同一の材料、同一の製法、同一の膜厚を用いる必要はなく、用途に応じて使い分けることも可能である。

40

【0109】

また本実施例では、第一の中間層、第二の中間層として主として膜厚 100 nm の酸化シリコン膜を用いているが、この膜厚、材料に限定されるものではない。前述のように第一の中間層及び第二の中間層には好適な膜厚範囲があり、現在の製造装置を用いている範

50

囲では50nmから200nm程度が良好な特性が得られている。容量膜の形成方法としてより段差カバレッジの良い手法を採用すれば、膜厚上限が200nm以上の領域に広がる
ことが容易に予想できるものの、いたずらにこの膜厚を増やすことに関してメリットは少
ない。また、第一の中間層、第二の中間層に用いる材料としてプラズマCVD法により形
成した酸化シリコンを用いているが、当初の目的に合致する限りにおいて他の材料の選択
を妨げるものではない。具体的には、窒化シリコン、酸窒化シリコン、炭化シリコン、窒
素含有炭化シリコン、酸化アルミ、SiOCなどに代表されるLow-k膜などが利用可
能である。窒化シリコンや酸窒化シリコン、酸化アルミを用いた場合には、ドライエッチ
時の選択比向上やリソグラフィ時の吸光層として利用できるが、比誘電率が高いため配
線の寄生容量が増大する欠点がある。一方、炭化シリコン、窒素含有炭化シリコン、Si
OC膜などは比誘電率が低いために、寄生容量低減に効果的であるが、リーク電流が低減
しにくい欠点もある。さらに、本実施例では、第一の中間層、第二の中間層として単層の
酸化シリコンを用いているが、これを複数の層からなる積層構造とすることも可能である
。具体的には、下部電極に接する層として窒化シリコンを用い、その上層に酸化シリコン
を用いた構造では、第一の中間層及び第二の中間層に設けた開口部の断面のテーパー角度
を制御しやすくなる。このテーパー角度の制御性が良いと、容量膜のカバレッジが向上しや
すいため絶縁破壊耐圧の向上に効果的である。さらに、このテーパー角度の制御性が良け
れば、MIMキャパシタの開口部面積の制御性が向上するので、所望の容量値が再現性良
く得られるというメリットもある。また、本実施例では第一の中間層と第二の中間層は同
一膜厚、同一材料、同一製法を用いているが、本発明の有効性はこれに限定されるもの
ではない。

10

20

【0110】

また本実施例では、上部電極、第二の上部電極として膜厚50nmの窒化チタンを用い
ているが、膜厚、材料ともにこれに限定されない。膜厚が薄すぎる場合には接続孔を開口
した場合に電極を突き破り、下に位置する容量膜に損傷を与える恐れがある。一方、膜厚
が厚すぎる場合にはMIMキャパシタに対して直列に抵抗が挿入された形になるので、高
周波特性が劣化する恐れがある。窒化チタンを用いている範囲では、50nmから100
nm程度が好適である。また、電極材料として、窒化チタン以外にタンタル、タングステ
ン及びその窒化物を主たる成分とする金属、アルミおよびその合金、なども利用可能で
ある。

30

【0111】

さらに、第一、第二、第三の金属配線に用いるバリアメタルとして窒化チタンを用い
ているが、上記のように、窒化チタン以外にタンタル、タングステン及びその窒化物を主た
る成分とする金属を用いることも可能であり、また、信頼度的に余裕があるのであれば、
バリアメタルを用いない構造を利用することも可能である。また、上部電極、バリアメタ
ルともに複数の層からなる積層構造にすることになんら問題はない。

【0112】

また本実施例では、第一の層間絶縁膜として主として酸化シリコン膜を用いた工程を例
に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow
-k材料を用いることも可能である。Low-k材料としては、ブラックダイヤモンド（
登録商標：Applied Materials社製）に代表されるようなSiOC膜（
炭素を含有する酸化シリコン膜）、SiLK（登録商標：Dow Chemical社製）
に代表されるような有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含
有酸化シリコン膜などを用いることが可能である。このようなLow-k材料を用いると
きには、何らかの保護絶縁膜が必要であるので、第一の層間絶縁膜としては、それら複数
の絶縁膜から構成される積層膜も含んでいる。さらにこのようなLow-k材料を用いた
場合には、プロセス温度等の制約からタングステンのCVD法の適用が困難な場合が多い
ので、その際にはアルミ等で接続孔を埋め込んだほうが良い。

40

本実施例では、第二、第三、第四の金属配線をドライエッチ法で加工したアルミ配線を用
いているが、必要に応じてダマシン法を用いたアルミ配線や銅配線を用いることも可能

50

である。この際、接続孔も同時に形成するデュアルダマシン法を適用し、工程数を削減することも可能である。

【実施例 9】

【0113】

本実施例は実施例 3 に示した半導体装置の製造工程を用いた応用例の 1 つであり、MIM キャパシタを縦方向に二段積層して形成するための工程を図 29、図 30 に示す断面図を用いて説明する。以下、順を追って説明する。図 29 および図 30 は本発明の半導体装置の製造工程を示す断面図である。以下、順を追って説明する。

図 29 (a) に示すように、半導体素子が形成された基体 100 上に、スパッタ法を用い、膜厚 50 nm の窒化チタン膜、膜厚 400 nm のアルミニウム合金、膜厚 50 nm の窒化チタン膜を形成した後、リソグラフィ法とドライエッチ法を用いて第一のバリアメタル層 205、第一のアルミニウム層 206、第二のバリアメタル層 207 によって構成される第一の金属配線 700、及び、第八のバリアメタル層 223、第四のアルミニウム層 224、第九のバリアメタル層 225 によって構成される第四の金属配線 703 を形成した。次に、プラズマ CVD 法を用いて膜厚 1000 nm の酸化シリコン膜からなる第一の層間絶縁層 304 を形成した後、化学的機械研磨法を用いて第一の層間絶縁層 304 の平坦化を行った。次に、リソグラフィ法とドライエッチング法を用いて、所望の領域の第一の金属配線 700、第四の金属配線 703 が露出するように開口部を設け、この開口部に対し、タングステンからなる第一の導電性プラグ 250、第二の導電性プラグ 251 を形成した。次に、この第一の導電性プラグ 250、第二の導電性プラグ 251 を被覆するようにスパッタ法を用いて膜厚 50 nm の窒化チタンを形成し、リソグラフィ法とドライエッチ法とを組み合わせ、第一の導電性プラグ 250 を被覆するように加工された下部電極 211 を形成した。その後、プラズマ CVD 法を用いて膜厚 100 nm の窒化シリコン膜を形成した後、リソグラフィ法とドライエッチ法を用い、加工された下部電極 211 に開口部 500 を持つように加工された第一の中間層 303 を形成した (図 29 (a))。

【0114】

次に、この開口部 500 を被覆し、かつ、加工された下部電極 211 と接するように膜厚 50 nm の酸化タンタル、膜厚 50 nm の窒化チタンを形成した後、リソグラフィ法とドライエッチ法を組み合わせ、少なくとも前記開口部 500 を完全に内部に含むように、膜厚 50 nm の酸化タンタルからなる加工された容量膜 401、加工された上部電極 204 を形成した (図 29 (b))。

次に、全面にプラズマ CVD 法を用いて膜厚 100 nm の酸化シリコン膜を形成した後、リソグラフィ法とドライエッチ法を用い、少なくとも前記開口部 500 の一部を含んだ開口部 502 を持ち、かつ、加工された上部電極 204 に対し開口部を有する加工された第二の中間層 308 を形成した (図 29 (c))。

次に、全面に膜厚 50 nm の酸化タンタル、膜厚 50 nm の窒化チタンを形成した後、リソグラフィ法とドライエッチ法を組み合わせ、少なくとも前記開口部 502 を完全に内部に含み、かつ、加工された上部電極 204 の表面の一部が露出するように、膜厚 50 nm の酸化タンタルからなる加工された第二の容量膜 404、加工された第二の上部電極 219 を形成した (図 30 (a))。

次に、リソグラフィ法とドライエッチ法を用いて、少なくとも第二の導電性プラグ 251 が形成されている領域の加工された第一の中間層を取り除いた後、全面にスパッタ法で、膜厚 50 nm の窒化チタン膜、膜厚 400 nm のアルミニウム合金膜、膜厚 50 nm の窒化チタン膜を形成した後、リソグラフィ法とドライエッチ法を用い、第二の導電性プラグ 251 と加工された第二の上部電極 219 と電気的に接続された膜厚 50 nm の窒化チタン膜からなる第三のバリア層 208、膜厚 400 nm のアルミニウム合金からなる第二のアルミニウム層 209、膜厚 50 nm の窒化チタン膜からなる第四のバリアメタル層 210 から構成される第二の金属配線 701 と、加工された上部電極 204 と電気的に接続された膜厚 50 nm の窒化チタン膜からなる第六のバリア層 208、膜厚 400 nm

のアルミニウム合金からなる第三のアルミニウム層 209、膜厚 50 nm の窒化チタン膜からなる第七のバリアメタル層 210 から構成される第三の金属配線 702 とを形成した（図 30（b））。

【0115】

このようにして形成された MIM キャパシタは電気的には、図 28 に示した構成と等価である。本実施例の第三の金属配線 702 は端子 1 に相当し、第二及び第四の金属配線（701、703）が端子 2 に相当し、第一の金属配線 700 が端子 3 に相当する。すなわち実施例 8 と同様、配線の接続方法を変えることで同一の MIM キャパシタで複数の容量密度を実現することが可能となる。

このようにして形成した MIM キャパシタを有する半導体装置における MIM キャパシタの性能と信頼度を調べた。S1、S2 を「入」、S3、S4 を「切」とした構造において、第一の金属配線と第三の金属配線の間の容量を測定したところ、容量密度 $8 \text{ fF} / \mu\text{m}^2$ の性能が得られた。一方、S1、S2、S3、S4 をすべて「切」とし、第一の金属配線と第四の金属配線間で容量値を測定したところ容量密度 $2 \text{ fF} / \mu\text{m}^2$ の性能と非常に大きな絶縁破壊耐圧が得られた。一方、S1 を「切」、S2 を「入」とし、S3 を「切」、S4 を「入」、または、S4 を「切」、S3 を「入」とした場合には、容量密度 $4 \text{ fF} / \mu\text{m}^2$ の性能が得られた。また、このようにして形成した MIM キャパシタを有する半導体装置における隣接する第一の金属配線間の寄生容量およびショート歩留まりは実施例 8 と同等の値が得られた。

【0116】

つまり、本発明の実施例に従い、下層金属配線に開口された接続孔を被覆するように下部電極を形成し、この下部電極上に開口部を有する膜厚 100 nm の窒化シリコン層からなる第一の中間層を形成し、前記開口部を被覆するように容量膜、上部電極を形成し、前記開口部を完全に包含する形で上部電極、容量膜、第一の中間層を加工し、前記下部電極上に開口部を有する膜厚 100 nm の酸化シリコン層からなる第二の中間層を形成し、前記開口部を被覆するように第二の容量膜、第二の上部電極を形成し、前記開口部を完全に包含する形で第二の上部電極、第二の容量膜を加工することにより、リーク電流増大や絶縁破壊耐圧低下を最小限に抑制しつつ、高い容量密度が得られる MIM キャパシタを有する半導体装置が形成可能となる。

【0117】

本実施例では、実施例 3 と異なり、MIM キャパシタを縦方向に二段積層した構造を有している。製造工程数は増大するが、MIM キャパシタ占有面積あたりの容量密度を大幅に向上したり、配線の接続を変更することで複数の容量密度、絶縁破壊耐圧を実現することができる。

本実施例では、MIM キャパシタを縦方向に二段積層した構造を用いたが、必要に応じて積層する段数を三段以上とすることも可能である。

本実施例では、S1、S2、S3、S4 の各スイッチの「入／切」状態は、金属配線の接続／非接続で制御したが、スイッチの制御方法はこの方法に限定されない。クロスバのような電氣的に制御可能なスイッチを設けたり、ヒューズ素子などを用いたりすることも制御可能である。

また本実施例では、容量膜および第二の容量膜として膜厚 50 nm の酸化タンタルを用いたが、膜厚及び材料はこれに限定されるものではない。容量密度は容量膜の膜厚に反比例して増加するので、容量密度の面からは膜厚は薄いほど良い。ただし、薄膜化に応じて絶縁破壊耐圧も低下するので、使用する電圧に応じて薄膜化限界が存在する。また、容量膜の材料として、酸化タンタル以外にも酸化ハフニウム、酸化ジルコニウム、酸化ランタン、酸化チタン、酸化アルミなどやそれらの混合物およびそれらに窒素等が混入した化合物を用いることが可能である。また、PZT、STO、BST 等の強誘電材料を用いることも可能である。さらに、本実施例では、容量膜として単層の絶縁膜を用いているが、この容量膜は必要に応じて積層構造とすることも可能であり、たとえば、酸化タンタル膜の上下をバンドギャップの大きな酸化アルミ等で挟み込むことでリーク電流密度を下げるこ

10

20

30

40

50

とも可能となる。また、容量膜と第二の容量膜は必ずしも同一の材料、同一の製法、同一の膜厚を用いる必要はなく、用途に応じて使い分けることも可能である。

【0118】

また本実施例では、第一の中間層として膜厚100nmの窒化シリコン、第二の中間層として膜厚100nmの酸化シリコン膜を用いているが、この膜厚、材料に限定されるものではない。前述のように第一の中間層及び第二の中間層には好適な膜厚範囲があり、現在の製造装置を用いている範囲では50nmから200nm程度が良好な特性が得られている。容量膜の形成方法としてより段差カバレジの良い手法を採用すれば、膜厚上限が200nm以上の領域に広がるのが容易に予想できるものの、いたずらにこの膜厚を増やすことに関してメリットは少ない。また、中間層の材料としてプラズマCVD法により形成した酸化シリコンや窒化シリコンを用いているが、当初の目的に合致する限りにおいて他の材料の選択を妨げるものではない。具体的には、酸窒化シリコン、炭化シリコン、窒素含有炭化シリコン、酸化アルミ、SiOCなどに代表されるLow-k膜などが利用可能である。酸窒化シリコン、酸化アルミを用いた場合には、ドライエッチ時の選択比向上やリソグラフィ時の吸光層として利用できるが、比誘電率が高いため配線の寄生容量が増大する欠点がある。一方、炭化シリコン、窒素含有炭化シリコン、SiOC膜などは比誘電率が低いために、寄生容量低減に効果的であるが、リーク電流が低減しにくい欠点もある。さらに、本実施例では、第一の中間層、第二の中間層として単層の絶縁膜を用いているが、これを複数の層からなる積層構造とすることも可能である。具体的には、下部電極に接する層として窒化シリコンを用い、その上層に酸化シリコンを用いた構造では、第一の中間層及び第二の中間層に設けた開口部の断面のテーパ角度を制御しやすくなる。このテーパ角度の制御性が良いと、容量膜のカバレジが向上しやすいため絶縁破壊耐圧の向上に効果的である。さらに、このテーパ角度の制御性が良ければ、MIMキャパシタの開口部面積の制御性が向上するので、所望の容量値が再現性良く得られるというメリットもある。また、本実施例では第一の中間層と第二の中間層は同一膜厚、同一製法を用いているが、本発明の有効性はこれに限定されるものではない。

10

20

【0119】

また本実施例では、上部電極、第二の上部電極として膜厚50nmの窒化チタンを用いているが、膜厚、材料ともにこれに限定されない。膜厚が薄すぎる場合には接続孔を開口した場合に電極を突き破り、下に位置する容量膜に損傷を与える恐れがある。一方、膜厚が厚すぎる場合にはMIMキャパシタに対して直列に抵抗が挿入された形になるので、高周波特性が劣化する恐れがある。窒化チタンを用いている範囲では、50nmから100nm程度が好適である。また、電極材料として、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属、アルミおよびその合金、なども利用可能である。さらに、第一、第二、第三、第四の金属配線に用いるバリアメタルとして窒化チタンを用いているが、上記のように、窒化チタン以外にタンタル、タングステン及びその窒化物を主たる成分とする金属を用いることも可能であり、また、信頼度的に余裕があるのであれば、バリアメタルを用いない構造を利用することも可能である。また、上部電極、バリアメタルともに複数の層からなる積層構造にすることになんら問題はない。

30

40

【0120】

また本実施例では、第一の層間絶縁膜として主として酸化シリコン膜を用いた工程を例に説明したが、この材料に限定されるわけではなく、配線の寄生容量が低減可能なLow-k材料を用いることも可能である。Low-k材料としては、ブラックダイヤモンド（登録商標：Applied Materials社製）に代表されるようなSiOC膜（炭素を含有する酸化シリコン膜）、SiLK（登録商標：Dow Chemical社製）に代表されるような有機膜、およびそれらに空隙を導入したLow-k材料、フッ素含有酸化シリコン膜などを用いることが可能である。このようなLow-k材料を用いるときには、何らかの保護絶縁膜が必要であるので、第一の層間絶縁膜としては、それら複数の絶縁膜から構成される積層膜も含んでいる。

【0121】

50

本実施例では、第一、第四の金属配線をドライエッチ法で加工したアルミ配線を用いているが、必要に応じてダマシン法を用いたアルミ配線や銅配線を用いることも可能である。

また本実施例では、図面簡略化のために単一の接続孔で接続した形式で説明を行ったが、両者の電氣的接続が確保されてさえいれば、接続孔の数、位置、形状は任意に選択可能である。MIMキャパシタに直列に挿入される寄生抵抗を低減するためには、接続孔は大きいほど良いのは言うまでもない。

また本実施例では、接続孔はタングステンで構成された第一の導電性プラグ250、第二の導電性プラグ251によって完全に埋め込まれているが、本発明の有効性は、この構造、材料に限定されるわけではない。導電性プラグの材料としてタングステン以外にもアルミや銅を主成分とする導体を用いることも可能である。また、導電性プラグの表面が第一の層間絶縁膜304の表面と必ずしも一致する必要はなく、信頼度に影響しない程度でのへこみ、隆起は下部電極、容量膜の成膜工程であるていど対応可能である。

【図面の簡単な説明】

【0122】

【図1】実施例1における本発明の半導体装置の製造工程の要部断面模式図である。

【図2】(a)および(b)は、それぞれ従来例1に基づく半導体装置の製造工程の要部断面模式図である。

【図3】(a)および(b)は、それぞれ従来例1に基づく本発明の半導体装置の製造工程の要部断面模式図である。

【図4】(a)乃至(c)は、それぞれ従来例2に基づく本発明の半導体装置の製造工程の要部断面模式図である。

【図5】(a)乃至(c)は、それぞれ従来例3に基づく本発明の半導体装置の製造工程の要部断面模式図である。

【図6】(a)乃至(c)は、それぞれ従来例3に基づく本発明の半導体装置の製造工程の要部断面模式図である。

【図7】(a)乃至(c)は、それぞれ実施例1における本発明の半導体装置の製造工程の要部断面模式図である。

【図8】(a)乃至(c)は、それぞれ実施例1における本発明の半導体装置の製造工程の要部断面模式図である。

【図9】実施例1における本発明の平面レイアウト模式図である。

【図10】実施例1における本発明の半導体装置のB-B'部分の要部断面模式図である。

【図11】隣接する金属配線間の寄生容量を従来例と実施例1とにおいて比較した表である。

【図12】(a)乃至(c)は、それぞれ実施例2における本発明の半導体装置の製造工程の要部断面模式図である。

【図13】(a)および(b)は、それぞれ実施例2における本発明の半導体装置の製造工程の要部断面模式図である。

【図14】(a)および(b)は、それぞれ実施例3における本発明の半導体装置の製造工程の要部断面模式図である。

【図15】(a)および(b)は、それぞれ実施例3における本発明の半導体装置の製造工程の要部断面模式図である。

【図16】(a)および(b)は、それぞれ実施例4における本発明の半導体装置の製造工程の要部断面模式図である。

【図17】(a)および(b)は、それぞれ実施例4における本発明の半導体装置の製造工程の要部断面模式図である。

【図18】(a)乃至(c)は、それぞれ実施例5における本発明の半導体装置の製造工程の要部断面模式図である。

【図19】(a)および(b)は、それぞれ実施例5における本発明の半導体装置の製造工程の要部断面模式図である。

【図 20】 (a) および (b) は、それぞれ実施例 6 における本発明の半導体装置の製造工程の要部断面模式図である。

【図 21】 (a) および (b) は、それぞれ実施例 6 における本発明の半導体装置の製造工程の要部断面模式図である。

【図 22】 実施例 6 における本発明の平面レイアウト模式図である。

【図 23】 実施例 6 における本発明の半導体装置の B-B' 部分の要部断面模式図である。

【図 24】 実施例 6 における本発明の半導体装置の C-C' 部分の要部断面模式図である。

【図 25】 (a) 乃至 (c) は、それぞれ従来例 7 に基づく本発明の半導体装置の製造工程の要部断面模式図である。

【図 26】 (a) および (b) は、それぞれ従来例 7 に基づく本発明の半導体装置の製造工程の要部断面模式図である。 10

【図 27】 従来例 8 に基づく本発明の半導体装置の製造工程の要部断面模式図である。

【図 28】 (a) は、従来例 8 に基づく本発明の半導体装置の電氣的な等価回路であり、(b) は、各スイッチ状態に応じて実現される容量値を示す表である。

【図 29】 (a) 乃至 (c) は、それぞれ従来例 9 に基づく本発明の半導体装置の製造工程の要部断面模式図である。

【図 30】 (a) および (b) は、それぞれ従来例 9 に基づく本発明の半導体装置の製造工程の要部断面模式図である。

【符号の説明】

【0123】

20

100…半導体素子が形成された基体、

200…第一のバリアメタル膜、

201…第一のアルミニウム膜、

202…第二のバリアメタル膜、

203…上部電極、

204…加工された上部電極、

205…第一のバリアメタル層、

206…第一のアルミニウム層、

207…第二のバリアメタル層、

208…第三のバリアメタル層、

30

209…第二のアルミニウム層、

210…第四のバリアメタル層、

211…加工された下部電極、

212…第三のバリアメタル膜、

213…第二のアルミニウム膜、

214…第四のバリアメタル膜、

215…第五のバリアメタル層、

216…第一の銅層、

217…加工された抵抗体層、

218…第二の上部電極、

40

219…加工された第二の上部電極、

220…第六のバリアメタル層、

221…第三のアルミニウム層、

222…第七のバリアメタル層、

223…第八のバリアメタル層、

224…第四のアルミニウム層、

225…第九のバリアメタル層、

250…第一の導電性プラグ、

251…第二の導電性プラグ、

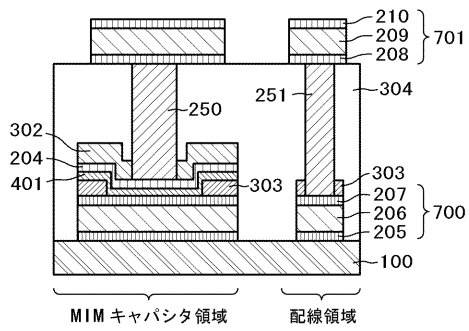
252…第三の導電性プラグ、

50

- 3 0 0 … 第一の中間層、
- 3 0 1 … ハードマスク、
- 3 0 2 … 加工されたハードマスク、
- 3 0 3 … 加工された第一の中間層、
- 3 0 4 … 第一の層間絶縁層、
- 3 0 5 … エッチストップ層、
- 3 0 6 … 第二の層間絶縁膜、
- 3 0 7 … 第二の中間層、
- 3 0 8 … 加工された第二の中間層、
- 4 0 0 … 容量膜、 10
- 4 0 1 … 加工された容量膜、
- 4 0 2 … 抵抗体層下の容量膜、
- 4 0 3 … 第二の容量膜、
- 4 0 4 … 加工された第二の容量膜、
- 5 0 0 … 第一の開口部、
- 5 0 1 … 第一の層間絶縁層に形成された開口部、
- 5 0 2 … 第二の開口部、
- 6 0 0 … 第一の加工レジスト、
- 6 0 1 … 第二の加工レジスト、
- 6 0 2 … 第三の加工レジスト、 20
- 7 0 0 … 第一の金属配線、
- 7 0 1 … 第二の金属配線、
- 7 0 2 … 第三の金属配線、
- 7 0 3 … 第四の金属配線、
- 7 5 0 … M I M キャパシタに接続された下層配線、
- 7 5 1 … M I M キャパシタに接続された上層配線、
- 7 5 2 … M I M キャパシタに隣接する下層配線、
- 7 5 3 … M I M キャパシタに隣接する上層配線、
- 7 5 4 … M I M キャパシタの上部電極、
- 7 5 5 … 第一の中間層に形成された開口部、 30
- 7 5 6 … 上層配線 7 5 1 と上部電極 7 5 4 を接続する接続孔、
- 7 5 7 … 上層配線 7 5 3 と下層配線 7 5 2 を接続する接続孔、
- 7 5 8 … 第一の中間層、
- 7 5 9 … 抵抗体に接続された下層配線、
- 7 6 0 … 抵抗体、
- 7 6 1 … 抵抗体を被覆する第一の中間層、
- 7 6 2 … 抵抗体 7 6 0 と下層配線 7 5 9 を接続する接続孔、
- 8 0 0 … エッチング残り。

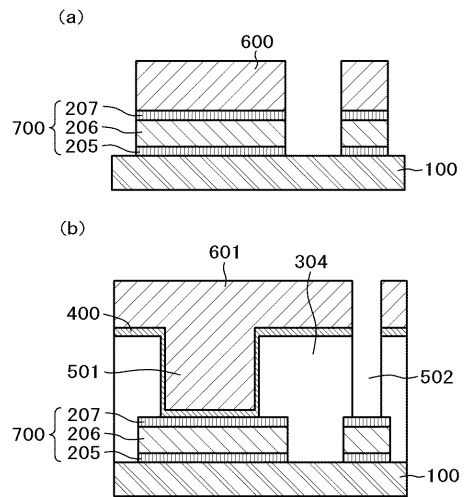
【図 1】

図 1



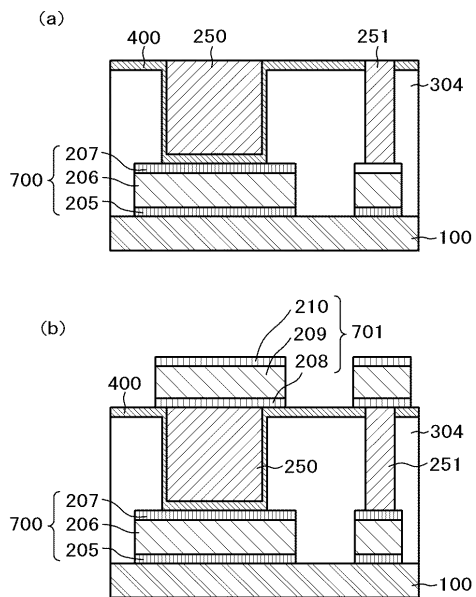
【図 2】

図 2



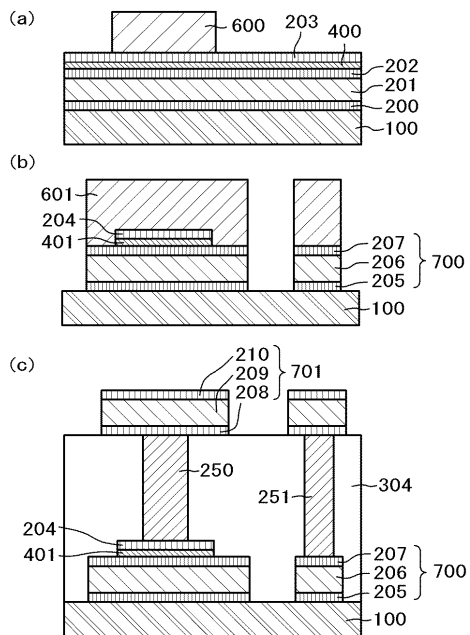
【図 3】

図 3



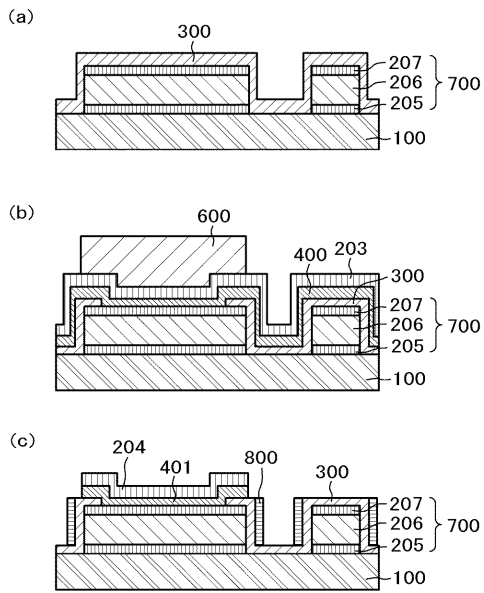
【図 4】

図 4



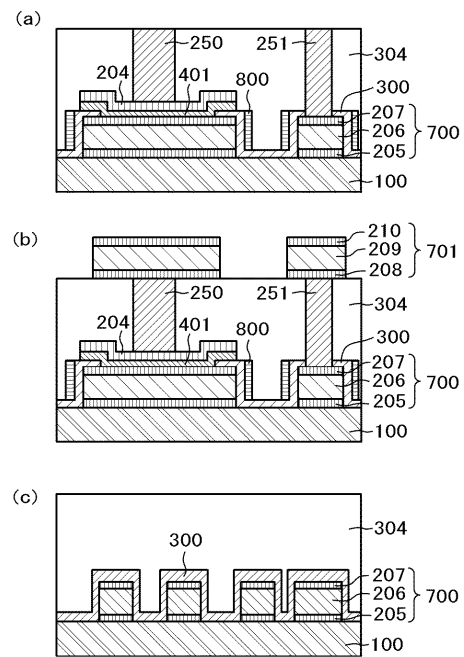
【図 5】

図 5



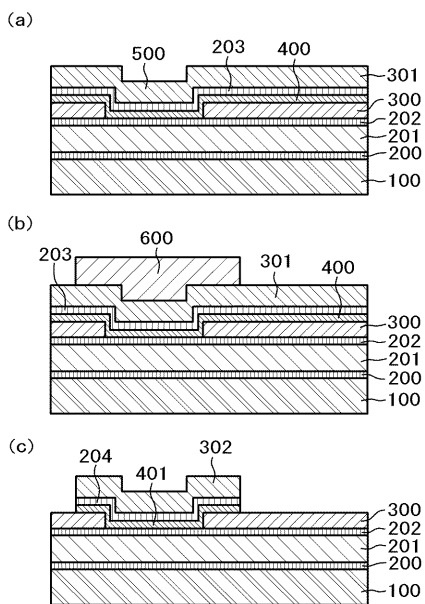
【図 6】

図 6



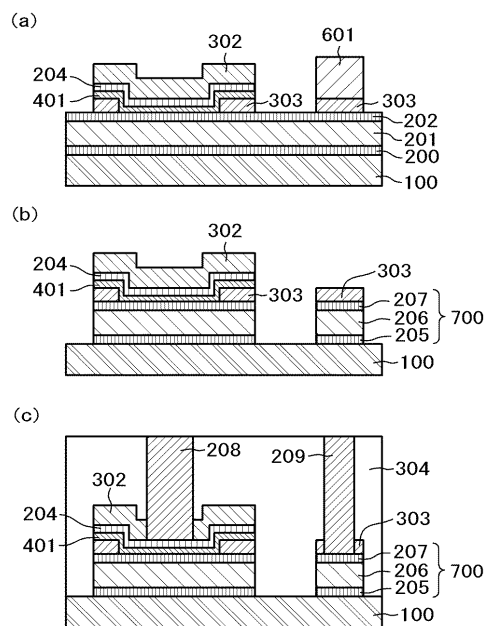
【図 7】

図 7



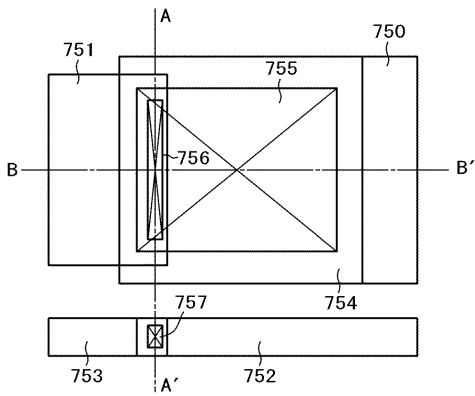
【図 8】

図 8



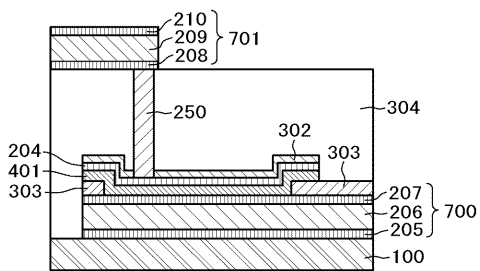
【図 9】

図 9



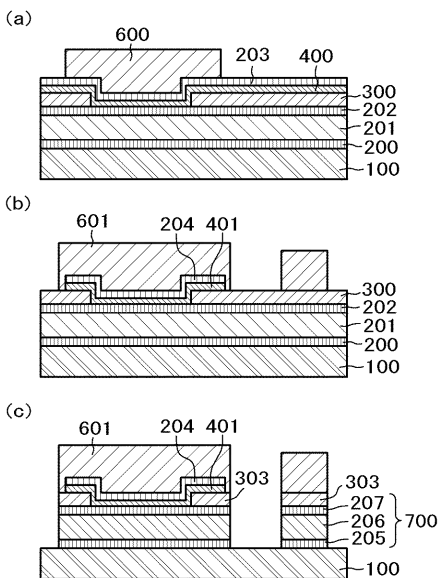
【図 10】

図 10



【図 12】

図 12



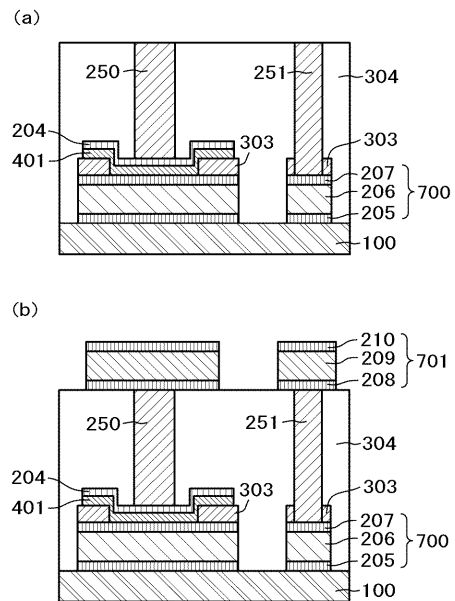
【図 11】

図 11

		実施例 1 に基づく MIM キャパシタ	従来例 3 に基づく MIM キャパシタ
第一の層間絶縁膜	SiOC 膜 (比誘電率 2.9)	1.36pF/cm	1.56pF/cm
	酸化シリコン膜 (比誘電率 4.0)	1.87pF/cm	1.92pF/cm

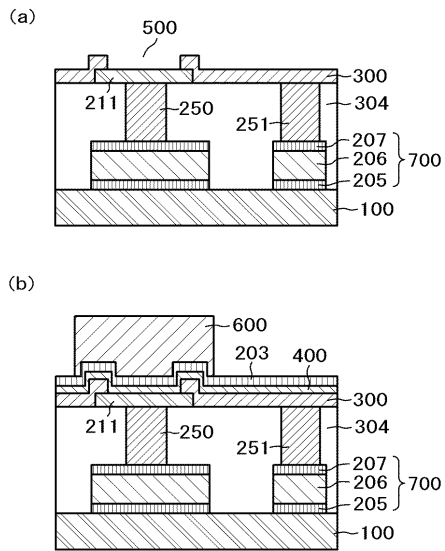
【図 13】

図 13



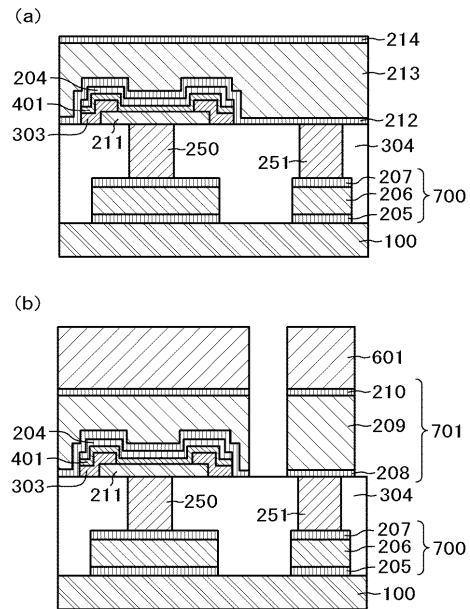
【図 1 4】

図 1 4



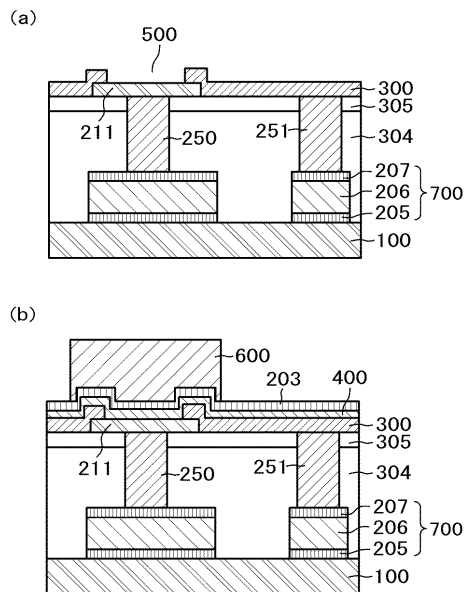
【図 1 5】

図 1 5



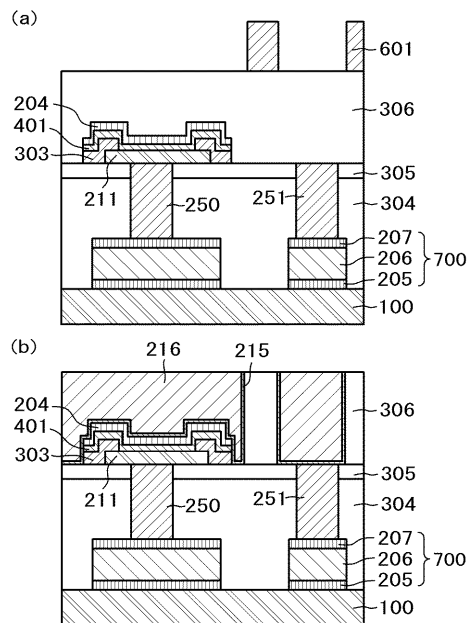
【図 1 6】

図 1 6



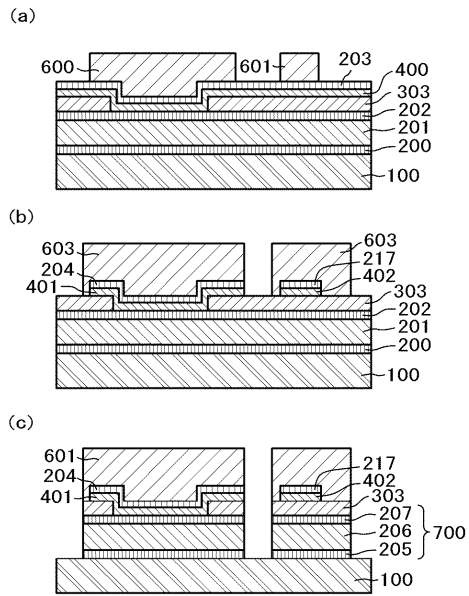
【図 1 7】

図 1 7



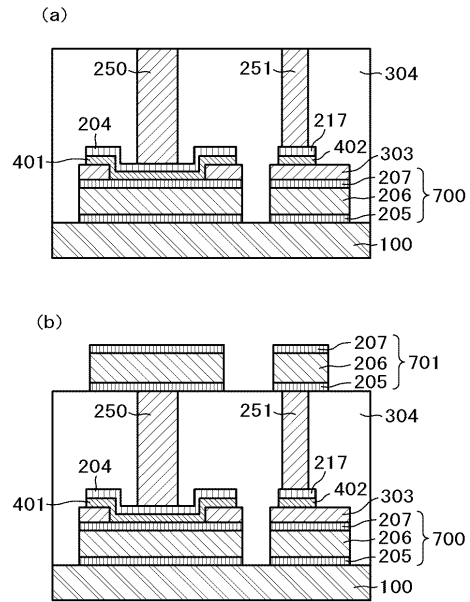
【図 18】

図 18



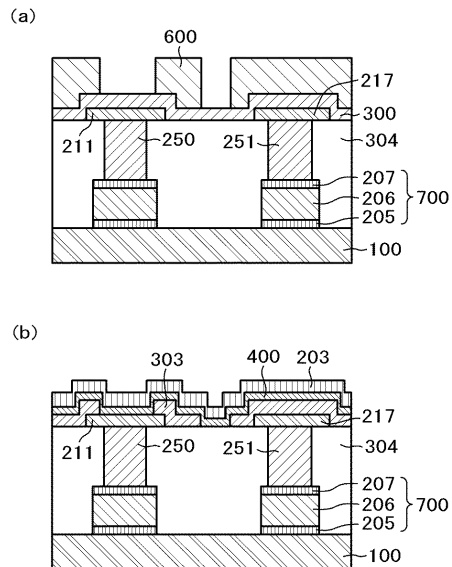
【図 19】

図 19



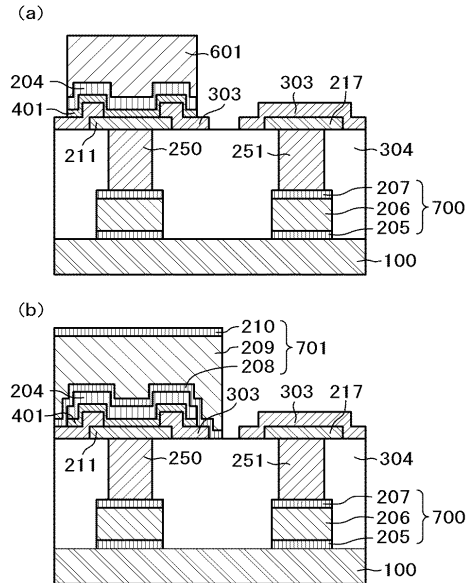
【図 20】

図 20



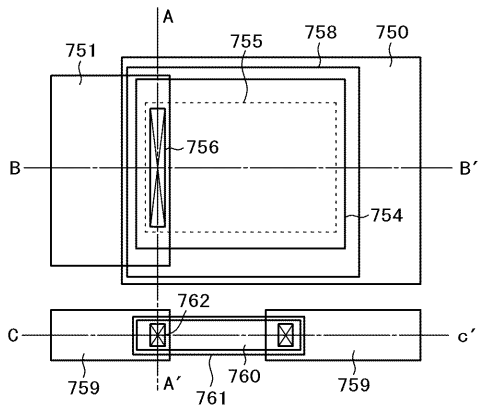
【図 21】

図 21



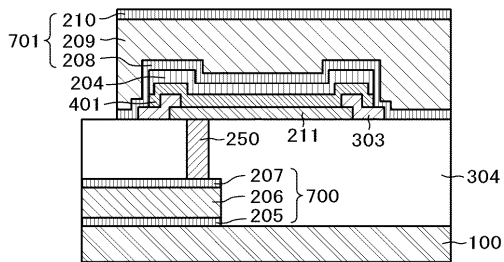
【図 2 2】

図 2 2



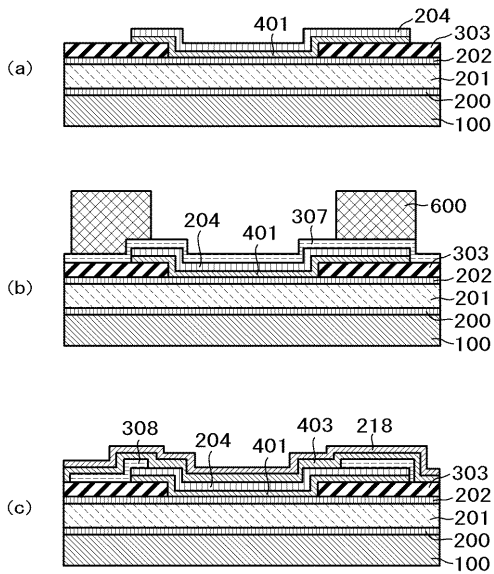
【図 2 3】

図 2 3



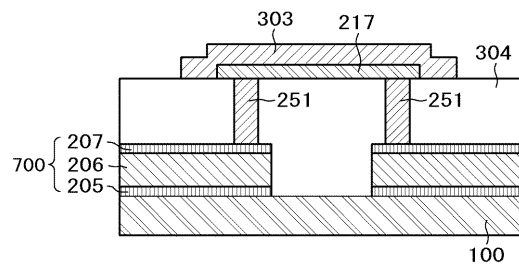
【図 2 5】

図 2 5



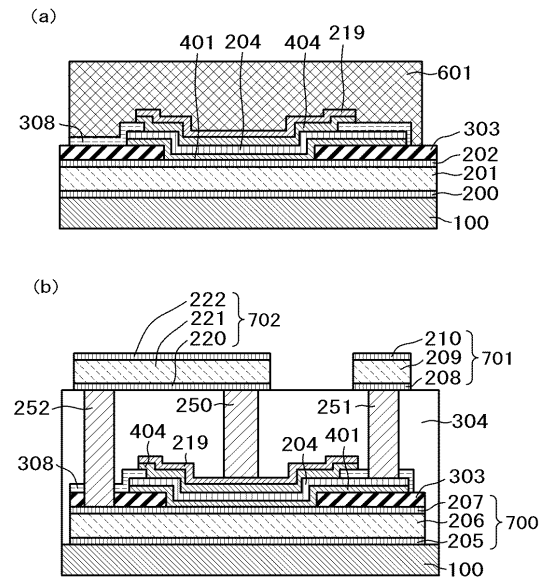
【図 2 4】

図 2 4



【図 2 6】

図 2 6



フロントページの続き

- (72)発明者 今井 俊則
東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内
- (72)発明者 石川 剛
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 峰 利之
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 三浦 真
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

Fターム(参考) 5F033 HH08 HH11 HH19 HH21 HH32 HH33 JJ19 KK08 KK19 KK21
KK32 KK33 KK34 MM01 MM08 MM12 MM13 NN01 PP15 PP27
QQ08 QQ09 QQ11 QQ23 QQ28 QQ37 QQ48 RR01 RR04 RR06
RR08 RR11 RR21 SS15 VV09 VV10 XX16 XX25
5F038 AC05 AC15 AR07 AR22 AR28 CD18 EZ20