(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2020 年 6 月 11 日 (11.06.2020)

WIPO | PCT

(10) 国际公布号
WO 2020/113692 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2018/122353

(22) 国际申请日: 2018 年 12 月 20 日 (20.12.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201811484751.X 2018年12月5日 (05.12.2018) CN

(71) 申请人: 惠科股份有限公司(HKC CORPORATION LIMITED) [CN/CN]; 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房1、2、3栋, 九州阳光1号厂房5、7楼, Guangdong 518000 (CN)。

(72) 发明人: 何怀亮 (HE, Huailiang); 中国广东省深圳市宝安区石岩街道水田村民营工业园惠科工业园厂房1、2、3栋, 九州阳光1号厂房5、7楼, Guangdong 518000 (CN)。

(74) 代理人: 深圳市世纪恒程知识产权代理事务所 (CENFO INTELLECTUAL PROPERTY AGENCY); 中国广东省深圳市南山区粤海街道高新技术产业园北区松坪山路3号奥特讯电力大厦201, Guangdong 518057 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) **Title:** GATE DRIVER ON ARRAY CIRCUIT AND DISPLAY DEVICE

(54) **发明名称:** 阵列基板行驱动电路及显示装置

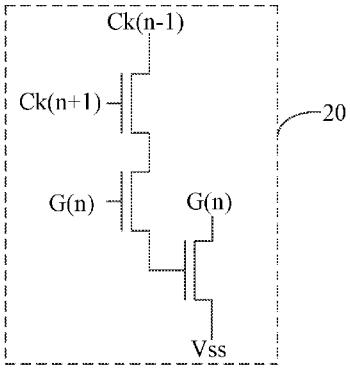

图 2

(57) **Abstract:** A gate driver on array circuit and a display device. The gate driver on array circuit comprises: N cascaded gate driver on array units (10), the Nth stage gate driver on array unit (10) being configured to output the Nth stage gate driving signal when receiving, at the signal input terminal thereof, the gate driving signal outputted by the (N-2)th stage gate driver on array unit (10), so as to perform the Nth stage pre-charging and sub-pixel charging, the Nth stage auxiliary circuit unit (20) being configured to control, when both the (N-1)th stage timing control signal accessed to the first timing signal input terminal (Ck(n-1)) and the (N+1)th stage timing control signal accessed to the second timing signal input terminal (Ck(n+1)) are at a high level, the Nth stage gate driver on array unit (10) to not perform pre-charging, N being a positive integer greater than or equal to 2. The gate driver on array circuit solves the problem of low grayscale bright and dark lines due to the large cross-voltage when a data signal voltage is reversed in polarity, improving the picture quality of the display device.

(57) **摘要**: 一种阵列基板行驱动电路及显示装置，该阵列基板行驱动电路包括：N个级联设置的阵列基板行驱动单元（10），其中，第N级阵列基板行驱动单元（10），设置为在其信号输入端接收到第N-2级阵列基板行驱动单元（10）输出的栅极驱动信号时，输出第N级栅极驱动信号，以进行第N级预充电和子像素充电；第N级辅助电路单元（20），设置为在其第一时序信号输入端（Ck（n-1））接入的第N-1级时序控制信号及第二时序信号输入端（Ck（n+1））接入的第N+1级时序控制信号均为高电平时，控制第N级阵列基板行驱动单元（10）不进行预充电；N为大于等于2的正整数。该驱动电路解决了数据信号电压在极性反转时，由于跨压比较大，出现低灰阶亮暗线的问题，提高了显示装置的画面品质。

WO 2020/113692 A1

[见续页]

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

阵列基板行驱动电路及显示装置

[1] 相关专利

[2] 本申请要求2018年12月05日，申请号为201811484751.X，申请名称为“阵列基板行驱动电路及显示装置”的中国专利申请的优先权，在此将其全文引入作为参考。

[3] 技术领域

[4] 本申请涉及电子电路技术领域，特别涉及一种阵列基板行驱动电路及显示装置。

[5] 背景技术

[6] 目前，在液晶显示面板采用双栅像素驱动结构的设计中，通常是送2dot（点）讯号来改善闪烁问题，然而在数据信号在转换时波型会有一个爬升阶段这爬升阶段会影响像素充电，可能由于数据电压的跨压过大，而导致相邻的两个像素的充电效率不一致而出现亮暗线问题，使得显示面板的画面品质降低。

[7] 申请内容

[8] 本申请的主要目的是提出一种阵列基板行驱动电路及显示装置，旨在提高显示装置的画面品质。

[9] 为实现上述目的，本申请提出一种阵列基板行驱动(Gate Driver on Array，阵列基板行驱动)电路，所述阵列基板行驱动电路包括：

[10] N个级联设置的阵列基板行驱动单元，每一所述阵列基板行驱动单元包括信号输入端及栅极驱动信号输出端；

[11] 辅助电路单元，对应每一所述阵列基板行驱动单元设置，每一所述辅助电路单元包括第一时序信号输入端、第二时序信号输入端、第一受控端及输出端；其中，第N级所述辅助电路单元的第一时序信号输入端接入第N-1级时序控制信号，第N级所述辅助电路单元的第二时序信号输入端接入第N+1级时序控制信号，第N级所述辅助电路单元的受控端和输出端与第N级所述阵列基板行驱动单元的栅极驱动信号输出端；其中，

[12] 第N级所述阵列基板行驱动单元，设置为在其信号输入端接收到第N-2级所述阵列基板行驱动单元输出的栅极驱动信号时，输出第N级栅极驱动信号，以进行第N级预充电和子像素充电；

[13] 第N级所述辅助电路单元，设置为在其第一时序信号输入端接入的第N-1级时序控制信号及第二时序信号输入端接入的第N+1级时序控制信号均为高电平时，控制所述第N级所述阵列基板行驱动单元不进行预充电；

[14] N 为大于等于2的正整数。

[15] 本申请还提出一种阵列基板行驱动(Gate Driver on Array，阵列基板行驱动)电路，所述阵列基板行驱动电路包括：

[16] N个级联设置的阵列基板行驱动单元，每一所述阵列基板行驱动单元包括信号输入端，上拉控制信号端及栅极驱动信号输出端；

[17] 辅助电路单元，对应每一所述阵列基板行驱动单元设置，每一所述辅助电路单元包括第一时序信号输入端、第二时序信号输入端、第一受控端及输出端；其中，第N级所述辅助电路单元的第一时序信号输入端接入第N-1级时序控制信号，第N级所述辅助电路单元的第二时序信号输入端接入第N+1级时序控制信号，第N级所述辅助电路单元的受控端与第N级所述阵列基板行驱动单元的上拉控制信号端连接，第N级所述辅助电路单元的输出端与第N级所述阵列基板行驱动单元的栅极驱动信号输出端；其中，

[18] 第N级所述阵列基板行驱动单元，设置为在其信号输入端接收到第N-2级所述阵列基板行驱动单元输出的栅极驱动信号时，输出第N级栅极驱动信号，以进行第N级预充电和子像素充电；

[19] 第N级所述辅助电路单元，设置为在其第一时序信号输入端接入的第N-1级时序控制信号及第二时序信号输入端接入的第N+1级时序控制信号均为高电平时，控制所述第N级所述阵列基板行驱动单元不进行预充电；

[20] N 为大于等于2的正整数；

[21] 每一所述辅助电路单元包括第一主动开关、第二主动开关及第三主动开关，所述第一主动开关、所述第二主动开关及所述第三主动开关至少一个为薄膜晶体管。

[22] 本申请还提出一种显示装置，所述显示装置包括：

[23] 显示面板，所述显示面板具有相对设置的两侧，所述显示面板包括像素阵列；

[24] 以及如上所述的阵列基板行驱动电路，所述阵列基板行驱动电路包括N个级联设置的阵列基板行驱动单元和对应每一所述阵列基板行驱动单元设置的辅助电路单元，N个级联设置的所述阵列基板行驱动单元和辅助电路单元对应设置于所述显示面板的两侧。

[25] 本申请阵列基板行驱动电路通过设置N个级联设置的阵列基板行驱动单元，以及对应每一所述阵列基板行驱动单元设置的辅助电路单元，并在第N级所述阵列基板行驱动单元的其信号输入端接收到第N-2级所述阵列基板行驱动单元输出的栅极驱动信号时，输出第N级栅极驱动信号，以进行第N级预充电和子像素充电时，通过第N级所述辅助电路单元在其第一时序信号输入端接入的第N-1级时序控制信号及第二时序信号输入端接入的第N+1级时序控制信号均为高电平时，控制所述第N级所述阵列基板行驱动单元不进行预充电。本申请通过预充电而对第N级子像素进行预充电，以补偿第N行子像素在进行像素充电时，由于需要进行爬坡而导致充电不饱和的电压部分，并通过第N级辅助电路单元对由于第N-1行子像素充的数据电压由正准位向正准位跳转为正准位的数据电压，第N行子像素停止预充电，从而避免充入极性相反的数据电压，而增加第N行子像素充电的爬坡时间。本申请通过第N级阵列基板行驱动单元和第N级辅助电路单元设计栅极驱动信号的波形，以保证第N行子像素充电饱和，有利于数据信号的电压从正极性切换至负极性，或者从负极性切换至正极性时，保证每一子像素的充电效果相同，且亮度一致。本申请解决了数据信号电压在极性反转时，由于跨压比较大，导致共用一数据线的两相邻子像素之间的充电饱和程度存在差异而出现低灰阶亮暗线的问题，本申请提高了显示装置的画面品质。

[26] 附图说明

[27] 为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图示出的结构获得其他的附图。

[28] 图1为本申请阵列基板行驱动电路中阵列基板行驱动单元一实施例的电路结构示意图；

[29] 图2为本申请阵列基板行驱动电路中辅助电路单元一实施例的电路结构示意图；

[30] 图3为本申请中显示面板像素排列一实施例的结构示意图；

[31] 图4为本申请中显示装置一实施例的结构示意图；

[32] 图5为本申请中显示面板一实施例的结构示意图；

[33] 图6为本申请中显示装置一实施例的电路结构示意图；

[34] 图7为本申请中显示装置一实施例的时序图。

[35] 本申请目的的实现、功能特点及优点将结合实施例，参照附图做可选地说明。

[36] 具体实施方式

[37] 本申请提出一种阵列基板行驱动电路，应用于手机、电脑、电视等具有显示面板的显示装置中。

[38] 可以理解的是，阵列基板行驱动，是利用薄膜晶体管液晶显示器阵列制程将栅极行扫描驱动信号电路制作在显示面板的阵列基板上，以实现对栅极逐行扫描的驱动方式，具有降低生产成本和实现面板窄边框设计的优点，为多种显示器所使用。

[39] 在显示面板中，像素的排列方式有多种，根据某一时刻，行开启的数量以及对应的像素信号的输入，像素驱动结构可以分为某一时刻只开启一行的1G1D结构、某时刻同时开两行的2G2D结构、或者双栅像素驱动结构以及三栅像素驱动结构。本实施例可选为采用双栅像素结构来实现，由于在显示面板中，双栅像素结构的行扫描线增加了一倍，同时数据线减少了一倍，相应的，阵列基板行驱动电路的数量会增加一倍，而源极驱动电路的数量可以减少一半，由于源极驱动电路的造价成本远高于栅极驱动芯片中集成芯片的造价成本，因此采用双栅像素驱动结构可以有效的降低显示装置的生产成本。

[40] 相较于1G1D结构，双栅像素驱动结构中，行写入时间会下降为原来的一半，而在液晶显示面板的设计中，考量像素驱动结构的重要因素即确保像素具备充足的像素充电率，而行写入时间的缩短会影响到像素充电率降低，为了保证像

素充电率高，面板的画质良好，显示面板通常会搭配1+2 line或2 line反转方式来驱动像素阵列中电容的极性反转。

[41] 由于显示面板在采用2 line或者1+2 line极性反转方式来驱动像素阵列中的电容极性反转时，在公共电极电位保持不变的情况下，实现液晶分子的交流驱动就相当于电容的另外一个电极的电位相对于公共电极电位时高时低的变化。也即数据信号相对公共电极电压升高或者降低。而在数据信号电压相对公共电极电压Vcom升高由负极性的电压切换为正极性的电压，或者降低来实现由正极性电压切换为负极性的过程中，数据信号电压的跨压比较大，且因为RC负载的原因，电压切换需要爬坡时间。因此在充电时间一定的情况下，需要经历电压切换即爬坡时间的子像素的充电率要低于电压趋于平稳的子像素的充电率，也即前者的像素充电饱和程度要小于后者的饱和程度，而充电饱和的像素的亮度要大于充电不完全饱和的像素。例如在本实施例显示面板中，相邻的奇数列薄膜晶体管和偶数列薄膜晶体管与同一条所述数据线电连接，且相邻的奇数列薄膜晶体管和偶数列薄膜晶体管的栅极分别由相邻的两条扫描线控制。位于第一行第一列的子像素的栅极与扫描线G1连接，源极与数据线D1连接，位于第一行第二列的子像素的栅极与扫描线G2连接，源极与数据线D1连接。该相邻的两个子像素在采用2行画素行线信号反转）方式进行极性反转时，两者的极性是一致的，或者采用l+21+2行画素行线信号反转方式进行极性反转时，扫描线的第一行为单独极性，其余扫描行中相邻的两个子像素的极性相同。本实施例以2行画素行线信号反转）方式为例进行说明。阵列基板行驱动电路在进行逐行扫描时，G1行扫描线先打开，G2行扫描线后打开；在1+2行画素行线信号反转方式中，则是G2行扫描线先打开，G3行扫描线后打开），第一行第一列的色子像素的极性从正极反转为负极，在第一行第一列的子像素充电过程中，数据线D2上的数据电压会由高电平逐渐降低为低电平，也即由正极切换为负极并保持低电平，此时数据信号的电压跨压较大，在第一行第一列的子像素充电完成时，并未充电饱和。在第一行第一列的色子像素完成充电后，G1行扫描线关断，G2行扫描线打开，从而给第一行第二列的子像素充电，而给第一行第二列的子像素充电的过程中，数据线D1上的数据电压是保持为低电平的，相当于有负极切换为负极，此

时，数据信号的电压跨压较小或者没有跨压，因此在该子像素充电完成时，饱和程度较高。这样，将导致第一行第二列的色子像素的亮度要高于第一行第一列的色子像素的亮度，以此类推，由于视觉停留，将在整个液晶面板上呈现出亮/暗线的问题。

[42] 为了解决上述问题，参照图1至图7，在本申请一实施例中，该阵列基板行驱动电路100包括：

[43] N个级联设置的阵列基板行驱动单元10，每一所述阵列基板行驱动单元10包括信号输入端、上拉控制信号端及栅极驱动信号输出端；

[44] 辅助电路单元20，对应每一所述阵列基板行驱动单元10设置，每一所述辅助电路单元20包括第一时序信号输入端Ck（n-1)、第二时序信号输入端Ck（n+1)、第一受控端G（n)及输出端；其中，第N级所述辅助电路单元20的第一时序信号输入端Ck（n-1)接入第N-1级时序控制信号，第N级所述辅助电路单元20的第二时序信号输入端Ck（n+1)接入第N+1级时序控制信号，第N级所述辅助电路单元20的受控端和输出端与第N级所述阵列基板行驱动单元10的栅极驱动信号输出端；其中，

[45] 第N级所述阵列基板行驱动单元10，设置为在其信号输入端接收到第N-2级所述阵列基板行驱动单元10输出的栅极驱动信号时，输出第N级栅极驱动信号，以进行第N级预充电和子像素充电；

[46] 第N级所述辅助电路单元20，设置为在其第一时序信号输入端Ck（n-1)接入的第N-1级时序控制信号及第二时序信号输入端Ck（n+1)接入的第N+1级时序控制信号均为高电平时，控制所述第N级所述阵列基板行驱动单元10不进行预充电；

[47] N 为大于等于2的正整数。

[48] 本实施例中，显示面板200具有显示区及非显示区，各个级联的阵列基板行驱动单元10设置于非显示区，并且，非显示区可以根据显示面板200的尺寸，设置于一侧或者两侧，本实施例可选为两侧。为了消除亮暗线问题，以及为了使像素快速完成充电，各阵列基板行驱动单元10可以启用预充电功能，使后级的阵列基板行驱动单元10信号提前开启，提前使该行的像素电压朝着当前帧的目标极性电压转变。其中，阵列基板行驱动单元和辅助电路单元可以为由多个薄膜

晶体管组成的电路单元。

[49] 根据双栅驱动架构可知，在开启当前行的行扫描线时，当前行的子像素极性的极性与其相邻的子像素的极性是相反的，本实施例将三个相邻的子像素分别称为第一子像素、第二子像素及第三子像素。在开启第一行子像素时，第一行子像素的数据电压的极性由正极性跳转为负极性，或者由负极性跳转为正极性，本实施例以第一行子像素由负极性跳转为正极性为例进行说明，第一行子像素需要经历爬坡时间，而在第二行子像素的数据电压是趋于平稳正极性的电压，无需经历爬坡时间，而第三子像素的电则是由正跳转为负，因此同样需要尽力爬坡时间。由于数据电压需要经历爬坡时间，因此第一行子像素的充电时间可以分为由负准位电压增加到基准电压的负极性电压的充电时间t1，以及由基准电压增加至正准位电压的充电时间t2，在充电时间t1内，第一行子像素和第三行子像素的极性是相同的，因此可以开启第三行子像素，从而让第三行子像素开始预充电，并且所充的电压极性与第三行子像素当前帧的电压极性相同。而在第二行子像素开始充电时，其充电时间为t3，由于第二行子像素的数据电压不需要经历爬坡，因此第二子像素的极性从负跳转为正的时间较短，第二行子像素的正极性与第三行子像素的负极性相反。辅助电路单元20将此时的栅极驱动信号拉低，第三行子像素停止预充电，直至第三行子像素开始充电（对应充电时间t3），此时辅助电路单元20不工作，阵列基板行驱动单元10输出栅极驱动信号至第三行子像素，从而使第三行子像素进行像素充电。

[50] 具体地，参照图1及图2，本实施例以第五行子像素为例，结合第五行子像素对应的第五级阵列基板行驱动单元10、第五级辅助电路单元20、第五行子像素的数据电压极性的变化，以及各个时序信号及数据信号输出图为例进行说明，在第五行子像素对应的阵列基板行驱动单元10中，第五级阵列基板行驱动单元10的信号输入端接收的为第三级阵列基板行驱动单元10输出的栅极驱动信号，第五级辅助电路单元20的第一时序信号输入端Ck（n-1)接收第四级时序信号Ck4、第二时序信号输入端Ck（n+1)接收第六级时序信号Ck6、第一受控端G（n)接收栅极驱动信号输出端G（n）输出的栅极驱动信号，第五级辅助电路及第五级阵列基板行驱动单元10均为高电平触发，也即高电平工作，低电平停止工作。

[51] 在第三级阵列基板行驱动单元10在对第三行子像素充电时，此时第三级阵列基板行驱动单元10的栅极驱动信号G3为高电平，从而触发第五级阵列基板行驱动单元10工作。第五级阵列基板行驱动单元10在其时序控制信号Ck5为高电平时，输出高电平的栅极驱动信号G5至第五行子像素，从而驱动第五行子像素开始预充电。此时第三行子像素对应的数据电压由负准位向正准位跳转，第五行子像素的预充的为负准位的数据电压。此时由于第四级子像素需要预充，因此第四级时序信号Ck4为高电平，而第六级时序信号Ck6为低电平，第五级辅助电路单元20不工作，由第五级阵列基板行驱动单元10驱动第五行子像素进行预充电。其中，预充电的时间可以根据第三行子像素对应的数据电压从负准位升高至公共电极电压Vcom的时间进行设置，也即在第三行子像素从公共电极电压Vcom升高至正极性电压以后，第五级子像素停止预充电。如此设置，可以通过预充电而对第五级子像素进行预充电，以补偿第五子像素在进行像素充电时，由于需要进行爬坡而导致充电不饱和的电压部分。

[52] 在第四级阵列基板行驱动单元10在对第四行子像素充电时，此时第四级阵列基板行驱动单元10的栅极驱动信号G4为高电平，并且第四级时序信号Ck4为高电平。此时由于第六级子像素需要预充，第六级时序信号Ck6为高电平，而第四级时序信号Ck4为高电平，第五级阵列基板行驱动单元10在第三级阵列基板行驱动单元10的栅极驱动电压G3的作用下，第五级阵列基板行驱动单元10的栅极驱动信号输出端G5保持高电平，从而驱动第五级辅助电路单元20工作，并输出低电平的栅极驱动信号G5至第五行子像素。第五行子像素在第四行子像素充电时，由于第四行子像素充的数据电压由正准位向正准位跳转为正准位的数据电压，第五行子像素停止预充电，从而避免充入极性相反的数据电压，而增加第五行子像素充电的爬坡时间。在这个过程中，由于高电平的栅极驱动信号输出端G5输出到第五级辅助电路单元20，以及第五级辅助电路单元20输出的低电平的栅极驱动信号G5至第五行子像素均需要时间，这两个过程的时间大于或等于第五行子像素的预充电时间t1。因此这个过程不会影响第五行子像素的预充电时间t1。

[53] 在第五级阵列基板行驱动单元10在对第五行子像素充电时，此时第五级阵列基板行驱动单元10接收的G3仍保持高电平，并且第五级时序信号Ck5为高电平，从

而输出高电平的栅极驱动信号G5至第五行子像素，此时第四级时序信号Ck4为低电平，第六级时序信号Ck6为高电平，第五级辅助电路单元20不工作，由第五级阵列基板行驱动单元10驱动第五行子像素进行充电。在这个过程中，由于在对第三级子像素进行充电时，已经对第五行子像素进行预充电，因此第五行子像素无需经历由正电压向负电压跳转的爬坡时间，从而使得第五行子像素可以充电保护。

[54] 可以理解的是，本实施例以第五级阵列基板行驱动单元10的工作为例进行说明，在其他级阵列基板行驱动单元10中，均可以以此类推，获得该级阵列基板行驱动单元10的工作状态，此处不再一一列举。此外，在由正极性转正极性的子像素中，由于子像素的储能电容容量是一定的，在进行预充电和充电的总和即等于其容量总和，因此当充至其电容容量值的最大值，即充满时子像素的储能电容两端的电压将维持稳定，保持不变。也即，预充电可以对于极性反转的子像素，可以补偿其爬坡的充电电压，并提高子像素的充电速率，而在极性无需反转的子像素，预充电可以提高子像素的充电速率。

[55] 本申请阵列基板行驱动电路100通过设置N个级联设置的阵列基板行驱动单元10，以及对应每一所述阵列基板行驱动单元10设置的辅助电路单元20，并在第N级所述阵列基板行驱动单元10的其信号输入端接收到第N-2级所述阵列基板行驱动单元10输出的栅极驱动信号时，输出第N级栅极驱动信号，以进行第N级预充电和子像素充电时，通过第N级所述辅助电路单元20在其第一时序信号输入端Ck（n-1)接入的第N-1级时序控制信号及第二时序信号输入端Ck（n+1)接入的第N+1级时序控制信号均为高电平时，控制所述第N级所述阵列基板行驱动单元10不进行预充电。本申请通过预充电而对第N级子像素进行预充电，以补偿第N行子像素在进行像素充电时，由于需要进行爬坡而导致充电不饱和的电压部分，并通过第N级辅助电路单元20对由于第N-1行子像素充的数据电压由正准位向正准位跳转为正准位的数据电压，第N行子像素停止预充电，从而避免充入极性相反的数据电压，而增加第N行子像素充电的爬坡时间。本申请通过第N级阵列基板行驱动单元10和第N级辅助电路单元20设计栅极驱动信号的波形，以保证第N行子像素充电饱和，有利于数据信号的电压从正极性切换至负极性，或者从负极性

切换至正极性时，保证每一子像素的充电效果相同，且亮度一致。本申请解决了数据信号电压在极性反转时，由于跨压比较大，导致共用一数据线的两相邻子像素之间的充电饱和程度存在差异而出现低灰阶亮暗线的问题，本申请提高了显示装置的画面品质。

[56] 参照图1至图7，在一实施例中，每一所述辅助电路单元20包括第一主动开关T1、第二主动开关T2及第三主动开关T3，所述第一主动开关T1的受控端为所述辅助电路单元20的第一时序信号输入端Ck（n-1），所述第一主动开关T1的输入端为所述辅助电路单元20的第二时序信号输入端Ck（n+1），所述第一主动开关T1的输出端与所述第二主动开关T2的输入端连接，所述第二主动开关T2的受控端为所述辅助电路单元20的第一受控端G（n），所述第二主动开关T2的输出端与所述第三主动开关T3的受控端连接，所述第三主动开关T3的输入端接入栅关闭信号，所述第三主动开关T3的输出端为所述辅助电路单元20的输出端。

[57] 本实施例中，第一主动开关T1、第二主动开关T2及第三主动开关T3至少一个为薄膜晶体管，本实施例可选为第一主动开关T1、第二主动开关T2及第三主动开关T3均设置为N型薄膜晶体管，也即均为高电平导通。本实施例中，第一主动开关T1基于第N-1级时序信号Ck（n+1）控制，第二主动开关T2基于上拉点控制端的上拉信号Q（n）控制，并且三者均为高电平时，第三主动开关T3基于第N+1级时序信号Ck（N+1）控制，当第一主动开关T1在第N+1级时序信号Ck（n+1）为高电平时导通，并输出第N-1级时序信号Ck（n-1），第二主动开关T2在栅极驱动信号输出端G（n）为高电平时导通，第三主动开关T3在第一主动开关T1和第二主动开关T2导通时，并在第一主动开关T1输入端输入的第N-1级时序信号Ck（n-1）为高电平时工作，以将第N级阵列基板行驱动单元10的栅极驱动信号输出端的电压拉低，从而第N-1级阵列基板行驱动单元10输出栅极驱动信号，并驱动第N-1行子像素充电时。控制第N级阵列基板行驱动单元10停止预充电，如此可以避免充入极性相反的数据电压，而增加第五行子像素充电的爬坡时间。

[58] 可以理解的是，第二主动开关T2的开/关时间是大于或者等于其对应的子像素的预充电时间。在第一主动开关T1和第二主动开关T2（第二主控开关T2在接受到栅极驱动信号输出端高电平的栅极驱动信号时导通）在接受到高电平的信号

导通，从而控制第三主动开关T3开启，进而将栅极驱动信号输出端的栅极驱动电压拉低的过程中，子像素先完成预充电，随后第二主动开关T2受第三主动开关T3开启，并将栅极驱动信号输出端的栅极驱动信号拉低的控制而关断，也即，子像素先完成预充电，而后第二主动开关T2才被关断，或者在子像素完成预充电的同时第二主动开关才被第三主动开关T3输出的低电平的栅极驱动信号关断。第二主动开关T2的开/关不会影响子像素在预充电时间t1内的预充电。

[59] 参照图1至图7，在一实施例中，每一所述阵列基板行驱动单元10包括充电单元11、复位单元12及输出单元13，所述充电单元11的输入端为所述阵列基板行驱动单元10的信号输入端，所述充电单元11的输出端为所述阵列基板行驱动单元10的上拉控制信号端，并与所述与所述输出单元13的受控端连接，所述输出单元13的输入端接入当前级时序信号，所述输出单元13的输出端为所述阵列基板行驱动单元10的栅极驱动信号输出端。

[60] 本实施例中，每个第一阵列基板行驱动单元10均包括充电单元11、输出单元13以及复位单元12，充电单元11、输出单元13以及复位单元12具体为薄膜晶体管实现的电路结构。

[61] 充电单元11主要用于输出上拉控制信号。输出单元13的输入端与充电单元11所输出的上拉控制信号输出端Q（n）相连接，主要用于根据该上拉控制信号Q（n）输出栅极驱动信号G（n）。复位单元12分别与充电单元11的输出单元13的受控端以及输出单元13的栅极驱动信号输出端相连接，在完成对当前行像素单元的扫描后，将上拉控制信号Q（n）以及行扫描信号G（n）下拉至低电平。还可以设置有自举电容，自举电容的第一极连接上拉控制信号输出端Q（n），其第二极连接当前级阵列基板行驱动单元10的栅极驱动信号输出端G（n）。自举电容C用于维持输出单元13之间的电压，稳定输出单元13的输出。

[62] 当第N-2级的栅极驱动信号的输出信号来临之前，Ck（n）为低电平，此时上拉控制信号输出端Q（n）的电平为低电平，此时输出单元13无信号输出。当第N-2级的栅极驱动信号的输出信号来临时，Ck（n）为低电平，此时上拉控制信号输出端Q（n）的电平为高电平，输出单元13的栅极驱动信号输出端G（n）输出的信号为低电平信号。

[63] 当第N-2级的栅极驱动信号的输出信号来临时，Ck（n）为高电平，此时上拉控制信号输出端Q（n）的电平为高电平，输出单元13的栅极驱动信号输出端G（n）输出高电平的栅极驱动信号，以打开第N行子像素对应的薄膜晶体管，从而驱动第N行子像素充电或者预充电。

[64] 由于第N级的栅极驱动信号是第N-2级阵列基板行驱动单元10的输出信号，因此，第N-2级阵列基板行驱动单元10在第N级阵列基板行驱动单元10驱动第N行子像素进行充电时，第N+2级阵列基板行驱动单元10也在驱动第N+2子像素进行预充电，而在第N+2行子像素进行充电时，第N+2级阵列基板行驱动单元10输出的栅极驱动信号输出至第N-2级阵列基板行驱动单元10的复位单元12的受控端，从而控制复位单元12工作，并输出栅关闭信号至输出单元13，以控制输出单元13输停止工作，进而关断第N行子像素对应的薄膜晶体管。

[65] 参照图1至图7，在一实施例中，所述充电单元11包括第四主动开关T4，所述第四主动开关T4的输入端和受控端为所述充电单元11的输入端，所述第四主动开关T4的输出端为所述充电单元11的输出端。

[66] 可选地，所述复位单元12包括第五主动开关T5和第六主动开关T6，所述第五主动开关T5和所述第六主动开关T6的受控端接入第N+4级阵列基板行驱动单元10输出的栅极驱动信号，所述第五主动开关T5和第六主动开关T6的输入端分别接入栅关闭信号；所述第五主动开关T5的输出端与所述上拉控制信号端连接，所述第六主动开关T6的输出端与所述栅极驱动信号输出端连接。

[67] 可选地，所述输出单元13包括第七主动开关T7和第八主动开关T8，所述第七主动开关T7的受控端为所述输出单元13的受控端，并与所述第八主动开关T8的受控端，所述第七主动开关T7的输入端为所述输出单元13的输入端，并与所述第八主动开关T8的输入端，所述第七主动开关T7的输出端为所述输出单元13的输出端，所述第八主动开关T8的输出端与第N+2级阵列基板行驱动单元10的信号输入端。

[68] 上述实施例中，各主动开关可以采用薄膜晶体管来实现，具体可以采用高电平导通的N型薄膜晶体管来实现。

[69] 上述实施例中，各阵列基板行驱动单元10还包括下拉单元及下拉驱动单元，下

拉单元被设置为输出复位信号至输出单元13的输出端及受控端，以控制输出单元13停止工作。

[70] 本申请还提出一种阵列基板行驱动电路，所述阵列基板行驱动电路100包括：

[71] N个级联设置的阵列基板行驱动单元10，每一所述阵列基板行驱动单元10包括信号输入端，上拉控制信号端及栅极驱动信号输出端；

[72] 辅助电路单元20，对应每一所述阵列基板行驱动单元10设置，每一所述辅助电路单元20包括第一时序信号输入端Ck（n-1)、第二时序信号输入端Ck（n+1)、第一受控端G（n)及输出端G(n)；其中，第N级所述辅助电路单元20的第一时序信号输入端Ck（n-1)接入第N-1级时序控制信号，第N级所述辅助电路单元20的第二时序信号输入端Ck（n+1)接入第N+1级时序控制信号，第N级所述辅助电路单元20的受控端与第N级所述阵列基板行驱动单元10的上拉控制信号端连接，第N级所述辅助电路单元20的输出端与第N级所述阵列基板行驱动单元10的栅极驱动信号输出端；其中，

[73] 第N级所述阵列基板行驱动单元10，设置为在其信号输入端接收到第N-2级所述阵列基板行驱动单元10输出的栅极驱动信号时，输出第N级栅极驱动信号，以进行第N级预充电和子像素充电；

[74] 第N级所述辅助电路单元20，设置为在其第一时序信号输入端Ck（n-1)接入的第N-1级时序控制信号及第二时序信号输入端Ck（n+1)接入的第N+1级时序控制信号Ck（n+1)均为高电平时，控制所述第N级所述阵列基板行驱动单元10不进行预充电；

[75] N 为大于等于2的正整数；

[76] 每一所述辅助电路单元20包括第一主动开关T1、第二主动开关T2及第三主动开关T3，所述第一主动开关T1、所述第二主动开关T2及所述第三主动开关T3至少一个为薄膜晶体管。

[77] 本申请阵列基板行驱动电路100通过设置N个级联设置的阵列基板行驱动单元10，以及对应每一所述阵列基板行驱动单元10设置的辅助电路单元20，并在第N级所述阵列基板行驱动单元10的其信号输入端接收到第N-2级所述阵列基板行驱动单元10输出的栅极驱动信号时，输出第N级栅极驱动信号，以进行第N级预充电

和子像素充电时，通过第N级所述辅助电路单元20在其第一时序信号输入端Ck（n-1)接入的第N-1级时序控制信号及第二时序信号输入端Ck（n+1)接入的第N+1级时序控制信号均为高电平时，控制所述第N级所述阵列基板行驱动单元10不进行预充电。本申请通过预充电而对第N级子像素进行预充电，以补偿第N行子像素在进行像素充电时，由于需要进行爬坡而导致充电不饱和的电压部分，并通过第N级辅助电路单元20对由于第N-1行子像素充的数据电压由正准位向正准位跳转为正准位的数据电压，第N行子像素停止预充电，从而避免充入极性相反的数据电压，而增加第N行子像素充电的爬坡时间。本申请通过第N级阵列基板行驱动单元10和第N级辅助电路单元20设计栅极驱动信号的波形，以保证第N行子像素充电饱和，有利于数据信号的电压从正极性切换至负极性，或者从负极性切换至正极性时，保证每一子像素的充电效果相同，且亮度一致。本申请解决了数据信号电压在极性反转时，由于跨压比较大，导致共用一数据线的两相邻子像素之间的充电饱和程度存在差异而出现低灰阶亮暗线的问题，本申请提高了显示装置的画面品质。

[78] 本申请还提出一种显示装置。

[79] 参照图1至图7，所述显示装置包括：显示面板200，所述显示面板200具有相对设置的两侧，所述显示面板200包括像素阵列240；

[80] 以及如上所述的阵列基板行驱动电路100，所述阵列基板行驱动电路100包括N个级联设置的阵列基板行驱动单元10和对应每一所述阵列基板行驱动单元10设置的辅助电路单元20，N个级联设置的所述阵列基板行驱动单元10和辅助电路单元20对应设置于所述显示面板200的两侧。

[81] 本实施例中，显示面板200可以是OLED显示面板200，也可以是TFT-LCD显示面板200。显示面板200以栅极驱动器设计来分，可以分为SOC 型和阵列基板行驱动型两种。阵列基板行驱动电路100由于其直接将栅极驱动电路制作在显示装置的阵列基板上，来代替由外接硅片制作的驱动芯片的一种工艺技术。该技术的应用可减少生产工艺程序，降低产品工艺成本，并且可以提高显示面板200的集成度。相对于SOC型显示面板200，阵列基板行驱动型显示面板200具有更窄的边框。随着科技进步以及人们对视觉效果的更高要求，显示面板200窄边框化是

未来的主流趋势。因此，阵列基板行驱动型显示面板200相对于SOC型显示面板200是一种更为重要的应用。在阵列基板行驱动型显示面板200的范例性的架构中，其上下玻璃基板之间填充液晶分子且四周用密封材料密封；其中，液晶是一种高分子材料，因为其特殊的物理、化学、光学特性，被广泛应用在轻薄型的显示技术上。

[82] 本实施例中，显示面板200的像素阵列240由多个子像素构成，三个子像素（红、绿、蓝）构成一个像素，例如在同一横行上的子像素在分布于显示面板200上时，每一子像素的导通时间是一致的。在一些大尺寸的显示面板200中，由于面板远离栅极驱动的区域与靠近栅极驱动的区域的扫描线走线电阻是不均匀的，在同一行的子像素同时打通，而数据信号输出至各子像素的时间是相同的，这势必会出现原理栅极驱动和靠近栅极驱动充电不均匀的问题而导致显示面板200的亮度不均。因此，往往在显示面板200的左右两侧都设置有栅极驱动，并通过时序控制器输出帧起始信号、扫描时钟脉冲信号，时钟信号Ck1~Ckx、以及低频信号LC1&LC2等阵列基板行驱动驱动信号，传输到面板左右两侧的阵列基板行驱动电路100中，阵列基板行驱动单元10正常动作后再逐行开启显示面板200内的扫描线gate line，以实现双边驱动。

[83] 在一些实施例中，显示装置还设置有源极驱动器500、时序控制器300及驱动电源400，源极驱动器500用于输入数据信号的源极驱动器500，源极驱动器500安装与驱动板PCBA 上，源极驱动器500与时序控制器连接，源极驱动器500的多个输出端分别与像素阵列240对应数据线连接，时序控制器接收外部控制电路，例如电视机的控制系统SOC输出的数据信号、控制信号以及时钟信号，并转换成适合于各阵列基板行驱动电路100、源极驱动器500的数据信号、控制信号以及时钟信号，源极驱动器500的将数据信号通过数据线输出至对应的像素，实现显示面板200的图像显示。源极驱动器500的数量为多个，具体可以根据显示面板200的尺寸进行设置，本实施例以两个为例进行说明。驱动电源400，所述驱动电源400的输出端与阵列基板行驱动电路100、源极驱动器500连接；驱动电源400集成了多个不同电路功能的直流-直流转换电路，每个转换电路输出不同的电压值。驱动电源40的输入端输入的电压一般为5V或12V，输出的电压包括给时序控制

器11提供的工作电压DVDD，以及给栅极驱动器提供的栅极开启电压VGH和关断电压VGL。

[84] 参照图1至图7，在一实施例中，所述显示面板200包括：

[85] 像素阵列240；

[86] 第一基板210，具有显示区域与周边区域；所述像素阵列240设置于所述第一基板210上且位于所述显示区域；所述N个级联设置的所述阵列基板行驱动单元10和辅助电路单元20设置于所述第一基板210上且位于所述周边区域；

[87] 第二基板220，与所述第一基板210相对设置；

[88] 液晶层，设置于所述第一基板210与所述第二基板220之间，所述液晶层包括若干液晶分子，所述像素阵列240用于控制所述若干液晶分子的动作。

[89] 本实施例中，第一基板210与第二基板220通常均为玻璃基板或塑料基板等透光材料基板。第二基板220与第一基板210相对设置，在第一基板210与第二基板220之间可以设置对应的电路。

[90] 像素阵列240设置于第一基板210上且位于显示区域AA，像素阵列240在阵列基板行驱动电路100的驱动控制下，可以产生控制信号控制显示面板200的显示。阵列基板行驱动电路100设置于第一基板210上且位于非显示区域BB，相应地，阵列基板行驱动电路100可以通过隔离结构来实现阵列基板行驱动电路100与液晶层23的隔离，从而阵列基板行驱动电路100分别与第二基板220之间形成无液晶区。

[91] 上述实施例中，显示面板200还包括框胶250，设置于第一基板210与第二基板220之间的非显示区域BB内并环绕液晶层23设置，阵列基板行驱动电路100位于框胶250与显示区域AA之间。框胶250可以采用密封胶涂布在第一基板210上，或者第二基板220上，以连接第一基板210和第二基板220，从而实现对显示面板200的组装处理。具体地，所述像素阵列240为半源极驱动架构的像素阵列240。

[92] 参照图1至图7，在一实施例中，所述像素阵列240包括多个子像素，每一所述子像素均包括一主动开关（薄膜晶体管）及一像素电极，所述主动开关T的栅极与该子像素对应的扫描线电性连接，所述主动开关的源极与该像素单元对应的数据线电性连接，所述主动开关的漏极与该子像素的像素电极电性连接。像素

阵列240还包括连接主动开关元件阵列的像素电极阵列。

[93] 显示面板200由多个像素组成，每个像素又由红绿蓝三个亚像素组成。每个亚像素电路结构一般设置有一个薄膜晶体管和一个电容，薄膜晶体管的栅极通过扫描线与栅极驱动器连接，薄膜晶体管的源极通过数据线与源极驱动器500连接，薄膜晶体管的漏极与电容的一端连接。其中，多个薄膜晶体管构成了本实施例的薄膜晶体管阵列（图未标示）。位于同一列的薄膜晶体管31通过一数据线与源极驱动器500连接，位于同一行的薄膜晶体管通过一扫描线与栅极驱动器连接，如此以构成薄膜晶体管阵列。阵列基板行驱动电路100对若干薄膜晶体管的栅极提供电压。这些薄膜晶体管可以是a-Si薄膜晶体管或者Poly-Si薄膜晶体管，其中Poly-Si薄膜晶体管可以采用LTPS等技术加以形成。

[94] 在像素阵列240中，各行中奇数列的所述薄膜晶体管分别与偶数行的所述扫描线的连接，各行中偶数列的所述薄膜晶体管分别与奇数行的所述扫描线的电连接连接，相邻的奇数列薄膜晶体管和偶数列薄膜晶体管与同一条所述数据线电连接。各行中奇数列的所述薄膜晶体管分别与奇数行的所述扫描线的连接，各行中偶数列的所述薄膜晶体管分别与偶数行的所述扫描线的电连接连接，相邻的奇数列薄膜晶体管和偶数列薄膜晶体管与同一条所述数据线电连接。可选地，所述开关阵列的极性反转方式为1+2行画素行线信号反转。可选地，所述开关阵列的极性反转方式为2行画素行线信号反转。

[95] 以上所述仅为本申请的优选实施例，并非因此限制本申请的专利范围，凡是在本申请的申请构思下，利用本申请说明书及附图内容所作的等效结构变换，或直接/间接运用在其他相关的技术领域均包括在本申请的专利保护范围内。

权利要求书

[权利要求 1] 一种阵列基板行驱动电路，其中，所述阵列基板行驱动电路包括：

N个级联设置的阵列基板行驱动单元，每一所述阵列基板行驱动单元包括信号输入端及栅极驱动信号输出端；

辅助电路单元，对应每一所述阵列基板行驱动单元设置，每一所述辅助电路单元包括第一时序信号输入端、第二时序信号输入端、第一受控端及输出端；其中，第N级所述辅助电路单元的第一时序信号输入端接入第N-1级时序控制信号，第N级所述辅助电路单元的第二时序信号输入端接入第N+1级时序控制信号，第N级所述辅助电路单元的受控端和输出端与第N级所述阵列基板行驱动单元的栅极驱动信号输出端；其中，

第N级所述阵列基板行驱动单元，设置为在其信号输入端接收到第N-2级所述阵列基板行驱动单元输出的栅极驱动信号时，输出第N级栅极驱动信号，以进行第N级预充电和子像素充电；

第N级所述辅助电路单元，设置为在其第一时序信号输入端接入的第N-1级时序控制信号及第二时序信号输入端接入的第N+1级时序控制信号均为高电平时，控制所述第N级所述阵列基板行驱动单元不进行预充电；

N 为大于等于2的正整数。

[权利要求 2] 如权利要求1所述的阵列基板行驱动电路，其中，每一所述辅助电路单元包括第一主动开关、第二主动开关及第三主动开关，所述第一主动开关的受控端为所述辅助电路单元的第一时序信号输入端，所述第一主动开关的输入端为所述辅助电路单元的第二时序信号输入端，所述第一主动开关的输出端与所述第二主动开关的输入端连接，所述第二主动开关的受控端为所述辅助电路单元的第一受控端，所述第二主动开关的输出端与所述第三主动开关的受控端连接，所述第三主动开关的输入端接入栅关闭信号，所述第三主动开关的输出端为所述辅助电路单元的输出端。

[权利要求 3] 如权利要求1所述的阵列基板行驱动电路，其中，每一所述阵列基板行驱动单元包括充电单元、复位单元及输出单元，所述充电单元的输入端为所述阵列基板行驱动单元的信号输入端，所述充电单元的输出端为所述阵列基板行驱动单元的上拉控制信号端，并与所述与所述输出单元的受控端连接，所述输出单元的输入端接入当前级时序信号，所述输出单元的输出端为所述阵列基板行驱动单元的栅极驱动信号输出端。

[权利要求 4] 如权利要求3所述的阵列基板行驱动电路，其中，所述充电单元包括第四主动开关，所述第四主动开关的输入端和受控端为所述充电单元的输入端，所述第四主动开关的输出端为所述充电单元的输出端。

[权利要求 5] 如权利要求3所述的阵列基板行驱动电路，其中，所述复位单元包括第五主动开关和第六主动开关，所述第五主动开关和所述第六主动开关的受控端接入第N+4级阵列基板行驱动单元输出的栅极驱动信号，所述第五主动开关和第六主动开关的输入端分别接入栅关闭信号；所述第五主动开关的输出端与所述上拉控制信号端连接，所述第六主动开关的输出端与所述栅极驱动信号输出端连接。

[权利要求 6] 如权利要求3至5任意一项所述的阵列基板行驱动电路，其中，所述输出单元包括第七主动开关和第八主动开关，所述第七主动开关的受控端为所述输出单元的受控端，并与所述第八主动开关的受控端，所述第七主动开关的输入端为所述输出单元的输入端，并与所述第八主动开关的输入端，所述第七主动开关的输出端为所述输出单元的输出端，所述第八主动开关的输出端与第N+2级阵列基板行驱动单元的信号输入端。

[权利要求 7] 一种阵列基板行驱动电路，其中，所述阵列基板行驱动电路包括：

N个级联设置的阵列基板行驱动单元，每一所述阵列基板行驱动单元包括信号输入端，上拉控制信号端及栅极驱动信号输出端；

辅助电路单元，对应每一所述阵列基板行驱动单元设置，每一所述辅助电路单元包括第一时序信号输入端、第二时序信号输入端、第一受

控端及输出端；其中，第N级所述辅助电路单元的第一时序信号输入端接入第N-1级时序控制信号，第N级所述辅助电路单元的第二时序信号输入端接入第N+1级时序控制信号，第N级所述辅助电路单元的受控端和输出端与第N级所述阵列基板行驱动单元的栅极驱动信号输出端；其中，

第N级所述阵列基板行驱动单元，设置为在其信号输入端接收到第N-2级所述阵列基板行驱动单元输出的栅极驱动信号时，输出第N级栅极驱动信号，以进行第N级预充电和子像素充电；

第N级所述辅助电路单元，设置为在其第一时序信号输入端接入的第N-1级时序控制信号及第二时序信号输入端接入的第N+1级时序控制信号均为高电平时，控制所述第N级所述阵列基板行驱动单元不进行预充电；

N 为大于等于2的正整数；

每一所述辅助电路单元包括第一主动开关、第二主动开关及第三主动开关，所述第一主动开关、所述第二主动开关及所述第三主动开关至少一个为薄膜晶体管。

[权利要求 8] 一种显示装置，其中，所述显示装置包括：

显示面板，所述显示面板具有相对设置的两侧，所述显示面板包括像素阵列；

以及如权利要求1至6任意一项所述的阵列基板行驱动电路，所述阵列基板行驱动电路包括N个级联设置的阵列基板行驱动单元和对应每一所述阵列基板行驱动单元设置的辅助电路单元，N个级联设置的所述阵列基板行驱动单元和辅助电路单元对应设置于所述显示面板的两侧。

[权利要求 9] 如权利要求8所述的显示装置，其中，所述显示面板包括：

像素阵列；

第一基板，具有显示区域与周边区域；所述像素阵列设置于所述第一基板上且位于所述显示区域；所述N个级联设置的所述阵列基板行驱

动单元和辅助电路单元设置于所述第一基板上且位于所述周边区域；

第二基板，与所述第一基板相对设置；

液晶层，设置于所述第一基板与所述第二基板之间，所述液晶层包括若干液晶分子，所述像素阵列用于控制所述若干液晶分子的动作。

[权利要求 10] 如权利要求9所述的显示装置，其中，所述像素阵列为半源极驱动架构的像素阵列。

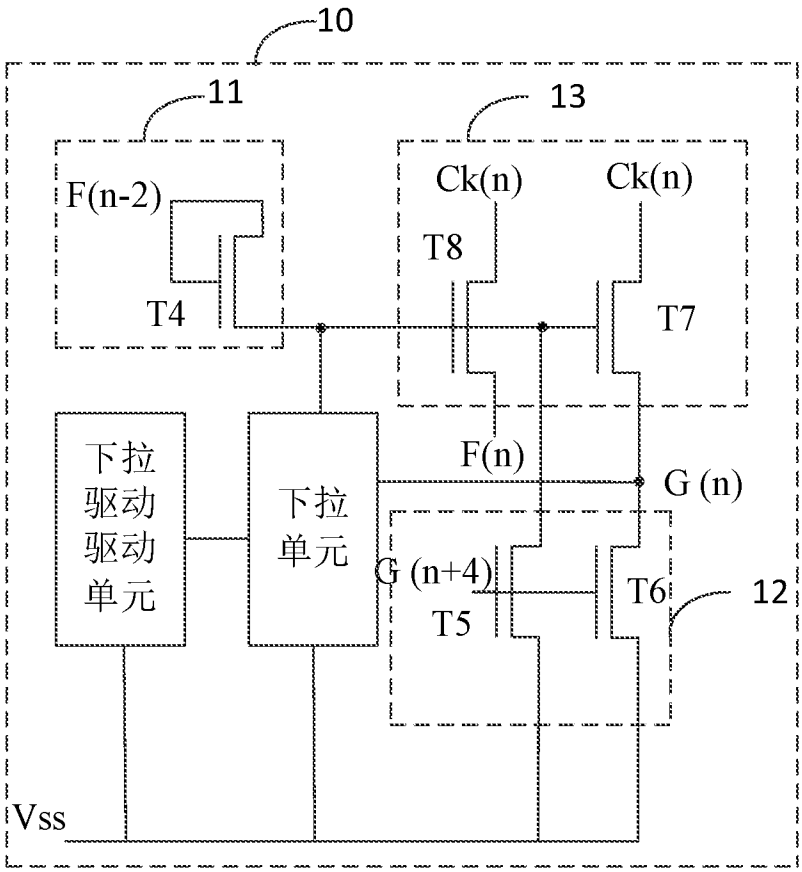
10
11
13
F(n-2)
T4
Ck(n)
T8
Ck(n)
T7
下拉
驱动
驱动
单元
下拉
单元
F(n)
G (n)
G (n+4)
T5
T6
12
Vss

图 1

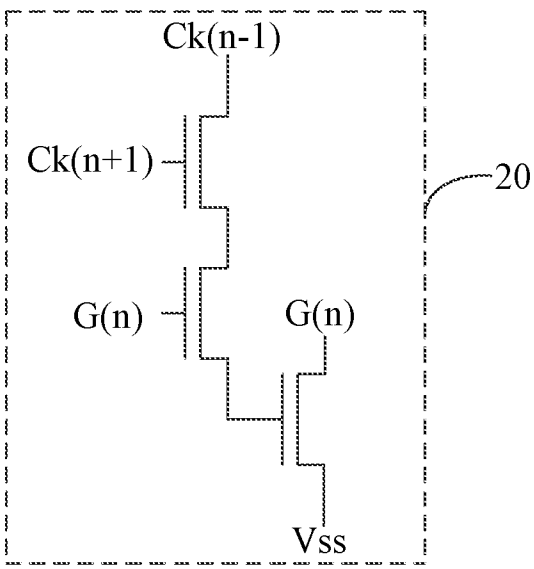
Ck(n-1)
Ck(n+1)
20
G(n)
G(n)
Vss

图 2

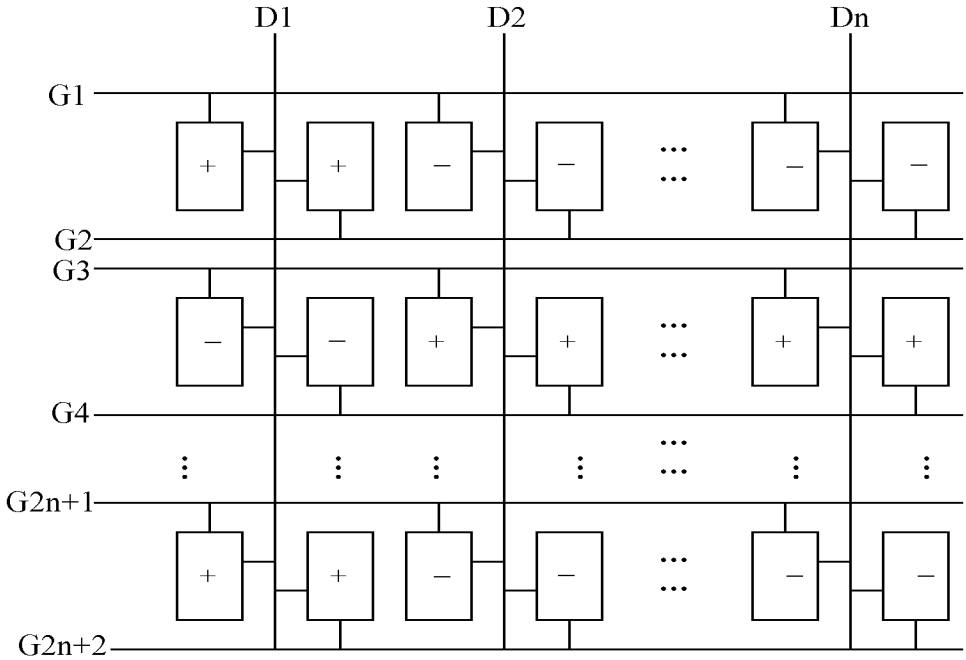
D1
D2
Dn
G1
G2
G3
G4
G2n+1
G2n+2
+
−

图 3

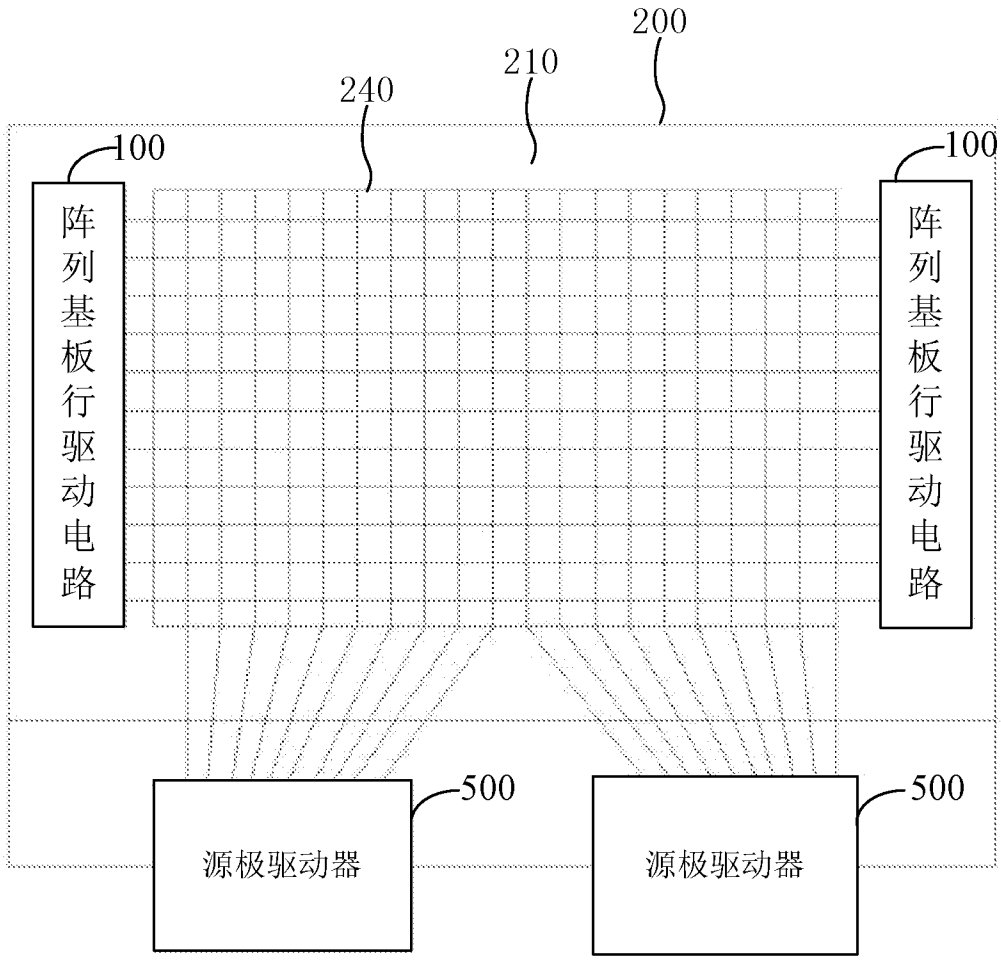
200
210
240
100
100
阵列基板行驱动电路
阵列基板行驱动电路
500
500
源极驱动器
源极驱动器

图 4

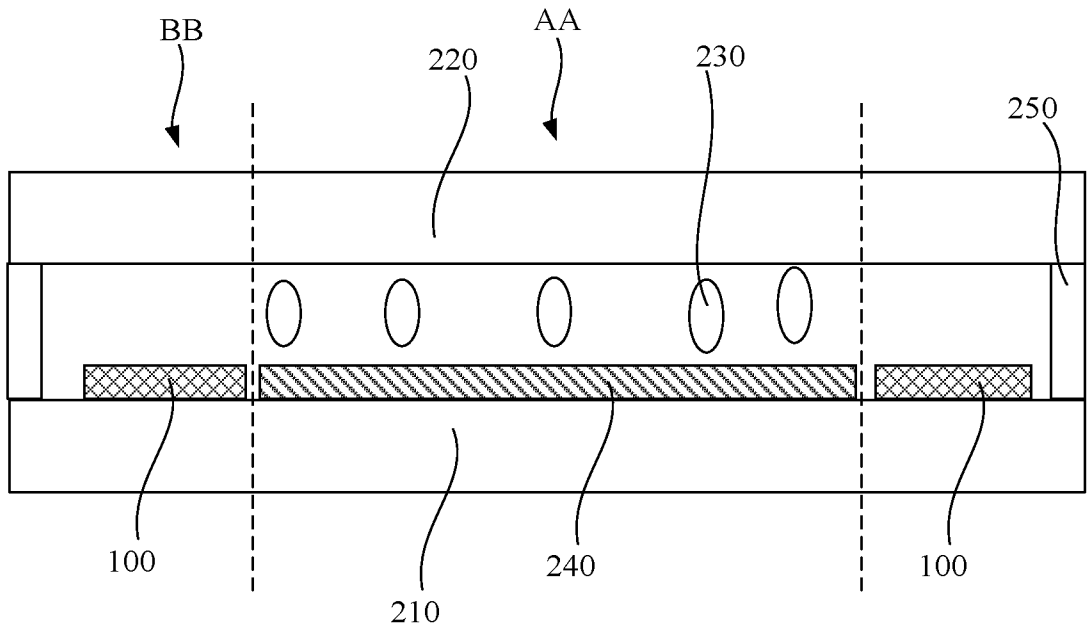
BB
AA
220
230
250
100
210
240
100

图 5

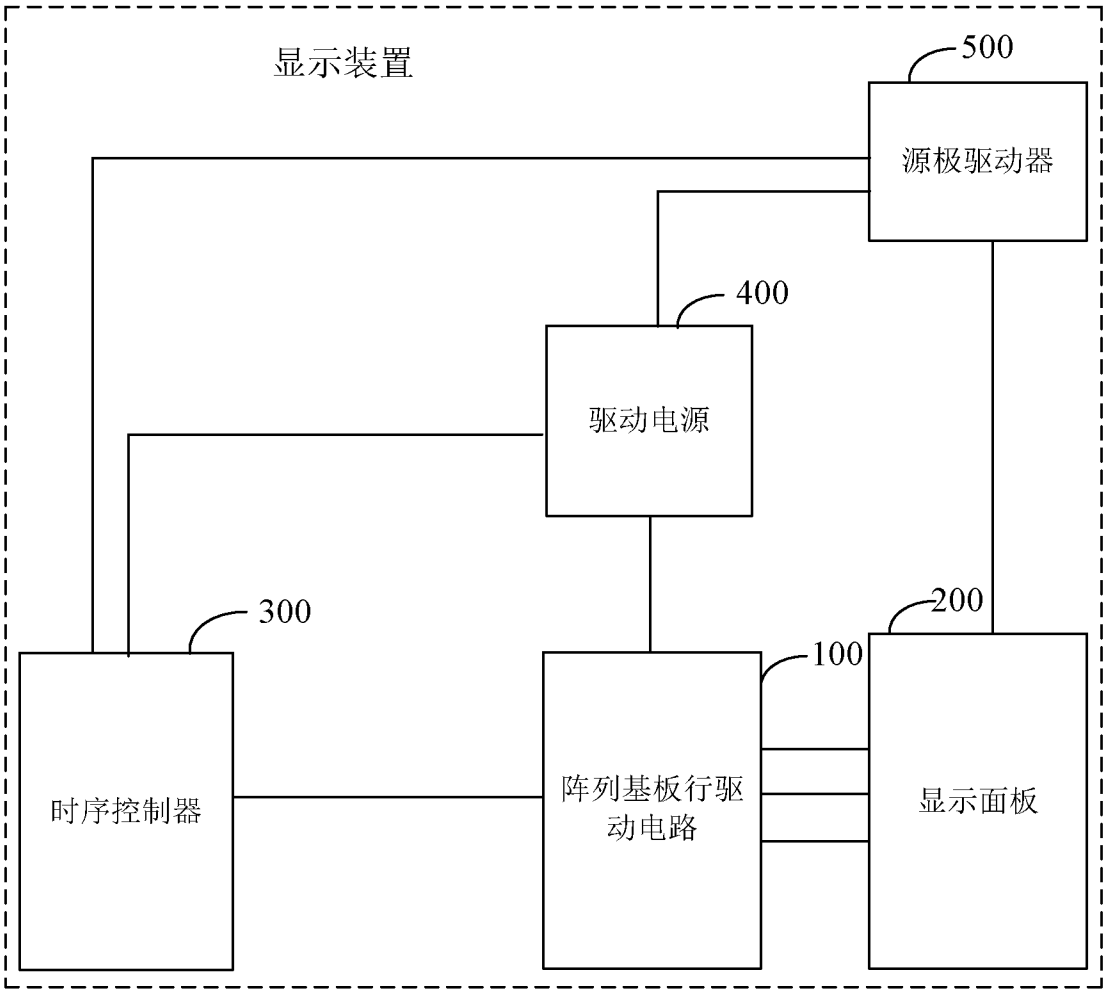
显示装置
500
源极驱动器
400
驱动电源
300
200
100
时序控制器
阵列基板行驱动电路
显示面板

图 6

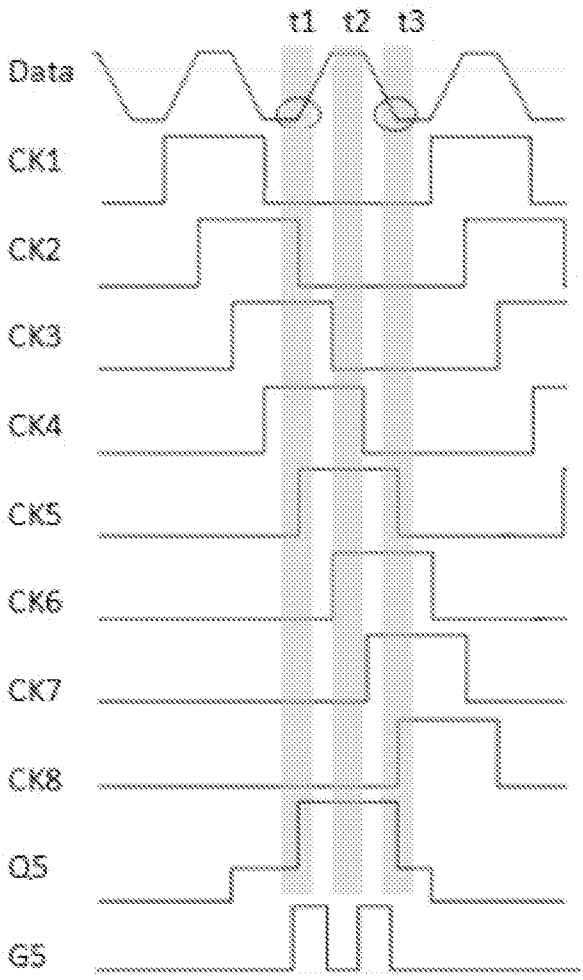

图 7

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/122353

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 行驱动, 栅极驱动, 输入, 输出, 辅助, 电路, 时序, 第一, 第二, 高电平, row driver, GOA, gate driver, input, output, auxiliary, circuit, sequence, high level

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106783888 A (BOE TECHNOLOGY GROUP CO., LTD.) 31 May 2017 (2017-05-31) description, paragraphs 0055-0062, and figure 2	1-10
A	CN 103927982 A (BOE TECHNOLOGY GROUP CO., LTD.) 16 July 2014 (2014-07-16) entire document	1-10
A	CN 109389924 A (BOE TECHNOLOGY GROUP CO., LTD.) 26 February 2019 (2019-02-26) entire document	1-10
A	CN 108492789 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 04 September 2018 (2018-09-04) entire document	1-10
A	US 2014132491 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 15 May 2014 (2014-05-15) entire document	1-10
A	US 5969744 A (CANON KABUSHIKI KAISHA) 19 October 1999 (1999-10-19) entire document	1-10

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 August 2019	**04 September 2019**
Name and mailing address of the ISA/CN **National Intellectual Property Administration, PRC (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088** **China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/122353

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106783888	A	31 May 2017	None			
CN	103927982	A	16 July 2014	CN	103927982	B	17 August 2016
				US	9466245	B2	11 October 2016
				US	2015269890	A1	24 September 2015
CN	109389924	A	26 February 2019	WO	2019029174	A1	14 February 2019
CN	108492789	A	04 September 2018	None			
US	2014132491	A1	15 May 2014	CN	102708796	A	03 October 2012
				WO	2013127193	A1	06 September 2013
				US	9231564	B2	05 January 2016
				CN	102708796	B	06 August 2014
US	5969744	A	19 October 1999	JP	3308801	B2	29 July 2002
				JP	H09240057	A	16 September 1997
				TW	391928	B	01 June 2000

国际检索报告

国际申请号 PCT/CN2018/122353

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

WPI, EPODOC, CNPAT, CNKI, IEEE: 行驱动，栅极驱动，输入，输出，辅助，电路，时序，第一，第二，高电平，row driver, GOA, gate driver, input, output, auxiliary, circuit, sequence, high level

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 106783888 A (京东方科技集团股份有限公司) 2017年 5月 31日 (2017-05-31) 说明书第0055-0062段，附图2	1-10
A	CN 103927982 A (京东方科技集团股份有限公司) 2014年 7月 16日 (2014-07-16) 全文	1-10
A	CN 109389924 A (京东方科技集团股份有限公司) 2019年 2月 26日 (2019-02-26) 全文	1-10
A	CN 108492789 A (深圳市华星光电半导体显示技术有限公司) 2018年 9月 4日 (2018-09-04) 全文	1-10
A	US 2014132491 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 2014年 5月 15日 (2014-05-15) 全文	1-10
A	US 5969744 A (CANON KABUSHIKI KAISHA) 1999年 10月 19日 (1999-10-19) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 8月 20日	2019年 9月 4日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 李勇 电话号码 （86—10）53961453

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/122353

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106783888	A	2017年 5月 31日	无			
CN	103927982	A	2014年 7月 16日	CN	103927982	B	2016年 8月 17日
				US	9466245	B2	2016年 10月 11日
				US	2015269890	A1	2015年 9月 24日
CN	109389924	A	2019年 2月 26日	WO	2019029174	A1	2019年 2月 14日
CN	108492789	A	2018年 9月 4日	无			
US	2014132491	A1	2014年 5月 15日	CN	102708796	A	2012年 10月 3日
				WO	2013127193	A1	2013年 9月 6日
				US	9231564	B2	2016年 1月 5日
				CN	102708796	B	2014年 8月 6日
US	5969744	A	1999年 10月 19日	JP	3308801	B2	2002年 7月 29日
				JP	H09240057	A	1997年 9月 16日
				TW	391928	B	2000年 6月 1日