



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월11일
(11) 등록번호 10-1307733
(24) 등록일자 2013년09월05일

(51) 국제특허분류(Int. Cl.)

H03M 13/11 (2006.01)

(21) 출원번호 10-2012-0021804

(22) 출원일자 2012년03월02일

심사청구일자 2012년03월02일

(56) 선행기술조사문헌

Valentin Savin, "Min-Max decoding for non binary LDPC codes", 2008 IEEE International Symposium on Information Theory, 6-11 July 2008, p. p.960-964.*

Mohammad M. Mansour, "High-Throughput LDPC Decoders", IEEE Transactions on Very Large Scale Integration Systems, Vol. 11, No. 6, December 2003, p. 976-996.*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인하대학교 산학협력단

인천광역시 남구 인하로 100, 인하대학교 (용현동)

(72) 발명자

이한호

인천광역시 연수구 송도동 더샵센트럴파크II 203동

최창석

경기도 부천시 원미구 원미1동 63-2호 11/3

(74) 대리인

양성보

전체 청구항 수 : 총 7 항

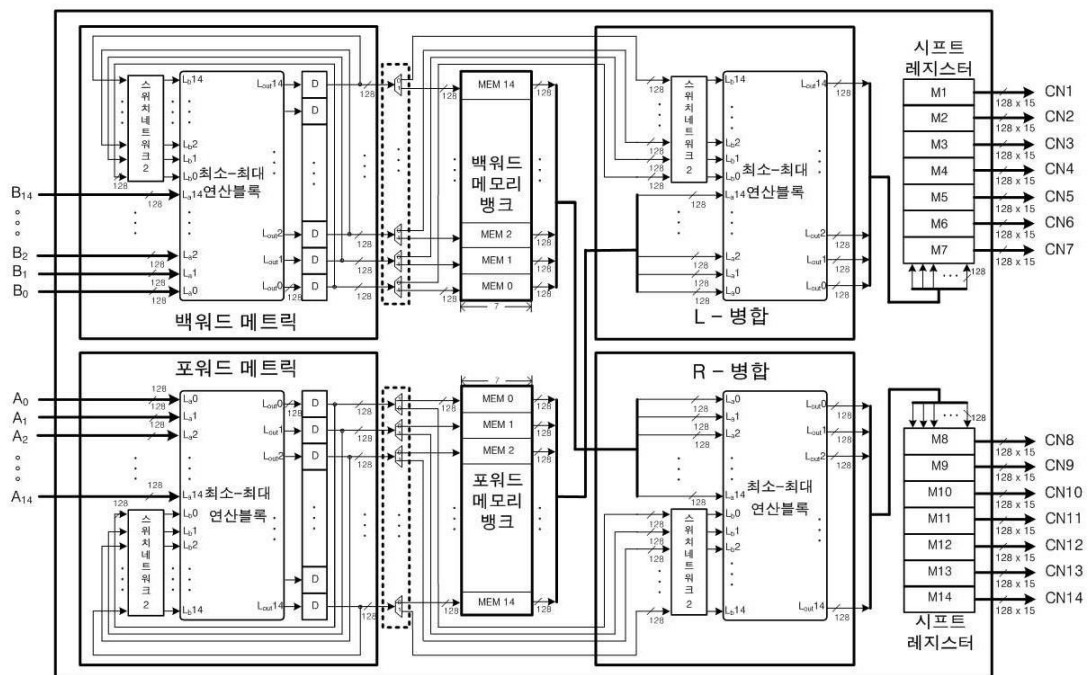
심사관 : 성경아

(54) 발명의 명칭 블록 레이어 기반의 비 이진 QC-LDPC 부호의 복호 장치 및 그 방법

(57) 요약

블록 레이어 기반의 비 이진 QC-LDPC 부호의 복호 장치 및 그 방법이 개시된다. 비이진 QC-LDPC(Non-Binary Quasi Cyclic Low-Density Parity Check) 부호의 복호 장치는 최대값 중에서 최소값을 찾는 최소-최대 알고리즘(Min-Max Algorithm)을 사용하여 체크 노드 연산(Check Node Processing)을 수행하는 체크 노드 연산부를 포함한다. 이때, 체크 노드 연산부는 패리티 검사 행렬(parity check matrix)의 각 행을 하나의 블록 레이어로 연산하는 구조의 최소-최대 연산 블록(Min-Max Block)으로 구성되어 최소-최대 알고리즘에서의 병합 연산(Merge Processing)을 두 방향(2-way)으로 수행할 수 있다.

대표도



특허청구의 범위

청구항 1

비이진 QC-LDPC(Non-Binary Quasi Cyclic Low-Density Parity Check) 부호의 복호 장치에 있어서,
 최대값 중에서 최소값을 찾는 최소-최대 알고리즘(Min-Max Algorithm)을 사용하여 체크 노드 연산(Check Node Processing)을 수행하는 체크 노드 연산부
 를 포함하고,
 상기 체크 노드 연산부는,
 패리티 검사 행렬(parity check matrix)의 각 행을 하나의 블록 레이어로 연산하는 구조의 최소-최대 연산 블록(Min-Max Block)으로 구성되어 상기 최소-최대 알고리즘에서의 병합 연산(Merge Processing)을 두 방향(2-way)으로 수행하되, 상기 병합 연산을 L-병합(Left Merging) 연산과 R-병합(Right Merging) 연산으로 구분하여 상기 L-병합 연산과 상기 R-병합 연산을 동시에 수행하고,
 상기 패리티 검사 행렬을 이루는 단위 행렬은 행렬의 대각선 방향에 위치하는 원소가 갈루아 체(Galois-Field)의 원소로 구성되고 행렬의 나머지 원소가 0으로 구성되는 $N \times N$ 크기의 정방형 행렬이며,
 상기 최소-최대 연산 블록은,
 수신된 심볼의 LLR(log likelihood ratio) 값 중에서 최소 값을 찾는 기본 연산 단위인 최소-최대 연산부가 상기 갈루아 체의 원소 개수로 구성되되, 블록 레이어 기반으로 상기 체크 노드 연산을 수행하기 위해서 상기 단위 행렬을 N개의 행씩 한번에 처리하도록 상기 최소-최대 연산부가 N개로 구성되는 것
 을 특징으로 하는 비이진 QC-LDPC 부호의 복호 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,
 상기 체크 노드 연산부는,
 각 연산 사이클마다 두 개의 입력 벡터를 입력 받되, 상기 입력 벡터 각각에 대하여 LLR(log likelihood ratio) 값을 상기 갈루아 체의 원소 개수만큼 입력 받는 것
 을 특징으로 하는 비이진 QC-LDPC 부호의 복호 장치.

청구항 4

제3항에 있어서,
 상기 비이진 QC-LDPC 부호의 복호 장치는,
 상기 체크 노드 연산부의 상기 입력 벡터에 대한 스케줄링을 제어하는 스케줄러
 를 더 포함하는 비이진 QC-LDPC 부호의 복호 장치.

청구항 5

제1항에 있어서,
 상기 최소-최대 알고리즘은,
 포워드 메트릭(Forward Metrics), 백워드 메트릭(Backward Metrics), 그리고 병합 연산(Merge Processing)을 포함하며,

상기 최소-최대 연산부는,

상기 포워드 메트릭과 상기 백워드 메트릭에서 수학식 1에 의해 생성된 조합을 계산하도록 제어하고, 상기 병합 연산에서 수학식 2에 의해 생성된 조합을 계산하도록 제어하는 스위치 네트워크를 포함하는 것을 특징으로 하는 비이진 QC-LDPC 부호의 복호 장치.

수학식 1:

$$a' + h_{m,n}a'' = a$$

수학식 2:

$$a' + a'' = -h_{m,n}a$$

(여기서, a, a', a''는 갈루아 체의 원소를 나타내고, $h_{m,n}$ 은 패리티 검사 행렬의 원소를 나타낸다.)

청구항 6

제1항에 있어서,

상기 체크 노드 연산부는,

포워드 메트릭(Forward Metrics) 연산을 위한 제1 체크 노드 블록과,

상기 포워드 메트릭의 연산과 동시에 백워드 메트릭(Backward Metrics) 연산을 위한 제2 체크 노드 블록과,

L-병합(Left Merging) 연산을 위한 제3 체크 노드 블록과,

상기 L-병합 연산과 동시에 R-병합(Right Merging) 연산을 위한 제4 체크 노드 블록과,

상기 포워드 메트릭 연산과 상기 백워드 메트릭 연산의 결과를 저장하기 위한 메모리를 포함하여,

상기 포워드 메트릭 연산과 상기 백워드 메트릭 연산이 일정 연산 사이클(d_c) 동안 진행되며, 상기 연산 사이클의 중간 지점($d_c/2$)에서부터 상기 L-병합 연산과 상기 R-병합 연산이 동시에 진행되고, 상기 포워드 메트릭 연산과 상기 백워드 메트릭 연산이 종료되는 시점에 상기 L-병합 연산과 상기 R-병합 연산이 동시에 종료되며,

상기 포워드 메트릭 연산과 상기 백워드 메트릭 연산의 결과 중에서 상기 중간 지점($d_c/2$)까지의 연산 결과는 상기 메모리에 저장되고, 상기 중간 지점($d_c/2$) 이후의 연산 결과는 상기 제3 체크 노드 블록 및 상기 제4 체크 노드 블록으로 입력되는 것

을 특징으로 하는 비이진 QC-LDPC 부호의 복호 장치.

청구항 7

제6항에 있어서,

상기 제1 체크 노드 블록과 상기 제2 체크 노드 블록은,

각 연산 사이클마다 입력 값을 조절하기 위한 스위치 네트워크,

상기 포워드 메트릭 연산 또는 상기 백워드 메트릭 연산의 결과를 다음 연산 사이클에서 사용하는 재귀적 구조의 최소-최대 연산 블록,

상기 포워드 메트릭 연산 또는 상기 백워드 메트릭 연산의 결과를 저장하기 위한 레지스터

를 포함하는 비이진 QC-LDPC 부호의 복호 장치.

청구항 8

제6항에 있어서,

상기 제3 체크 노드 블록과 상기 제4 체크 노드 블록은,

각 연산 사이클마다 입력 값을 조절하기 위한 스위치 네트워크,

상기 L-병합 연산 또는 상기 R-병합 연산의 결과를 다음 연산 사이클에서 사용하는 재귀적 구조의 최소-최대 연산 블록

을 포함하는 비이진 QC-LDPC 부호의 복호 장치.

청구항 9

삭제

청구항 10

삭제

명세서

기술분야

- [0001] 본 발명의 실시예들은 디지털 통신 시스템에 있어서 송신단에서 데이터 전송 과정 중 데이터에 발생한 오류를 수신단에서 정정하는 순방향 오류 정정(FEC: forward error correction) 시스템으로, 블록 레이어 기반의 비 이진 QC-LDPC (QC-LDPC: Quasi Cyclic Low-Density Parity Check) 부호의 복호 장치 및 방법에 관한 것이다.

배경기술

- [0002] 최근 광대역 통신망에서 전송 대역폭의 증가 및 새로운 통신 서비스의 출현과 함께 인터넷 트래픽이 지속적으로 성장함에 따라 현재 유무선 통신시스템은 고속 데이터 전송이 가능 하도록 빠르게 변화하고 있다.
- [0003] 특히, 기간 통신망인 광전송 시스템은 현재 100Gbps급 기술이 상용화 되고 있으며, 더 나아가 십 년 안에는 1-Tbps까지 전송률이 증가하는 방향으로 발전 할 것으로 전망하고 있다. 또한 고속 무선 통신 시스템에 있어서 VOD, HDTV, 3D-TV 등의 대용량 어플리케이션의 무선전송을 위한 시스템의 개발 또한 진행 되고 있다. 이러한 통신시스템의 진화는 필수로 사용 되는 고성능의 순방향 오류 정정 회로의 필요성이 대두되고 있다.
- [0004] 비 이진 LDPC (Non-Binary Quasi Cyclic Low-Density Parity Check) 부호는 기존의 LDPC부호가 확장 된 형태로 서, Davey와 MacKay가 처음으로 제안한 블록부호 이다. 비 이진 LDPC부호 에서는 패리티 검사행렬($\mathbf{H}$)에서 '0' 이 아닌 원소들이 갈루아 체(Galois-Field)의 원소들로 할당된다. 일반적인 통신시스템에서 코드 길이가 짧거나, 고차의 변조기술이 적용 될 경우, 비 이진 LDPC부호는 LDPC 부호와 비교 하였을 때 보다 더 훌륭한 오류 정정 성능을 보인다.
- [0005] 비 이진 LDPC부호를 적용하기 위한 연구는 다방면의 통신시스템에 대해 진행 되고 있는데, 우선 가장 널리 사용 되는 리드-솔로몬(RS: Reed-Solomon)부호와 비교하여 상당히 월등한 오류 정정 성능을 보이는 것으로 보고 되고 있으며, 또한 무선통신 시스템에 있어서 MIMO(Multiple Input Multiple Output) 기술이 적용될 때 기존의 LDPC 부호보다 비 이진 LDPC 부호가 훨씬 더 뛰어난 오류정정 성능을 보이고 있다.
- [0006] 또한 광통신 시스템에서도 비 이진 LDPC 부호를 적용하기 위한 시도가 진행되고 있다. 특히 광통신 시스템에서는 FEC 성능의 중요성이 부각되고 있는데, 강력한 오류 정정 성능을 갖는 FEC를 적용함으로써 광전송로 상의 신호대 전송비(OSNR: Optical Signal to Noise Ratio) 성능을 향상 시키는 방법이 가장 효율적인 해결책으로 여겨지고 있기 때문이다. 이러한 이유로 광전송용 FEC로써 비 이진 LDPC부호의 적용을 위한 연구가 지속되고 있으며, 코드율이 높은 정규 비 이진 LDPC 부호는 차세대 광통신용 FEC로써 적용 가능 할 것으로 예측 하고 있다.
- [0007] 비 이진 LDPC 부호의 복호 알고리즘은 확률기반의 합-곱(sum-product) 알고리즘을 적용하여 복호 할 수 있다. 합-곱 알고리즘은 최적의 복호 알고리즘 이지만, 연산 복잡도가 상당히 크다. 이를 해결 하기 위해 차선 알고리즘으로써, 확장된 최소-합 알고리즘(Extended Min-Sum algorithm) 및 최소-최대 알고리즘 (Min-Max algorithm)이 제안되었다. 위 두 알고리즘은 비 이진 LDPC 복호를 위해 수신된 심볼의 LLR(log likelihood ratio)값을 사용하여 복호를 수행한다. 이렇게 하면 확률기반의 알고리즘에서의 복잡한 곱셈 연산을 덧셈연산을 이용하여 구현 할 수 있기 때문에 복호기의 연산 복잡도를 상당히 감소 시킬 수 있다.

[0008] 특히, 비 이진 LDPC 복호기의 체크 노드 연산부의 구현을 위해서 최소-최대 알고리즘을 적용 할 경우 확장된 최소-합 알고리즘을 적용했을 때의 덧셈연산이 매 행마다 패리티 검사 행렬을 만족하는 특정 갈루아 체 심볼 조합의 최대 값들 중 최소값을 취하여 계산 할 수 있도록 변환 된다. 이러한 최소-최대 알고리즘의 연산을 위해서 우선 포워드 메트릭(Forward metrics)과 백워드 메트릭(Backward metrics)를 계산하고 이를 병합(Merge) 하는 과정을 통해 진행된다. 하지만 이러한 최소-최대 알고리즘의 연산 과정은 모두 재귀적(recursive)인 방법으로 연산이 되기 때문에 복호기의 체크 노드 연산부의 지연(latency)이 길어지게 되어 복호기의 전송률(data throughput)을 높이는데 어려움이 있다.

발명의 내용

해결하려는 과제

[0009] 정규 비 이진 QC-LDPC부호의 복호기 설계에 있어서 겹치지 않는 행을 한번에 처리 하는 블록-레이어 기반의 복호기 구조와 연산지연이 가장 많이 걸리게 되는 체크 노드 연산의 지연 시간을 줄일 수 있는 2-way 병합(2-way merging) 최소- 최대 알고리즘 및 구조를 적용한 체크 노드 연산부를 포함하는 고속의 정규 비 이진 LDPC 부호의 복호기 구현 방법을 제공한다.

과제의 해결 수단

[0010] 비이진 QC-LDPC부호의 복호 장치는 최소-최대 알고리즘(Min-Max algorithm)을 사용하여 체크 노드 연산(Check Node Processing)을 수행하는 체크 노드 연산부를 포함한다. 이때, 체크 노드 연산부는 패리티 검사 행렬 (parity check matrix)의 각 행을 하나의 블록 레이어로 연산하는 구조의 최소-최대 연산 블록(Min-Max Block)으로 구성되어 최소-최대 알고리즘에서의 병합 연산(Merge Processing)을 두 방향(2-way)으로 수행할 수 있다.

[0011] 일 측면에 따르면, 최소-최대 연산 블록은 수신된 심볼의 LLR(log likelihood ratio) 값 중에서 최소 값을 찾는 기본 연산 단위인 최소-최대 연산부가 갈루아 체의 원소 개수로 구성될 수 있다.

[0012] 다른 측면에 따르면, 체크 노드 연산부는 각 연산 사이클 마다 두 개의 입력 벡터를 입력 받되, 입력 벡터 각각에 대하여 LLR값을 갈루아 체의 원소 개수만큼 입력 받을 수 있다.

[0013] 또 다른 측면에 따르면, 비이진 QC-LDPC 부호의 복호 장치는 체크 노드 연산부의 입력 벡터에 대한 스케줄링을 제어하는 스케줄러를 더 포함할 수 있다.

[0014] 또 다른 측면에 따르면, 최소-최대 알고리즘은 포워드 메트릭(Forward Metrics), 백워드 메트릭(Backward Metrics), 그리고 병합 연산(Merge Processing)을 포함하며, 최소-최대 연산부는 포워드 메트릭과 백워드 메트릭에서 수학식 1에 의해 생성된 조합을 계산하도록 제어하고, 병합 연산에서 수학식 2에 의해 생성된 조합을 계산하도록 제어하는 스위치 네트워크를 포함할 수 있다. 수학식 1: $a' + h_{m,n}a'' = a$, 수학식 2:

[0015] $a' + a'' = -h_{m,n}a$ (여기서, a, a', a''는 갈루아 체의 원소를 나타내고, $h_{m,n}$ 은 패리티 검사 행렬의 원소를 나타낸다.)

[0016] 또 다른 측면에 따르면, 체크 노드 연산부는 포워드 메트릭 연산을 위한 제1 체크 노드 블록과, 포워드 메트릭의 연산과 동시에 백워드 메트릭 연산을 위한 제2 체크 노드 블록과, L-병합(Left Merging) 연산을 위한 제3 체크 노드 블록과, L-병합 연산과 동시에 R-병합(Right Merging) 연산을 위한 제4 체크 노드 블록을 포함할 수 있다.

[0017] 또 다른 측면에 따르면, 제1 체크 노드 블록과 제2 체크 노드 블록은 각 연산 사이클 마다 입력 값을 조절하기 위한 스위치 네트워크, 포워드 메트릭 연산 또는 백워드 메트릭 연산의 결과를 다음 연산 사이클에서 사용하는 재귀적 구조의 최소-최대 연산 블록, 포워드 메트릭 연산 또는 백워드 메트릭 연산의 결과를 저장하기 위한 레지스터를 포함할 수 있다.

[0018] 또 다른 측면에 따르면, 제3 체크 노드 블록과 제4 체크 노드 블록은 각 연산 사이클 마다 입력 값을 조절하기 위한 스위치 네트워크, L-병합 연산 또는 R-병합 연산의 결과를 다음 연산 사이클에서 사용하는 재귀적 구조의 최소-최대 연산 블록을 포함할 수 있다.

[0019] 또 다른 측면에 따르면, 체크 노드 연산부는 포워드 메트릭 연산과 백워드 메트릭 연산이 일정 연산 사이클(체크 노드의 차수만큼: d_c) 동안 진행되며, 연산 사이클의 중간 지점($d_c/2$)에서부터 L-병합 연산과 R-병합 연산이 진행될 수 있다.

[0020] 또 다른 측면에 따르면, 체크 노드 연산부는 포워드 메트릭 연산과 백워드 메트릭 연산의 결과 중에서 중간 지점($d_c/2$)까지의 연산 결과를 저장하기 위한 메모리를 더 포함할 수 있다. 이때, 중간 지점($d_c/2$) 이후의 연산 결과는 제3 체크 노드 블록 및 제4 체크 노드 블록으로 입력될 수 있다.

발명의 효과

[0021] 본 발명의 일실시예에 따르면, 비 이진 QC-LDPC 부호의 복호기 구현에 있어서 패리티 검사 행렬의 겹치지 않는 행을 블록-레이어로 처리함으로써 복호기의 전체 전송률을 향상시킬 수 있다.

[0022] 본 발명의 일실시예에 따르면, 2-way 병합 최소-최대 알고리즘 및 구조를 적용함 따라 체크 노드 연산부의 연산 지연 시간을 반으로 줄일 수 있어 고속의 비 이진 QC-LDPC 복호기의 구현에 적용 할 수 있다.

도면의 간단한 설명

[0023] 도 1은 일반적인 비 이진 LDPC 복호기의 복호 과정을 나타내는 흐름도 이다.

도 2는 본 발명을 설명하기 위한 $GF(2^4)$ 에서 정의되는 정규 비 이진 QC-LDPC(225,165)의 패리티 검사 행렬을 도시한 예시도 이다.

도 3은 본 발명을 설명하기 위한 $GF(2^4)$ 에서 정의 되는 α^3 에 대응하는 순환 치환 행렬(CPM: circulant permutation matrix)의 예시도 이다.

도 4는 본 발명의 일실시예에 따른 최소-최대 연산부의 구조를 나타내는 도면이다.

도 5는 본 발명의 일실시예에 따른 최소-최대 연산 블록의 구조를 나타내는 도면이다.

도 6은 본 발명의 일실시예에 따른 최소-최대 연산부를 위한 스위치 네트워크 1의 스케줄링 방법을 설명하는 도면이다.

도 7은 본 발명의 일실시예에 따른 2-way 병합 최소-최대 알고리즘에서 포워드 메트릭, 백워드 메트릭, R-병합 및 L-병합의 연산 순서를 설명하는 도면이다.

도 8은 본 발명의 일실시예에 따른 2-way 병합 최소-최대 알고리즘을 적용 할 때의 연산 지연이 어떻게 감소 되는지를 설명하는 도면이다.

도 9는 본 발명의 일실시예에 따른 포워드 메트릭과 백워드 메트릭을 연산 하기 위한 체크 노드 블록-1의 구조에 대한 도면 이다.

도 10은 본 발명의 일실시예에 따른 R-병합과 L-병합을 연산 하기 위한 체크 노드 블록-2의 구조에 대한 도면이다.

도 11은 본 발명의 일실시예에 따른 체크 노드 블록-1과 체크 노드 블록-2에 적용되는 스위치 네트워크 2의 스케줄링에 대해 설명하는 도면이다.

도 12는 본 발명의 일실시예에 따른 2-way 병합 최소-최대 알고리즘을 적용한 체크 노드 연산부의 구조에 대한 도면이다.

도 13는 본 발명의 일실시예에 따른 블록-레이어 기반의 비 이진 QC-LDPC 복호기의 전체 구조에 대한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하에서, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 본 발명이 실시예들에 의해 제한되거나 한정되는 것은 아니다.

[0025] 본 실시예에서는 특별히 $GF(2^4)$ 에서 정의되는 변수 노드의 차수가 3과 4, 체크 노드의 차수가 14인 비 이진 QC-LDPC(225,165) 부호를 기준으로 설명하는 것이고, 본 발명은 다양한 통신 시스템을 위한 비 이진 QC-LDPC 부호

의 구현에도 동일하게 적용될 수 있다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

- [0026] 새논(Shannon)이 1948년 잡음 채널 부호화 이론을 발표한 이후로 채널 부호는 새논의 이론적 한계에 다다른 방향으로 점진적으로 발전해 왔다. 갤러거(Gallager)에 의해 1960년대 최초 발견된 LDPC부호는 지난 20년간 강력한 오류 정정 성능 때문에 많은 관심을 받아 왔으며, 현재 많은 통신 시스템에 채택되어 사용 되고 있다. 최근에는 패리티 검사 행렬이 갈루아 체에서 정의 되는 비 이진 LDPC 부호가 다베이(Davey)와 맥케이(Mackay)에 의해 발견되어 관심이 증가 하고 있다. 비 이진 LDPC 부호는 기존의 LDPC 부호보다 적절한 부호 길이에서도 새논의 한계에 이르는 강력한 오류 정정 능력을 보여 주고 있다.
- [0027] 비 이진 LDPC 부호의 복호를 위한 알고리즘으로써 확률 기반의 합-곱 알고리즘의 연산 과정은 많은 양의 곱셈연산을 수행해야 하므로 실제 구현을 위해서는 상당한 문제점이 발생한다. 이를 대체하기 위해 LLR값을 사용하는 알고리즘들이 제안되었고, 대표적으로 확장된 최소-합 알고리즘과 최소-최대 알고리즘이 있다. 두 알고리즘 모두 LLR을 사용하여 연산하는 알고리즘이지만 논문을 통해 보고된 바에 따르면, 최소-최대 알고리즘이 확장된 최소-합 알고리즘 보다 적은 SNR 감소를 보인다. 따라서 하드웨어 구현까지 고려 할 경우 최소-합 알고리즘을 적용하는 것이 유리하다.
- [0028] 도 1은 일반적인 비 이진 LDPC 복호기의 복호 과정을 나타내는 흐름도 이다.
- [0029] 채널로부터 수신된 코드워드의 심볼은 LLR값으로 변환되며 변수 노드 연산부에 입력되며 메모리에 저장되어 있는 $\gamma_n^{(k)}(a)$ 과 $\beta_{m,n}^{(k)}(a)$ 의 뺄셈 연산으로 복호 과정이 시작된다. 이에 따라 생성된 $\alpha_{m,n}(a)$ 값이 체크 노드 연산부로 입력되어 체크 노드 연산부의 연산이 진행된다. $\beta_{m,n}^{(k+1)}(a)$ 값이 체크 노드 연산부의 결과로써 출력이 되어 메모리에 저장되며, 동시에 후위 메시지 연산 $\beta_{m,n}^{(k+1)}(a)$ 의 $\alpha_{m,n}(a)$ 덧셈이 진행된다. 최종적으로, $\gamma_n^{(k+1)}(a)$ 값이 정규화 과정을 거쳐 생성된 $\gamma_n^{(k+1)}(a)$ 값이 변수 노드 연산부로 다시 입력되는 반복 복호 과정을 거치게 된다.
- [0030] 도 2는 본 발명을 설명하기 위한 $GF(2^4)$ 에서 정의되는 정규 비 이진 QC-LDPC(225,165)의 패리티 검사 행렬을 도시한 예시도 이다.
- [0031] 비 이진 LDPC 부호의 생성방법은 현재 몇 종류가 제안된 바 있다. 특히, 본 발명의 일실시예를 위해서 행열-제한적 (RC-constrained: row-column constrained) 배열 확장 방법을 이용한 패리티 검사 행렬을 통해 비 이진 LDPC 부호를 생성할 수 있다.
- [0032] 도 3은 본 발명을 설명하기 위한 $GF(2^4)$ 에서 정의 되는 α^3 에 대응하는 순환 치환 행렬의 예시도 이다.
- [0033] 순환 치환 행렬은 본 발명에서 사용된 비 이진 LDPC 부호를 생성 하는데 있어서 기본 단위로 사용되는 부 행렬로써, 정의된 갈루아 체의 원소가 대각선 방향으로 원소를 이루고 있으며, 그 외는 모두 0인 원소로 채워지는 정방형의 행렬이다.
- [0034] 수학적 식 1은 블록-레이어 기반의 최소-최대 알고리즘의 연산 과정을 보여 주고 있다. LDPC 부호뿐만 아니라 비 이진 LDPC 부호에서도 마찬가지로 겹치지 않는 행을 하나의 블록 단위로 묶어서 처리하는 블록-레이어 기반의 복호 방식을 적용 할 수 있는데, 이 방식을 적용하면 한번에 많은 행의 연산이 가능하기 때문에 복호기의 수렴 속도를 향상 시킬 수 있는 장점이 있다. 본 발명에서 하나의 블록 단위는 패리티 검사 행렬을 이루는 순환 치환 행렬이 15×15 의 크기 이기 때문에 한 번에 15개 행씩 처리가 가능하다.

수학식 1

Initialization :

$$\gamma_n(a) = \ln(\Pr(x_n = s_n | channel) / \Pr(x_n = a | channel))$$

where s_n is the most likely symbol for x_n

for $f=0$ until $f=I_{\max}$ or Parity check=0

begin

for all m in subset k of the rows,

begin

$$\text{Step 1 : } \alpha_{m,n}(a) = \gamma_n(a) - \beta_{m,n}(a)$$

Step 2 : Check node processing

$$\beta_{m,n}(a) = \min_{\substack{(a_{n'})_{n' \in H(m)} \\ \in L(m|a_n=a)}} \left(\max_{n' \in H(m) \setminus \{n\}} \alpha_{m,n'}(a_{n'}) \right)$$

$$\text{Step 3 : } \gamma'_n(a) = \alpha_{m,n}(a) + \beta_{m,n}(a)$$

Normalization

$$\gamma'_n = \min_{a \in GF(q)} \gamma'_n(a) ,$$

$$\gamma_n(a) = \gamma'_n(a) - \gamma'_n$$

end

end

[0035]

[0036]

도 4는 본 발명의 일실시예에 따른 최소-최대 연산부의 구조를 나타내는 도면이다. 본 발명의 실시예는 체크 노드 연산부를 구현함에 있어 최소-최대 알고리즘에 따른 최소-최대 연산부를 적용할 수 있다.

[0037]

체크 노드 연산에 있어서 최소-최대 연산은 수학식 2, 수학식 3 그리고 수학식 4에서 보이는 바와 같이 포워드 메트릭, 백워드 메트릭 그리고 병합 연산과정에 걸쳐서 일어난다.

수학식 2

$$F_i(a) = \min_{\substack{a', a'' \in GF(q) \\ a' + h_{m, n_i} a'' = a}} (\max(F_{i-1}(a'), \alpha_{m, n_i}(a'')))$$

[0038]

수학식 3

$$B_i(a) = \min_{\substack{a', a'' \in GF(q) \\ a' + h_{m, n_i} a'' = a}} (\max(B_{i+1}(a'), \alpha_{m, n_i}(a'')))$$

[0039]

수학식 4

$$\beta_{m, n_i}(a) = \min_{\substack{a', a'' \in GF(q) \\ a' + a'' = -h_{m, n_i} a}} (\max(F_{i-1}(a'), B_{i+1}(a'')))$$

[0040]

[0041]

비 이진 LDPC 부호를 위한 최소-최대 복호 알고리즘은 체크 노드 연산에 있어서 특정 조건을 만족하는 최대값 중 최소값 찾아내는 알고리즘이다. 최소-최대 연산부는 정의된 갈루아 체의 원소의 개수만큼의 LLR값을 입력 받아 연속적인 연산 과정을 거쳐 최종적으로 최소 값을 레지스터(D)에 저장한다. 본 발명에서 정의된 갈루아 체는 GF(2⁴)로써 총 16개의 입력을 받아 연산을 진행한다.

[0042]

도 5는 도 4를 통해 설명한 최소-최대 연산부로 구성된 최소-최대 연산 블록의 구조를 나타내는 도면이다.

[0043]

본 발명의 일실시예에 있어서 블록-레이어 기반으로 체크 노드 연산을 하기 위해서 15개 행씩을 한번에 처리할 수 있도록 15개의 최소-최대 연산부를 포함하는 최소-최대 연산 블록을 설계하여 적용한다. 적용되는 15개의 최소-최대 연산부는 모두 동일한 구조이지만 스위치 네트워크 1의 제어는 매 연산 사이클마다 이에 상응하는 패리티 검사 행렬의 원소에 따라 결정된다.

[0044]

도 6은 본 발명의 일실시예에 따른 최소-최대 연산부를 위한 스위치 네트워크 1의 스케줄링 방법을 설명하는 도면이다.

[0045]

수학식 5는 포워드 매트릭과 백워드 매트릭에 사용되는 스위치 네트워크 1의 제어에 사용되는 수식이다.

수학식 5

$$a' + h_{m, n} a'' = a$$

[0046]

[0047]

수학식 6은 병합 연산에서 사용되는 스위치 네트워크 1의 제어에 사용되는 수식이다.

수학식 6

$$a' + a'' = -h_{m, n} a$$

[0048]

[0049] 수학식 5와 6에서의 a , a' 와 a'' 는 갈루아 체에서의 원소를 나타낸다. 스위치 네트워크 1은 상응하는 패리티 검사행렬의 원소 $h_{m,n}$ 이 정해져 있을 때 결정되는 a 의 값을 a' 와 a'' 의 조합을 찾아 연산을 할 수 있다. 예를 들어 $h_{m,n}$ 이 α^5 로 정의 되어 있고 $a=0$, $a=\alpha^0$, ..., $a=\alpha^{14}$ 까지 연산을 한다고 가정하면, 두 개의 알 수 없는 심볼 $h_{m,n}$ 과 a 가 정해 지기 때문에 모든 갈루아 체의 심볼을 대입하는 방법으로 a' 와 a'' 의 심볼 조합을 찾아 낼 수 있다.

수학식 7

[0050]
$$a' + \alpha^5 a'' = f(\alpha^1)$$

[0051] 수학식 7은 앞서 설명한 방식으로 $h_{m,n} = \alpha^5$, $f(\alpha^1)$ 로 정의 될 때 구하는 방법에 대한 수식이다. 이를 통해서 모든 a' 와 a'' 의 조합 $0-\alpha^{11}$, $\alpha^0-\alpha^{14}$, α^1-0 , $\alpha^2-\alpha^0$, ..., $\alpha^{14}-\alpha^2$ 을 찾아 낼 수 있다.

[0052] 종래의 비 이진 LDPC 부호의 최소-최대 알고리즘은 수학식 2, 3, 4에서 정의된 것처럼 포워드 메트릭, 백워드 메트릭, 병합 연산을 거쳐서 이루어진다. 각각의 연산은 재귀적인 방법으로 연산이 이루어진다. 다시 말하면, 병합 연산은 포워드 메트릭과 백워드 메트릭의 연산이 끝나기 전에는 계산 될 수 없음을 의미한다. 따라서 $d_c \times 2$ 사이클 (1 사이클은 최소 최대 연산 블록의 연산 시간)만큼의 시간이 소요되어 복호기의 연산 지연이 길어지는 원인이 된다.

[0053] 수학식 8은 본 발명에 있어서 체크 노드 연산부의 지연을 줄이기 위한 2-병합 최소-최대 알고리즘의 연산과정을 보여 주고 있다.

수학식 8

Let m be a check node

and $H(m) = \{n_1, n_2, n_3, \dots, n_d\}$, then

$(F_i)_{i=1, d-1}$ and $(B_i)_{i=2, d}$ are computed recursively.

Forward metrics :

$$F_1(a) = \alpha_{m, n_1} (h_{m, n_1}^{-1} a)$$

$$F_i(a) = \min_{\substack{a', a'' \in GF(q) \\ a' + h_{m, n_i} a'' = a}} (\max(F_{i-1}(a'), \alpha_{m, n_i}(a'')))$$

Backward metrics :

$$B_d(a) = \alpha_{m, n_d} (h_{m, n_d}^{-1} a)$$

$$B_i(a) = \min_{\substack{a', a'' \in GF(q) \\ a' + h_{m, n_i} a'' = a}} (\max(B_{i+1}(a'), \alpha_{m, n_i}(a'')))$$

2-way merging step :

$$\beta_{m, n_1}(a) = B_2(a) \quad \text{and} \quad \beta_{m, n_d}(a) = F_{d-1}(a)$$

Left-merging step

$$k = \lfloor d/2 \rfloor \quad \text{to} \quad k = 2$$

$$\beta_{m, n_k}(a) = \min_{\substack{a', a'' \in GF(q) \\ a' + a'' = -h_{m, n_k} a}} (\max(F_{k-1}(a'), B_{k+1}(a'')))$$

Right-merging step

$$j = \lfloor d/2 \rfloor + 1 \quad \text{to} \quad j = d - 1$$

$$\beta_{m, n_j}(a) = \min_{\substack{a', a'' \in GF(q) \\ a' + a'' = -h_{m, n_j} a}} (\max(F_{j-1}(a'), B_{j+1}(a'')))$$

[0054]

[0055]

도 7은 본 발명의 일실시예에 따른 2-way 병합 최소-최대 알고리즘에서 포워드 메트릭, 백워드 메트릭, R-병합 및 L-병합의 연산 순서를 설명하는 도면이다.

[0056]

체크 노드 연산부를 구현함에 있어서 병합 연산을 위해 2개의 연산블록을 사용할 수 있다면 본 발명에서 제시하는 2-병합 최소-최대 알고리즘을 적용하여 구현 할 수 있다. 예를 들어 본 발명에서 사용하는 패리티 검사 행렬에서 체크 노드의 차수는 14이므로 포워드 메트릭은 F1부터 F13까지 백워드 메트릭은 B14부터 B2까지 연산이 되고, 이후에 병합 연산이 이루어지는데, 도 7에서 보는 바와 같이 2-병합 최소-최대 알고리즘을 적용하면 포워드 및 백워드 메트릭의 연산 중간 이후에 R-병합 연산과 L-병합 연산을 독립적으로 나누어 실행함에 따라 체크 노드 연산부의 연산 지연을 종래의 최소-최대 알고리즘과 비교하여 반으로 줄일 수 있다.

[0057]

도 8은 본 발명의 일실시예에 따른 2-way 병합 최소-최대 알고리즘을 적용할 때의 연산 지연이 어떻게 감소되는

지를 설명하는 도면이다.

- [0058] 포워드 메트릭과 백워드 메트릭이 d_c-1 사이클 동안 연산이 되는 동안에 중간부터 R-병합 연산, L-병합 연산이 동시에 진행되고, 포워드 메트릭과 백워드 메트릭 연산이 종료되는 시점에 병합 연산도 동시에 종료가 된다. 병합 연산을 위해 R-병합과 L-병합 연산을 동시에 처리할 수 있도록 추가적인 연산블록이 필요하지만, 체크 노드 연산부의 연산 지연을 반으로 줄일 수 있는 장점이 있다.
- [0059] 도 9는 본 발명의 일실시예에 따른 포워드 메트릭과 백워드 메트릭을 연산 하기 위한 체크 노드 블록-1의 구조에 대한 도면 이다.
- [0060] 체크 노드 블록-1의 구조는 한 개의 스위치 네트워크 2 와 한 개의 최소-최대 연산 블록으로 구성되어 있다. 포워드 메트릭과 백워드 메트릭의 연산 과정은 출력값을 다음 연산 사이클에서 사용하는 재귀적 구조로 되어 있다. 스위치 네트워크 2에서 매번 연산 사이클 마다 입력값을 조절할 수 있도록 해준다. 또한 마지막에 연산 결과를 저장할 수 있는 레지스터(D)를 포함하고 있다.
- [0061] 도 10은 본 발명의 일실시예에 따른 R-병합과 L-병합을 연산하기 위한 체크 노드 블록-2의 구조에 대한 도면이다.
- [0062] 기본적인 구조는 체크 노드 블록-1의 구조와 동일하지만, 연산 결과를 다시 저장하여 사용할 필요가 없기 때문에 마지막 단의 레지스터(D)가 제거된 형태이다.
- [0063] 도 11은 본 발명의 일실시예에 따른 체크 노드 블록-1과 체크 노드 블록-2에 적용되는 스위치 네트워크 2의 스케줄링에 대해 설명하는 도면이다.
- [0064] 체크 노드 블록-1과 체크 노드 블록-2는 한번에 블록-레이어에 해당하는 15개의 행을 연산할 수 있도록 15개의 최소-최대 연산 블록을 포함하고 있다. 따라서 매 연산 사이클 마다 패리티 검사행렬의 $h_{m,n}$ 의 값에 따라서 입력력을 조절해 주어야 한다.
- [0065] 예를 들어 첫 번째 블록 레이어의 첫 번째 행을 예로 살펴보면, 최소-최대 연산 블록에서 14번째(α^{14})에 해당하는 출력이 다음 연산 사이클에서는 13번째(α^{13})에 해당하는 최소-최대 연산블록의 입력으로 사용된다. 그 다음 연산 사이클에서는 13번째(α^{13})의 출력이 7번째(α^7)에 해당하는 최소-최대 연산블록의 입력으로 사용된다. 이와 같은 방법으로 최종 15번째 연산 사이클까지 블록-레이어의 모든 행에 대하여 스위치 네트워크 2의 제어 신호를 상응하는 $h_{m,n}$ 값에 따라 생성할 수 있다.
- [0066] 도 12는 본 발명의 일실시예에 따른 2-way 병합 최소-최대 알고리즘을 적용한 체크 노드 연산부의 구조에 대한 도면이다.
- [0067] 2개의 체크 노드 블록-1(도 9)이 포워드 메트릭 및 백워드 메트릭 연산에 사용되고, 또한 2개의 체크 노드 블록-2(도 10)가 R-병합과 L-병합 연산을 위해 사용된다. 매 연산 사이클 마다 체크 노드 연산부는 두 개의 입력 벡터 (A0 ~ A14)와 (B0 ~ B14)를 입력 받는다. 포워드 메트릭과 백워드 메트릭의 연산이 진행되는 과정에 7번째까지의 연산 결과로써 F1~F7은 포워드 메트릭 메모리에 B14~B8은 백워드 메트릭 메모리에 저장된다. 이후의 포워드 메트릭 및 백워드 메트릭 연산이 이루어짐과 동시에 R-병합과 L-병합 연산 과정이 바로 이어서 진행되어 최종적으로 d_c-1 연산 사이클에 종료가 된다.
- [0068] 점선 박스 안 MUX의 제어 신호는 최소 7-연산 사이클 동안 '1'로 유지되고 이후에는 '0'으로 변환 됨에 따라 이후의 포워드 메트릭 및 백워드 메트릭의 연산 결과 F8~F13 과 B7~B2가 바로 R-병합 및 L-병합 연산에 사용될 수 있다. 또한 포워드 메트릭과 백워드 메트릭의 연산 결과를 저장할 메모리의 깊이는 $(d_c/2)-1$ 이면 충분하기 때문에, 메모리의 크기를 반으로 줄일 수 있다.
- [0069] 도 13는 본 발명의 일실시예에 따른 블록-레이어 기반의 비 이진 QC-LDPC 복호기의 전체 구조에 대한 도면이다.
- [0070] 본 발명에 적용된 패리티 검사 행렬은 갈루아 체 $GF(2^4)$ 에서 정의되기 때문에 통상적인 LDPC 부호와 비교하여 기본적으로 16배 정도 복잡도가 증가한다. 최초 채널로부터 수신된 심볼의 LLR값이 변수 노드 메모리 0부터 14에 저장된 이후부터 복호기가 동작한다. 또한 시프트 레지스터 블록이 복호 과정 동안 일어나는 덧셈 및 뺄셈 연산의 버퍼링 및 파이프라인 레지스터로써 사용된다. 본 발명에 적용된 체크 노드 연산부는 매 연산 사이클

마다 두 개의 입력 벡터를 입력 받기 때문에 이를 조절 해 줄 체크 노드 연산부 스케줄러가 필요하다.

[0071] 체크 노드 연산부의 연산 결과는 체크 노드 메모리에 저장되며 이전 연산 값과 덧셈 연산을 통하여 정규화 과정을 거쳐 다시 변수 노드 메모리에 저장된다. 이러한 복호 과정이 패리티 검사가 완료되거나, 최대 반복 복호 횟수에 이르면 복호를 종료하게 된다.

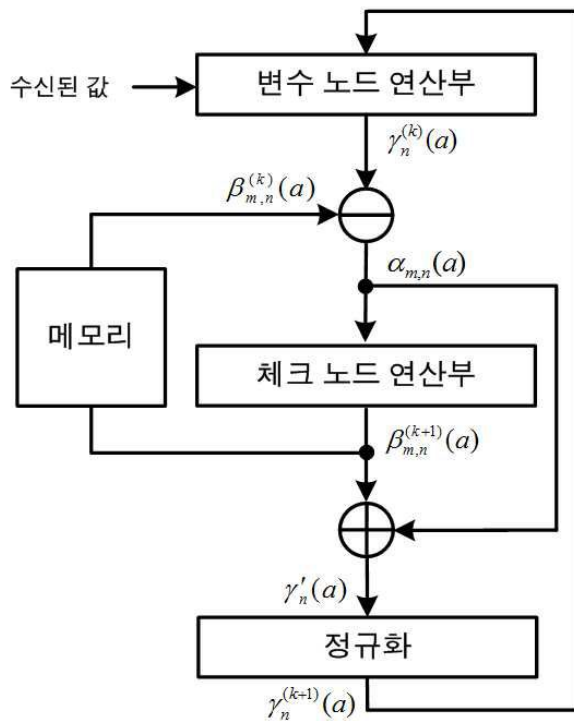
[0072] 상기와 같이 비 이진 QC-LDPC 부호의 복호기 구조는 블록-레이어 기반으로 설계하여 복호기의 빠른 수렴이 가능하도록 한 것이다. 또한 2-way 병합 최소-최대 알고리즘을 적용하여 체크 노드 연산부를 구현함에 따라 체크 노드 연산부의 지연을 반으로 감소시킬 수 있다. 따라서, 본 발명의 일실시예는 향후 개발될 수 있는 비 이진 QC-LDPC 부호의 복호기 구현에 적용할 수 있는 잠재성을 가지고 있다.

[0073] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0074] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면

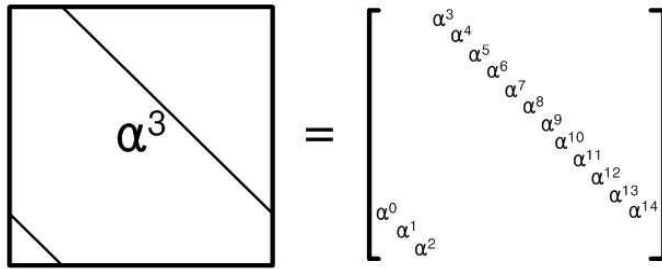
도면1



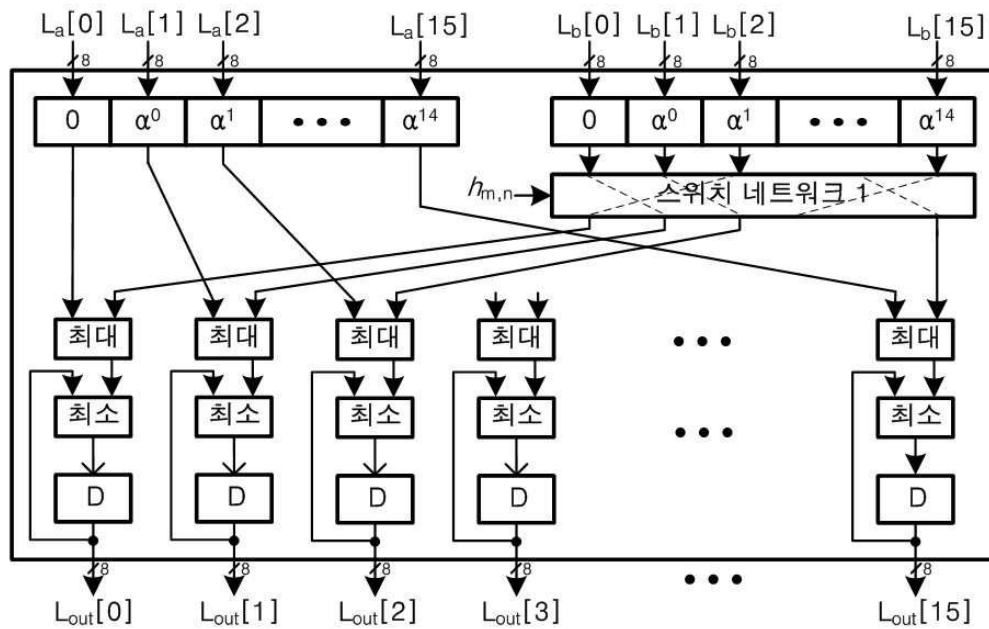
도면2

225															
80	0	α^{14}	α^{13}	α^7	α^{11}	α^{10}	α^{11}	α^9	α^6	α^{14}	α^5	α^{12}	α^7	α^{13}	α^3
	α^{14}	0	α^2	α^1	α^{10}	α^2	α^{13}	α^{14}	α^{12}	α^9	α^6	α^8	α^0	α^{10}	α^1
	α^{13}	α^2	0	α^5	α^4	α^{12}	α^5	α^1	α^2	α^0	α^4	α^9	α^{11}	α^3	α^{13}
	α^7	α^1	α^5	0	α^8	α^3	α^0	α^8	α^4	α^5	α^1	α^7	α^{12}	α^{14}	α^6

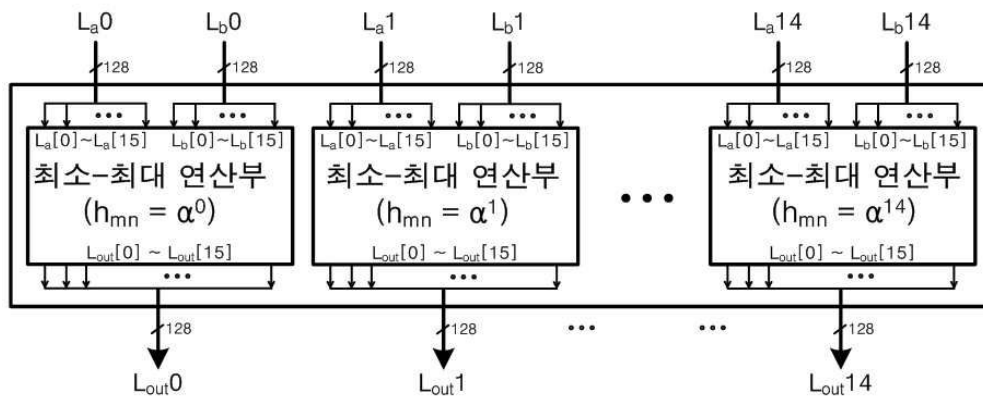
도면3



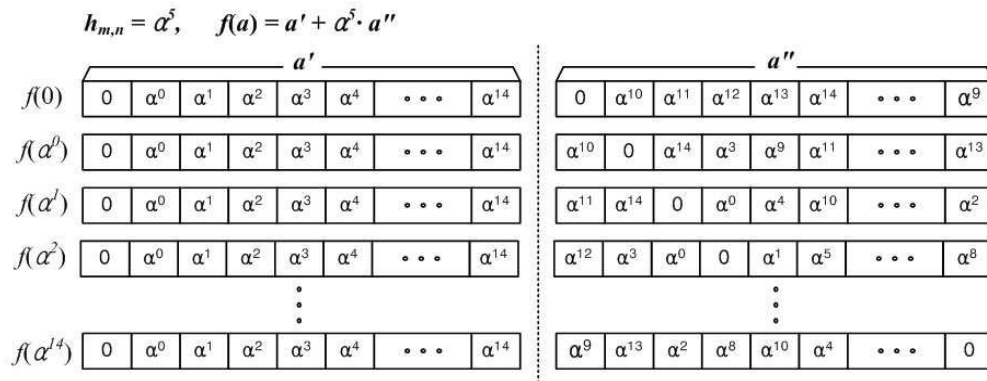
도면4



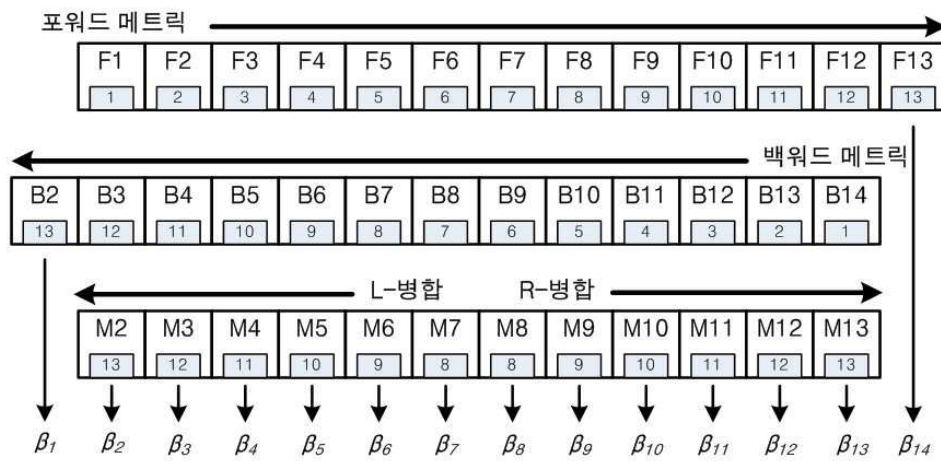
도면5



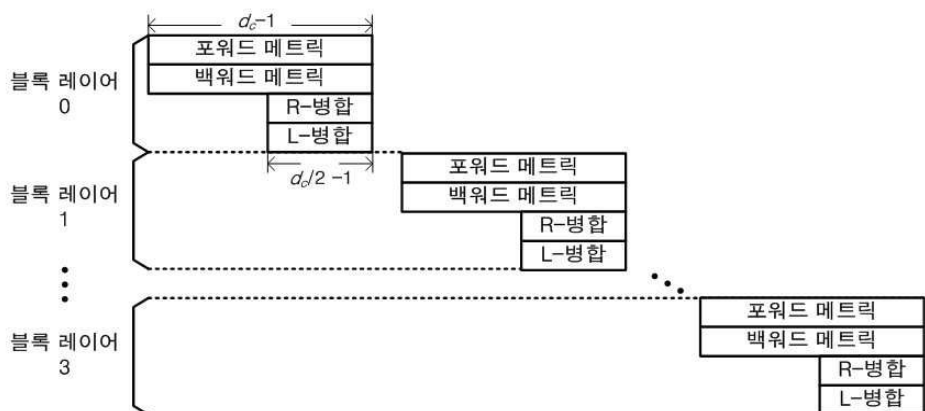
도면6



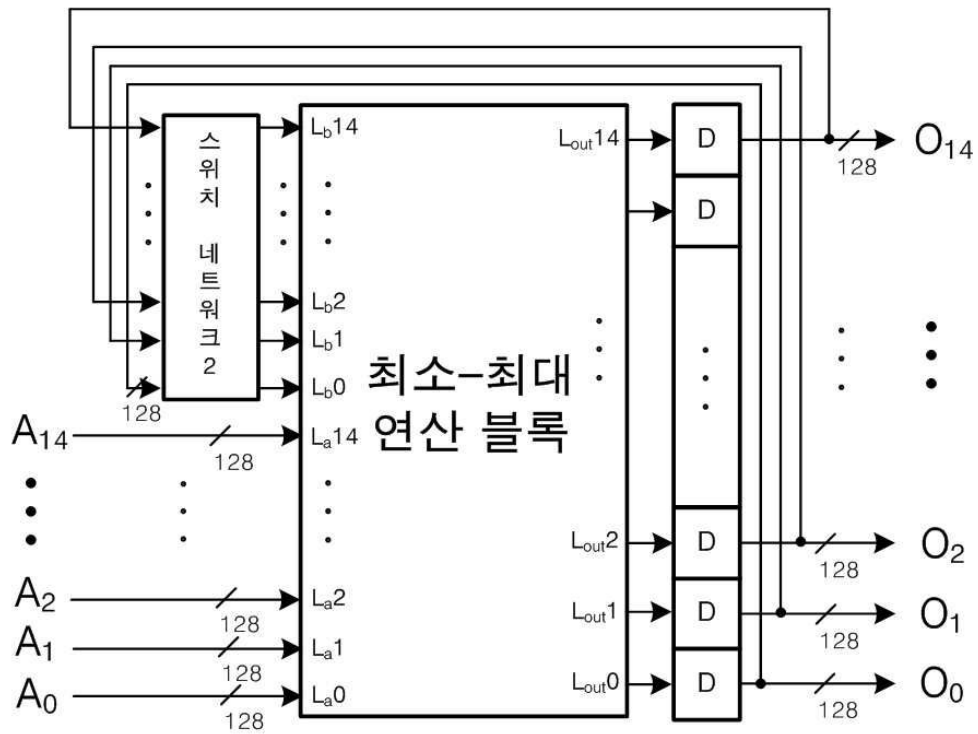
도면7



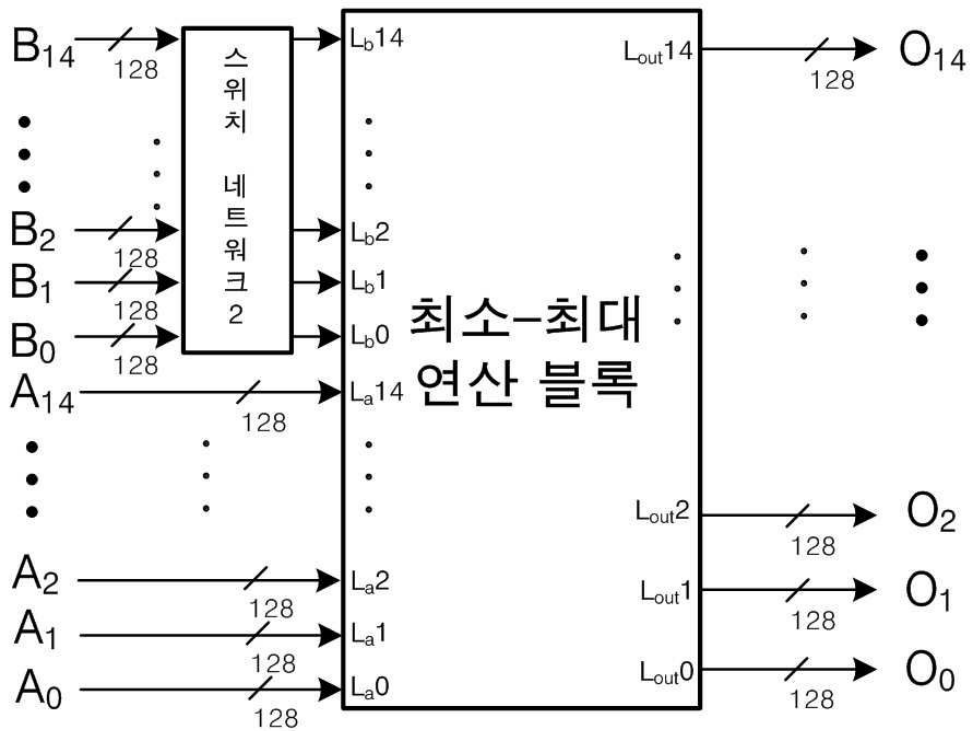
도면8



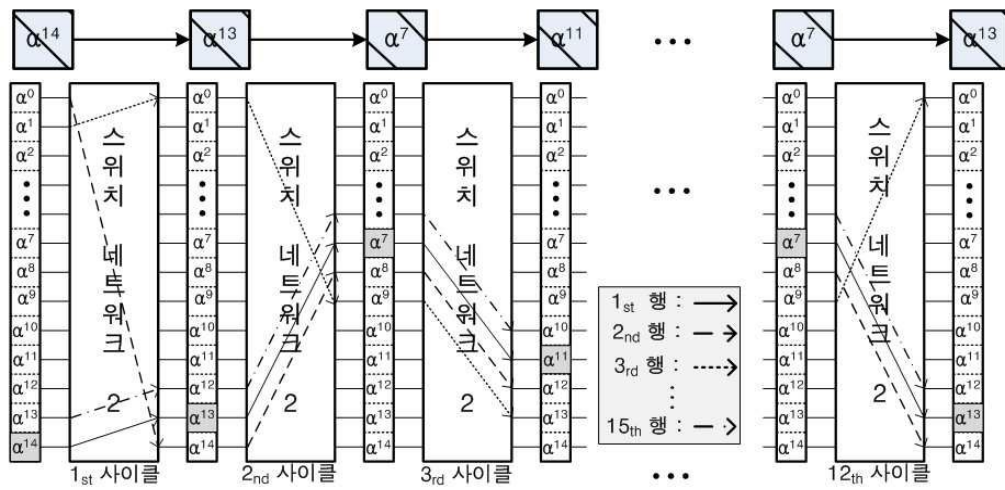
도면9



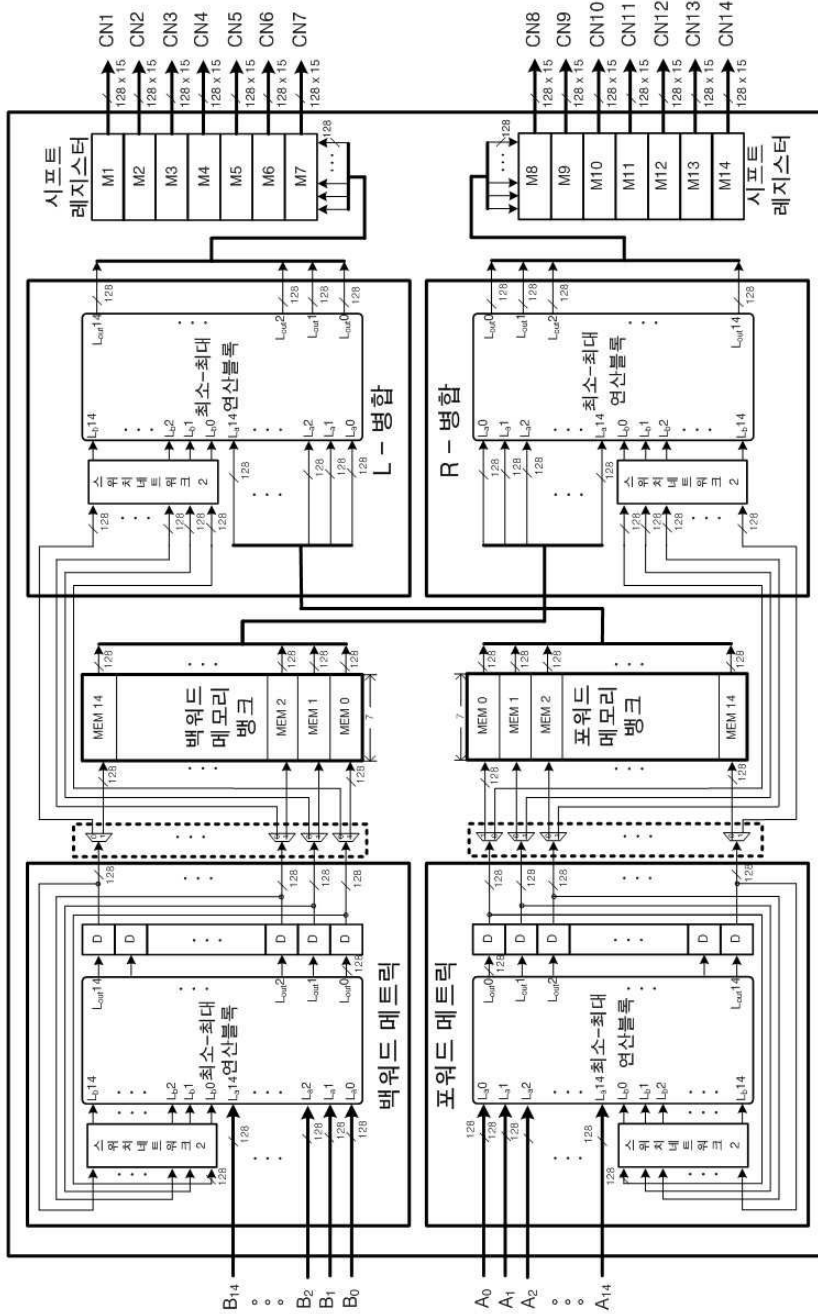
도면10



도면11



도면12



도면13

