

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年7月27日(27.07.2023)



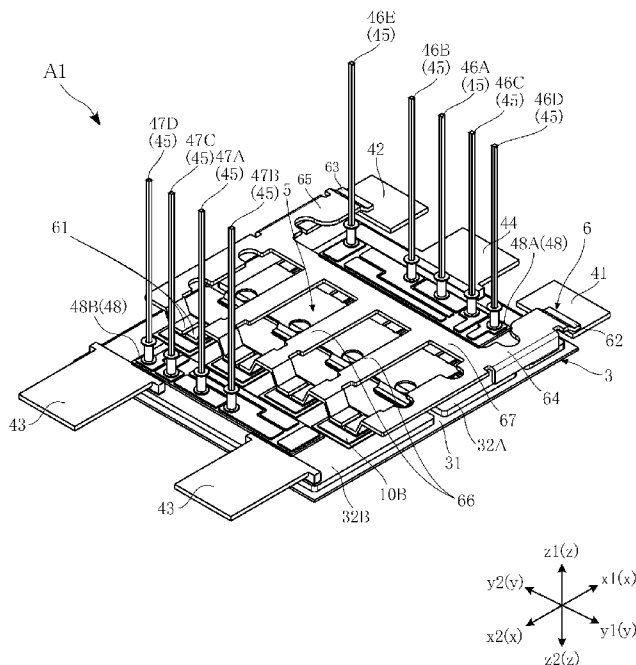
(10) 国際公開番号
WO 2023/140050 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) *H01L 25/18* (2023.01)
H01L 25/07 (2006.01)
- (21) 国際出願番号: PCT/JP2022/047695
- (22) 国際出願日: 2022年12月23日(23.12.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-006874 2022年1月20日(20.01.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 安西 智洋 (YASUNISHI Tomohiro);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

【図2】



(57) Abstract: This semiconductor device comprises a support substrate, a plurality of first semiconductor elements, a plurality of second semiconductor elements, a first terminal, a first conductive member, and a second conductive member. The support substrate includes a first conductive portion and a second conductive portion. The plurality of first semiconductor elements are mounted in the first conductive portion, and each have a switching function. The plurality of second semiconductor elements are mounted in the second conductive portion, and each have a switching function. The first ter-



WO 2023/140050 A1

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG,
SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

minal protrudes on one side in the first direction with respect to the first conductive portion. The first conductive member provides electrical continuity between the plurality of first semiconductor elements and the second conductive portion. The second conductive member provides electrical continuity between the plurality of second semiconductor elements and the first terminal. The second conductive member is connected to the support substrate.

- (57) 要約 : 半導体装置は、支持基板と、複数の第1半導体素子と、複数の第2半導体素子と、第1端子と、第1導電部材と、第2導電部材とを備える。前記支持基板は、第1導電部および第2導電部を有する。複数の前記第1半導体素子は、前記第1導電部に搭載され且つ各々がスイッチング機能を有する。複数の前記第2半導体素子は、前記第2導電部に搭載され且つ各々がスイッチング機能を有する。前記第1端子は、前記第1導電部に対して前記第1方向の一方側に突出する。前記第1導電部材は、複数の前記第1半導体素子と前記第2導電部とを導通させる。前記第2導電部材は、複数の前記第2半導体素子と前記第1端子とを導通させる。前記第2導電部材は、前記支持基板に接続されている。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 従来、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) や I G B T (Insulated Gate Bipolar Transistor) などの電力用スイッチング素子を備える半導体装置が知られている。このような半導体装置は、産業機器から家電や情報端末、自動車用機器まで、種々の電子機器に搭載される。特許文献1には、従来の半導体装置（パワーモジュール）が開示されている。特許文献1に記載の半導体装置は、半導体素子、および、支持基板を備えている。半導体素子は、たとえばS i（シリコン）製のI G B Tである。支持基板は、半導体素子を支持する。支持基板は、絶縁性の基材と、基材の両面に積層された導体層とを含む。基材は、たとえばセラミックからなる。各導体層は、たとえばC u（銅）からなり、一方の導体層には、半導体素子が接合される。半導体素子は、封止樹脂により覆われている。

先行技術文献

特許文献

[0003] 特許文献1：特開2021-190505号公報

発明の概要

発明が解決しようとする課題

[0004] 近年、電子機器の高性能化および小型化などが求められている。そのためには、電子機器に搭載するパワーモジュールの大電流化などが必要となる。一方で、パワーモジュールで生じた熱を外部に放熱する等の対策が重要である。

[0005] 本開示は、従来よりも改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記した事情に鑑み、大電流化と放熱促進とを図

ることが可能な半導体装置を提供することを一の課題とする。

[0006] 本開示の一の側面によって提供される半導体装置は、支持基板と、複数の第1半導体素子と、複数の第2半導体素子と、第1端子と、第1導電部材と、第2導電部材と、封止樹脂とを備える。前記支持基板は、厚さ方向の一方側を向く第1主面を有し且つ前記厚さ方向と直交する第1方向の一方側に位置する第1導電部、および、前記厚さ方向の一方側を向く第2主面を有し且つ前記第1方向の他方側に位置する第2導電部を有する。複数の前記第1半導体素子は、前記第1導電部に搭載され且つ各々がスイッチング機能を有する。複数の前記第2半導体素子は、前記第2導電部に搭載され且つ各々がスイッチング機能を有する。前記第1端子は、前記第1導電部に対して前記第1方向の一方側に突出する。前記第1導電部材は、複数の前記第1半導体素子と前記第2導電部とを導通させる。前記第2導電部材は、複数の前記第2半導体素子と前記第1端子とを導通させる。前記封止樹脂は、複数の前記第1半導体素子、複数の前記第2半導体素子、前記第1導電部材、前記第2導電部材、前記支持基板の一部、および前記第1端子の一部を覆う。前記第2導電部材は、前記支持基板に接続されている。

発明の効果

[0007] 上記構成によれば、半導体装置に関して、大電流化と放熱促進とを図ることができ。

[0008] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0009] [図1]図1は、本開示の第1実施形態に係る半導体装置を示す斜視図である。

[図2]図2は、本開示の第1実施形態に係る半導体装置を示す要部斜視図である。

[図3]図3は、本開示の第1実施形態に係る半導体装置を示す要部斜視図である。

[図4]図4は、本開示の第1実施形態に係る半導体装置を示す平面図である。

[図5]図5は、本開示の第1実施形態に係る半導体装置を示す要部平面図である。

[図6]図6は、本開示の第1実施形態に係る半導体装置を示す要部側面図である。

[図7]図7は、本開示の第1実施形態に係る半導体装置を示す要部拡大平面図である。

[図8]図8は、本開示の第1実施形態に係る半導体装置を示す要部平面図である。

[図9]図9は、本開示の第1実施形態に係る半導体装置を示す要部平面図である。

[図10]図10は、本開示の第1実施形態に係る半導体装置を示す側面図である。

[図11]図11は、本開示の第1実施形態に係る半導体装置を示す底面図である。

[図12]図12は、図5のX11-X11線に沿う断面図である。

[図13]図13は、図5のX111-X111線に沿う断面図である。

[図14]図14は、本開示の第1実施形態に係る半導体装置を示す要部拡大断面図である。

[図15]図15は、本開示の第1実施形態に係る半導体装置を示す要部拡大断面図である。

[図16]図16は、図5のXV1-XV1線に沿う断面図である。

[図17]図17は、図5のXV11-XV11線に沿う断面図である。

[図18]図18は、図5のXV111-XV111線に沿う断面図である。

[図19]図19は、図5のX1X-X1X線に沿う断面図である。

[図20]図20は、図5のXX-XX線に沿う断面図である。

[図21]図21は、本開示の第1実施形態に係る半導体装置を示す要部拡大断面図である。

[図22]図22は、本開示の第1実施形態に係る半導体装置の第2導電部材を

示す斜視図である。

[図23]図23は、本開示の第1実施形態に係る半導体装置の第2導電部材を示す斜視図である。

[図24]図24は、本開示の第1実施形態に係る半導体装置の第2導電部材を示す平面図である。

[図25]図25は、本開示の第1実施形態に係る半導体装置の第2導電部材を示す正面図である。

[図26]図26は、本開示の第1実施形態に係る半導体装置の第2導電部材を示す底面図である。

[図27]図27は、本開示の第1実施形態に係る半導体装置の第2導電部材を示す側面図である。

[図28]図28は、本開示の第1実施形態に係る半導体装置の第1変形例を示す要部拡大断面図である。

[図29]図29は、本開示の第1実施形態に係る半導体装置の第2変形例を示す要部拡大断面図である。

[図30]図30は、本開示の第1実施形態に係る半導体装置の第3変形例を示す要部拡大断面図である。

[図31]図31は、本開示の第2実施形態に係る半導体装置を示す要部拡大断面図である。

[図32]図32は、本開示の第2実施形態に係る半導体装置の第1変形例を示す要部拡大断面図である。

[図33]図33は、本開示の第3実施形態に係る半導体装置を示す要部拡大断面図である。

[図34]図34は、本開示の第3実施形態に係る半導体装置の第1変形例を示す要部拡大断面図である。

[図35]図35は、本開示の第3実施形態に係る半導体装置の第2変形例を示す要部拡大断面図である。

[図36]図36は、本開示の第4実施形態に係る半導体装置を示す要部拡大断

面図である。

発明を実施するための形態

[0010] 以下、本開示の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0011] 本開示における「第1」、「第2」、「第3」等の用語は、単に識別のために用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

[0012] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。また、「ある物Aがある物Bに接続されている」とは、物Aと物Bとが直接接する状態で固定されたもの、物Aおよび物Bとは別の1以上の部材を介在させて互いに固定されたもの、を含む。

[0013] 第1実施形態：

図1～図27は、本開示の第1実施形態に係る半導体装置を示している。本実施形態の半導体装置A1は、複数の第1半導体素子10A、複数の第2

半導体素子10B、支持基板3、第1端子41、第2端子42、複数の第3端子43、第4端子44、複数の制御端子45、制御端子支持体48、第1導通部材5、第2導通部材6および封止樹脂8を備えている。

[0014] 図1は、半導体装置A1を示す斜視図である。図2、図3は、半導体装置A1を示す要部斜視図である。図4は、半導体装置A1を示す平面図である。図5は、半導体装置A1を示す要部平面図である。図6は、半導体装置A1を示す要部側面図である。図7は、半導体装置A1を示す要部拡大平面図である。図8、図9は、半導体装置A1を示す要部平面図である。図10は、半導体装置A1を示す側面図である。図11は、半導体装置A1を示す底面図である。図12は、図5のX11-X11線に沿う断面図である。図13は、図5のX111-X111線に沿う断面図である。図14、図15は、半導体装置A1を示す要部拡大断面図である。図16は、図5のXV1-XV1線に沿う断面図である。図17は、図5のXV11-XV11線に沿う断面図である。図18は、図5のXV111-XV111線に沿う断面図である。図19は、図5のX1X-X1X線に沿う断面図である。図20は、図5のXX-XX線に沿う断面図である。図21は、半導体装置A1を示す要部拡大断面図である。図22は、半導体装置A1の第2導通部材6を示す斜視図である。図23は、半導体装置A1の第2導通部材6を示す斜視図である。図24は、半導体装置A1の第2導通部材6を示す平面図である。図25は、半導体装置A1の第2導通部材6を示す正面図である。図26は、半導体装置A1の第2導通部材6を示す底面図である。図27は、半導体装置A1の第2導通部材6を示す側面図である。

[0015] 説明の便宜上、互いに直交する3つの方向を、x方向、y方向、z方向とする。一例として、z方向は、半導体装置A1の厚さ方向である。x方向は、半導体装置A1の平面図(図4参照)における左右方向である。y方向は、半導体装置A1の平面図(図4参照)における上下方向である。以下の説明において、「平面視」とは、z方向に見たときをいう。x方向が、「第1方向」の一例であり、y方向が、「第2方向」の一例である。

[0016] 複数の第1半導体素子10Aおよび複数の第2半導体素子10Bはそれぞれ、半導体装置A1の機能中枢となる電子部品である。各第1半導体素子10Aおよび各第2半導体素子10Bの構成材料は、たとえばSiC（炭化ケイ素）を主とする半導体材料である。この半導体材料は、SiCに限定されず、Si（シリコン）、GaN（窒化ガリウム）あるいはC（ダイヤモンド）などであってもよい。各第1半導体素子10Aおよび各第2半導体素子10Bは、たとえば、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）などのスイッチング機能を有するパワー半導体チップである。本実施形態においては、第1半導体素子10Aおよび第2半導体素子10BがMOSFETである場合を示すが、これに限定されず、IGBT（Insulated Gate Bipolar Transistor；絶縁ゲートバイポーラトランジスタ）などの他のトランジスタであってもよい。各第1半導体素子10Aおよび各第2半導体素子10Bは、いずれも同一素子である。各第1半導体素子10Aおよび各第2半導体素子10Bは、たとえばnチャネル型のMOSFETであるが、pチャネル型のMOSFETであってもよい。

[0017] 第1半導体素子10Aおよび第2半導体素子10Bはそれぞれ、図14、図15に示すように、素子主面101および素子裏面102を有する。各第1半導体素子10Aおよび各第2半導体素子10Bにおいて、素子主面101と素子裏面102とはz方向に離隔する。素子主面101は、z1方向を向き、素子裏面102は、z2方向を向く。

[0018] 本実施形態では、半導体装置A1は、4つの第1半導体素子10Aと4つの第2半導体素子10Bとを備えているが、第1半導体素子10Aの数および第2半導体素子10Bの数は、本構成に限定されず、半導体装置A1に要求される性能に応じて適宜変更される。図8、図9の例では、第1半導体素子10Aおよび第2半導体素子10Bがそれぞれ4個ずつ配置される。第1半導体素子10Aおよび第2半導体素子10Bの数は、それぞれ2個または3個でもよく、それぞれ5個以上でもよい。第1半導体素子10Aの数と第2半導体素子10Bの数とは、等しくてもよく、異なってもよい。第1半導

体素子 10A および第 2 半導体素子 10B の数は、半導体装置 A1 が取り扱う電流容量によって決定される。

[0019] 半導体装置 A1 は、たとえばハーフブリッジ型のスイッチング回路として構成される。この場合、複数の第 1 半導体素子 10A は、半導体装置 A1 の上アーム回路を構成し、複数の第 2 半導体素子 10B は、下アーム回路を構成する。上アーム回路において、複数の第 1 半導体素子 10A は互いに並列に接続され、下アーム回路において、複数の第 2 半導体素子 10B は互いに並列に接続される。各第 1 半導体素子 10A と各第 2 半導体素子 10B とは、直列に接続され、ブリッジ層を構成する。

[0020] 複数の第 1 半導体素子 10A はそれぞれ、図 8、図 9 および図 19 などに示すように、後述の支持基板 3 の第 1 導電部 32A に搭載されている。図 8、図 9 に示す例では、複数の第 1 半導体素子 10A は、たとえば y 方向に並んでおり、互いに離隔している。各第 1 半導体素子 10A は、導電性接合材 19 を介して、第 1 導電部 32A に導通接合されている。各第 1 半導体素子 10A は、第 1 導電部 32A に接合された際、素子裏面 102 が第 1 導電部 32A に対向する。なお、本実施形態とは異なり、複数の第 1 半導体素子 10A は、DBC 基板等の一部とは異なる金属部材に搭載されていてもよい。この場合、当該金属部材は「第 1 導電部」の一例である。この金属部材は、たとえば第 1 導電部 32A に支持されていてもよい。

[0021] 複数の第 2 半導体素子 10B はそれぞれ、図 8、図 9 および図 18 などに示すように、後述の支持基板 3 の第 2 導電部 32B に搭載されている。図 8、図 9 に示す例では、複数の第 2 半導体素子 10B は、たとえば y 方向に並んでおり、互いに離隔している。各第 2 半導体素子 10B は、導電性接合材 19 を介して、第 2 導電部 32B に導通接合されている。各第 2 半導体素子 10B は、第 2 導電部 32B に接合された際、素子裏面 102 が第 2 導電部 32B に対向する。図 9 から理解されるように、x 方向に見て、複数の第 1 半導体素子 10A と複数の第 2 半導体素子 10B とは、重なっているが、重なってなくてもよい。なお、本実施形態とは異なり、複数の第 2 半導体素

子10Bは、DBC基板等の一部とは異なる金属部材に搭載されていてもよい。この場合、当該金属部材は「第2導電部」の一例である。この金属部材は、たとえば第2導電部32Bに支持されていてもよい。

[0022] 複数の第1半導体素子10Aおよび複数の第2半導体素子10Bはそれぞれ、第1主面電極11、第2主面電極12、第3主面電極13および裏面電極15を有する。以下で説明する第1主面電極11、第2主面電極12、第3主面電極13および裏面電極15の構成は、各第1半導体素子10Aおよび各第2半導体素子10Bにおいて共通する。第1主面電極11、第2主面電極12および第3主面電極13は、素子主面101に設けられている。第1主面電極11、第2主面電極12および第3主面電極13は、図示しない絶縁膜により絶縁されている。裏面電極15は、素子裏面102に設けられている。

[0023] 第1主面電極11は、たとえばゲート電極であって、第1半導体素子10A（第2半導体素子10B）を駆動させるための駆動信号（たとえばゲート電圧）が入力される。第1半導体素子10A（第2半導体素子10B）において、第2主面電極12は、たとえばソース電極であって、ソース電流が流れる。第3主面電極13は、たとえばソースセンス電極であって、ソース電流が流れる。裏面電極15は、たとえばドレイン電極であって、ドレイン電流が流れる。裏面電極15は、素子裏面102の全域（あるいは略全域）を覆っている。裏面電極15は、たとえばAg（銀）めっきにより構成される。

[0024] 各第1半導体素子10A（各第2半導体素子10B）は、第1主面電極11（ゲート電極）に駆動信号（ゲート電圧）が入力されると、この駆動信号に応じて、導通状態と遮断状態とが切り替わる。導通状態では、裏面電極15（ドレイン電極）から第2主面電極12（ソース電極）に電流が流れ、遮断状態では、この電流が流れない。つまり、各第1半導体素子10A（各第2半導体素子10B）は、スイッチング動作を行う。半導体装置A1は、複数の第1半導体素子10Aおよび複数の第2半導体素子10Bのスイッチン

グ機能により、1つの第4端子44と2つの第1端子41および第2端子42との間に入力される直流電圧をたとえば交流電圧に変換して、第3端子43から交流電圧を出力する。

- [0025] 半導体装置A1では、図5、図8、図9などに示すように、サーミスタ17を備える。サーミスタ17は、温度検出用センサとして用いられる。なお、サーミスタ17の他に、たとえば感温ダイオード等を備える構成であってもよいし、サーミスタ17等を備えない構成であってもよい。
- [0026] 支持基板3は、複数の第1半導体素子10Aおよび複数の第2半導体素子10Bを支持する。支持基板3の具体的構成は何ら限定されず、たとえばDBC (Direct Bonded Copper) 基板またはAMB (Active Metal Brazing) 基板で構成される。支持基板3は、絶縁層31、第1導電部32A、第2導電部32Bおよび裏面金属層33を含む。また、本実施形態の支持基板3は、さらに第1金属部35および第2金属部36を含む。支持基板3のz方向の寸法は、たとえば0.4mm以上3.0mm以下である。
- [0027] 絶縁層31は、たとえば熱伝導性の優れたセラミックスである。このようなセラミックスとしては、たとえばSiN (窒化ケイ素) がある。絶縁層31は、セラミックスに限定されず、絶縁樹脂シートなどであってもよい。絶縁層31は、たとえば平面視矩形状である。絶縁層31のz方向の寸法は、たとえば0.05mm以上1.0mm以下である。
- [0028] 第1導電部32Aは、複数の第1半導体素子10Aを支持し、第2導電部32Bは、複数の第2半導体素子10Bを支持する。第1導電部32Aおよび第2導電部32Bは、絶縁層31の上面(z1方向を向く面)に形成されている。第1導電部32Aおよび第2導電部32Bの構成材料は、たとえばCu (銅) を含む。当該構成材料はCuではなくAl (アルミニウム) を含んでいてもよい。第1導電部32Aおよび第2導電部32Bは、x方向に離隔する。第1導電部32Aは、第2導電部32Bのx1方向側に位置する。第1導電部32Aおよび第2導電部32Bはそれぞれ、たとえば平面視矩形状である。第1導電部32Aおよび第2導電部32Bは、第1導通部材5お

よび第2導通部材6とともに、複数の第1半導体素子10Aおよび複数の第2半導体素子10Bによってスイッチングされる主回路電流の経路を構成する。

[0029] 第1導電部32Aは、第1主面301Aを有する。第1主面301Aは、z1方向側を向く平面である。第1導電部32Aの第1主面301Aには、導電性接合材19を介して複数の第1半導体素子10Aがそれぞれ接合されている。第2導電部32Bは、第2主面301Bを有する。第2主面301Bは、z1方向側を向く平面である。第2導電部32Bの第2主面301Bには、導電性接合材19を介して複数の第2半導体素子10Bが接合されている。導電性接合材19の構成材料は特に限定されず、たとえばはんだ、金属ペースト材、あるいは、焼結金属などである。第1導電部32Aおよび第2導電部32Bのz方向の寸法は、たとえば0.1mm以上1.5mm以下である。

[0030] 第1金属部35は、第1導電部32Aおよび第2導電部32Bと同様に、絶縁層31上に形成されている。第1金属部35は、第1導電部32Aおよび第2導電部32Bから離隔しており、第1導電部32Aおよび第2導電部32Bから絶縁されている。

[0031] 第1金属部35は、金属からなる。第1金属部35の材質としては、たとえば、第1導電部32Aおよび第2導電部32Bと同じ材質が挙げられる。また、第1金属部35のz方向の大きさは何ら限定されず、たとえば第1導電部32Aおよび第2導電部32Bと同じである。第1金属部35の配置は何ら限定されず、本実施形態においては、図9に示すように、絶縁層31のx1方向の端縁およびy1方向の端縁に近い位置に配置されている。図示された例においては、第1導電部32Aは、z方向に視て第1金属部35を収容する形状の凹部を有する。第1金属部35の形状は、何ら限定されず、図示された例においては、x方向を長手方向とする長矩形形状である。

[0032] 第2金属部36は、金属からなる。第2金属部36の材質としては、たとえば、第1導電部32Aおよび第2導電部32Bと同じ材質が挙げられる。

また、第2金属部36のz方向の大きさは何ら限定されず、たとえば第1導電部32Aおよび第2導電部32Bと同じである。第2金属部36の配置は何ら限定されず、本実施形態においては、図9に示すように、絶縁層31のx1方向の端縁およびy2方向の端縁に近い位置に配置されている。図示された例においては、第1導電部32Aは、z方向に視て第2金属部36を収容する形状の凹部を有する。第2金属部36の形状は、何ら限定されず、図示された例においては、x方向を長手方向とする長矩形形状である。図示された例においては、第1金属部35および第2金属部36は、第1導電部32Aの一部を挟んでy方向に離れて配置されている。

[0033] 裏面金属層33は、絶縁層31の下面（z2方向を向く面）に形成されている。裏面金属層33の構成材料は、第1金属層32の構成材料と同じである。裏面金属層33は、裏面302を有する。裏面302は、z2方向を向く平面である。裏面302は、図11に示す例では、たとえば封止樹脂8から露出する。裏面302には、図示しない放熱部材（たとえばヒートシンク）などが取り付け可能である。裏面302は、封止樹脂8から露出せず、封止樹脂8に覆われていてもよい。裏面金属層33は、平面視において、第1導電部32Aおよび第2導電部32Bの双方に重なる。また、裏面金属層33は、平面視において、第1金属部35および第2金属部36の双方と重なる。

[0034] 第1端子41、第2端子42、複数の第3端子43、および第4端子44はそれぞれ、板状の金属板からなる。この金属板の構成材料は、たとえばCuまたはCu合金である。図1～図5、図8、図9および図11に示す例では、半導体装置A1は、1つずつの第1端子41、第2端子42および第4端子44と、2つの第3端子43とを備えているが、各端子の個数は何ら限定されない。

[0035] 第1端子41、第2端子42および第4端子44には、電力変換対象となる直流電圧が入力される。第4端子44は正極（P端子）であり、第1端子41および第2端子42はそれぞれ負極（N端子）である。複数の第3端子

43から、第1半導体素子10Aおよび第2半導体素子10Bにより電力変換された交流電圧が出力される。第1端子41、第2端子42、複数の第3端子43、および第4端子44はそれぞれ、封止樹脂8に覆われた部分と封止樹脂8から露出した部分とを含む。

[0036] 第4端子44は、図13に示すように、第1導電部32Aに導通接合されている。導通接合の手法は何ら限定されず、超音波接合、レーザ接合、溶接等の手法、あるいははんだ、金属ペースト、銀焼結体等を用いた手法、等が適宜採用される。第4端子44は、図8、図9などに示すように、複数の第1半導体素子10Aおよび第1導電部32Aに対して、x1方向側に位置する。第4端子44は、第1導電部32Aに導通し、かつ、第1導電部32Aを介して、各第1半導体素子10Aの裏面電極15（ドレイン電極）に導通する。

[0037] 第1端子41および第2端子42はそれぞれ、図8に示すように、第1導電部32Aから離隔している。第1端子41および第2端子42はそれぞれ、図5および図7に示すように、第2導通部材6が接合されている。なお、第1端子41および第2端子42は、第2導通部材6と導通する構成であればよく、たとえば、接合部等を有せずに、第2導通部材6と一体的に形成された構成であってもよい。第1端子41および第2端子42はそれぞれ、図5、図8などに示すように、複数の第1半導体素子10Aおよび第1導電部32Aに対して、x1方向側に位置する。第1端子41および第2端子42はそれぞれ、第2導通部材6に導通し、かつ、第2導通部材6を介して、各第2半導体素子10Bの第2主面電極12（ソース電極）に導通する。

[0038] 図1～図5および図11などに示すように、第1端子41、第2端子42および第4端子44はそれぞれ、半導体装置A1において、封止樹脂8からx1方向に突き出ている。第1端子41、第2端子42および第4端子44は、互いに離隔している。第1端子41および第2端子42は、y方向において第4端子44を挟んで互いに反対側に位置する。第1端子41は、第4端子44のy1方向側に位置し、第2端子42は、第4端子44のy2方向

側に位置する。第1端子41、第2端子42および第4端子44は、y方向に見て互いに重なる。

[0039] 2つの第3端子43はそれぞれ、図8、図9および図12から理解されるように、第2導電部32Bに導通接合されている。導通接合の手法は何ら限定されず、超音波接合、レーザ接合、溶接等の手法、あるいははんだ、金属ペースト、銀焼結体等を用いた手法、等が適宜採用される。2つの第3端子43はそれぞれ、図8などに示すように、複数の第2半導体素子10Bおよび第2導電部32Bに対して、x2方向側に位置する。各第3端子43は、第2導電部32Bに導通し、かつ、第2導電部32Bを介して、各第2半導体素子10Bの裏面電極15（ドレイン電極）に導通する。なお、第3端子43の数は、2つに限定されず、たとえば1つであってもよいし、3つ以上であってもよい。たとえば、第3端子43が1つである場合、第2導電部32Bのy方向における中央部分につながっていることが望ましい。

[0040] 複数の制御端子45はそれぞれ、各第1半導体素子10Aおよび各第2半導体素子10Bを制御するためのピン状の端子である。複数の制御端子45は、複数の第1制御端子46A～46Eおよび複数の第2制御端子47A～47Dを含む。複数の第1制御端子46A～46Eは、各第1半導体素子10Aの制御などに用いられる。複数の第2制御端子47A～47Dは、各第2半導体素子10Bの制御などに用いられる。

[0041] 複数の第1制御端子46A～46Eは、y方向に間隔を隔てて配置されている。各第1制御端子46A～46Eは、図8、図13および図20などに示すように、制御端子支持体48（後述の第1支持部48A）を介して、第1導電部32Aに支持される。各第1制御端子46A～46Eは、図5および図8に示すように、x方向において、複数の第1半導体素子10Aと、第1端子41、第2端子42および第4端子44との間に位置する。

[0042] 第1制御端子46Aは、複数の第1半導体素子10Aの駆動信号入力用の端子（ゲート端子）である。第1制御端子46Aには、複数の第1半導体素子10Aを駆動させるための駆動信号が入力される（たとえばゲート電圧が

印加される)。

- [0043] 第1制御端子46Bは、複数の第1半導体素子10Aのソース信号検出用の端子(ソースセンス端子)である。第1制御端子46Bから、複数の第1半導体素子10Aの各第2主面電極12(ソース電極)に印加される電圧(ソース電流に対応した電圧)が検出される。
- [0044] 第1制御端子46Cおよび第1制御端子46Dは、サーミスタ17に導通する端子である。
- [0045] 第1制御端子46Eは、複数の第1半導体素子10Aのドレイン信号検出用の端子(ドレインセンス端子)である。第1制御端子46Eから、複数の第1半導体素子10Aの各裏面電極15(ドレイン電極)に印加される電圧(ドレイン電流に対応した電圧)が検出される。
- [0046] 複数の第2制御端子47A~47Dは、y方向に間隔を隔てて配置されている。各第2制御端子47A~47Dは、図8および図13などに示すように、制御端子支持体48(後述の第2支持部48B)を介して、第2導電部32Bに支持される。各第2制御端子47A~47Dは、図5および図8に示すように、x方向において、複数の第2半導体素子10Bと2つの第3端子43との間に位置する。
- [0047] 第2制御端子47Aは、複数の第2半導体素子10Bの駆動信号入力用の端子(ゲート端子)である。第2制御端子47Aには、複数の第2半導体素子10Bを駆動させるための駆動信号が入力される(たとえばゲート電圧が印加される)。第2制御端子47Bは、複数の第2半導体素子10Bのソース信号検出用の端子(ソースセンス端子)である。第2制御端子47Bから、複数の第2半導体素子10Bの各第2主面電極12(ソース電極)に印加される電圧(ソース電流に対応した電圧)が検出される。第2制御端子47Cおよび第2制御端子47Dは、サーミスタ17に導通する端子である。
- [0048] 複数の制御端子45(複数の第1制御端子46A~46Eおよび複数の第2制御端子47A~47D)はそれぞれ、ホルダ451および金属ピン452を含む。

- [0049] ホルダ451は、導電性材料からなる。ホルダ451は、図14、図15に示すように、導電性接合材459を介して、制御端子支持体48（後述の第1金属層482）に接合されている。ホルダ451は、筒状部、上端鏝部および下端鏝部を含む。上端鏝部は、筒状部の上方につながり、下端鏝部は、筒状部の下方につながる。ホルダ451のうちの少なくとも上端鏝部および筒状部に、金属ピン452が挿通されている。ホルダ451は、封止樹脂8（後述の第2突出部852）に覆われている。
- [0050] 金属ピン452は、z方向に延びる棒状部材である。金属ピン452は、ホルダ451に圧入されることで支持されている。金属ピン452は、少なくともホルダ451を介して、制御端子支持体48（後述の第1金属層482）に導通する。図14、図15に示す例のように、金属ピン452の下端（z2方向側の端部）がホルダ451の挿通孔内で導電性接合材459に接している場合には、金属ピン452は、導電性接合材459を介して、制御端子支持体48に導通する。
- [0051] 制御端子支持体48は、複数の制御端子45を支持する。制御端子支持体48は、z方向において、第1主面301Aおよび第2主面301Bと複数の制御端子45との間に介在する。
- [0052] 制御端子支持体48は、第1支持部48Aおよび第2支持部48Bを含む。第1支持部48Aは、第1導電部32A上に配置され、複数の制御端子45のうちの複数の第1制御端子46A～46Eを支持する。第1支持部48Aは、図14に示すように、接合材49を介して、第1導電部32Aに接合されている。接合材49は、導電性でも絶縁性でもよいが、たとえばはんだが用いられる。第2支持部48Bは、第2導電部32B上に配置され、複数の制御端子45のうちの複数の第2制御端子47A～47Dを支持する。第2支持部48Bは、図15に示すように、接合材49を介して、第2導電部32Bに接合されている。
- [0053] 制御端子支持体48（第1支持部48Aおよび第2支持部48Bのそれぞれ）は、たとえばDBC（Direct Bonded Copper）基板で構成される。制御

端子支持体48は、互いに積層された絶縁層481、第1金属層482および第2金属層483を有する。

[0054] 絶縁層481は、たとえばセラミックスからなる。絶縁層481は、たとえば平面視矩形形状である。

[0055] 第1金属層482は、図14、図15などに示すように、絶縁層481の上面に形成されている。各制御端子45は、第1金属層482上に立設されている。第1金属層482は、たとえばCuまたはCu合金である。図8などに示すように、第1金属層482は、第1部分482A、第2部分482B、第3部分482C、第4部分482D、第5部分482Eおよび第6部分482Fを含む。第1部分482A、第2部分482B、第3部分482C、第4部分482D、第5部分482Eおよび第6部分482Fは、互いに離隔し、絶縁されている。

[0056] 第1部分482Aは、複数のワイヤ71が接合され、各ワイヤ71を介して、各第1半導体素子10A（各第2半導体素子10B）の第1主面電極11（ゲート電極）に導通する。第1部分482Aと第6部分482Fとは、複数のワイヤ73が接続されている。これにより、第6部分482Fは、ワイヤ73およびワイヤ71を介して、各第1半導体素子10A（各第2半導体素子10B）の第1主面電極11（ゲート電極）に導通する。図8に示すように、第1支持部48Aの第6部分482Fには、第1制御端子46Aが接合されており、第2支持部48Bの第6部分482Fには、第2制御端子47Aが接合されている。

[0057] 第2部分482Bは、複数のワイヤ72が接合され、各ワイヤ72を介して、各第1半導体素子10A（各第2半導体素子10B）の第2主面電極12（ソース電極）に導通する。図8に示すように、第1支持部48Aの第2部分482Bには、第1制御端子46Bが接合されており、第2支持部48Bの第2部分482Bには、第2制御端子47Bが接合されている。

[0058] 第3部分482Cおよび第4部分482Dは、サーミスタ17が接合されている。図8に示すように、第1支持部48Aの第3部分482Cおよび第

4部分482Dには、第1制御端子46C、46Dが接合されており、第2支持部48Bの第3部分482Cおよび第4部分482Dには、第2制御端子47C、47Dが接合されている。

[0059] 第1支持部48Aの第5部分482Eは、ワイヤ74が接合され、ワイヤ74を介して、第1導電部32Aに導通する。図8に示すように、第1支持部48Aの第5部分482Eには、第1制御端子46Eが接合されている。第2支持部48Bの第5部分482Eは、他の構成部位とは導通していない。上記の各ワイヤ71～74は、たとえばボンディングワイヤである。各ワイヤ71～74の構成材料は、たとえばAu（金）、AlあるいはCuのいずれかを含む。

[0060] 第2金属層483は、図14、図15などに示すように、絶縁層481の下面に形成されている。第1支持部48Aの第2金属層483は、図14に示すように、接合材49を介して、第1導電部32Aに接合される。第2支持部48Bの第2金属層483は、図15に示すように、接合材49を介して、第2導電部32Bに接合される。

[0061] 第1導通部材5および第2導通部材6は、第1導電部32Aおよび第2導電部32Bとともに、複数の第1半導体素子10Aおよび複数の第2半導体素子10Bによってスイッチングされる主回路電流の経路を構成する。第1導通部材5および第2導通部材6は、第1主面301Aおよび第2主面301Bからz1方向に離隔し、かつ、平面視において第1主面301Aおよび第2主面301Bに重なる。本実施形態では、第1導通部材5および第2導通部材6はそれぞれ、金属製の板材により構成される。当該金属は、たとえばCuまたはCu合金である。具体的には、第1導通部材5および第2導通部材6は、適宜折り曲げられた金属製の板材である。

[0062] 第1導通部材5は、各第1半導体素子10Aの第2主面電極12（ソース電極）と第2導電部32Bとに接続され、各第1半導体素子10Aの第2主面電極12と第2導電部32Bとを導通させる。第1導通部材5は、複数の第1半導体素子10Aによってスイッチングされる主回路電流の経路を構成

する。第1導通部材5は、図7および図8に示すように、主部51、複数の第1接合部52および複数の第2接合部53を含む。

[0063] 主部51は、x方向において、複数の第1半導体素子10Aと第2導電部32Bとの間に位置し、平面視においてy方向に延びる帯状の部位である。主部51は、平面視において第1導電部32Aおよび第2導電部32Bの双方に重なり、z方向において第1主面301Aおよび第2主面301Bからz1方向に離隔し、かつ、平面視において第1主面301Aおよび第2主面301Bからz1方向に離れている。図16などに示すように、主部51は、後述する第2導通部材6の第3経路部66および第4経路部67に対してz2方向に位置し、第3経路部66および第4経路部67よりも第1主面301Aおよび第2主面301Bに近接する位置にある。

[0064] 本実施形態において、主部51は、第1主面301Aおよび第2主面301Bと平行に配置されており、平面視において第1導電部32Aおよび第2導電部32Bの双方に重なる。

[0065] 図8などに示すように、主部51は、y方向において複数の第1半導体素子10Aが配置された領域に対応して一連に延びている。本実施形態では、図7、図8、図13などに示すように、主部51には、複数の第1開口514が形成される。複数の第1開口514はそれぞれ、たとえばz方向（主部51の板厚方向）に貫通する貫通孔である。複数の第1開口514は、y1方向に間隔を隔てて並ぶ。複数の第1開口514は、複数の第1半導体素子10Aそれぞれに対応して設けられる。本実施形態では、主部51には4つの第1開口514が設けられており、これら第1開口514と複数（4つ）の第1半導体素子10Aとは、y方向における位置が互いに等しい。

[0066] 本実施形態では、図8、図13などに示すように、各第1開口514は、平面視において、第1導電部32Aと第2導電部32Bとの間の隙間に重なる。複数の第1開口514は、封止樹脂8を形成するために流動性の樹脂材料を注入する際に、主部51（第1導通部材5）の付近において上側（z1方向側）と下側（z2方向側）との間で樹脂材料を流動しやすくするために

形成される。

[0067] 図8などに示すように、複数の第1接合部52および複数の第2接合部53はそれぞれ、屈曲部分を介して主部51につながっており、複数の第1半導体素子10Aに対応して配置される。具体的には、各第1接合部52は、主部51に対してx1方向に位置している。各第2接合部53は、主部51に対してx2方向に位置している。図14に示すように、各第1接合部52とこれに対応するいずれかの第1半導体素子10Aの第2主面電極12とは、導電性接合材59を介して接合される。各第2接合部53と第2導電部32Bとは、導電性接合材59を介して接合される。導電性接合材59の構成材料は特に限定されず、たとえばはんだ、金属ペースト材、あるいは、焼結金属などである。

[0068] 第2導通部材6は、各第2半導体素子10Bの第2主面電極12（ソース電極）と、第1端子41および第2端子42とに接続され、各第2半導体素子10Bの第2主面電極12と第1端子41および第2端子42とを導通させる。第2導通部材6は、複数の第2半導体素子10Bによってスイッチングされる主回路電流の経路を構成する。第2導通部材6は、図7および図21～図27に示すように、複数の第3接合部61、第4接合部62、第5接合部63、第1経路部64、第2経路部65、複数の第3経路部66および第4経路部67を含む。

[0069] 複数の第3接合部61は、複数の第2半導体素子10Bに個別に接合される部位である。各第3接合部61と各第2半導体素子10Bの第2主面電極12とは、導電性接合材69を介して接合される。導電性接合材69の構成材料は特に限定されず、たとえばはんだ、金属ペースト材、あるいは、焼結金属などである。本実施形態において、1つの第2半導体素子10Bの第2主面電極12に2つの第3接合部61が接合されている。これら2つの第3接合部61は、第2主面電極12の中央部分を挟んで、y方向に離隔している。

[0070] 第4接合部62は、第1端子41に接合される部位である。第4接合部6

2と第1端子41とは、導電性接合材69を介して接合される。導電性接合材69の構成材料は特に限定されず、たとえばはんだ、金属ペースト材、あるいは、焼結金属などである。

[0071] 第5接合部63は、第2端子42に接合される部位である。第4接合部62と第2端子42とは、導電性接合材69を介して接合される。導電性接合材69の構成材料は特に限定されず、たとえばはんだ、金属ペースト材、あるいは、焼結金属などである。

[0072] 第1経路部64は、複数の第3接合部61と第4接合部62との間に介在している。図示された例においては、第1経路部64は、屈曲部分を介して第4接合部62に繋がっている。第1経路部64は、平面視において、第1導電部32Aおよび第1金属部35に重なる。第1経路部64は、全体としてx方向に延びる形状である。

[0073] 第1経路部64は、第1帯状部641、第1接続部642および第1連結部643を含む。第1帯状部641は、第4接合部62に対してz1方向に位置し、第1主面301Aに対してほぼ平行である。第1帯状部641は、全体として、x方向に延びる形状である。図示された例においては、第1帯状部641は、凹部649を有する。凹部649は、第1帯状部641の一部が、y1方向に凹んだ部位である。図5においては、凹部649を通して第1金属部35が現れている。

[0074] 第1接続部642は、第1帯状部641に対してz2方向に位置する部位である。第1接続部642の形状や大きさは何ら限定されず、図示された例においては、x方向を長手方向とする長矩形形状である。図17、図20および図21に示すように、第1接続部642は、第1金属部35に接続されている。これにより、第1経路部64は、支持基板3に接続されている。図示された例においては、第1接続部642は、導電性接合材69を介して第1金属部35に接合されている。なお、第1接続部642は、超音波接合、レーザー接合、溶接等の手法によって第1金属部35に接合されてもよい。また、図示された例においては、第1接続部642は、第1金属部35からy1

方向にはみ出している。

- [0075] 第1連結部643は、第1帯状部641のy1方向側端と、第1接続部642のy1方向側端とを繋いでいる。図示された例においては、第1連結部643は、z方向に沿った形状であり、x方向を長手方向とする長矩形状である。
- [0076] 第2経路部65は、複数の第3接合部61と第5接合部63との間に介在している。図示された例においては、第2経路部65は、屈曲部分を介して第5接合部63に繋がっている。第2経路部65は、平面視において、第1導電部32Aおよび第2金属部36に重なる。第2経路部65は、全体としてx方向に延びる形状である。
- [0077] 第2経路部65は、第2帯状部651、第2接続部652および第2連結部653を含む。第2帯状部651は、第5接合部63に対してz1方向に位置し、第1主面301Aに対してほぼ平行である。第2帯状部651は、全体として、x方向に延びる形状である。図示された例においては、第2帯状部651は、凹部659を有する。凹部659は、第2帯状部651の一部が、y2方向に凹んだ部位である。図5においては、凹部659を通して第2金属部36が現れている。
- [0078] 第2接続部652は、第2帯状部651に対してz2方向に位置する部位である。第2接続部652の形状や大きさは何ら限定されず、図示された例においては、x方向を長手方向とする長矩形状である。図20に示すように、第2接続部652は、第2金属部36に接続されている。これにより、第2経路部65は、支持基板3に接続されている。図示された例においては、第2接続部652は、導電性接合材69を介して第2金属部36に接合されている。なお、第2接続部652は、超音波接合、レーザ接合、溶接等の手法によって第2金属部36に接合されてもよい。また、図示された例においては、第2接続部652は、第2金属部36からy2方向にはみ出している。
- [0079] 第2連結部653は、第2帯状部651のy2方向側端と、第2接続部6

5 2 の y 2 方向側端とを繋いでいる。図示された例においては、第 2 連結部 6 5 3 は、z 方向に沿った形状であり、x 方向を長手方向とする長矩形状である。

[0080] なお、以降の説明において、第 1 経路部 6 4 に関する変形例や他の実施形態を説明する場合、第 1 経路部 6 4 に関する構成は、たとえば x 方向に延びる中心線についての線対称となる関係で、第 2 経路部 6 5 にも適宜採用可能である。

[0081] 複数の第 3 経路部 6 6 は、複数の第 3 接合部 6 1 に個別に繋がっている。各第 3 経路部 6 6 は、x 方向に延びた形状であり、y 方向に互いに離隔して配列されている。複数の第 3 経路部 6 6 の個数は何ら限定されず、図示された例においては、5 つの第 3 経路部 6 6 が配置されている。各第 3 経路部 6 6 は、y 方向において、複数の第 3 接合部 6 1 の間に位置するように、または複数の第 3 接合部 6 1 よりも y 方向における外側に位置するように、配置されている。第 3 経路部 6 6 は、第 3 接合部 6 1 に対して z 1 方向に位置している。第 3 経路部 6 6 と第 3 接合部 6 1 とは屈曲部分を介して繋がっている。

[0082] y 方向の両外側に位置する 2 つの第 3 経路部 6 6 には、凹部 6 6 9 が形成されている。凹部 6 6 9 は、y 方向の内側から外側に向かって凹んでいる。図示された例においては、各第 3 経路部 6 6 に 2 つずつの凹部 6 6 9 が形成されている。図 5 において、これらの凹部 6 6 9 を通して、第 1 導電部 3 2 A および第 2 導電部 3 2 B が現れている。

[0083] 第 4 経路部 6 7 は、複数の第 3 経路部 6 6 の x 1 方向側端に繋がっている。第 4 経路部 6 7 は、y 方向に長く延びる形状である。第 4 経路部 6 7 は、第 1 経路部 6 4 の第 1 帯状部 6 4 1 および第 2 経路部 6 5 の第 2 帯状部 6 5 1 の x 2 方向側端に繋がっている。図示された例においては、第 4 経路部 6 7 の y 1 方向側端に第 1 経路部 6 4 が繋がっている。また、第 4 経路部 6 7 の y 2 方向側端に第 2 経路部 6 5 が繋がっている。

[0084] 封止樹脂 8 は、複数の第 1 半導体素子 1 0 A と、複数の第 2 半導体素子 1

0 Bと、支持基板3（裏面302を除く）と、第1端子41、第2端子42、複数の第3端子43、および第4端子44の一部ずつと、複数の制御端子45の一部ずつと、制御端子支持体48と、第1導通部材5と、第2導通部材6と、複数のワイヤ71～ワイヤ74と、をそれぞれ覆っている。封止樹脂8は、たとえば黒色のエポキシ樹脂で構成される。封止樹脂8は、たとえばモールド成形により形成される。封止樹脂8は、たとえばx方向の寸法が35mm～60mm程度であり、たとえばy方向の寸法が35mm～50mm程度であり、たとえばz方向の寸法が4mm～15mm程度である。これらの寸法は、各方向に沿う最大部分の大きさである。封止樹脂8は、樹脂主面81、樹脂裏面82および複数の樹脂側面831～834を有する。

[0085] 樹脂主面81と樹脂裏面82とは、図10、図12および図18などに示すように、z方向に離隔する。樹脂主面81は、z1方向を向き、樹脂裏面82は、z2方向を向く。樹脂主面81から複数の制御端子45（複数の第1制御端子46A～46Eおよび複数の第2制御端子47A～47D）が突き出ている。樹脂裏面82は、図11に示すように、平面視において支持基板3の裏面302（裏面金属層33の下面）を囲む枠状である。支持基板3の裏面302は、樹脂裏面82から露出し、たとえば樹脂裏面82と面一である。複数の樹脂側面831～834はそれぞれ、樹脂主面81および樹脂裏面82の双方につながり、かつ、z方向においてこれらに挟まれている。図4などに示すように、樹脂側面831と樹脂側面832とはx方向に離隔する。樹脂側面831はx2方向を向き、樹脂側面832は、x1方向を向く。樹脂側面831から2つの第3端子43が突き出ており、樹脂側面832から第1端子41、第2端子42および第4端子44が突き出ている。図4などに示すように、樹脂側面833と樹脂側面834とは、y方向に離隔する。樹脂側面833は、y2方向を向き、樹脂側面834は、y1方向を向く。

[0086] 樹脂側面832には、図4に示すように、複数の凹部832aが形成されている。各凹部832aは、平面視においてx方向に窪んだ部位である。複

数の凹部 832a は、平面視において第 1 端子 41 と第 4 端子 44 との間に形成されたものと、第 2 端子 42 と第 4 端子 44 との間に形成されたものがある。複数の凹部 832a は、第 1 端子 41 と第 4 端子 44 との樹脂側面 832 に沿う沿面距離、および、第 2 端子 42 と第 4 端子 44 との樹脂側面 832 に沿う沿面距離を大きくするために設けられている。

[0087] 封止樹脂 8 は、図 12 および図 13 などに示すように、複数の第 1 突出部 851、複数の第 2 突出部 852 および樹脂空隙部 86 を有する。

[0088] 複数の第 1 突出部 851 はそれぞれ、樹脂主面 81 から z 方向に突出している。複数の第 1 突出部 851 は、平面視において封止樹脂 8 の四隅付近に配置されている。各第 1 突出部 851 の先端 (z1 方向の端部) には、第 1 突出端面 851a が形成されている。複数の第 1 突出部 851 における各第 1 突出端面 851a は、樹脂主面 81 と平行 (あるいは略平行) であり、かつ、同一平面 (x-y 平面) 上にある。各第 1 突出部 851 は、たとえば有底中空の円錐台状である。複数の第 1 突出部 851 は、半導体装置 A1 によって生成された電源を利用する機器において、その機器が有する制御用の回路基板などに半導体装置 A1 が搭載される際に、スペーサーとして利用される。複数の第 1 突出部 851 は、それぞれ、凹部 851b と、当該凹部 851b に形成された内壁面 851c とを有する。各第 1 突出部 851 の形状は柱状であればよく、円柱状であることが好ましい。凹部 851b の形状は円柱状であって、平面視において内壁面 851c は単一の真円状であることが好ましい。

[0089] 半導体装置 A1 は、制御用の回路基板などに対して、ねじ止めなどの方法によって機械的に固定される場合がある。この場合には、複数の第 1 突出部 851 における凹部 851b の内壁面 851c に、めねじのねじ山を形成することができる。複数の第 1 突出部 851 における凹部 851b にインサートナットを埋め込んでもよい。

[0090] 複数の第 2 突出部 852 は、図 13 などに示すように、樹脂主面 81 から z 方向に突出している。複数の第 2 突出部 852 は、平面視において複数の

制御端子45に重なる。複数の制御端子45の各金属ピン452は、各第2突出部852から突き出ている。各第2突出部852は、円錐台状である。第2突出部852は、各制御端子45において、ホルダ451と金属ピン452の一部とを覆う。

[0091] 次に、本実施形態の作用効果について説明する。

[0092] 第2導通部材6は、支持基板3に接続されている。第2導通部材6は、複数の第2半導体素子10Bと第1端子41とを導通させる。第1端子41は、第1導電部32Aを挟んで複数の第2半導体素子10Bとは反対側のx1方向側に位置する。このため、第2導通部材6に大電流が流れた場合に、発熱が生じることが想定される。第2導通部材6が支持基板3に接続されていることにより、第2導通部材6に生じた熱を支持基板3に伝え、半導体装置A1外に放熱することが可能である。したがって、半導体装置A1によれば、大電流化と放熱促進とを図ることができる。

[0093] 第2導通部材6は、第1経路部64を有している。第1経路部64には、複数の第2半導体素子10Bの主回路電流の少なくとも半分程度が流れる。このような第1経路部64を支持基板3に接続することにより、通電により生じた熱をより効率よく支持基板3に逃がす事ができる。

[0094] 第2導通部材6は、第2経路部65を有しており、第2経路部65が支持基板3（第2金属部36）に接続されている。これにより、第1経路部64と第2経路部65との双方から支持基板3へと熱を逃がすことが可能である。したがって、半導体装置A1の放熱効率をさらに高めることができる。

[0095] また、第1端子41に繋がる第1経路部64および第2端子42に繋がる第2経路部65が支持基板3に接続されていることにより、半導体装置A1に接続される外部の機器や装置等から生じた熱を、支持基板3へと逃がすことが可能である。これにより、外部からの熱が、たとえば複数の第2半導体素子10Bに及ぶことを抑制することができる。

[0096] 第1経路部64の第1接続部642は、支持基板3の第1金属部35に接続されている。第1金属部35は、第1導電部32Aおよび第2導電部32

Bに対して絶縁されている。これにより、第1経路部64を第1金属部35に導通接合しても、意図しない電流経路が構成されてしまうことを回避することができる。また、導通接合は、一般的に伝熱効率が高い接合手法であり、放熱効率の向上に好ましい。

[0097] 第1接続部642は、x方向における位置が、凹部649と共通する。凹部649が設けられている部位は、局所的に通電面積が縮小している。このような発熱が生じやすい部位の近傍に位置する第1接続部642が支持基板3に接続されていることは、放熱効率を向上させるのに好ましい。また、凹部649は、たとえば半導体装置A1の製造工程において、適所を押さえるための治具を配置するための空間を確保するために用いられったり、封止樹脂8を形成するための樹脂材料の流動をスムーズとしたりするといった効果が期待できる。

[0098] 図28～図36は、本発明の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。また、各変形例および各実施形態における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

[0099] 第1実施形態 第1変形例：

図28は、半導体装置A1の第1変形例を示している。本変形例の半導体装置A11は、第1端子41が、第2導通部材6と一体的に形成されている。すなわち、第1端子41と第2導通部材6とは、たとえば同一の金属板材料に切断加工および折り曲げ加工等を施すことによって形成されている。

[0100] 本変形例によっても、大電流化と放熱促進とを図ることができる。また、本変形例から理解されるように、第2導通部材6は、第1端子41と導通する構成であればよく、これらが互いに別体の部品であって接合部を介して導通していてもよいし、一体の部品によって構成されていてもよい。また、第2導通部材6と第2端子42とが、一体的に形成された構成であってもよい。

[0101] 第1実施形態 第2変形例：

図29は、半導体装置A1の第2変形例を示している。本変形例の半導体装置A12は、第1経路部64の構成が上述した例と異なっている。本変形例の第1経路部64は、第1帯状部641および第1接続部642を有する。

[0102] 本変形例の第1接続部642は、第1帯状部641からz2方向に突出した部位である。第1接続部642のz2方向の端面は、たとえば導電性接合材69を介して第1金属部35に接合されている。あるいは、第1接続部642は、導電性接合材69を介することなく、たとえば固相拡散接合によって接合されてもよい。

[0103] 本変形例によっても、大電流化と放熱促進とを図ることができる。また、第1接続部642が第1帯状部641から突出するブロック形状であることにより、第1金属部35（支持基板3）への放熱をさらに促進することができる。

[0104] 第1実施形態 第3変形例：

図30は、半導体装置A1の第3変形例を示している。本変形例の半導体装置A13は、第1経路部64の構成が上述した例と異なっている。本変形例の第1経路部64は、2つの第1帯状部641、第1接続部642および2つの第1連結部643を有する。

[0105] 2つの第1帯状部641は、x方向に互いに離隔している。第1接続部642は、x方向において2つの第1帯状部641の間に位置している。第1接続部642は、2つの第1帯状部641に対してz2方向に位置している。第1接続部642は、たとえば導電性接合材69によって第1金属部35に接合されている。2つの第1連結部643は、第1接続部642のx方向両端と2つの第1帯状部641とに個別に繋がっている。第1連結部643の形状は何ら限定されず、図示された例においては、第1接続部642は、z方向に対して傾斜した形状である。すなわち、2つの第1連結部643は、z1方向に向かうほどx方向における距離が大となるように、それぞれ傾

いている。

[0106] 本変形例によっても、大電流化と放熱促進とを図ることができる。また、第1接続部642は、主回路電流が流れる部位である。この第1接続部642において発熱が生じた場合に、この熱を第1金属部35に速やかに逃がすことが可能である。

[0107] 第2実施形態：

図31は、本開示の第2実施形態に係る半導体装置を示している。本実施形態の半導体装置A2は、中間金属体681を備える点が、上述した実施形態と異なる。

[0108] 中間金属体681は、金属からなる物体であり、たとえばブロック状である。中間金属体681は、第1帯状部641と第1金属部35とに接合されている。中間金属体681と第1帯状部641および第1金属部35との接合手法は何ら限定されず、図示された例においては、たとえば超音波接合によって接合されている。

[0109] 本実施形態によっても、大電流化と放熱促進とを図ることができる。また、本実施形態から理解されるように、第2導通部材6（第1経路部64）が支持基板3に接続される構成は、中間金属体681のように、他の部材を介在させた構成であってもよい。

[0110] 第2実施形態 第1変形例：

図32は、半導体装置A2の第1変形例を示している。本変形例の半導体装置A21は、支持基板3が第1金属部35を備えていない。

[0111] 本変形例においては、中間金属体681は、第1帯状部641と絶縁層31とに接続されている。中間金属体681と第1経路部64の第1帯状部641とは、たとえば導電性接合材69によって接合されている。絶縁層31には、たとえば接合用金属層39が形成されている。接合用金属層39は、金属のめっき層等であり、たとえば第1導電部32Aよりも薄い層である。中間金属体681と接合用金属層39とが、たとえば導電性接合材69によって接合されることにより、中間金属体681は、絶縁層31（支持基板3

)に接続されている。

[0112] 本変形例によっても、大電流化と放熱促進とを図ることができる。また、中間金属体681が絶縁層31に接続されていることにより、第2導通部材6で生じた熱を支持基板3の裏面302側により効率よく逃がすことができる。

[0113] 第3実施形態：

図33は、本開示の第3実施形態に係る半導体装置を示している。本実施形態の半導体装置A3は、中間絶縁体682を備える点が、上述した実施形態と異なる。

[0114] 中間絶縁体682は、第1経路部64を支持基板3（第1金属部35）に接続するために用いられる部材である。中間絶縁体682は、第1経路部64と第1金属部35とを絶縁する構成であればよく、その全体が絶縁体によって形成されていてもよいし、一部が絶縁体によって構成されていてもよい。

[0115] 図示された例においては、中間絶縁体682は、絶縁基材6820および2つの接合用金属層6821を含む。このような中間絶縁体682は、たとえば絶縁基材6820として窒化ケイ素（SiN）からなるブロック形状の物体を採用し、絶縁基材6820のz方向の両面にめっき等によって接合用金属層6821を形成した構成が挙げられる。

[0116] また、本実施形態においては、平面視において、第1導電部32Aが中間絶縁体682に重なる大きさおよび形状とされている。中間絶縁体682は、たとえば導電性接合材69によって第1経路部64（第1帯状部641）および支持基板3の第1導電部32Aに接合される。

[0117] 本実施形態によっても、大電流化と放熱促進とを図ることができる。また、中間絶縁体682を介在させることにより、第1経路部64（第2導通部材6）を第1導電部32Aに接続することが可能である。これにより、支持基板3に第1金属部35を設ける必要がなく、支持基板3の複雑化を抑制することができる。また、第1導電部32Aは、第1金属部35と比べて大き

な部材であるため、第1経路部64を接続する箇所、すなわち、中間金属体681の接合箇所をより高い自由度で選択することができる。

[0118] 第3実施形態 第1変形例：

図34は、半導体装置A3の第1変形例を示している。本変形例の半導体装置A31は、中間絶縁体682の構成が上述した例と異なっている。本変形例の中間絶縁体682は、たとえばDBC基板によって構成されている。

[0119] 本例の場合、絶縁基材6820は、半導体装置A3の絶縁基材6820よりも薄い。また、接合用金属層6821は、半導体装置A3の接合用金属層6821よりも厚い。

[0120] 本変形例によっても、大電流化と放熱促進とを図ることができる。また、本変形例から理解されるように、中間絶縁体682の具体的な構成は、何ら限定されない。

[0121] 第3実施形態 第2変形例：

図35は、半導体装置A3の第2変形例を示している。本変形例の半導体装置A32においては、第1経路部64の構成が、上述した半導体装置A13の第1経路部64と類似している。また、本変形例の中間絶縁体682は、たとえば絶縁性の樹脂等を含む接合材である。本変形例では、第1接続部642が、中間絶縁体682によって第1導電部32Aに接合されている。

[0122] 本変形例によっても、大電流化と放熱促進とを図ることができる。また、中間絶縁体682として樹脂等を含む接合材を選択した場合、支持基板3（第1導電部32A）と第2導通部材6とが異なる熱変形等を呈した場合に、その変形差を吸収することができる。

[0123] 第4実施形態：

図36は、本開示の第4実施形態に係る半導体装置を示している。本実施形態の半導体装置A4は、第1金属部35の構成が、上述した実施形態と異なる。

[0124] 本実施形態の第1金属部35は、突起351を有する。突起351は、第1金属部35の一部がz1方向に突出した部位である。突起351は、たと

例えば導電性接合材 69 を用いた接合によって、あるいは上述した他の接合手法によって、第 1 経路部 64 に接合されている。これにより、第 1 経路部 64 は、支持基板 3 に接続されている。

[0125] 本実施形態によっても、大電流化と放熱促進とを図ることができる。また、本実施形態から理解されるように、第 2 導通部材 6 と支持基板 3 との具体的な接合形態は何ら限定されない。

[0126] 本開示に係る半導体装置は、上述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。

[0127] 本開示は、以下の付記に記載された実施形態を含む。

[0128] 付記 1.

厚さ方向の一方側を向く第 1 主面を有し且つ前記厚さ方向と直交する第 1 方向の一方側に位置する第 1 導電部、および前記厚さ方向の一方側を向く第 2 主面を有し且つ前記第 1 方向の他方側に位置する第 2 導電部、を有する支持基板と、

前記第 1 導電部に搭載され且つ各々がスイッチング機能を有する複数の第 1 半導体素子と、

前記第 2 導電部に搭載され且つ各々がスイッチング機能を有する複数の第 2 半導体素子と、

前記第 1 導電部に対して前記第 1 方向の一方側に突出する第 1 端子と、複数の前記第 1 半導体素子と前記第 2 導電部とを導通させる第 1 導電部材と、

複数の前記第 2 半導体素子と前記第 1 端子とを導通させる第 2 導電部材と、

複数の前記第 1 半導体素子、複数の前記第 2 半導体素子、前記第 1 導電部材、前記第 2 導電部材、前記支持基板の一部、および前記第 1 端子の一部、を覆う封止樹脂と、を備え、

前記第 2 導電部材は、前記支持基板に接続されている、半導体装置。

付記 2.

前記第 1 導電部は、複数の前記第 1 半導体素子に接合された複数の第 1 接合部と、前記第 2 導電部材に接合された第 2 接合部と、を有し、

前記第 2 導電部材は、複数の前記第 2 半導体素子に接合された複数の第 3 接合部と、前記第 1 端子に接合された第 4 接合部と、複数の前記第 3 接合部および前記第 4 接合部の間に介在する第 1 経路部と、を有し、

前記第 1 経路部は、前記支持基板に接続されている、付記 1 に記載の半導体装置。

付記 3.

前記第 1 導電部に対して前記第 1 方向の一方側に突出し且つ前記第 1 端子に対して前記厚さ方向および前記第 1 方向と直交する第 2 方向の他方側に位置する第 2 端子をさらに備え、

前記第 2 導電部材は、前記第 2 端子に接合された第 5 接合部と、複数の前記第 3 接合部および前記第 5 接合部の間に介在する第 2 経路部と、を有し、

前記第 2 経路部は、前記支持基板に接続されている、付記 2 に記載の半導体装置。

付記 4.

前記第 1 導電部材は、前記第 2 方向に配列されており、

前記第 2 導電部材は、複数の前記第 3 接合部に個別に繋がり且つ各々が前記第 1 方向に延びる複数の第 3 経路部と、複数の前記第 3 経路部の前記第 1 方向の一方側端に繋がり且つ前記第 2 方向に延びる第 4 経路部と、を有し、

前記第 1 経路部は、前記第 4 経路部から前記第 1 方向の一方側に延びている、付記 3 に記載の半導体装置。

付記 5.

前記第 1 経路部は、前記第 4 経路部の前記第 2 方向の一方側端に繋がる、付記 4 に記載の半導体装置。

付記 6.

前記支持基板は、前記第 1 導電部および前記第 2 導電部が固定され且つ前

記第 1 導電部および前記第 2 導電部に対して前記厚さ方向の他方側に位置する絶縁層をさらに有する、付記 4 または 5 に記載の半導体装置。

付記 7.

前記支持基板は、前記第 1 導電部および前記第 2 導電部から離隔し且つ金属からなる第 1 金属部を有し、

前記第 1 経路部は、前記第 1 金属部に接続されている、付記 6 に記載の半導体装置。

付記 8.

前記支持基板は、前記第 1 導電部、前記第 2 導電部および前記第 1 金属部から離隔し且つ金属からなる第 2 金属部を有し、

前記第 2 経路部は、前記第 2 金属部に接続されている、付記 7 に記載の半導体装置。

付記 9.

前記第 1 経路部は、金属含有接合材によって前記第 1 金属部に接合されている、付記 7 または 8 に記載の半導体装置。

付記 10.

前記第 1 経路部は、中間金属体を介して前記第 1 金属部に接続されている、付記 7 または 8 に記載の半導体装置。

付記 11.

前記第 1 経路部は、前記絶縁層に接続されている、付記 6 に記載の半導体装置。

付記 12.

前記第 1 経路部は、中間金属体を介して前記絶縁層に接続されている、付記 11 に記載の半導体装置。

付記 13.

前記第 1 経路部は、中間絶縁体を介して前記第 1 導電部に接続されている、付記 6 に記載の半導体装置。

付記 14.

前記支持基板は、前記絶縁層に対して前記厚さ方向の他方側に位置する金属層を有する、付記6ないし13のいずれかに記載の半導体装置。

付記15.

前記第1経路部は、前記第1方向に延びる第1帯状部と前記第1帯状部に対して前記厚さ方向の他方側に位置する第1接続部と、を有し、

前記第1接続部は、前記支持基板に接続されている、付記3ないし14のいずれかに記載の半導体装置。

付記16.

前記第1経路部は、前記第1帯状部の前記第2方向の一方側端と前記第1接続部の前記第2方向の一方側端とを繋ぐ第1連結部を有する、付記15に記載の半導体装置。

付記17.

前記第1経路部は、前記第1接続部の前記第1方向の両側に位置する2つの前記第1帯状部と、前記第1接続部の前記第1方向の両端と2つの前記第1帯状部とを繋ぐ2つの第1連結部と、を有する、付記15に記載の半導体装置。

符号の説明

[0129] A1, A11, A12, A13, A2, A21 : 半導体装置

A3, A31, A32, A4 : 半導体装置

3 : 支持基板 5 : 第1導通部材

6 : 第2導通部材 8 : 封止樹脂

10A : 第1半導体素子 10B : 第2半導体素子

11 : 第1主面電極 12 : 第2主面電極

13 : 第3主面電極 15 : 裏面電極

17 : サーミスタ 19 : 導電性接合材

31 : 絶縁層 32 : 第1金属層

32A : 第1導電部 32B : 第2導電部

33 : 裏面金属層 35 : 第1金属部

36 : 第2金属部 39 : 接合用金属層
41 : 第1端子 42 : 第2端子
43 : 第3端子 44 : 第4端子 45 : 制御端子
46A, 46B, 46C, 46D, 46E : 第1制御端子
47A, 47B, 47C, 47D : 第2制御端子
48 : 制御端子支持体 48A : 第1支持部
48B : 第2支持部 49 : 接合材
51 : 主部 52 : 第1接合部
53 : 第2接合部 59 : 導電性接合材
61 : 第3接合部 62 : 第4接合部
63 : 第5接合部 64 : 第1経路部
65 : 第2経路部 66 : 第3経路部
67 : 第4経路部 69 : 導電性接合材
71, 72, 73, 74 : ワイヤ 81 : 樹脂主面
82 : 樹脂裏面 86 : 樹脂空隙部
101 : 素子主面 102 : 素子裏面
301A : 第1主面 301B : 第2主面
302 : 裏面 351 : 突起
451 : ホルダ 452 : 金属ピン
459 : 導電性接合材 481 : 絶縁層
482 : 第1金属層 482A : 第1部分
482B : 第2部分 482C : 第3部分
482D : 第4部分 482E : 第5部分
482F : 第6部分 483 : 第2金属層
514 : 第1開口 641 : 第1带状部
642 : 第1接続部 643 : 第1連結部
649 : 凹部 651 : 第2带状部
652 : 第2接続部 653 : 第2連結部

659, 669 : 凹部 681 : 中間金属体
682 : 中間絶縁体
831, 832, 833, 834 : 樹脂側面
832a : 凹部 851 : 第1突出部
851a : 第1突出端面 851b : 凹部
851c : 内壁面 852 : 第2突出部
6820 : 絶縁基材 6821 : 接合用金属層

請求の範囲

[請求項1]

厚さ方向の一方側を向く第1主面を有し且つ前記厚さ方向と直交する第1方向の一方側に位置する第1導電部、および前記厚さ方向の一方側を向く第2主面を有し且つ前記第1方向の他方側に位置する第2導電部、を有する支持基板と、

前記第1導電部に搭載され且つ各々がスイッチング機能を有する複数の第1半導体素子と、

前記第2導電部に搭載され且つ各々がスイッチング機能を有する複数の第2半導体素子と、

前記第1導電部に対して前記第1方向の一方側に突出する第1端子と、

複数の前記第1半導体素子と前記第2導電部とを導通させる第1導電部材と、

複数の前記第2半導体素子と前記第1端子とを導通させる第2導電部材と、

複数の前記第1半導体素子、複数の前記第2半導体素子、前記第1導電部材、前記第2導電部材、前記支持基板の一部、および前記第1端子の一部、を覆う封止樹脂と、を備え、

前記第2導電部材は、前記支持基板に接続されている、半導体装置。

[請求項2]

前記第1導電部は、複数の前記第1半導体素子に接合された複数の第1接合部と、前記第2導電部材に接合された第2接合部と、を有し、

前記第2導電部材は、複数の前記第2半導体素子に接合された複数の第3接合部と、前記第1端子に接合された第4接合部と、複数の前記第3接合部および前記第4接合部の間に介在する第1経路部と、を有し、

前記第1経路部は、前記支持基板に接続されている、請求項1に記

載の半導体装置。

[請求項3] 前記第1導電部に対して前記第1方向の一方側に突出し且つ前記第1端子に対して前記厚さ方向および前記第1方向と直交する第2方向の他方側に位置する第2端子をさらに備え、

前記第2導電部材は、前記第2端子に接合された第5接合部と、複数の前記第3接合部および前記第5接合部の間に介在する第2経路部と、を有し、

前記第2経路部は、前記支持基板に接続されている、請求項2に記載の半導体装置。

[請求項4] 前記第1導電部材は、前記第2方向に配列されており、

前記第2導電部材は、複数の前記第3接合部に個別に繋がり且つ各々が前記第1方向に延びる複数の第3経路部と、複数の前記第3経路部の前記第1方向の一方側端に繋がり且つ前記第2方向に延びる第4経路部と、を有し、

前記第1経路部は、前記第4経路部から前記第1方向の一方側に延びている、請求項3に記載の半導体装置。

[請求項5] 前記第1経路部は、前記第4経路部の前記第2方向の一方側端に繋がる、請求項4に記載の半導体装置。

[請求項6] 前記支持基板は、前記第1導電部および前記第2導電部が固定され且つ前記第1導電部および前記第2導電部に対して前記厚さ方向の他方側に位置する絶縁層をさらに有する、請求項4または5に記載の半導体装置。

[請求項7] 前記支持基板は、前記第1導電部および前記第2導電部から離隔し且つ金属からなる第1金属部を有し、

前記第1経路部は、前記第1金属部に接続されている、請求項6に記載の半導体装置。

[請求項8] 前記支持基板は、前記第1導電部、前記第2導電部および前記第1金属部から離隔し且つ金属からなる第2金属部を有し、

前記第2経路部は、前記第2金属部に接続されている、請求項7に記載の半導体装置。

[請求項9] 前記第1経路部は、金属含有接合材によって前記第1金属部に接合されている、請求項7または8に記載の半導体装置。

[請求項10] 前記第1経路部は、中間金属体を介して前記第1金属部に接続されている、請求項7または8に記載の半導体装置。

[請求項11] 前記第1経路部は、前記絶縁層に接続されている、請求項6に記載の半導体装置。

[請求項12] 前記第1経路部は、中間金属体を介して前記絶縁層に接続されている、請求項11に記載の半導体装置。

[請求項13] 前記第1経路部は、中間絶縁体を介して前記第1導電部に接続されている、請求項6に記載の半導体装置。

[請求項14] 前記支持基板は、前記絶縁層に対して前記厚さ方向の他方側に位置する金属層を有する、請求項6ないし13のいずれかに記載の半導体装置。

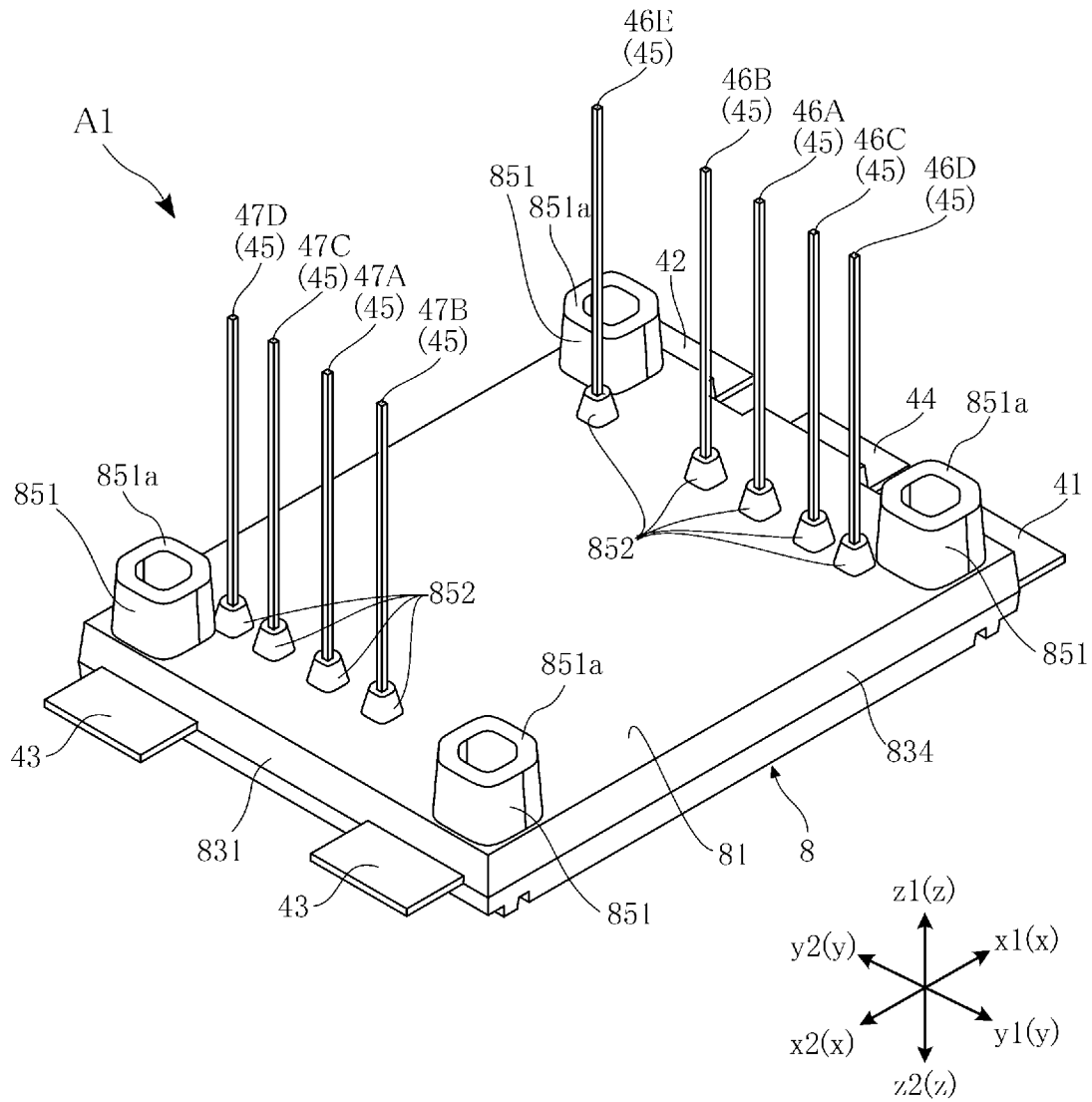
[請求項15] 前記第1経路部は、前記第1方向に延びる第1帯状部と前記第1帯状部に対して前記厚さ方向の他方側に位置する第1接続部と、を有し、

前記第1接続部は、前記支持基板に接続されている、請求項3ないし14のいずれかに記載の半導体装置。

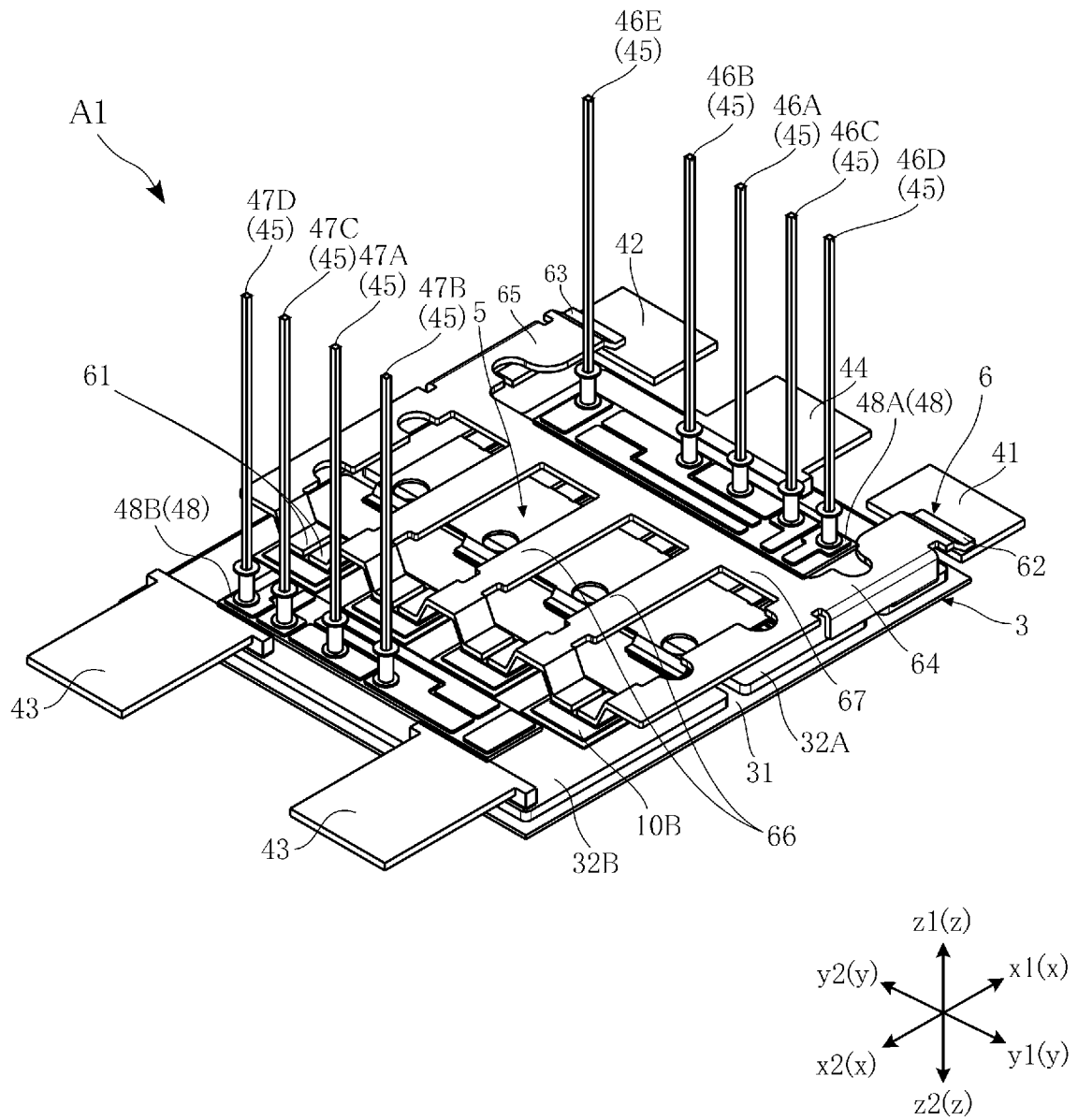
[請求項16] 前記第1経路部は、前記第1帯状部の前記第2方向の一方側端と前記第1接続部の前記第2方向の一方側端とを繋ぐ第1連結部を有する、請求項15に記載の半導体装置。

[請求項17] 前記第1経路部は、前記第1接続部の前記第1方向の両側に位置する2つの前記第1帯状部と、前記第1接続部の前記第1方向の両端と2つの前記第1帯状部とを繋ぐ2つの第1連結部と、を有する、請求項15に記載の半導体装置。

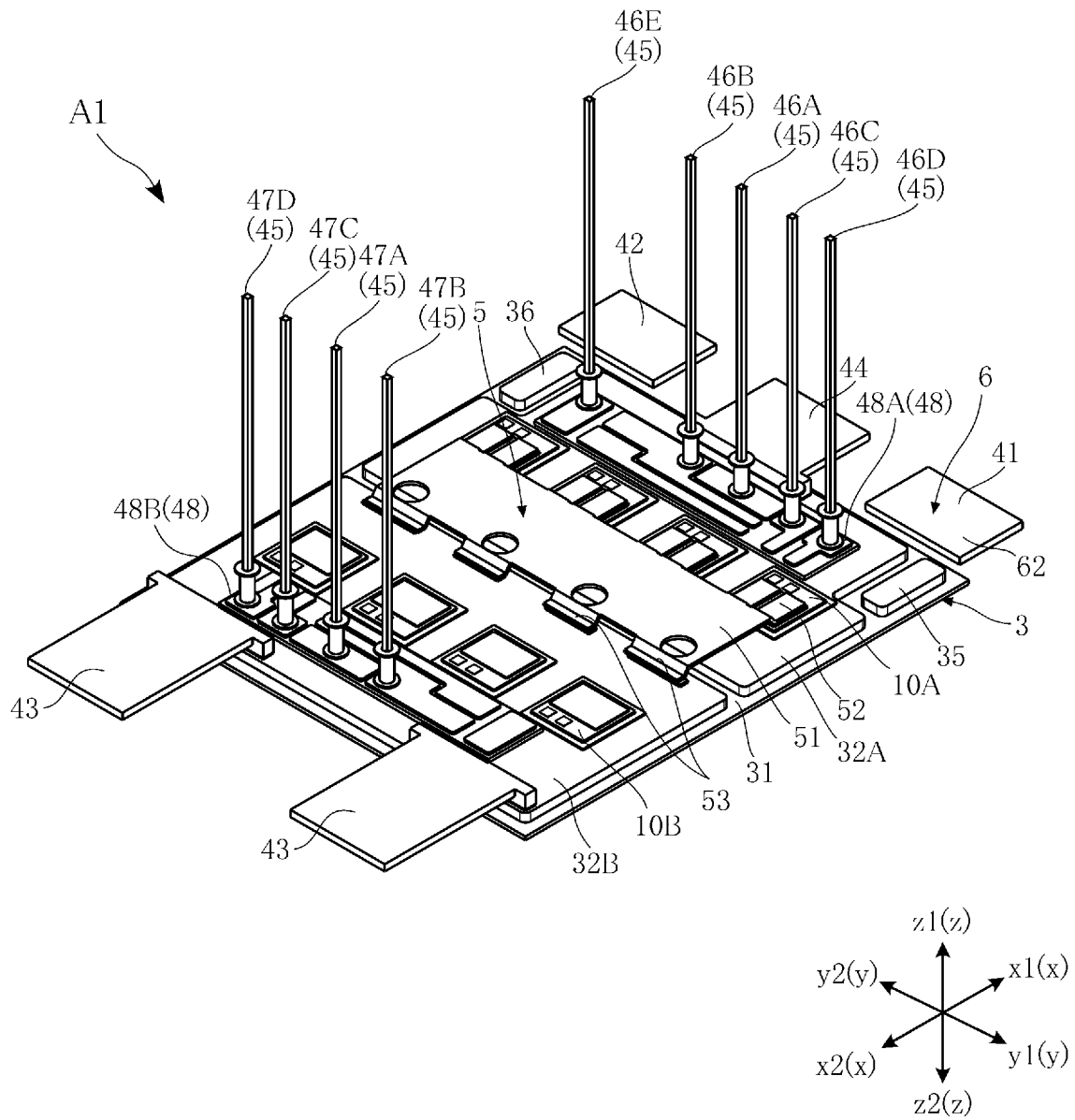
[図1]
FIG.1



[図2]
FIG.2



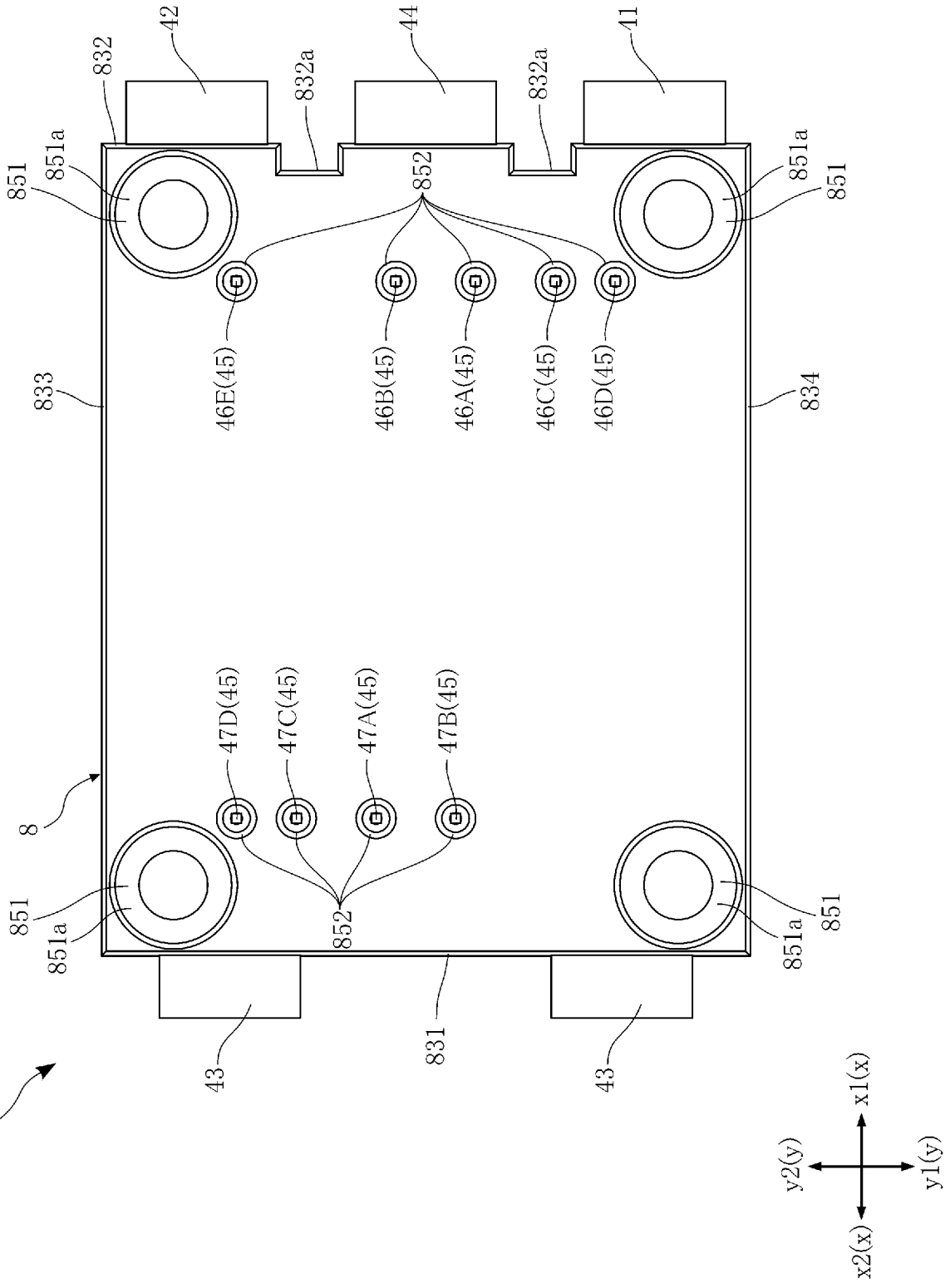
[]3
FIG.3



[図4]

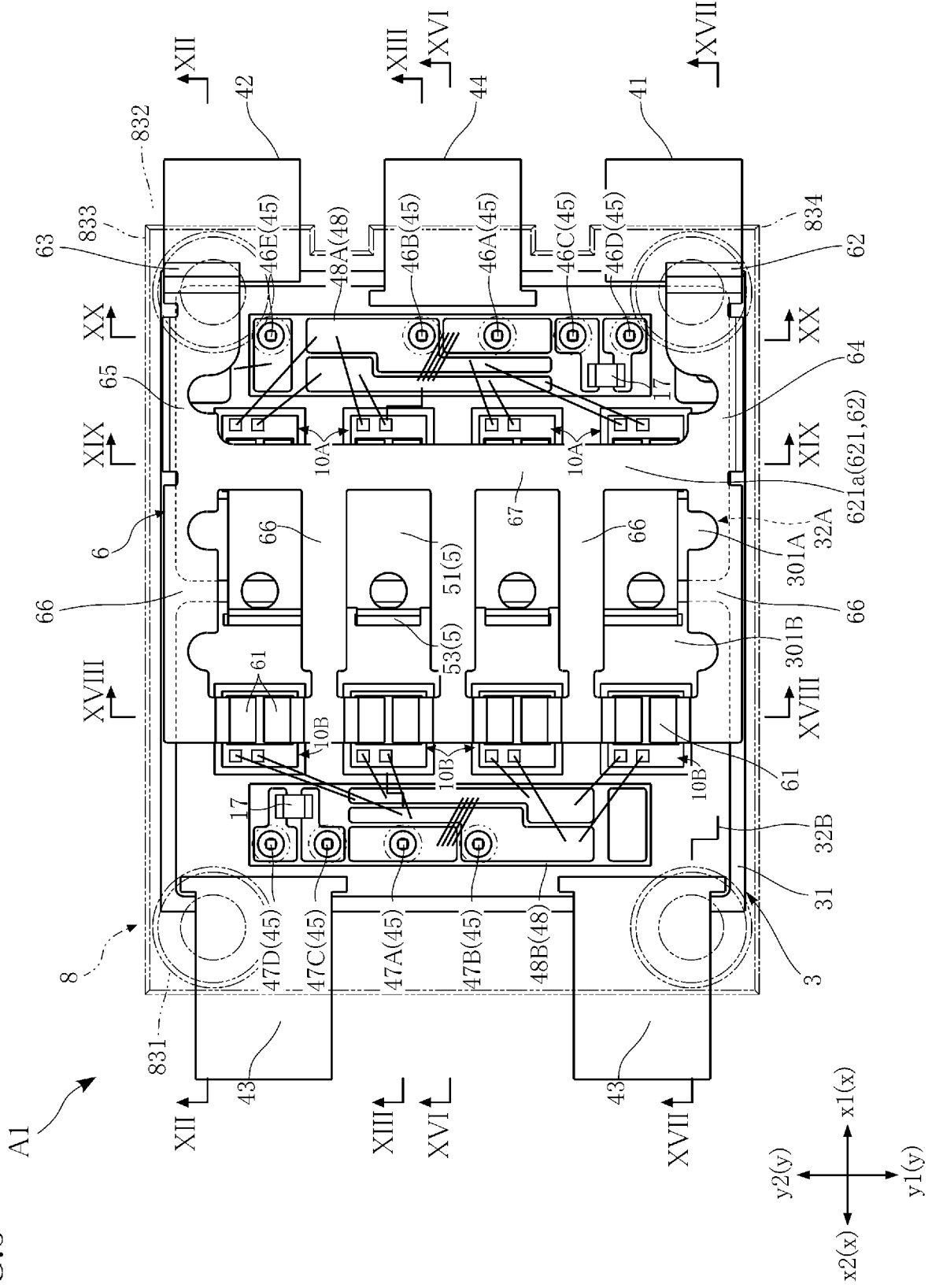
FIG.4

A1 ↗



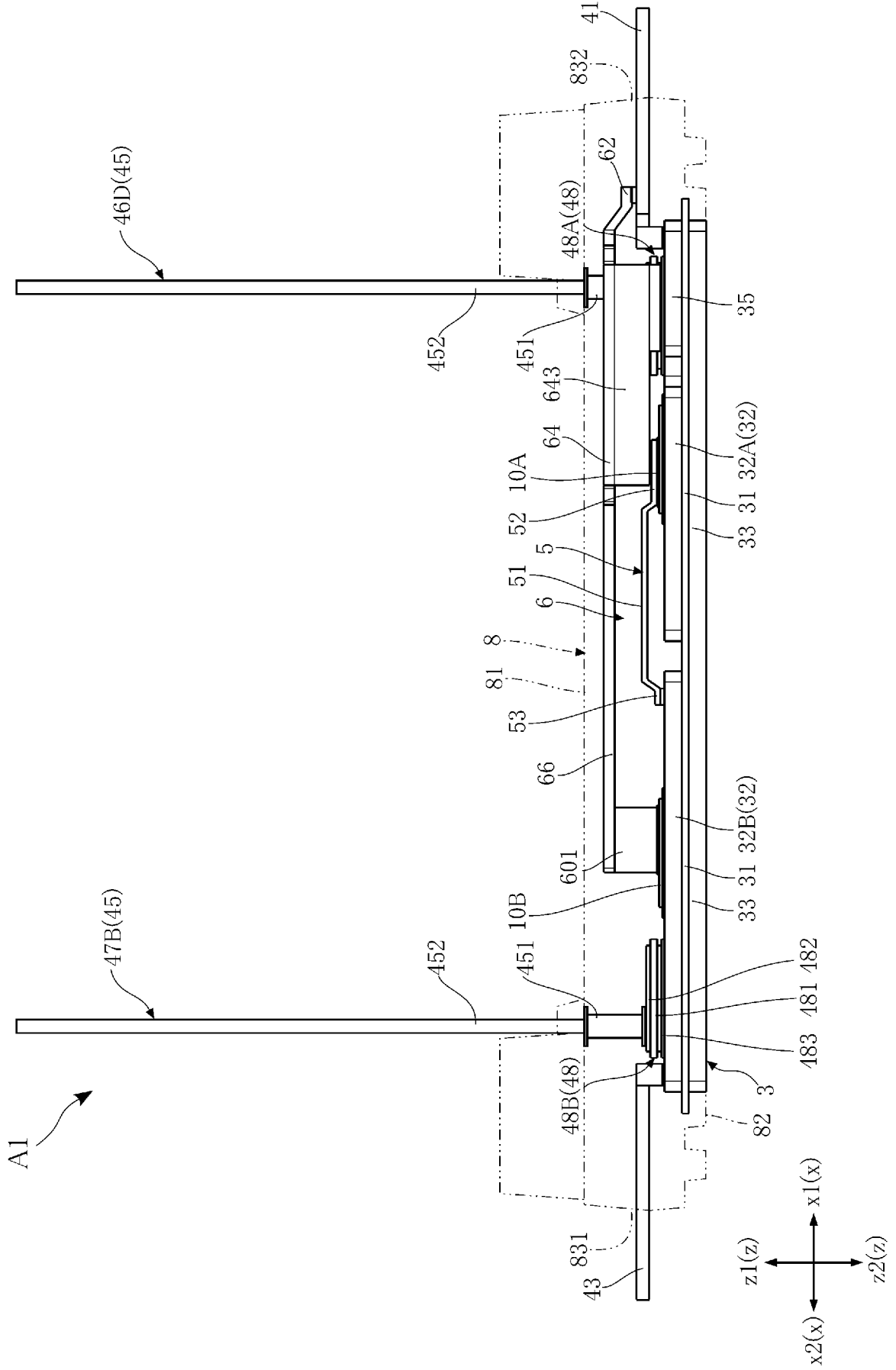
[FIG. 5]

FIG. 5

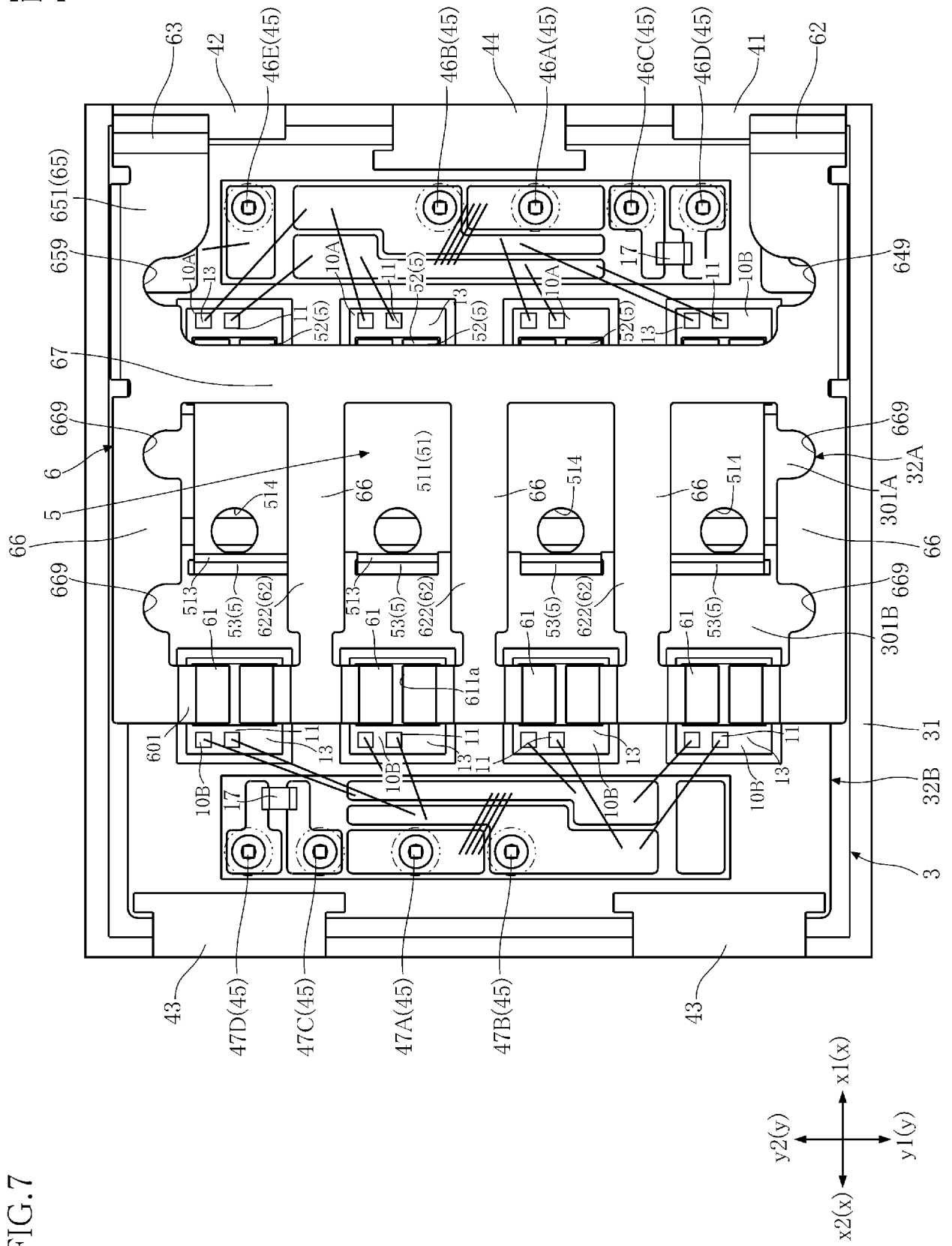


[図6]

FIG.6

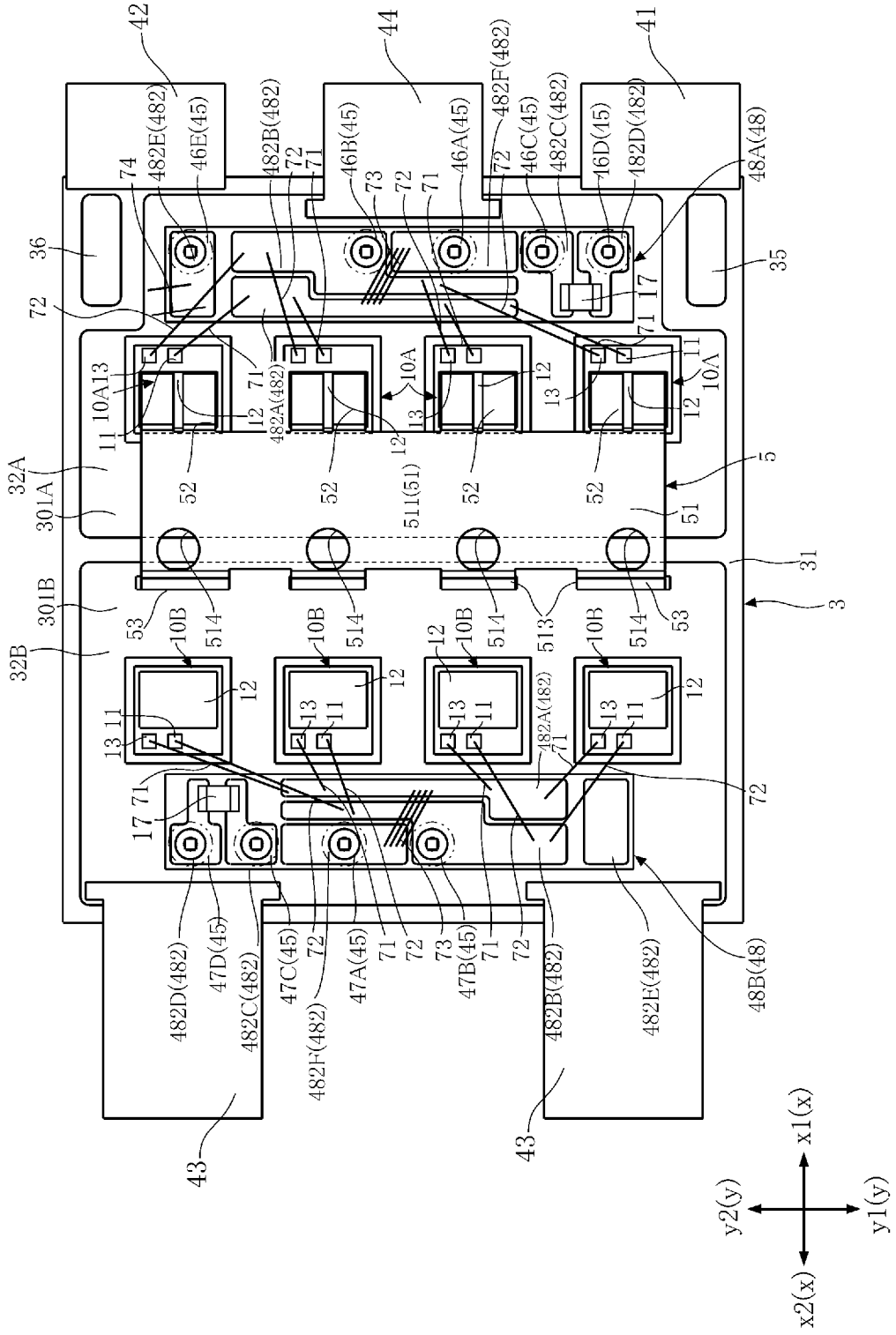


[7]



[] 8

FIG. 8



[9]

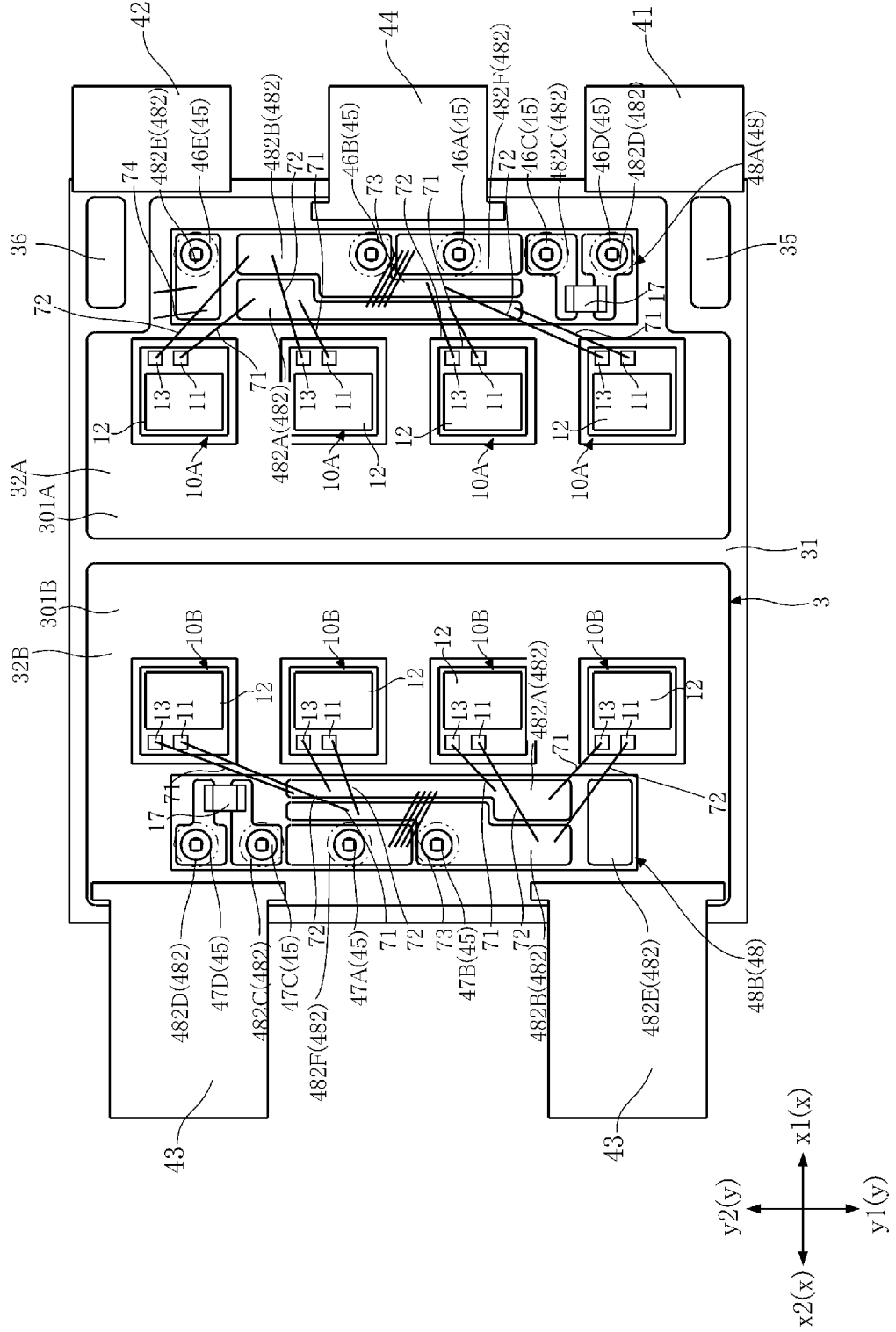
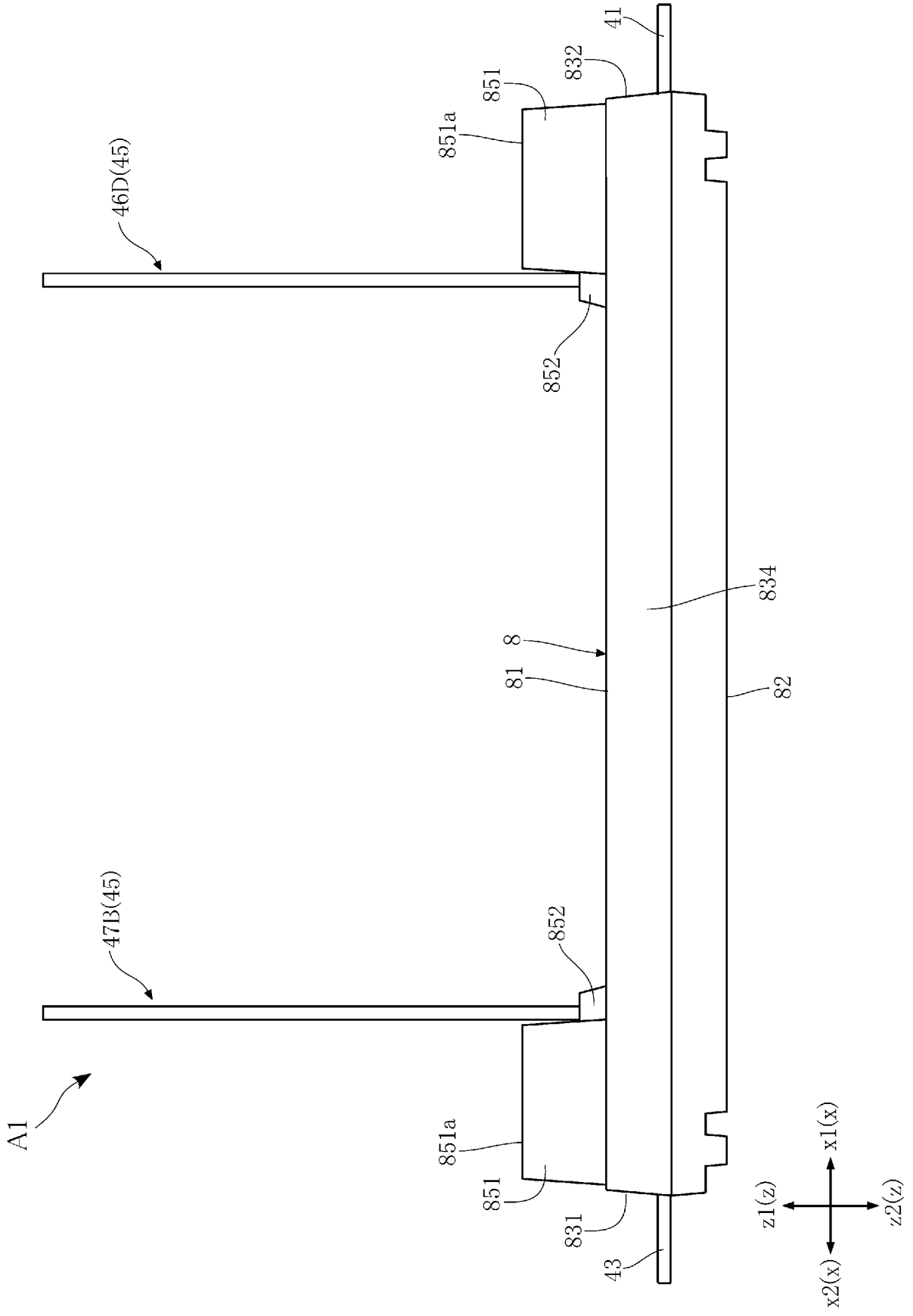


FIG. 9

[図10]

FIG.10



[FIG.11]

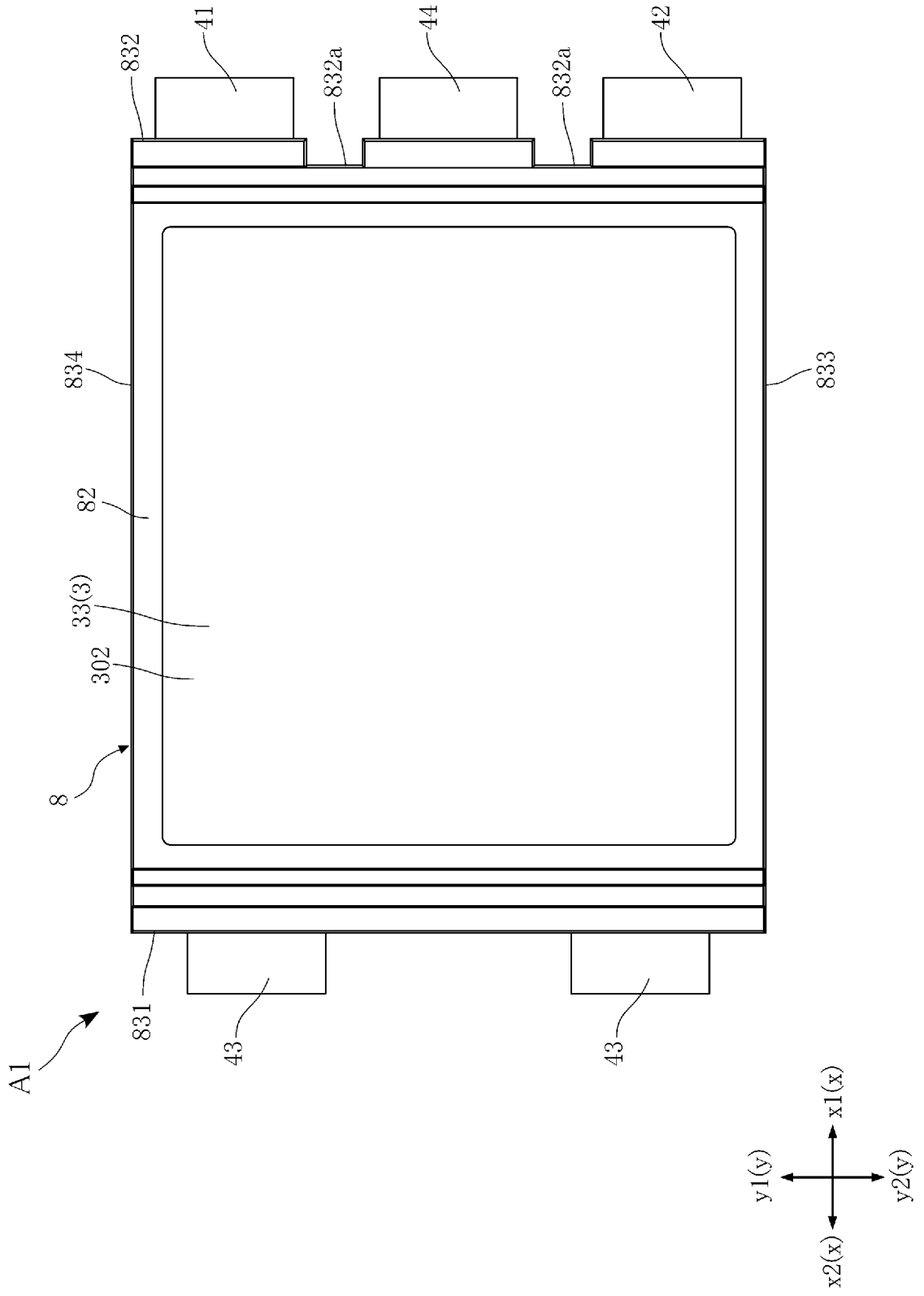
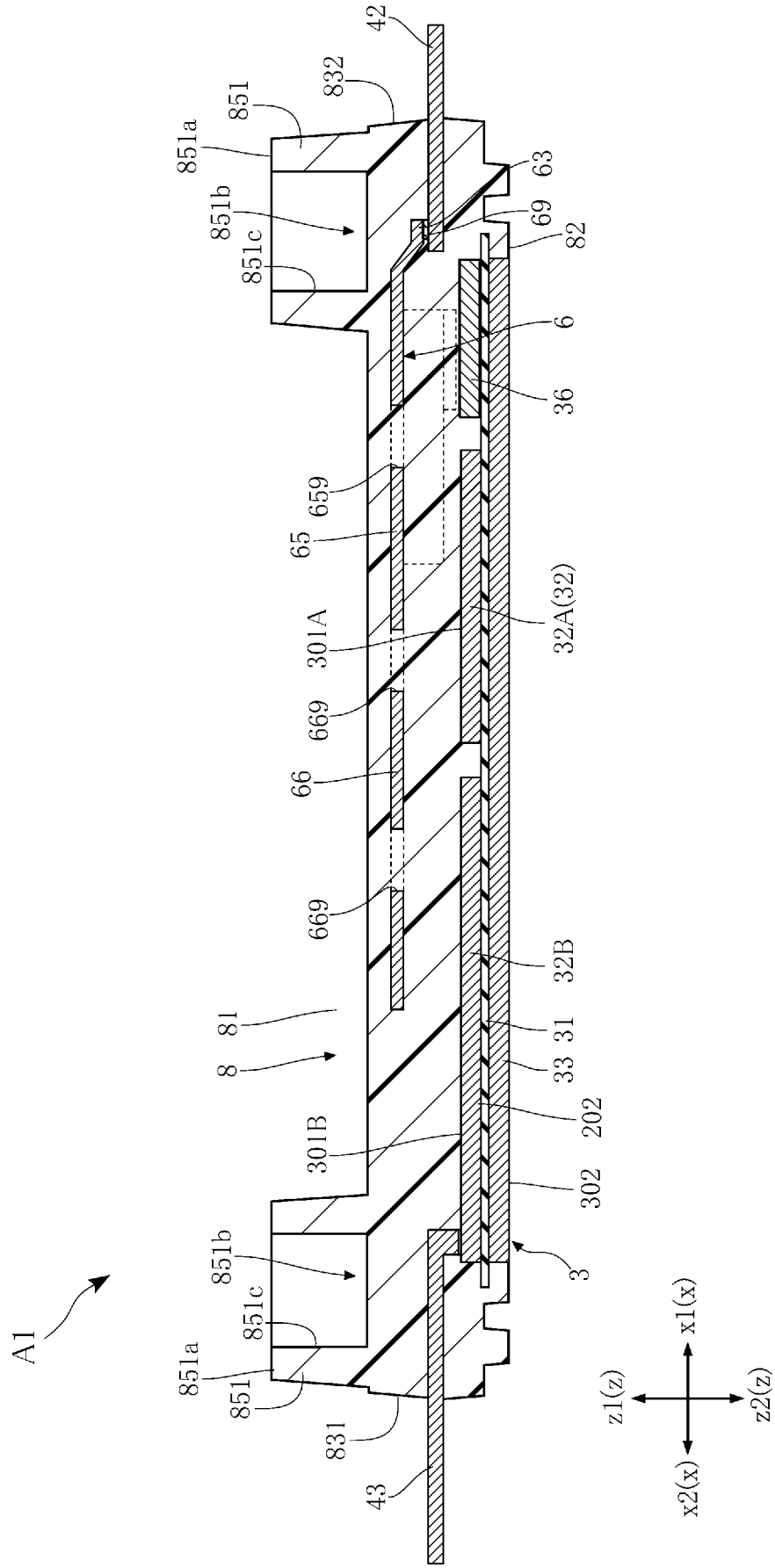


FIG.11

[FIG. 12]

FIG. 12



[FIG. 13]

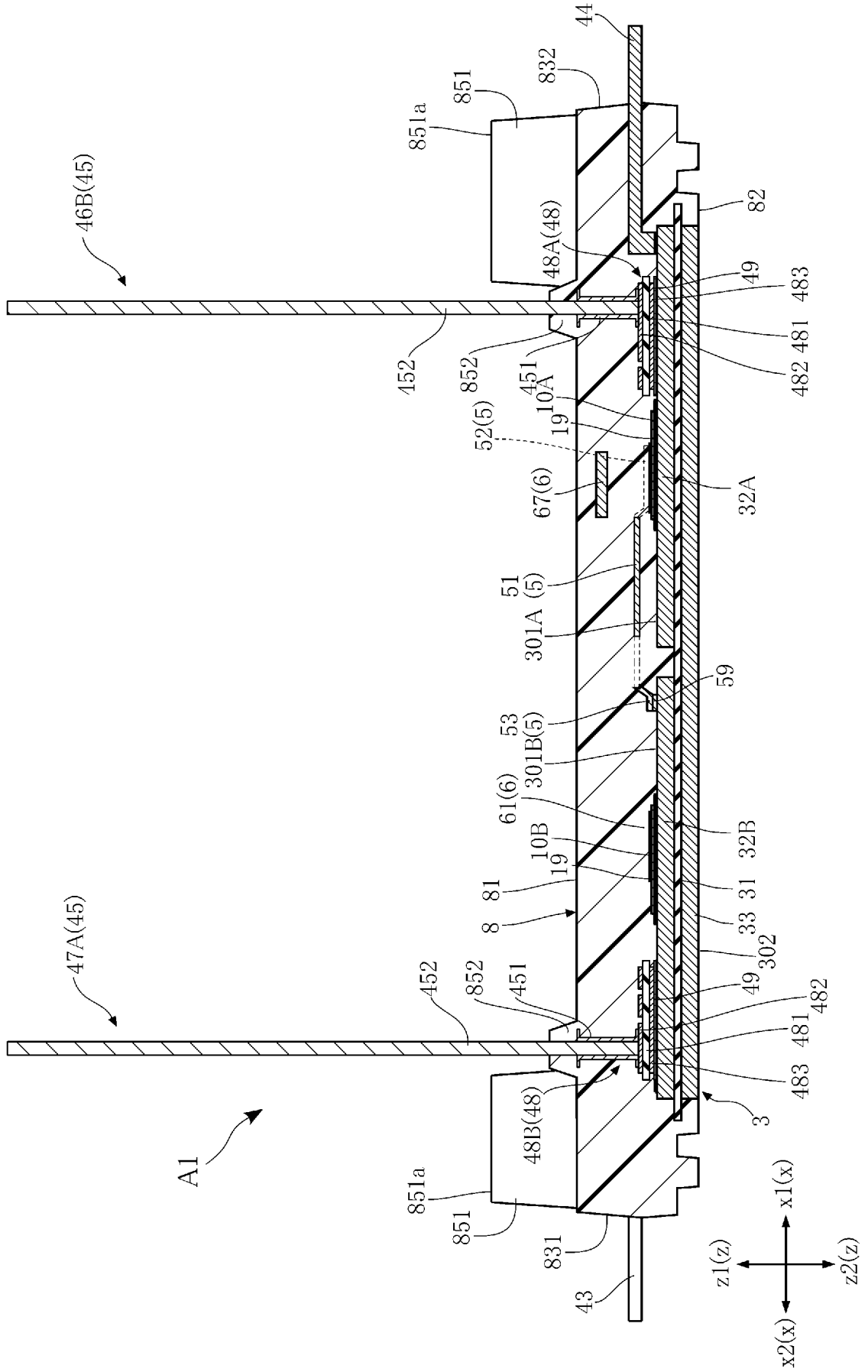
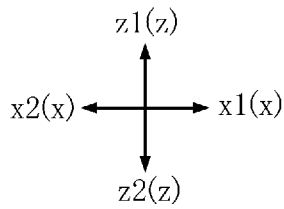
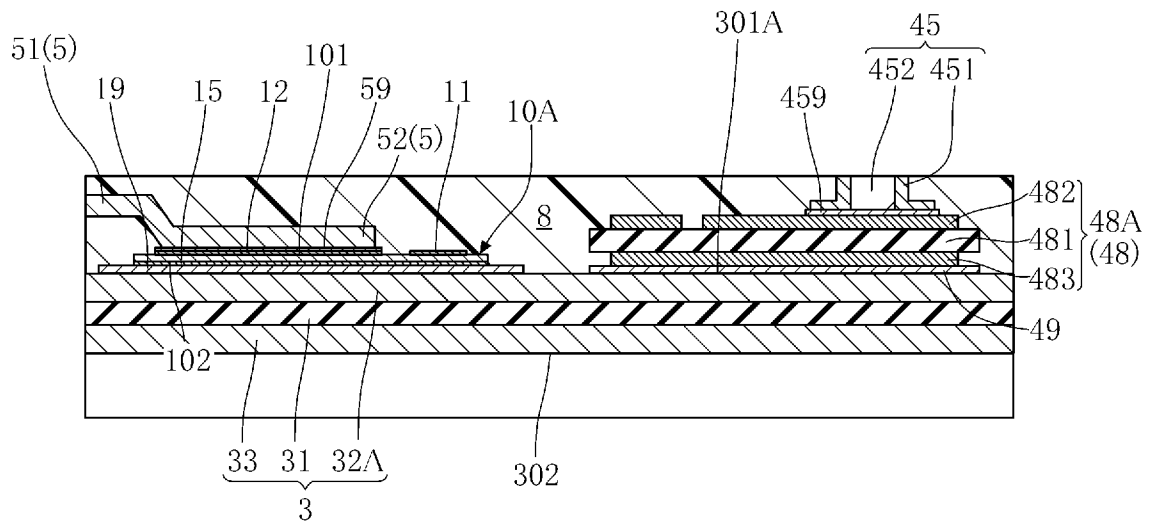

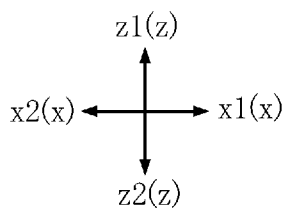
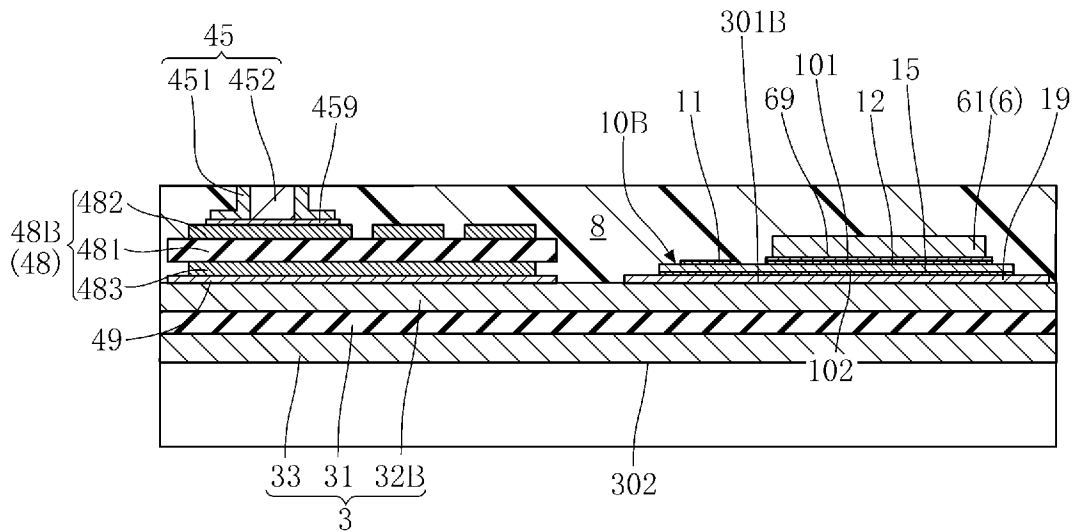


FIG. 13

[]14]
FIG.14



[]15]
FIG.15



[FIG. 16]

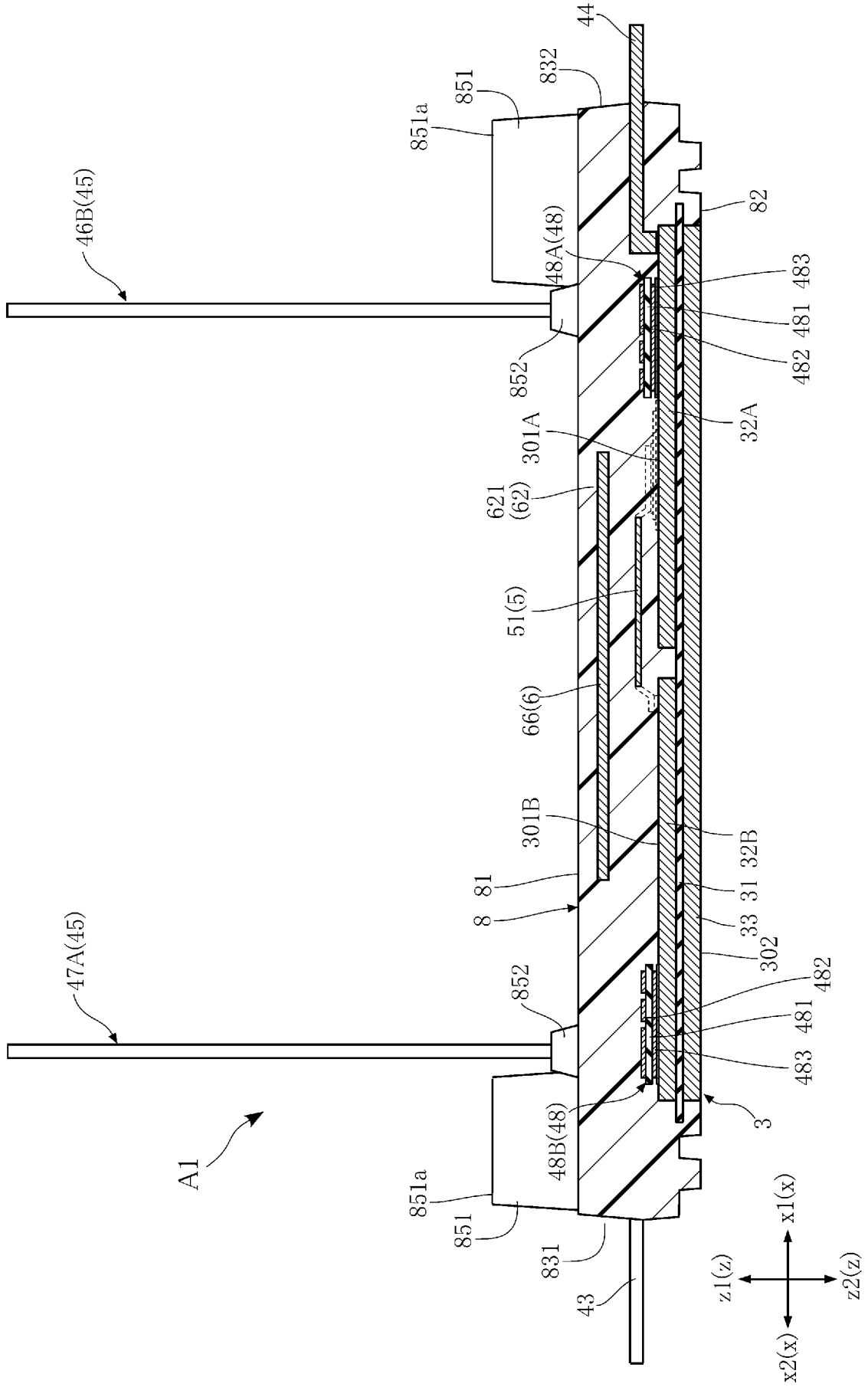


FIG. 16

[圖17]

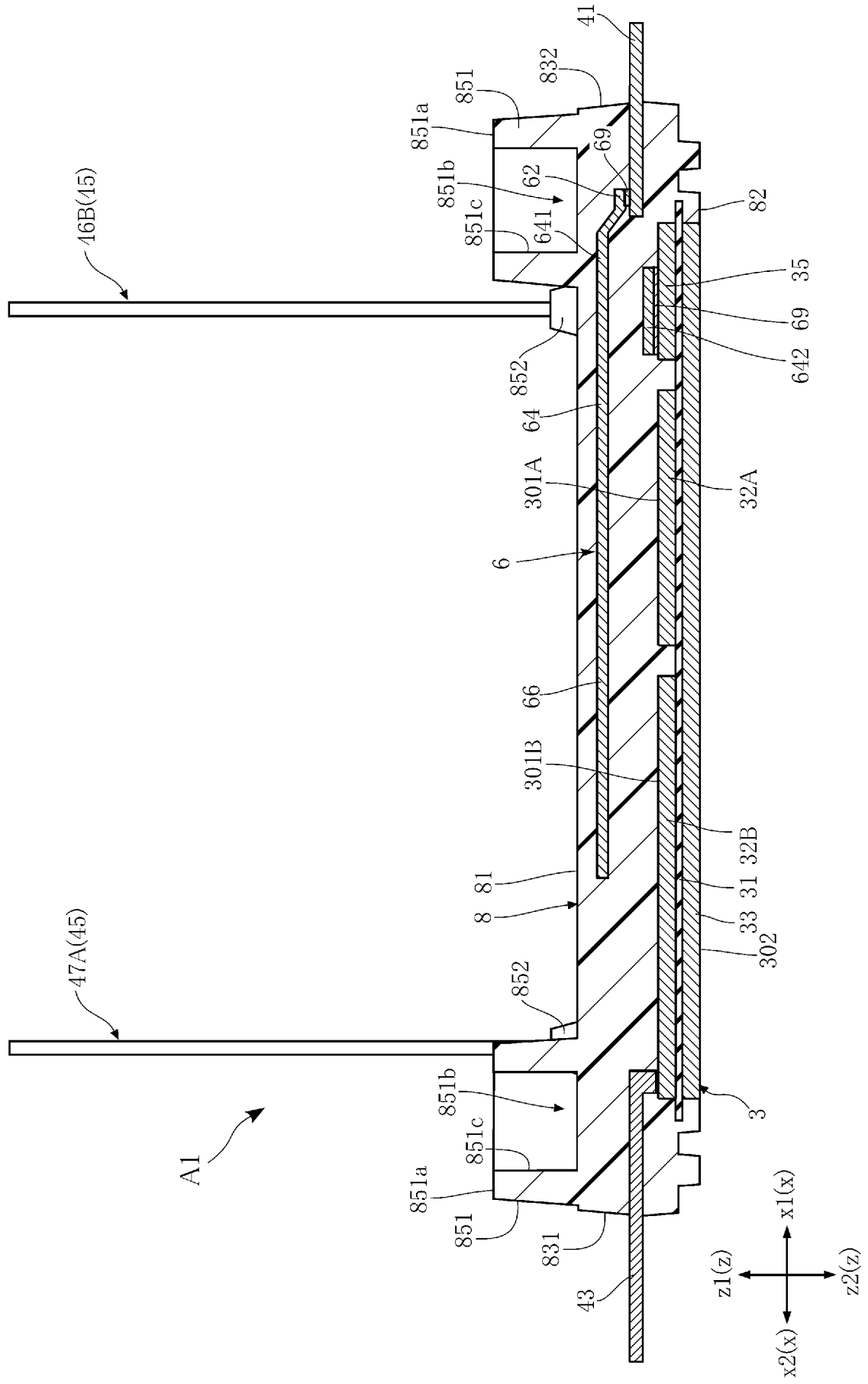
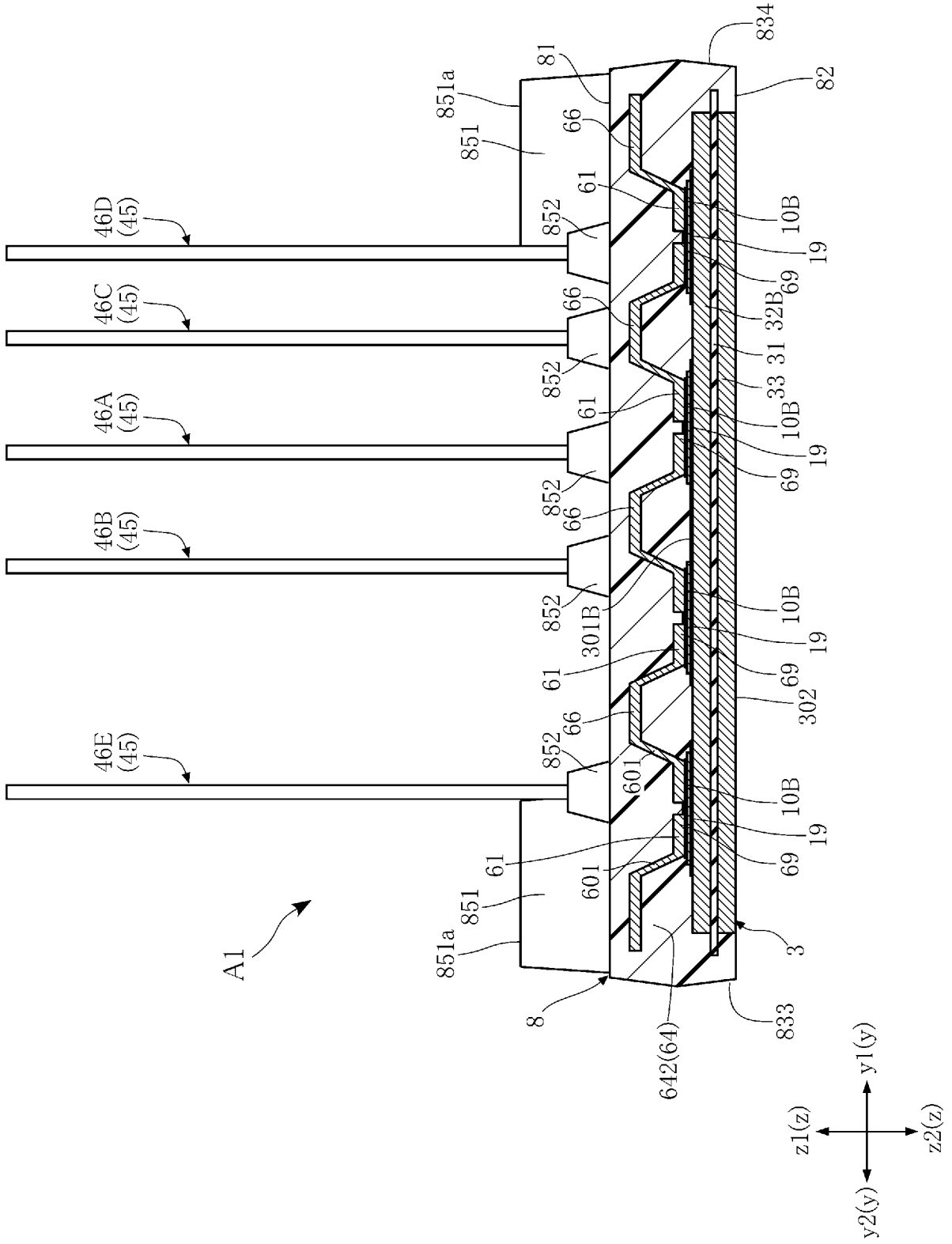


FIG.17

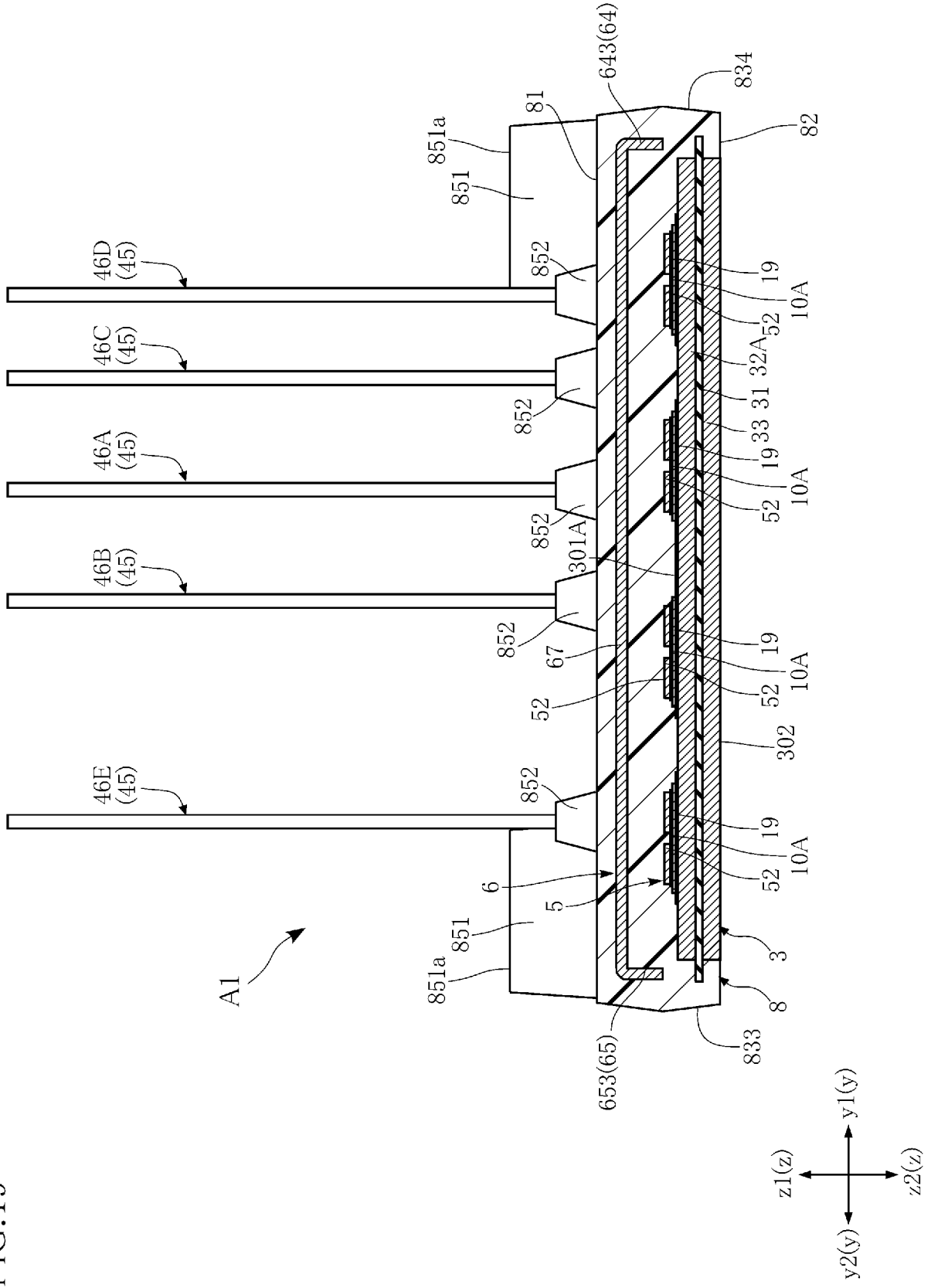
[FIG.18]

FIG.18



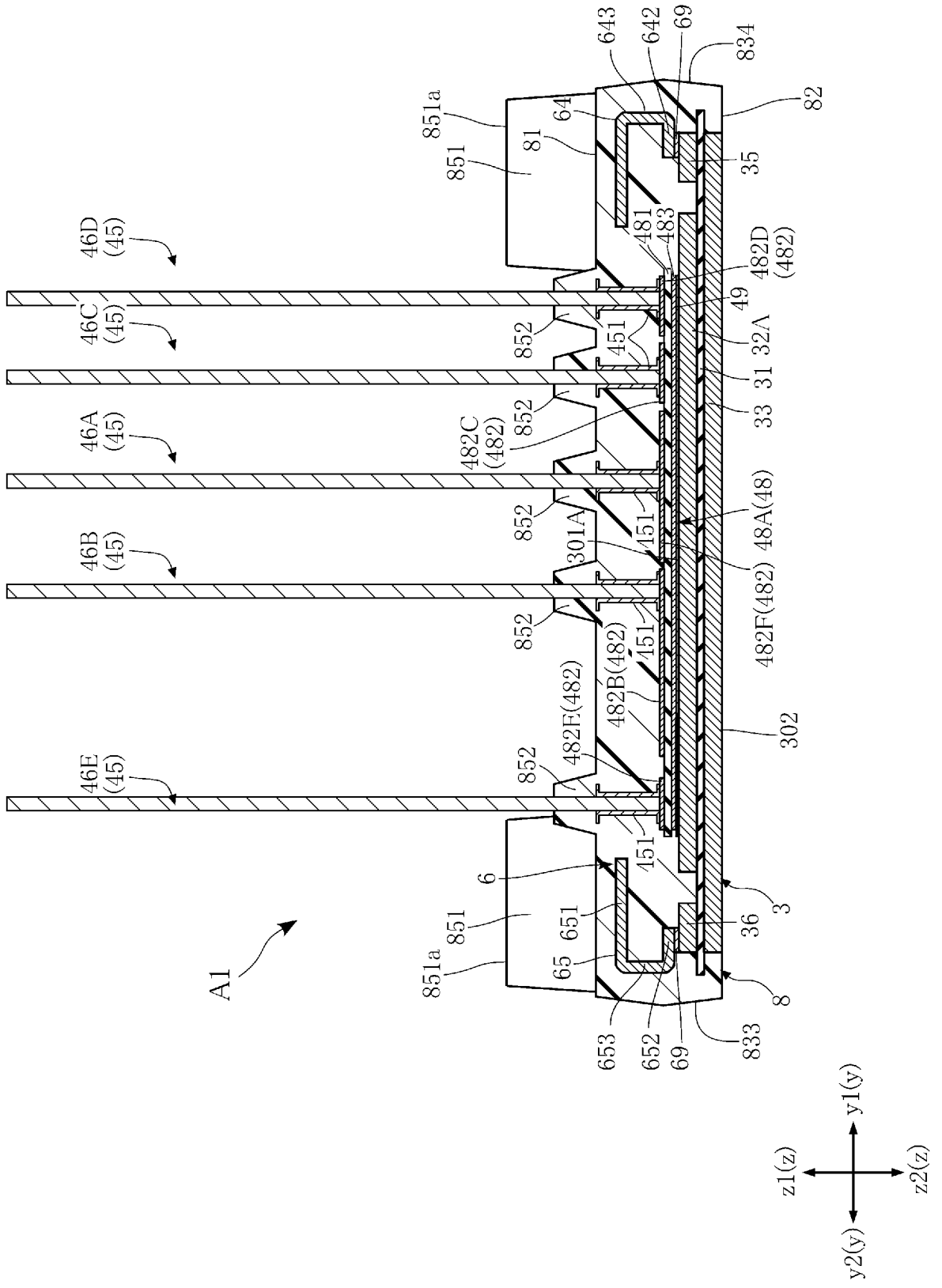
[FIG. 19]

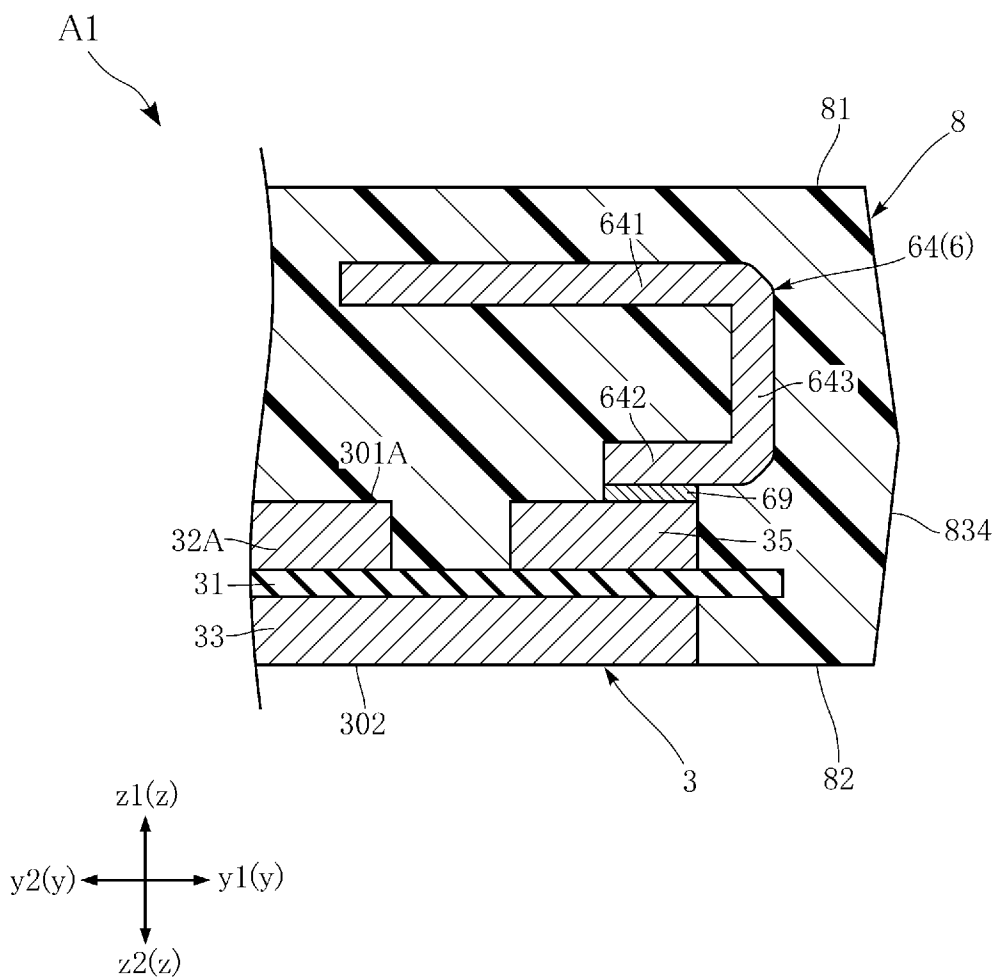
FIG. 19



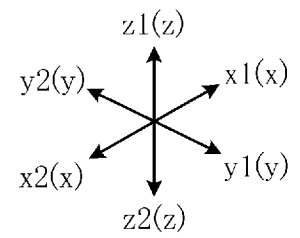
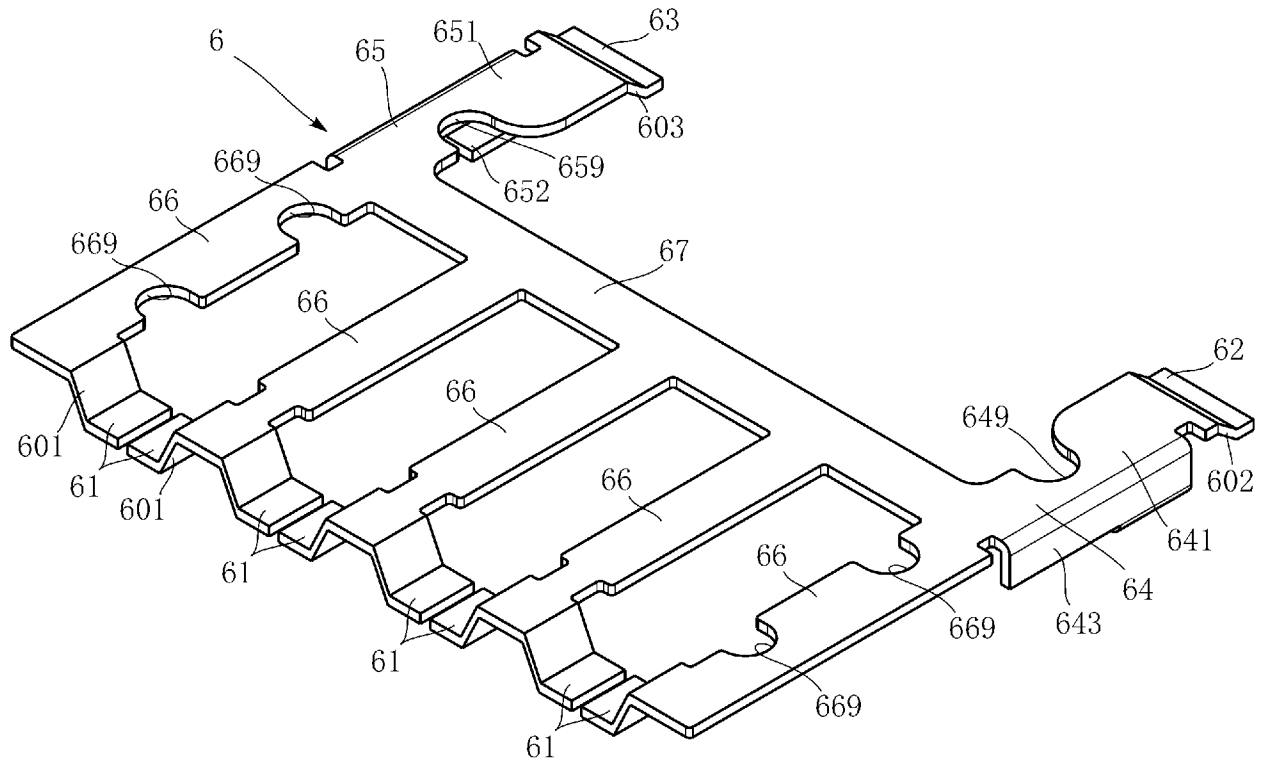
[FIG. 20]


FIG. 20

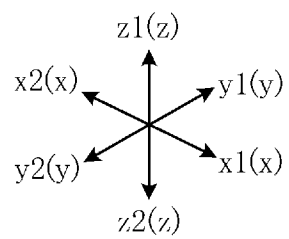
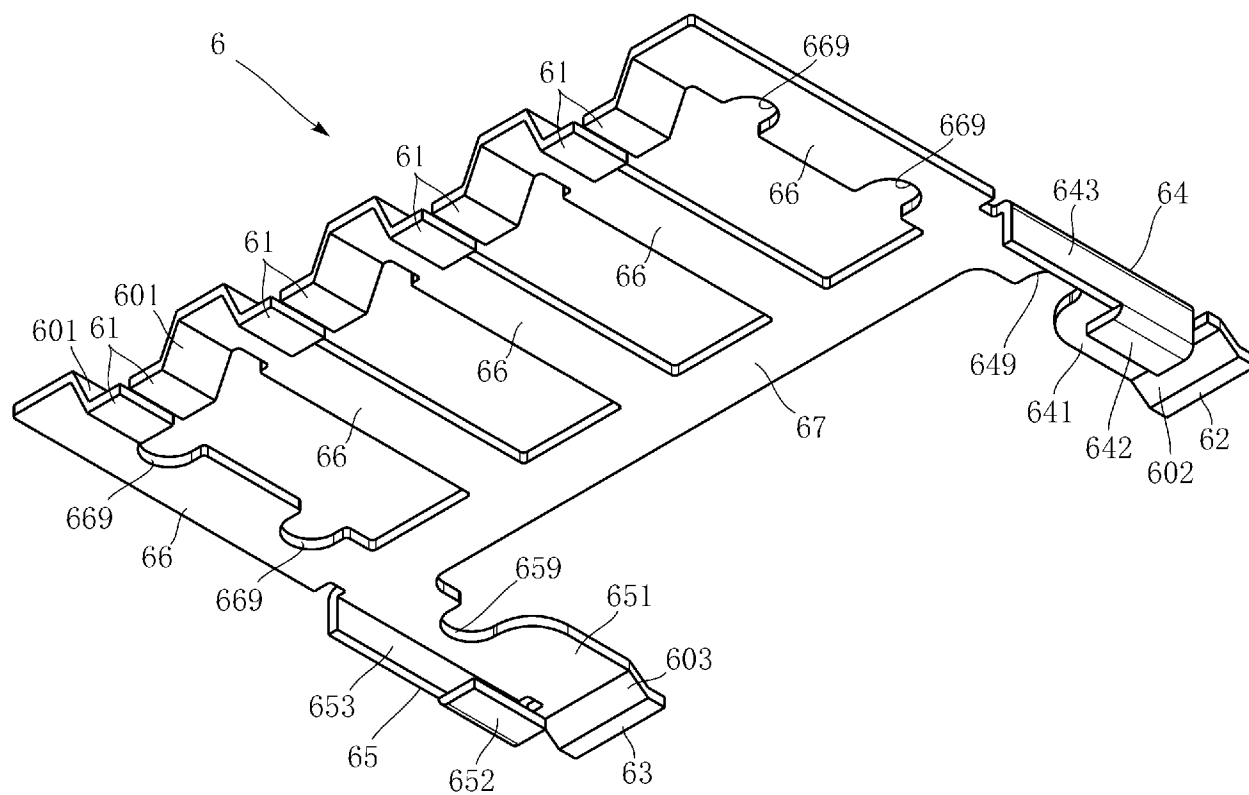


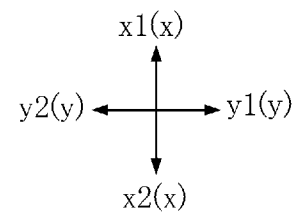
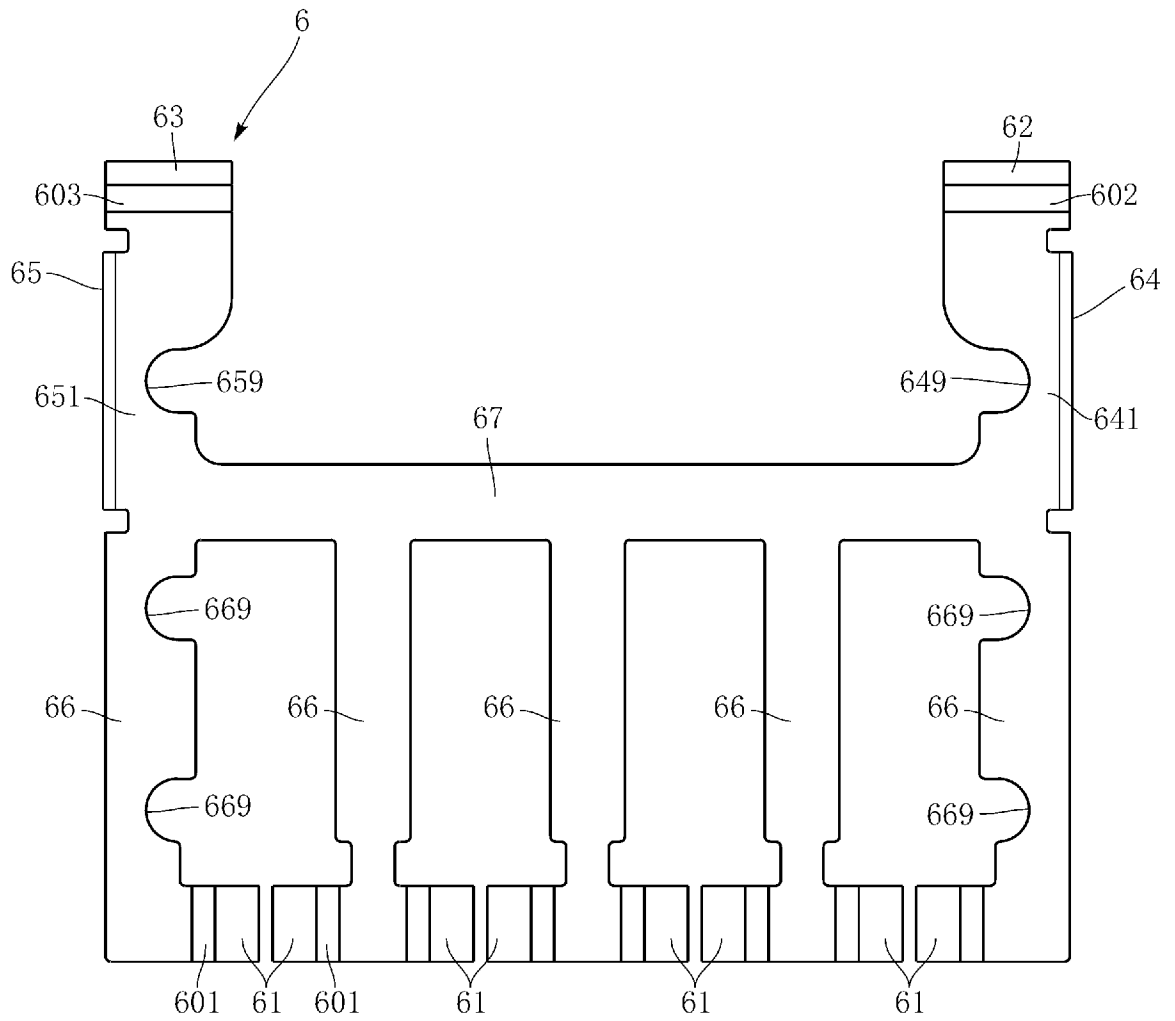
[図21]
FIG.21


[22]
FIG.22

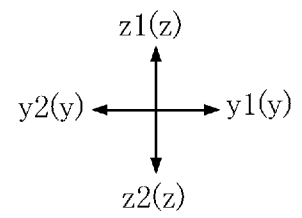
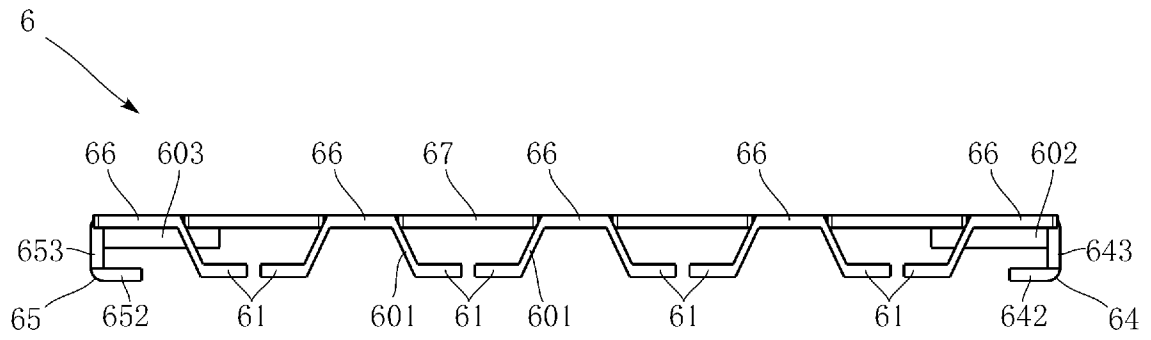


[23]
FIG.23

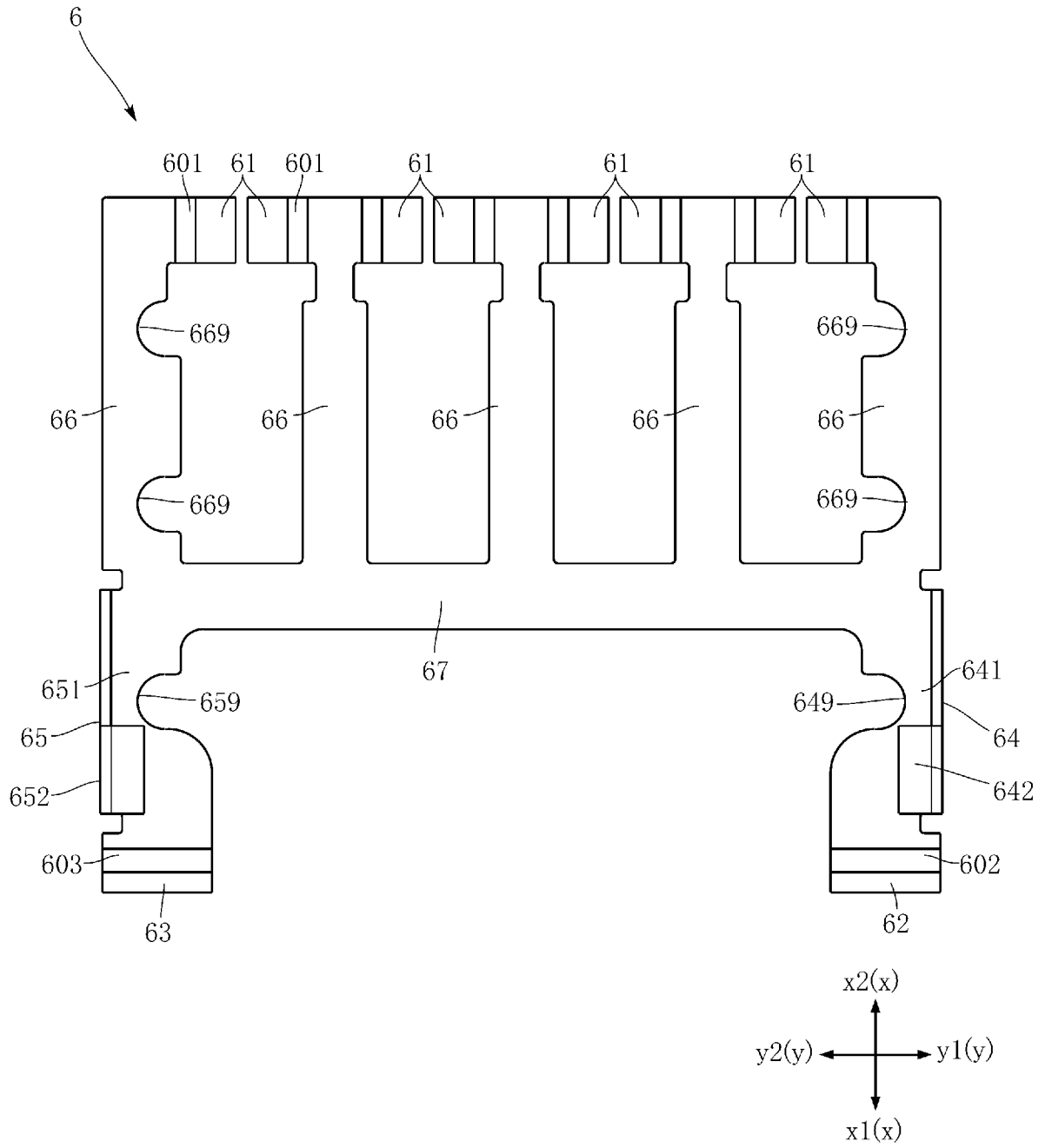


[図24]
FIG.24

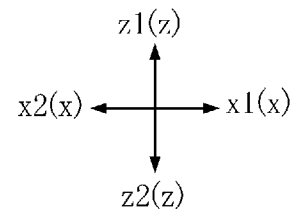
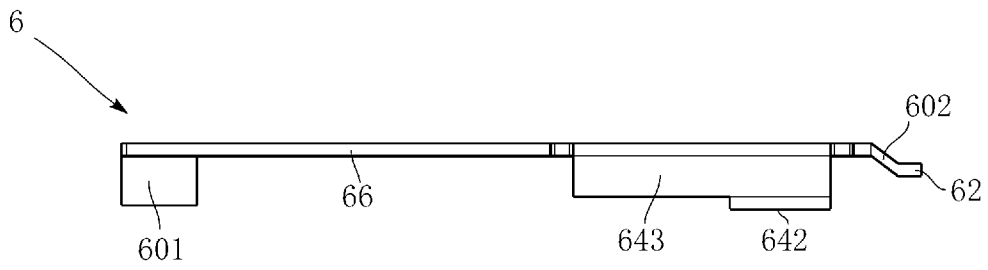
[25]
FIG.25



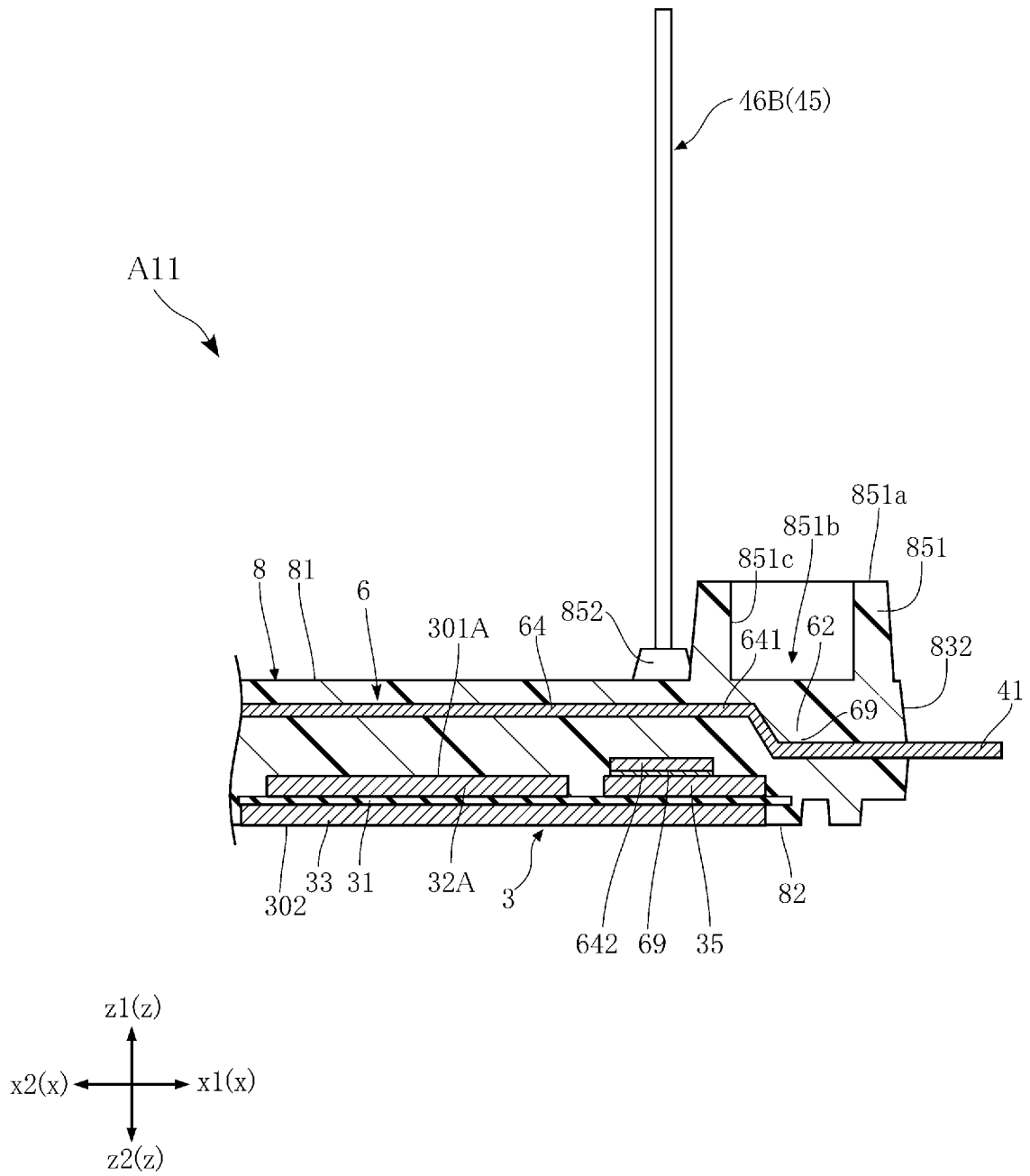
[図26]
FIG.26




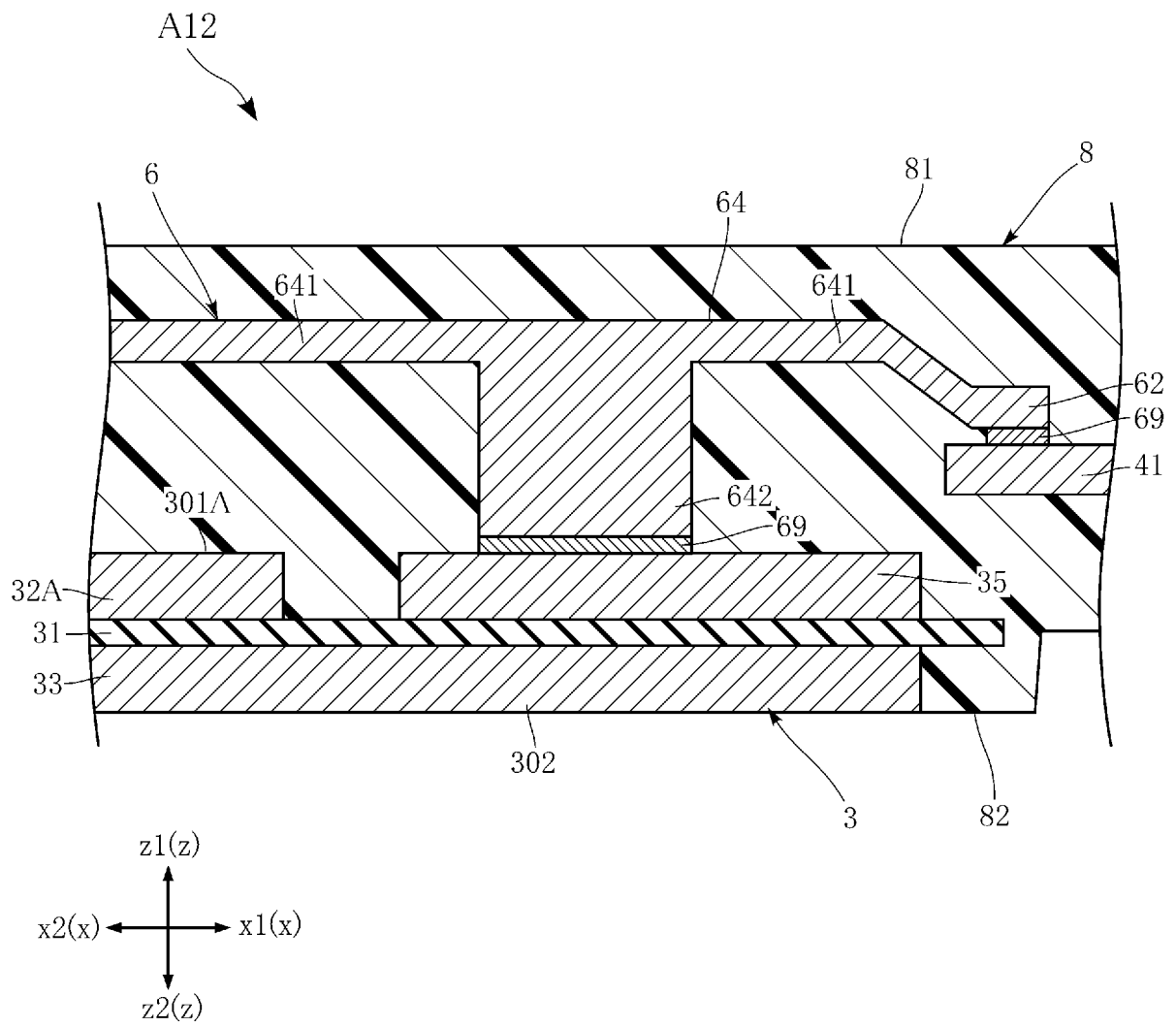
[27]
FIG.27



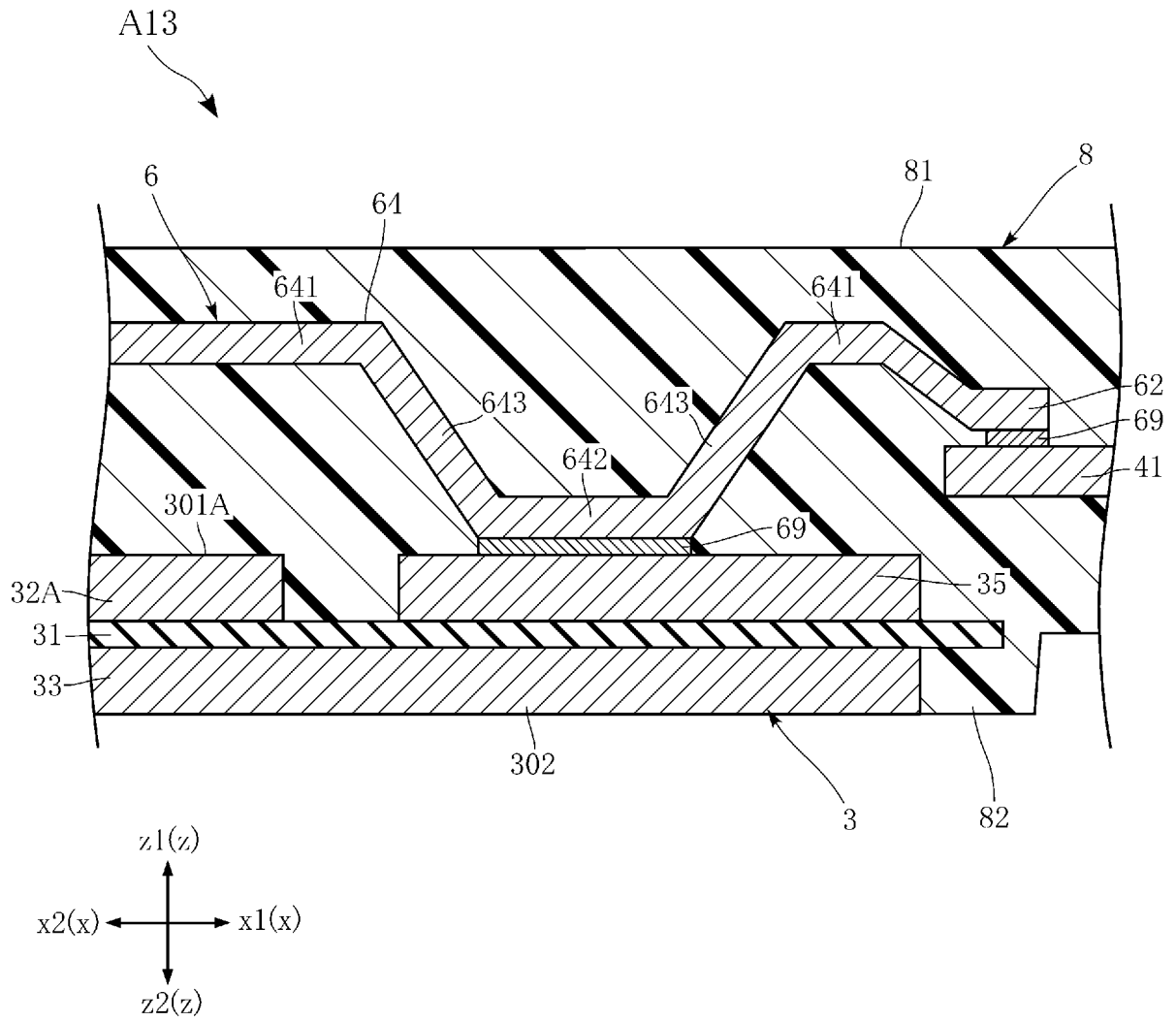
[]28]
FIG.28


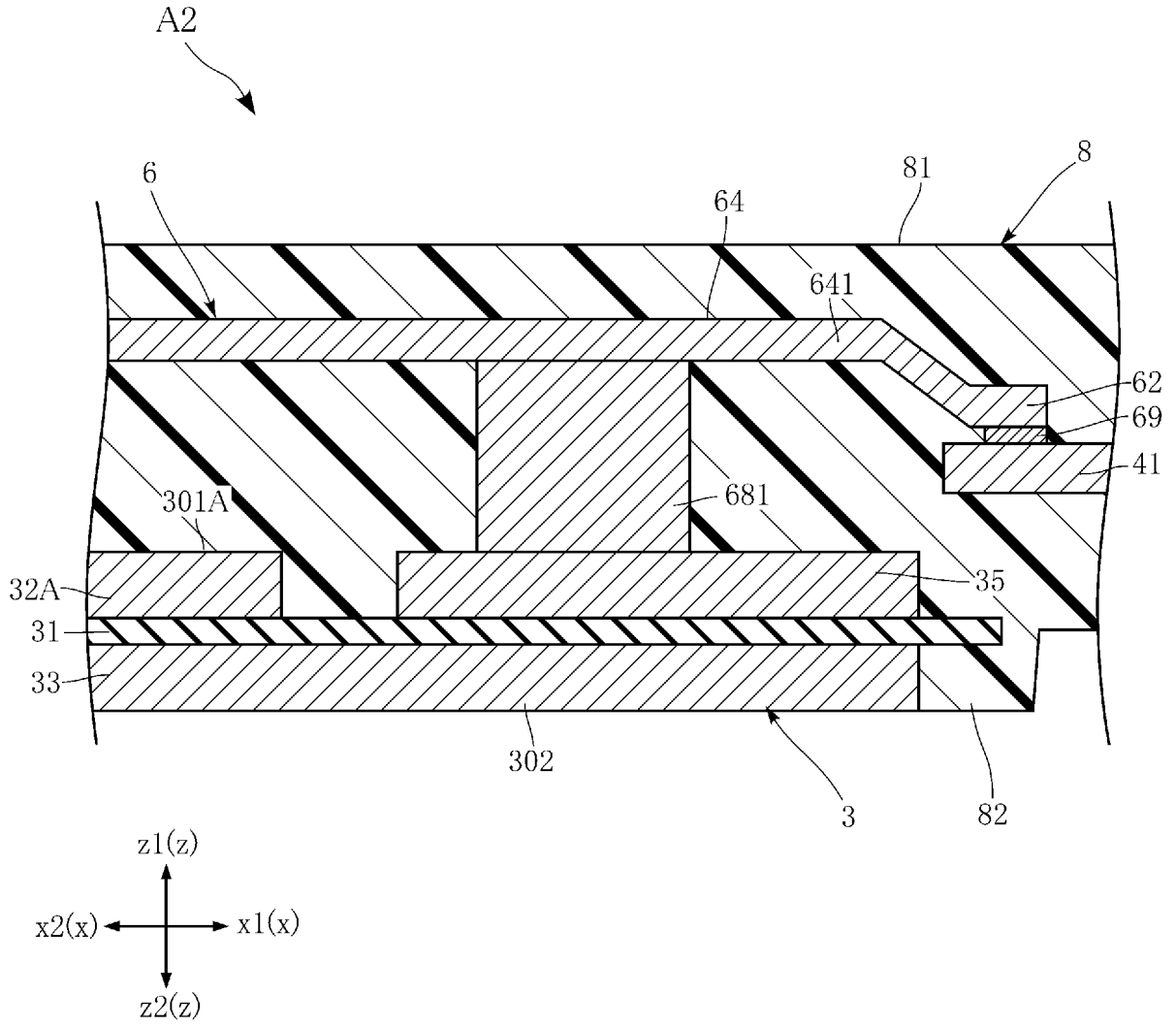


[]29]
FIG.29

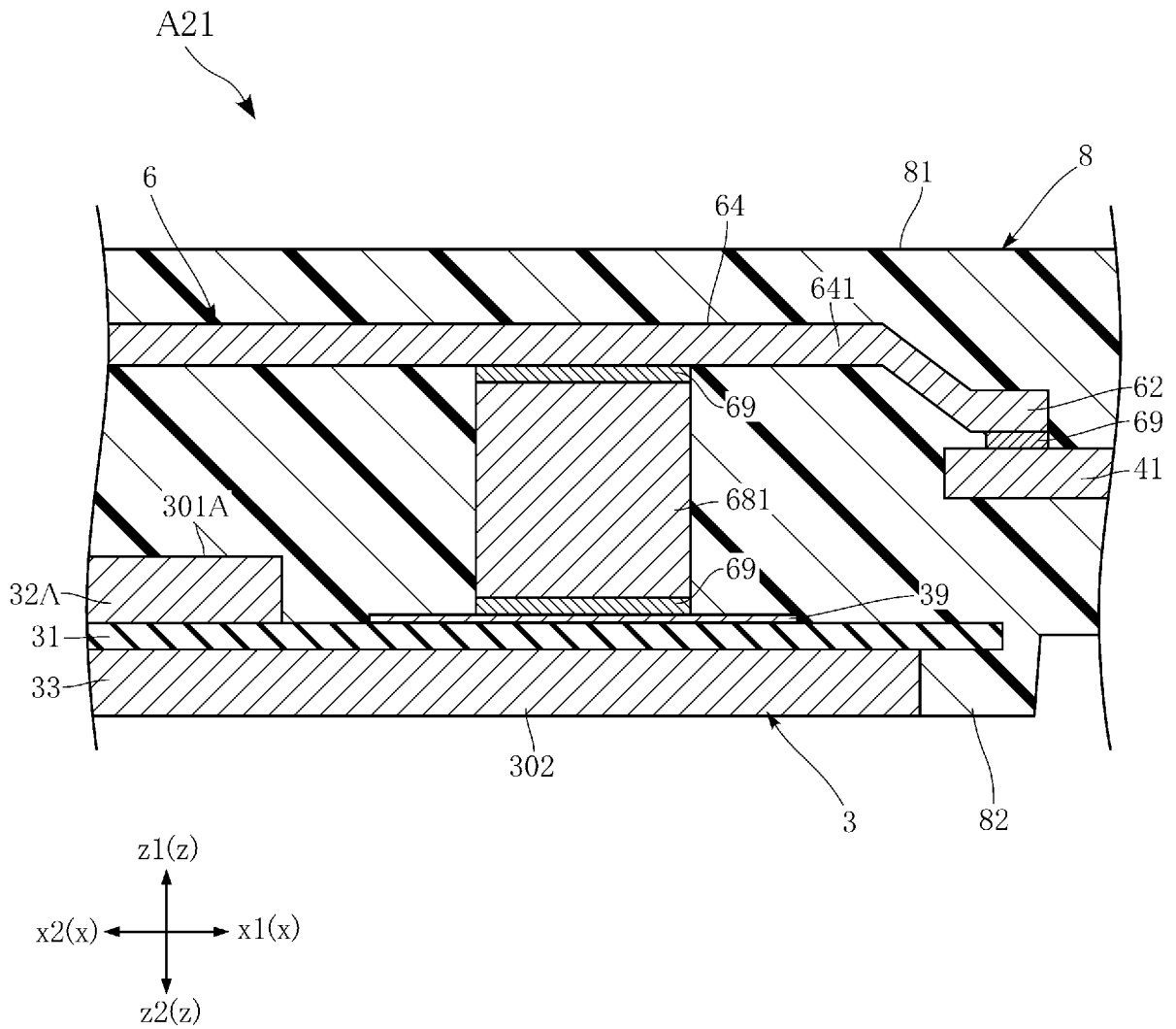



[30]
FIG.30

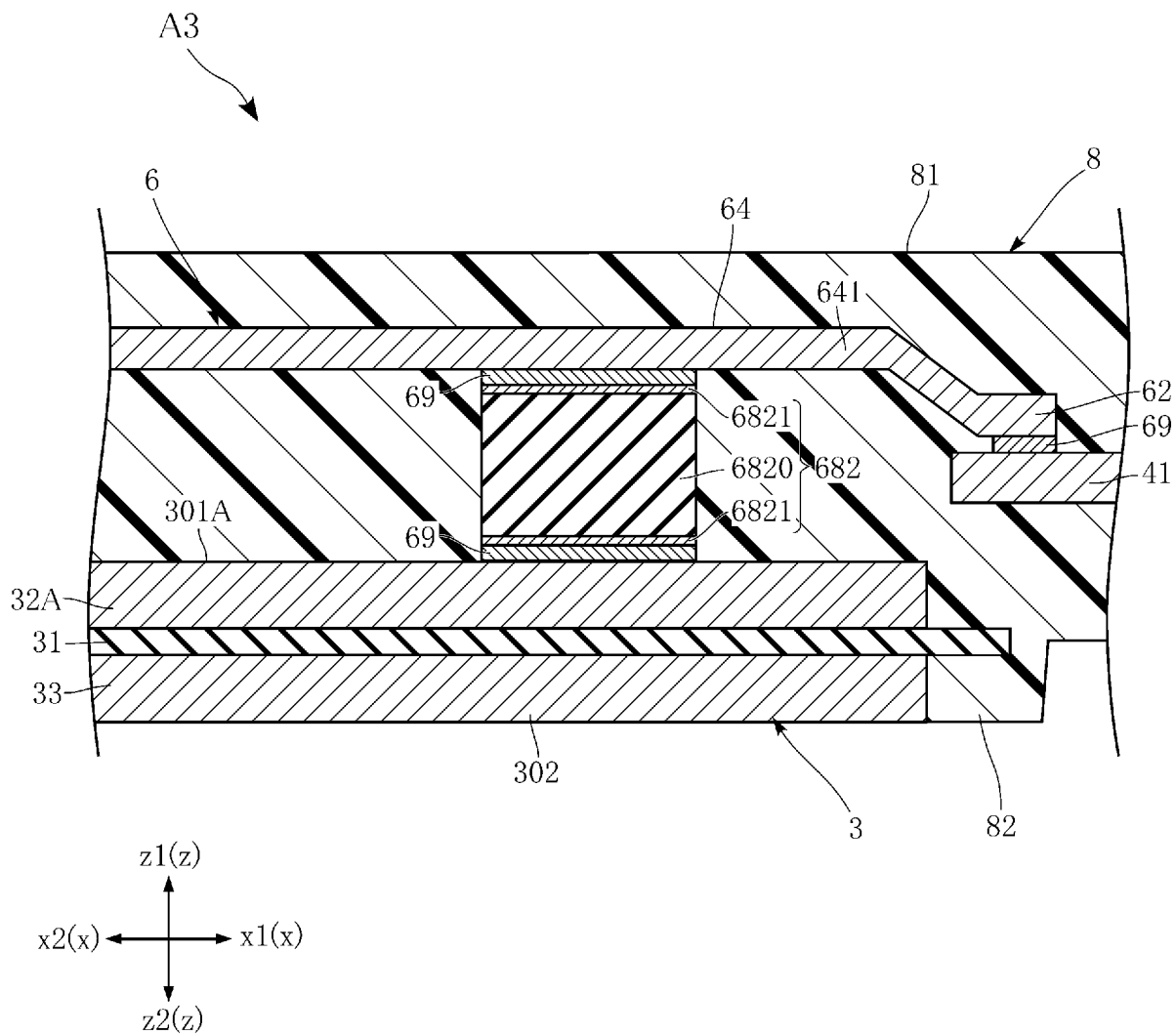



[]31
FIG.31

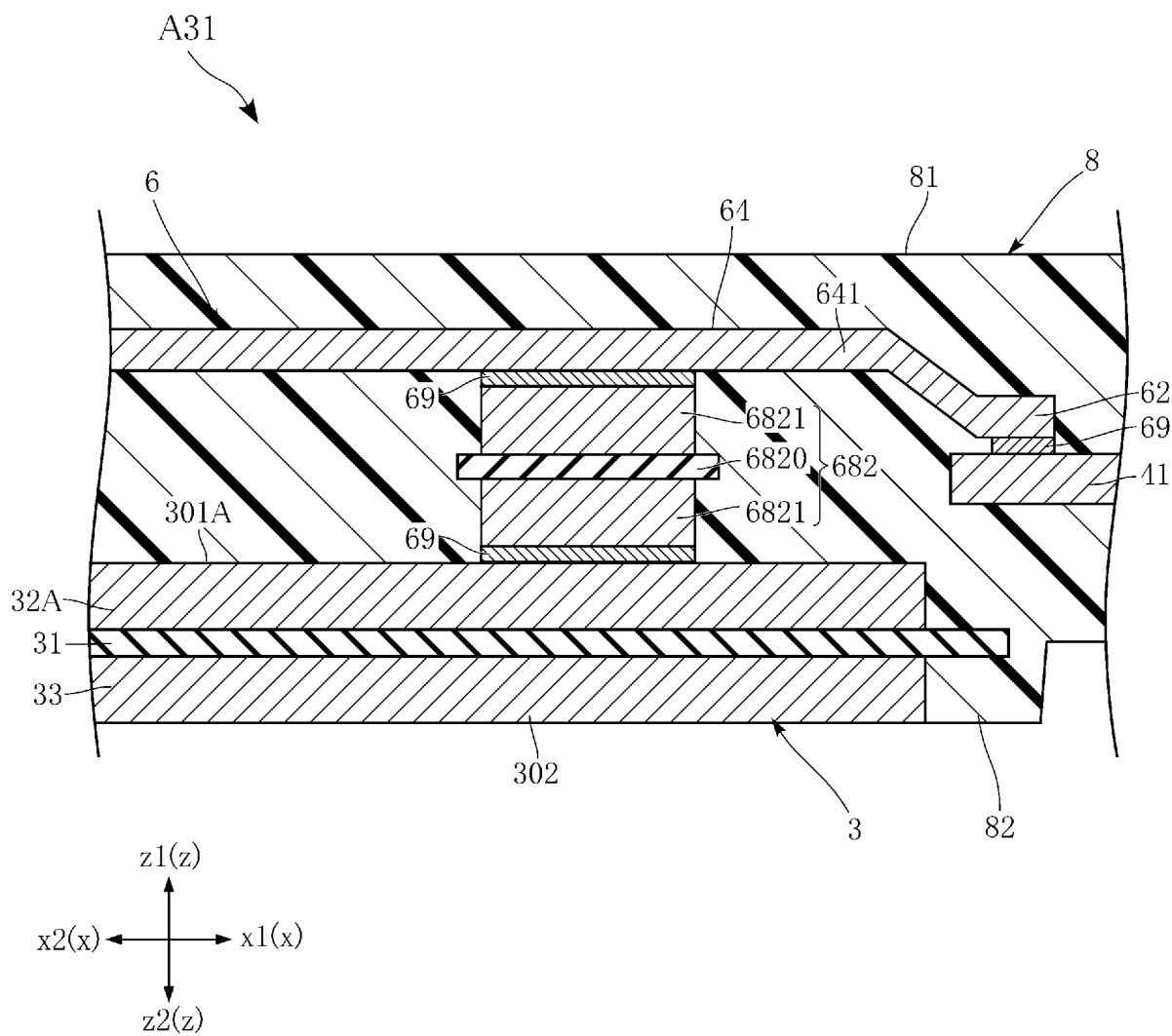
[32]
FIG.32

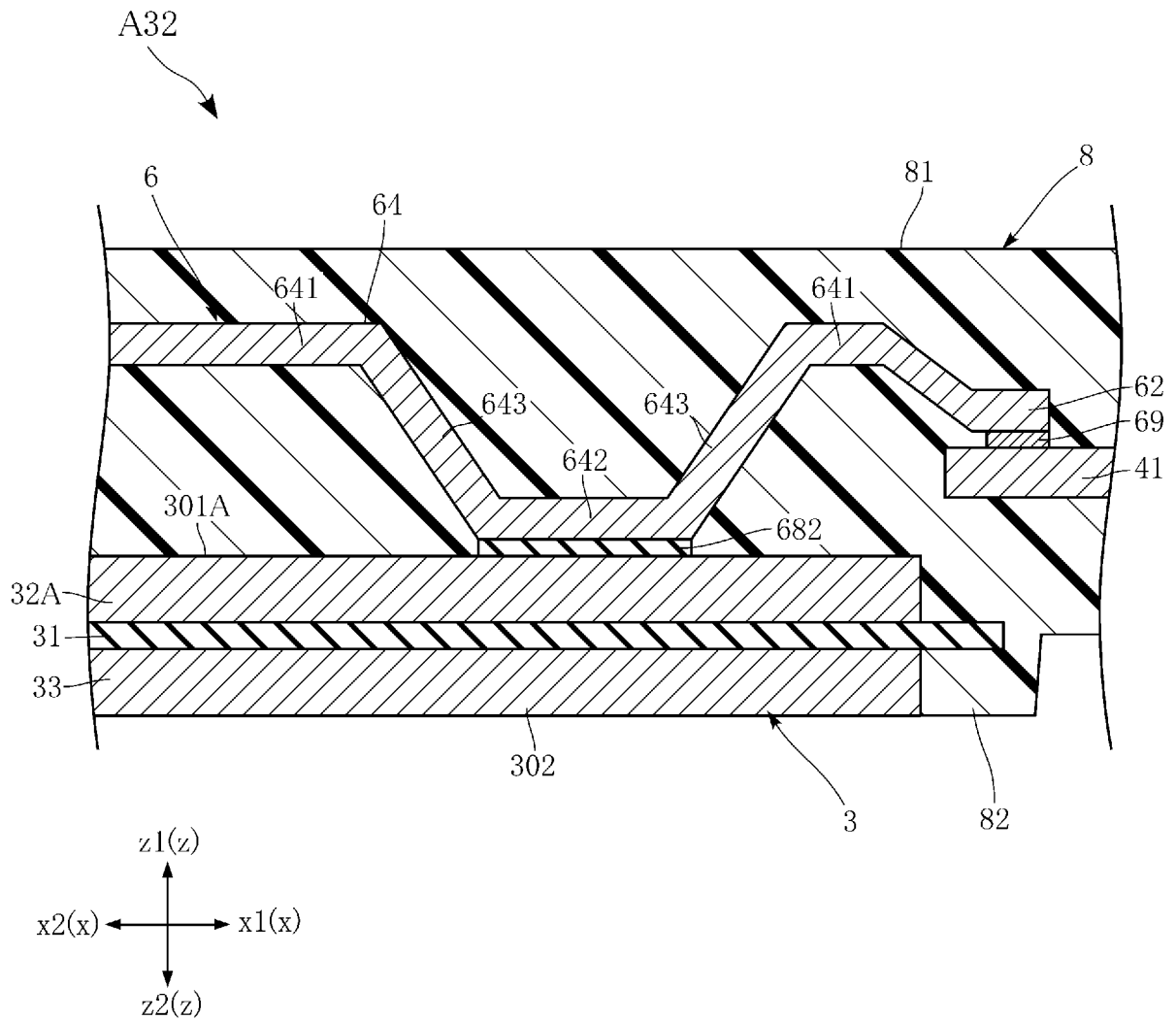



[33]
FIG.33

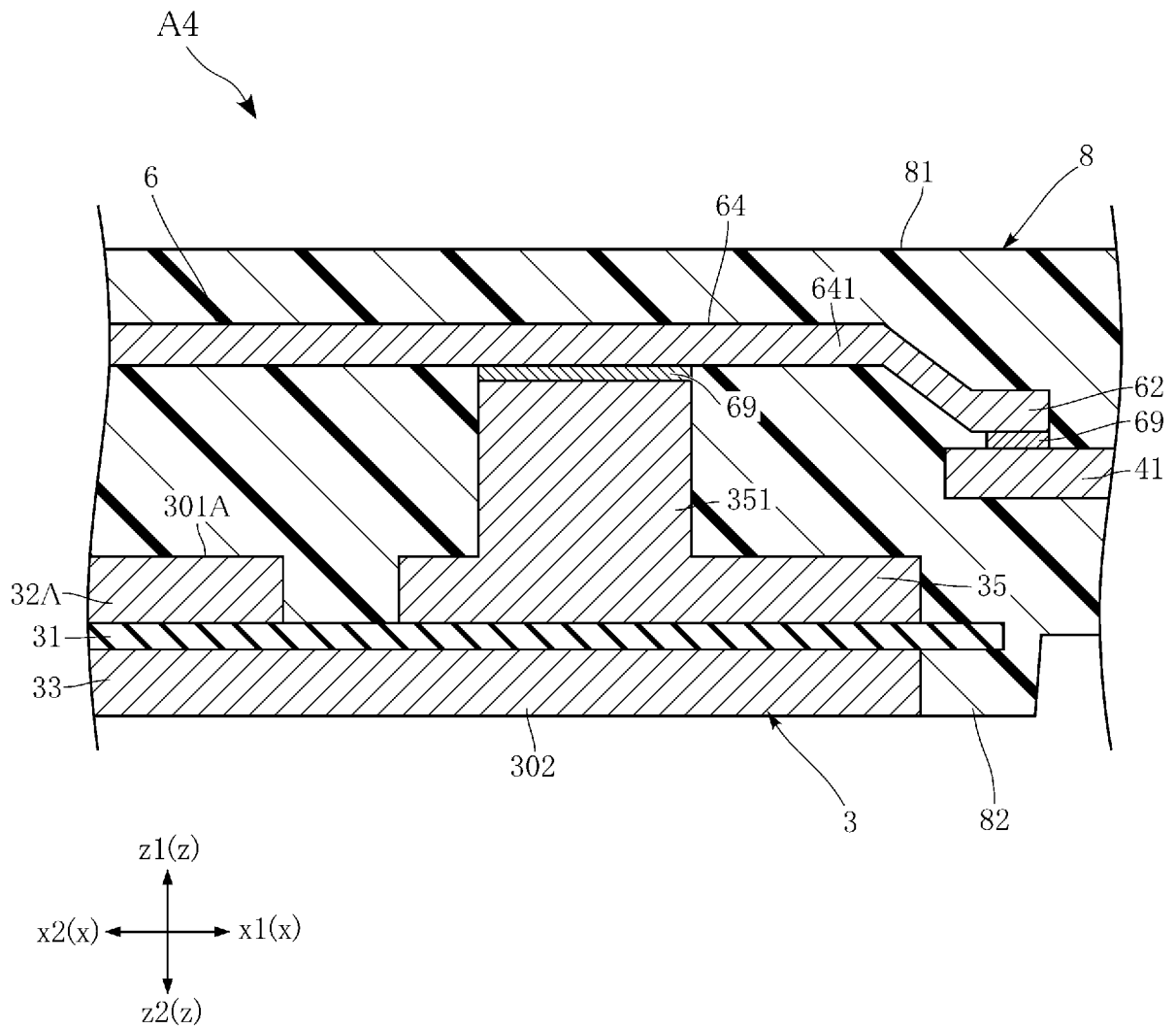


[]34
FIG.34



[図35]
FIG.35

[36]
FIG.36



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/047695

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 23/12</i> (2006.01)i; <i>H01L 25/07</i> (2006.01)i; <i>H01L 25/18</i> (2023.01)i FI: H01L25/04 C; H01L23/12 J		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L23/12; H01L25/07; H01L25/18		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2021-190505 A (ROHM CO LTD) 13 December 2021 (2021-12-13) paragraphs [0029]-[0127], fig. 1-23	1, 2
A		3-17
A	JP 2005-039135 A (FUJI ELECTRIC HOLDINGS CO LTD) 10 February 2005 (2005-02-10) entire text, all drawings	3-17
A	JP 2011-222707 A (MITSUBISHI ELECTRIC CORP) 04 November 2011 (2011-11-04) entire text, all drawings	3-17
A	JP 2015-069982 A (HITACHI LTD) 13 April 2015 (2015-04-13) entire text, all drawings	3-17
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 March 2023		Date of mailing of the international search report 14 March 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/047695

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2021-190505	A	13 December 2021	(Family: none)
JP 2005-039135	A	10 February 2005	(Family: none)
JP 2011-222707	A	04 November 2011	(Family: none)
JP 2015-069982	A	13 April 2015	(Family: none)

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 23/12(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2023.01)i FI: H01L25/04 C; H01L23/12 J</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L23/12; H01L25/07; H01L25/18</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2023年																			
日本国実用新案登録公報	1996 - 2023年																			
日本国登録実用新案公報	1994 - 2023年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2021-190505 A（ローム株式会社）13.12.2021（2021 - 12 - 13） 段落0029-0127、図1-23</td> <td>1,2</td> </tr> <tr> <td>A</td> <td></td> <td>3-17</td> </tr> <tr> <td>A</td> <td>JP 2005-039135 A（富士電機ホールディングス株式会社）10.02.2005（2005 - 02 - 10） 全文、全図</td> <td>3-17</td> </tr> <tr> <td>A</td> <td>JP 2011-222707 A（三菱電機株式会社）04.11.2011（2011 - 11 - 04） 全文、全図</td> <td>3-17</td> </tr> <tr> <td>A</td> <td>JP 2015-069982 A（株式会社日立製作所）13.04.2015（2015 - 04 - 13） 全文、全図</td> <td>3-17</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2021-190505 A（ローム株式会社）13.12.2021（2021 - 12 - 13） 段落0029-0127、図1-23	1,2	A		3-17	A	JP 2005-039135 A（富士電機ホールディングス株式会社）10.02.2005（2005 - 02 - 10） 全文、全図	3-17	A	JP 2011-222707 A（三菱電機株式会社）04.11.2011（2011 - 11 - 04） 全文、全図	3-17	A	JP 2015-069982 A（株式会社日立製作所）13.04.2015（2015 - 04 - 13） 全文、全図	3-17
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
X	JP 2021-190505 A（ローム株式会社）13.12.2021（2021 - 12 - 13） 段落0029-0127、図1-23	1,2																		
A		3-17																		
A	JP 2005-039135 A（富士電機ホールディングス株式会社）10.02.2005（2005 - 02 - 10） 全文、全図	3-17																		
A	JP 2011-222707 A（三菱電機株式会社）04.11.2011（2011 - 11 - 04） 全文、全図	3-17																		
A	JP 2015-069982 A（株式会社日立製作所）13.04.2015（2015 - 04 - 13） 全文、全図	3-17																		
<p>国際調査を完了した日</p> <p>06.03.2023</p>	<p>国際調査報告の発送日</p> <p>14.03.2023</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>井上 和俊 5F 3455</p> <p>電話番号 03-3581-1101 内線 3516</p>																			

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2022/047695

引用文献	公表日	パテントファミリー文献	公表日
JP 2021-190505 A	13.12.2021	(ファミリーなし)	
JP 2005-039135 A	10.02.2005	(ファミリーなし)	
JP 2011-222707 A	04.11.2011	(ファミリーなし)	
JP 2015-069982 A	13.04.2015	(ファミリーなし)	