



(12) 发明专利申请

(10) 申请公布号 CN 117855032 A

(43) 申请公布日 2024. 04. 09

(21) 申请号 202311190972.7

H01L 21/331 (2006.01)

(22) 申请日 2023.09.15

(30) 优先权数据

2022-161345 2022.10.06 JP

(71) 申请人 瑞萨电子株式会社

地址 日本东京都

(72) 发明人 山口直 丸山祥辉

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 刘奇

(51) Int. Cl.

H01L 21/266 (2006.01)

H01L 21/324 (2006.01)

H01L 29/06 (2006.01)

H01L 29/739 (2006.01)

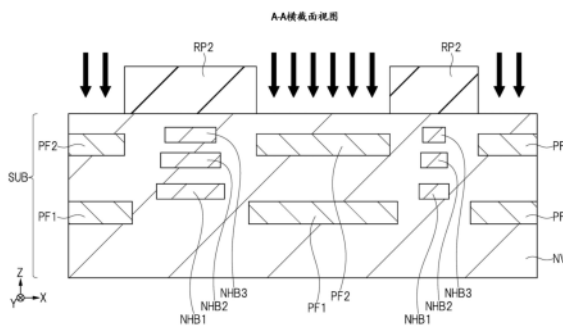
权利要求书5页 说明书10页 附图16页

(54) 发明名称

制造半导体器件的方法

(57) 摘要

本发明涉及提高半导体器件的性能并且抑制产量下降。使用抗蚀剂图案作为掩模,从半导体衬底的上表面执行离子注入以在该半导体衬底中形成离子注入层。随后,执行另一次离子注入。然后,在该半导体衬底中形成另一个离子注入层以便与该离子注入层重叠。接下来,在该半导体衬底上执行热处理以扩散该离子注入层中包含的杂质,从而形成p型浮置区域。



1. 一种半导体器件的制造方法,包括以下步骤:

(a) 制备第一导电类型的半导体衬底,所述半导体衬底具有上表面和与所述上表面相对的底表面;

(b) 在所述步骤(a)之后,在所述半导体衬底的所述上表面上形成第一抗蚀剂图案;

(c) 在所述步骤(b)之后,通过使用所述第一抗蚀剂图案作为掩模来执行具有第一离子注入能量的第一离子注入,在所述半导体衬底中形成第一离子注入层和第二离子注入层;

(d) 在所述步骤(c)之后,通过使用所述第一抗蚀剂图案作为掩模以不同于所述第一离子注入能量的第二离子注入能量执行第二离子注入,在所述半导体衬底中的在平面图中与所述第一离子注入层重叠的位置处形成第三离子注入层,并且在所述半导体衬底中的在平面图中与所述第二离子注入层重叠的位置处形成第四离子注入层;

(e) 在所述步骤(d)之后,移除所述第一抗蚀剂图案;

(f) 在所述步骤(e)之后,通过对所述半导体衬底执行第一热处理,通过扩散包含在所述第一离子注入层和所述第三离子注入层中的杂质,来形成与所述第一导电类型相反的第二导电类型的第一杂质区域,并且通过扩散包含在所述第二离子注入层和所述第四离子注入层中的杂质,来形成所述第二导电类型的第二杂质区域;

(g) 在所述步骤(f)之后,在所述半导体衬底的所述上表面上形成第一沟槽和第二沟槽;

(h) 在所述步骤(g)之后,在所述第一沟槽的侧表面上形成第一栅极绝缘膜,并且在所述第二沟槽的侧表面上形成第二栅极绝缘膜;以及

(i) 在所述步骤(h)之后,形成第一栅极电极以经由所述第一栅极绝缘膜填充所述第一沟槽,并且形成第二栅极电极以经由所述第二栅极绝缘膜填充所述第二沟槽,其中

所述第一沟槽具有第一侧表面、面向所述第一侧表面的第二侧表面以及连接所述第一侧表面和所述第二侧表面的第一底表面,

所述第二沟槽具有第三侧表面、面向所述第三侧表面的第四侧表面以及连接所述第三侧表面和所述第四侧表面的第二底表面,

所述第一沟槽和所述第二沟槽分离,使得所述第二侧表面和所述第三侧表面彼此相邻,

所述第一杂质区域被形成在靠近所述第一侧表面的所述半导体衬底中并且覆盖所述第一底表面,以越过所述第二侧表面,

所述第二杂质区域被形成在靠近所述第四侧表面的所述半导体衬底中并且覆盖所述第二底表面,以越过所述第三侧表面,并且

所述第一杂质区域和所述第二杂质区域彼此分离。

2. 根据权利要求1所述的半导体器件的制造方法,其中

所述第一离子注入能量大于所述第二离子注入能量。

3. 根据权利要求2所述的半导体器件的制造方法,

在所述步骤(g)中,形成所述第一沟槽和所述第二沟槽,使得所述第一底表面和所述第二底表面中的每一者的位置比所述第一离子注入层和所述第二离子注入层中的每一者的杂质浓度的峰值位置更浅。

4. 根据权利要求1所述的半导体器件的制造方法,其中

在所述步骤(h)中,通过热氧化方法形成氧化硅膜,

所述第一栅极绝缘膜和所述第二栅极绝缘膜包括所述氧化硅膜,并且

在所述步骤(f)中,所述第一热处理在与通过热氧化方法执行的热处理相比更低的温度和更短的时间下执行。

5. 根据权利要求1所述的半导体器件的制造方法,其中所述第一热处理在700摄氏度至900摄氏度的温度下以30秒至150秒的处理时间执行。

6. 根据权利要求2所述的半导体器件的制造方法,在所述步骤(a)之后所述步骤(b)之前,或在所述步骤(e)之后所述步骤(f)之前,

(j1) 在所述半导体衬底的所述上表面上形成第二抗蚀剂图案;

(j2) 在所述步骤(j1)之后,通过使用所述第二抗蚀剂图案作为掩模以第三离子注入能量执行第三离子注入,在所述半导体衬底中形成第五离子注入层;

(j3) 在所述步骤(j2)之后,通过使用所述第一抗蚀剂图案作为掩模以不同于所述第三离子注入能量的第四离子注入能量执行第四离子注入,在所述半导体衬底中的在平面图中与所述第五离子注入层重叠的位置处形成第六离子注入层;以及

(j4) 在所述步骤(j3)之后,移除所述第二抗蚀剂图案,其中

在所述步骤(f)中,通过对所述半导体衬底执行所述第一热处理,通过扩散包含在所述第五离子注入层和所述第六离子注入层中的杂质,来形成所述第一导电类型的第三杂质区域;以及

所述第三杂质区域被形成在所述第二侧表面和所述第三侧表面之间的所述半导体衬底中。

7. 根据权利要求6所述的半导体器件的制造方法,其中

所述第三离子注入能量大于所述第四离子注入能量。

8. 根据权利要求6所述的半导体器件的制造方法,还包括以下步骤:

(k) 在所述步骤(i)之后,在靠近所述半导体衬底的所述上表面的所述第三杂质区域中形成所述第二导电类型的基极区域,以比所述第一沟槽的所述第一底表面和所述第二沟槽的所述第二底表面更浅;

(l) 在所述步骤(k)之后,在所述基极区域中形成所述第一导电类型的发射极区域;

(m) 在所述步骤(l)之后,在所述半导体衬底的所述上表面上形成层间绝缘膜,以覆盖所述第一沟槽和所述第二沟槽;

(n) 在所述步骤(m)之后,在所述层间绝缘膜上形成栅极布线和发射极电极;

(o) 在所述步骤(n)之后,在靠近所述半导体衬底的所述底表面的半导体衬底中形成所述第二导电类型的集电极区域;以及

(p) 在所述步骤(o)之后,在所述半导体衬底的所述底表面上形成集电极电极,其中

所述发射极区域和所述基极区域电连接到所述发射极电极,

所述第一栅极电极和所述第二栅极电极电连接到所述栅极布线;以及

所述集电极区域电连接到所述集电极电极。

9. 根据权利要求8所述的半导体器件的制造方法,其中

在所述步骤(c)中,通过执行所述第一离子注入在所述半导体衬底中形成第七离子注入层;

在所述步骤(d)中,通过执行所述第二离子注入,在所述半导体衬底中的在平面图中与所述第七离子注入层重叠的位置处形成第八离子注入层;

在所述步骤(f)中,通过执行所述第一热处理,通过扩散包含在所述第七离子注入层和所述第八离子注入层中的杂质,来形成所述第二导电类型的第四杂质区域;

在所述步骤(g)中,在所述半导体衬底的所述上表面上形成第三沟槽和第四沟槽;

在所述步骤(h)中,在所述第三沟槽的侧表面上形成第三栅极绝缘膜,并且在所述第四沟槽的侧表面上形成第四栅极绝缘膜;以及

在所述步骤(i)中,形成第三栅极电极以经由所述第三栅极绝缘膜填充所述第三沟槽,并且形成第四栅极电极以经由所述第四栅极绝缘膜填充所述第四沟槽,其中

所述第三沟槽具有第五侧表面、面向所述第五侧表面的第六侧表面以及连接所述第五侧表面和所述第六侧表面的第三底表面,

所述第四沟槽具有第七侧表面、面向所述第七侧表面的第八侧表面以及连接所述第七侧表面和所述第八侧表面的第四底表面,

所述第三沟槽和所述第四沟槽分离,使得所述第六侧表面和所述第七侧表面彼此相邻,

所述第二杂质区域被形成在所述第四侧表面和所述第五侧表面之间的所述半导体衬底中并且覆盖所述第三底表面,以越过所述第六侧表面,

所述第四杂质区域被形成在靠近所述第八侧表面的所述半导体衬底中并且覆盖所述第四底表面,以越过所述第七侧表面,

形成所述层间绝缘膜,以覆盖所述第三沟槽和所述第四沟槽,并且

所述第三栅极电极和所述第四栅极电极电连接到所述发射极电极。

10. 根据权利要求9所述的半导体器件的制造方法,其中

所述第二杂质区域和所述第四杂质区域彼此接触。

11. 一种半导体器件的制造方法,包括以下步骤:

(a) 制备第一导电类型的半导体衬底,所述半导体衬底具有上表面和与上述上表面相对的底表面;

(b) 在所述步骤(a)之后,通过执行第一离子注入在所述半导体衬底中形成第一离子注入层和第二离子注入层;

(c) 在步骤(b)之后,通过对所述半导体衬底执行第一热处理,通过扩散包含在所述第一离子注入层中的杂质,来形成与所述第一导电类型相反的第二导电类型的第一杂质区域,并且通过扩散包含在所述第二离子注入层中的杂质,来形成所述第二导电类型的第二杂质区域;

(d) 在所述步骤(c)之后,在所述半导体衬底的所述上表面上形成第一沟槽和第二沟槽;

(e) 在所述步骤(d)之后,在所述第一沟槽的侧表面上形成第一栅极绝缘膜,并且在所述第二沟槽的侧表面上形成第二栅极绝缘膜;以及

(f) 在所述步骤(e)之后,形成第一栅极电极以经由所述第一栅极绝缘膜填充所述第一沟槽,并且形成第二栅极电极以经由所述第二栅极绝缘膜填充所述第二沟槽,其中

所述第一沟槽具有第一侧表面、面向所述第一侧表面的第二侧表面以及连接所述第一

侧表面和所述第二侧表面的第一底表面，

所述第二沟槽具有第三侧面、面向所述第三侧表面的第四侧面以及连接所述第三侧面和所述第四侧面的第二底表面，

所述第一沟槽和所述第二沟槽分离，使得所述第二侧面和所述第三侧面彼此相邻，

所述第一杂质区域形成在靠近所述第一侧表面的所述半导体衬底中并且覆盖所述第一底表面，以越过所述第二侧面，

所述第二杂质区域形成在靠近所述第四侧面的所述半导体衬底中并且覆盖所述第二底表面，以越过所述第三侧面，并且

所述第一杂质区域和所述第二杂质区域彼此分离。

12. 根据权利要求11所述的半导体器件的制造方法，

在所述步骤(d)中，形成所述第一沟槽和所述第二沟槽，使得所述第一底表面和所述第二底表面中的每一者的位置，比所述第一离子注入层和所述第二离子注入层中的每一者的杂质浓度的峰值位置更浅。

13. 根据权利要求11所述的半导体器件的制造方法，其中

在所述步骤(e)中，通过热氧化方法形成氧化硅膜，

所述第一栅极绝缘膜和所述第二栅极绝缘膜包括所述氧化硅膜，并且

在所述步骤(c)中，所述第一热处理在与通过热氧化方法执行的热处理相比更低的温度和更短的时间下执行。

14. 根据权利要求11所述的半导体器件的制造方法，其中所述第一热处理在700摄氏度至900摄氏度的温度下以30秒至150秒的处理时间执行。

15. 根据权利要求11所述的半导体器件的制造方法，在所述步骤(a)之后所述步骤(b)之前、或在所述步骤(b)之后所述步骤(c)之前，

(g1) 在所述半导体衬底的所述上表面上形成第二抗蚀剂图案；

(g2) 在所述步骤(g1)之后，通过使用所述第二抗蚀剂图案作为掩模以第三离子注入能量执行第三离子注入，在所述半导体衬底中形成第五离子注入层；

(g3) 在所述步骤(g2)之后，通过使用所述第一抗蚀剂图案作为掩模以不同于所述第三离子注入能量的第四离子注入能量执行第四离子注入，在所述半导体衬底中的在平面图中与所述第五离子注入层重叠的位置处形成第六离子注入层；以及

(g4) 在所述步骤(g3)之后，移除所述第二抗蚀剂图案，其中

在所述步骤(c)中，通过对半导体衬底执行所述第一热处理，通过扩散包含在所述第五离子注入层和所述第六离子注入层中的杂质来形成所述第一导电类型的第三杂质区域；以及

所述第三杂质区域形成在所述第二侧面和所述第三侧面之间的所述半导体衬底中。

16. 根据权利要求15所述的半导体器件的制造方法，其中

所述第三离子注入能量大于所述第四离子注入能量。

17. 根据权利要求16所述的半导体器件的制造方法，还包括以下步骤：

(h) 在所述步骤(f)之后，在靠近半导体衬底的上表面的第三杂质区域中形成所述第二

导电类型的基极区域,以比所述第一沟槽的所述第一底表面和所述第二沟槽的所述第二底表面更浅;

(i) 在所述步骤(h)之后,在所述基极区域中形成所述第一导电类型的发射极区域;

(j) 在所述步骤(i)之后,在所述半导体衬底的所述上表面上形成层间绝缘膜,以覆盖所述第一沟槽和所述第二沟槽;

(k) 在所述步骤(j)之后,在所述层间绝缘膜上形成栅极布线和发射极电极;

(l) 在所述步骤(k)之后,在靠近所述半导体衬底的所述底表面的所述半导体衬底中形成所述第二导电类型的集电极区域;以及

(m) 在所述步骤(l)之后,在所述半导体衬底的所述底表面上形成集电极电极,其中

所述发射极区域和所述基极区域电连接到所述发射极电极,

所述第一栅极电极和所述第二栅极电极电连接到所述栅极布线;以及

所述集电极区域电连接到所述集电极电极。

18. 根据权利要求17所述的半导体器件的制造方法,其中

在所述步骤(b)中,通过执行所述第一离子注入在所述半导体衬底中形成第七离子注入层;

在所述步骤(c)中,通过执行所述第一热处理,通过扩散包含在所述第七离子注入层中的杂质来形成所述第二导电类型的第四杂质区域;

在所述步骤(d)中,在所述半导体衬底的所述上表面上形成第三沟槽和第四沟槽;

在所述步骤(e)中,在所述第三沟槽的侧表面上形成第三栅极绝缘膜,并且在所述第四沟槽的侧表面上形成第四栅极绝缘膜;以及

在所述步骤(f)中,形成第三栅极电极以经由所述第三栅极绝缘膜填充所述第三沟槽,并且形成第四栅极电极以经由所述第四栅极绝缘膜填充所述第四沟槽,其中

所述第三沟槽具有第五侧表面、面向所述第五侧表面的第六侧表面以及连接所述第五侧表面和所述第六侧表面的第三底表面,

所述第四沟槽具有第七侧表面、面向所述第七侧表面的第八侧表面以及连接所述第七侧表面和所述第八侧表面的第四底表面,

所述第三沟槽和所述第四沟槽分离,使得所述第六侧表面和所述第七侧表面彼此相邻,

所述第二杂质区域形成在所述第四侧表面和所述第五侧表面之间的所述半导体衬底中并且覆盖所述第三底表面,以越过所述第六侧表面,

所述第四杂质区域形成在靠近所述第八侧表面的所述半导体衬底中并且覆盖所述第四底表面,以越过所述第七侧表面,

形成层间绝缘膜,以覆盖所述第三沟槽和所述第四沟槽,并且

所述第三栅极电极和所述第四栅极电极电连接到所述发射极电极。

19. 根据权利要求18所述的半导体器件的制造方法,其中

所述第二杂质区域和所述第四杂质区域彼此接触。

制造半导体器件的方法

[0001] 相关申请的交叉引用

[0002] 2022年10月6日提交的日本专利申请第2022-161345号的包括说明书、附图和摘要公开内容通过引用整体并入本文。

技术领域

[0003] 本公开涉及一种制造半导体器件的方法,并且更特别地,涉及一种制造包括形成在沟槽中的栅极电极的半导体器件的方法。

背景技术

[0004] 近年来,包括诸如IGBT(绝缘栅极双极晶体管)的功率半导体器件的半导体器件已经被广泛使用。另外,作为具有较低导通电阻的IGBT,栅极电极嵌入在沟槽中并且使用一种结构。

[0005] 例如,日本专利特开第2013-140885号(专利文献1)公开了使用IE(注入增强)效应的GGEE结构的IGBT。IE效应是一种当IGBT处于导通状态时,通过使空穴难以放电到发射极电极EE来增加漂移区域中累积的电荷浓度的技术。

[0006] 应注意的是,GGEE结构的“G”意味着其中连接到栅极电势的栅极电极嵌入在沟槽中的结构,并且被称为栅极沟槽。另外,GGEE结构的“E”意味着其中连接到发射极电势的栅极电极嵌入在沟槽中的结构,并且被称为发射极沟槽。因此,GGEE结构是在稍微远离一对栅极沟槽的位置处形成一对发射极沟槽的结构。

[0007] 还如专利文献1中所公开的,在一对栅极沟槽和一对发射极沟槽之间的半导体衬底中形成p型浮置区域以利用IE效应。p型浮置区域被形成到比一对栅极沟槽和一对发射极沟槽中的每一对的深度更深的位置。另外,在夹在一对栅极沟槽和一对发射极沟槽之间的半导体衬底中形成杂质浓度比漂移区域高的n型空穴势垒区域。

发明内容

[0008] 为了形成浮置区域和空穴势垒区域,一般使用一种方法,其中通过离子注入法将杂质引入半导体衬底中相对较浅的位置,形成沟槽,并且然后通过热处理使杂质扩散。例如,专利文献1也公开了此类方法。然而,为了将浮置区域的杂质扩散到比沟槽的深度更深的位置,需要高温和长时间的热处理。此类热处理例如在充满惰性气体的炉体内,在1200摄氏度的温度条件下执行,处理时间为30分钟。

[0009] 在炉体的内部,半导体衬底(晶片)的底表面由被称为翼板等的支撑构件支撑,但是在高温和长时间热处理中,晶片在晶片和支撑构件之间的接触点处被其自身重量损坏,并且可能从擦伤开始发生滑移。滑移是在高温下晶体塑性变形期间生成的晶体位错缺陷。当堆叠大量晶体位错缺陷时,在晶片表面上可能出现台阶。因此,当滑移发生时,存在产量降低和制造成本增加的问题。此外,近年来,由于使用诸如300mm的大直径晶片,因此晶片的重量趋于变重,并且可能发生滑移。

[0010] 当要形成浮置区域以覆盖沟槽的底表面时,杂质不仅需要在深度方向上扩散而且还需要在横向方向上扩散。然而,在通过长时间段热扩散的控制中,由于可控性不是很高,所以难以精确地调整浮置区域的形成位置。此外,还存在难以设计杂质浓度分布的问题。

[0011] 本申请的主要目的是提供一种能够精确调整形成浮置区域的位置、尽可能降低热处理的温度,并且尽可能缩短热处理时间的技术。这提高了半导体器件的性能并且抑制了产量的降低。从本说明书和附图的描述中,其他目的和新颖特征将变得显而易见。

[0012] 本申请中公开的典型实施例将简要描述如下。

[0013] 根据本发明的一个实施例的半导体器件包括:(a)制备具有上表面和与上表面相对的底表面的第一导电类型的半导体衬底;(b)在半导体衬底的上表面上形成第一抗蚀剂图案;(c)经由使用第一抗蚀剂图案作为掩模以第一离子注入能量执行第一离子注入,在半导体衬底中形成第一离子注入层和第二离子注入层;(d)经由使用第一抗蚀剂图案作为掩模以不同于第一离子注入能量的第二离子注入能量执行第二离子注入,在半导体衬底中的在平面图中与第一离子注入层重叠的位置形成第三离子注入层并且在半导体衬底中的在平面图中与第二离子注入层重叠的位置形成第四离子注入层;(e)移除第一抗蚀剂图案;(f)通过对半导体衬底执行第一热处理,通过扩散包含在第一离子注入层和第三离子注入层中的杂质,来形成与第一导电类型相反的第二导电类型的第一杂质区域,并且通过扩散包含在第二离子注入层和第四离子注入层中的杂质,来形成第二导电类型的第二杂质区域;(g)在半导体衬底的上表面上形成第一沟槽和第二沟槽;(h)在第一沟槽的侧表面上形成第一栅极绝缘膜并且在第二沟槽的侧表面上形成第二栅极绝缘膜;以及(i)形成第一栅极电极以经由第一栅极绝缘膜填充第一沟槽并且形成第二栅极电极以经由第二栅极绝缘膜填充第二沟槽。并且第一沟槽具有第一侧表面、面向第一侧表面的第二侧表面和连接第一侧表面和第二侧表面的第一底表面,第二沟槽具有第三侧表面、面向第三侧表面的第四侧表面以及连接第三侧表面和第四侧表面的第二底表面,第一沟槽和第二沟槽分离,使得第二侧表面和第三侧表面彼此相邻,第一杂质区域形成在靠近第一侧表面的半导体衬底中,并且覆盖第一底表面以越过第二侧表面,第二杂质区域形成在靠近第四侧表面的半导体衬底中,并且覆盖第二底表面以越过第三侧表面,并且第一杂质区域和第二杂质区域彼此分离。

[0014] 根据本发明的另一个实施例的半导体器件包括:(a)制备具有上表面和与上表面相对的底表面的第一导电类型的半导体衬底;(b)经由执行第一离子注入,在半导体衬底中形成第一离子注入层和第二离子注入层;(c)通过对半导体衬底执行第一热处理,经由扩散包含在第一离子注入层中的杂质,来形成与第一导电类型相反的第二导电类型的第一杂质区域,并且通过扩散包含在第二离子注入层中的杂质,来形成第二导电类型的第二杂质区域;(d)在半导体衬底的上表面上形成第一沟槽和第二沟槽;(e)在第一沟槽的侧表面上形成第一栅极绝缘膜并且在第二沟槽的侧表面上形成第二栅极绝缘膜;以及(f)形成第一栅极电极以经由第一栅极绝缘膜填充第一沟槽并且形成第二栅极电极以经由第二栅极绝缘膜填充第二沟槽。并且第一沟槽具有第一侧表面、面向第一侧表面的第二侧表面和连接第一侧表面和第二侧表面的第一底表面,第二沟槽具有第三侧表面、面向第三侧表面的第四侧表面以及连接第三侧表面和第四侧表面的第二底表面,第一沟槽和第二沟槽分离,使得第二侧表面和第三侧表面彼此相邻,第一杂质区域形成在靠近第一侧表面的半导体衬底

中,并且覆盖第一底表面以越过第二侧表面,第二杂质区域形成在靠近第四侧表面的半导体衬底中,并且覆盖第二底表面以越过第三侧表面,并且第一杂质区域和第二杂质区域彼此分离。

[0015] 根据实施例,可以提高半导体器件的性能,并且可以抑制产量的降低。

附图说明

[0016] 图1是示出根据第一实施例的半导体器件的平面图。

[0017] 图2是示出根据第一实施例的半导体器件的主要部分平面图。

[0018] 图3是根据第一实施例的沿着图2中示出的线A-A的横截面视图。

[0019] 图4是根据第一实施例的对应于图1中示出的区域2A的主要部分横截面视图。

[0020] 图5是示出根据第一实施例的半导体器件的制造方法的步骤的横截面视图。

[0021] 图6是示出根据第一实施例在图5中示出的步骤之后执行的步骤的横截面视图。

[0022] 图7是示出根据第一实施例在图6中示出的步骤之后执行的步骤的横截面视图。

[0023] 图8是示出根据第一实施例在图7中示出的步骤之后执行的步骤的横截面视图。

[0024] 图9是示出根据第一实施例在图8中示出的步骤之后执行的步骤的横截面视图。

[0025] 图10是用于解释当图9中示出的步骤完成时沟槽周围的结构横截面视图。

[0026] 图11是示出根据第一实施例在图9中示出的步骤之后执行的步骤的横截面视图。

[0027] 图12是示出根据第一实施例在图11中示出的步骤之后执行的步骤的横截面视图。

[0028] 图13是示出根据第一实施例在图12中示出的步骤之后执行的步骤的横截面视图。

[0029] 图14是示出根据第一实施例在图13中示出的步骤之后执行的步骤的横截面视图。

[0030] 图15是示出根据第一实施例在图14中示出的步骤之后执行的步骤的横截面视图。

[0031] 图16是示出根据第二实施例的半导体器件制造方法的步骤的横截面视图。

具体实施方式

[0032] 在用于解释实施例的所有附图中,具有相同功能的构件由相同的附图标记表示,并且省略其重复描述。在以下实施例中,除非特别必要,否则原则上将不再重复相同或类似部分的描述。

[0033] 另外,本申请中描述的X方向、Y方向和Z方向彼此相交,并且彼此正交。在本申请中,Z方向被描述为特定结构的竖直方向、高度方向或厚度方向。另外,在本申请中使用的表述“平面图”意味着由X方向和Y方向形成的平面是“平面”,并且该“平面”是从Z方向观察的。

[0034] (第一实施例)

[0035] (半导体器件的结构)

[0036] 下面将参考图1至图4描述第一实施例中的半导体器件100的结构。第一实施例的主要特征是p型浮置区域FP和空穴势垒区域的结构及其制造工艺。将在下面详细描述此类特征。

[0037] 图1是示出作为半导体器件100的半导体芯片的平面图。如图1中所示,半导体器件100的大部分被发射极电极EE覆盖。栅极布线GW形成为在平面图中围绕发射极电极EE。场限制布线FLW形成为在平面图中围绕栅极布线GW。这里,尽管例示了两个场限制布线FLW,但是场限制布线FLW的数量可以是至少一个或更多个,并且可以是三个或更多个。

[0038] 尽管这里未图示,但是发射极电极EE、栅极布线GW和场限制布线FLW被诸如聚酰亚胺膜的保护膜覆盖。在发射极电极EE和栅极布线GW上,在保护膜的部分中设置有开口,并且在开口中暴露的区域成为发射极焊盘EP和栅极焊盘GP。诸如接合线或夹具(铜板)的外部连接构件连接到发射极焊盘EP和栅极焊盘GP,使得半导体器件100电连接到另一个半导体芯片或布线衬底。

[0039] 半导体器件100包括单元区域和围绕单元区域的外周区域。在单元区域中,形成诸如IGBT的主要半导体器件。栅极布线GW和场限制布线FLW形成在外周区域中。图1中示出的区域1A指示单元区域的一部分,并且区域2A指示外周区域的一部分。

[0040] 图2是对应于图1中示出的1A区域的主要部分平面图。图2中示出的IGBT是基于GGEE结构的IE效果。半导体器件100具有用于执行IGBT的主要操作的有源单元AC和除有源单元AC之外的无源单元IAC。

[0041] 如图2中所示,多个沟槽TR在Y方向上延伸并且在X方向上彼此邻接。在有源单元AC的沟槽TR中形成栅极电极GE1。栅极电极GE2形成在无源单元IAC的沟槽TR的内部。栅极布线GW电连接到有源单元AC的栅极电极GE1,并且当操作IGBT时供应栅极电势。发射极电极EE电连接到无源单元IAC的栅极电极GE2,并且当操作IGBT时供应发射极电势。另外,有源单元AC的基极区域PB和发射极区域NE电连接到无源单元IAC的基极区域PB,并且当IGBT操作时发射极电势被供应给发射极电极EE。

[0042] 图3是沿着图2中示出的线A-A的横截面视图。半导体器件100包括具有上表面和底表面的n型半导体衬底SUB。半导体衬底SUB具有n型漂移区域NV。这里,n型半导体衬底SUB本身构成漂移区域NV。漂移区域NV可以是n型硅衬底SUB以及通过外延生长方法在硅衬底SUB上引入磷(P)而生长的半导体层的叠层。在此实施例中,此类叠层也被描述为半导体衬底SUB。

[0043] 在半导体衬底SUB中,靠近半导体衬底SUB的底表面形成n型场截止区域(杂质区域)NS。场截止区域NS的杂质浓度高于漂移区域NV的杂质浓度。提供场截止区域NS,以防止当IGBT截止时从靠近半导体衬底SUB的上表面的pn结延伸的耗尽层到达p型集电极区域PC。

[0044] p型集电极区域(杂质区域)PC靠近半导体衬底SUB的底表面而形成在半导体衬底SUB中。集电极区域PC位于场截止区域NS的下方。

[0045] 在半导体衬底SUB的底表面上形成集电极电极CE。集电极电极CE电连接到集电极区域PC并且向集电极区域PC供应集电极电势。集电极电极CE例如是单层金属膜(诸如Au膜、Ni膜、Ti膜或AlSi膜),或是通过适当层压这些层而获得的层压金属膜。

[0046] 在半导体衬底SUB的上表面处的半导体衬底SUB中,形成沟槽TR。沟槽TR穿过稍后将描述的发射极区域NE和基极区域PB,并且到达半导体衬底SUB。沟槽TR的深度例如为2微米或更大且5微米或更小。

[0047] 在沟槽TR的内部形成有栅极绝缘膜GI。栅极电极GE1和GE2通过栅极绝缘膜GI嵌入在沟槽TR中。栅极绝缘膜GI是绝缘膜,并且例如是氧化硅膜。栅极电极GE1和GE2是导电膜,例如,引入了n型杂质的掺杂多晶硅膜。栅极绝缘膜GI的厚度例如大于或等于70纳米并且小于或等于150纳米。

[0048] 在靠近半导体衬底SUB的上表面的有源单元AC处,在一对沟槽TR(一对栅极电极GE1)之间的半导体衬底SUB中形成空穴势垒区域(杂质区域)NHB。空穴势垒区域NHB的杂质

浓度高于漂移区域NV的杂质浓度。

[0049] 在空穴势垒区域NHB中,形成p型基极区域(杂质区域)PB。并且,n型发射极区域(杂质区域)NE形成在p型基极区域PB中。发射极区域NE的杂质浓度高于漂移区域NV的杂质浓度。并且基极区域PB形成为比沟槽TR的深度更浅,并且发射极区域NE形成为比基极区域PB的深度更浅。

[0050] 在靠近半导体衬底SUB的上表面的无源单元IAC处,空穴势垒区域NHB形成在一对沟槽TR(一对栅极电极GE2)之间的半导体衬底SUB中。并且p型浮置区域(杂质区域)PF形成在栅极电极GE1和栅极电极GE2之间的半导体衬底SUB中。并且p型基极区域PB形成在空穴势垒区域NHB和浮置区域PF中。基极区域PB的杂质浓度高于浮置区域PF的杂质浓度。

[0051] 浮置区域PF和形成在浮置区域PF中的基极区域PB不与栅极布线GW和发射极电极EE电连接,并且不向其供应电势。为了提高结击穿电压,浮置区域PF被形成到比沟槽TR的底部更深的位置并且被形成为覆盖沟槽TR的底部。

[0052] 在半导体衬底SUB的上表面上形成层间绝缘膜IL以覆盖沟槽TR。层间绝缘膜IL例如是氧化硅膜。层间绝缘膜IL的厚度例如为600纳米以上且1500纳米以下。

[0053] 在有源单元AC中,接触孔CH穿过层间绝缘膜IL和发射极区域NE,并且到达基极区域PB。接触孔CH形成为与发射极区域NE和基极区域PB接触。

[0054] 在接触孔CH的上部,层间绝缘膜IL缩回。也就是说,位于半导体衬底SUB的上表面上方的接触孔CH的开口的尺寸,大于位于半导体衬底SUB的上表面下方的接触孔CH的开口的尺寸。因此,发射极区域NE的上表面的一部分从层间绝缘膜IL暴露出来。因此,发射极电极EE不仅接触发射极区域NE的侧表面,而且接触发射极区域NE的上表面在接触孔CH的内部的部分。因此,可以减小发射极电极EE和发射极区域NE之间的接触电阻。

[0055] 在无源单元IAC中,接触孔CH穿过层间绝缘膜IL并且到达基极区域PB。接触孔CH形成为在平面图中与栅极电极GE2重叠。因此,无源单元IAC中的接触孔CH形成为与栅极电极GE2和基极区域PB接触。

[0056] 在有源单元AC和无源单元IAC中,p型高浓度扩散区域(杂质区域)PR形成在接触孔CH底部周围的基极区域PB中。高浓度扩散区域PR的杂质浓度高于基极区域PB的杂质浓度。提供高浓度扩散区域PR是为了降低与发射极电极EE的接触电阻并且防止闩锁。

[0057] 插塞PG填充在接触孔CH中。插塞PG包括势垒金属膜和形成在势垒金属膜上的导电膜。势垒金属膜是例如钛膜和形成在钛膜上的氮化钛膜的层压膜。导电膜例如是钨膜。

[0058] 尽管这里未示出,但是接触孔CH也形成在栅极电极GE1的一部分上,并且插塞PG也形成在接触孔CH的内部。

[0059] 发射极电极EE形成在层间绝缘膜IL上。发射极电极EE经由插塞PG电连接到发射极区域NE、基极区域PB、高浓度扩散区域PR和栅极电极GE2,并且向这些区域供应发射极电势。

[0060] 应注意的是,尽管这里未示出,但是在与发射极电极EE相同的制造工艺中形成的栅极布线GW也形成在层间绝缘膜IL上。栅极布线GW经由插塞PG电连接到栅极电极GE1并且向栅极电极GE1供应栅极电势。发射极电极EE和栅极布线GW包括例如TiW膜和形成在TiW膜上的铝膜。铝膜是发射极电极EE和栅极布线GW的主要导电膜,并且比TiW膜足够厚。

[0061] 图4是对应于图1中示出的2A区域的主要部分横截面视图。在半导体衬底SUB的上表面处的外周区域的半导体衬底SUB中,形成p型场限制区域PFR。场限制区域PFR是在与浮

置区域PF相同的制造工艺中形成的杂质区域。

[0062] 在外周区域的半导体衬底SUB的上表面上形成绝缘膜IF1以便横跨相应场限制区域PFR。绝缘膜IF1是绝缘膜,并且例如是氧化硅膜。绝缘膜IF1的厚度例如为200纳米以上且300纳米以下。

[0063] 层间绝缘膜IL形成在场限制区域PFR上以及绝缘膜IF1上。接触孔CH穿过层间绝缘膜IL并且到达场限制区域PFR。高浓度扩散区域PR形成在接触孔CH底部周围的场限制区域PFR中。插塞PG也形成在接触孔CH的内部。在与发射极电极EE和栅极布线GW相同的制造工艺中形成的场限制布线FLW,形成在层间绝缘膜IL上。

[0064] 场限制布线FLW经由插塞PG电连接到场限制区域PFR。场限制布线FLW和场限制区域PFR不电连接到发射极电极EE和栅极布线GW,并且是浮置的。

[0065] 由于提供了场限制区域PFR,所以耗尽层从单元区域向外周区域延伸,使得可以缓和与施加到单元区域的IGBT的高压相关联地生成的高电场。此外,在平面图中,场限制布线FLW不仅覆盖场限制区域PFR,而且还覆盖场限制区域PFR和漂移区域NV之间的边界。因此,在边界处生成的电场也被缓和。

[0066] (半导体器件的制造方法)

[0067] 下面将参考图5至图15描述第一实施例中的半导体器件100制造方法中包括的相应制造步骤。

[0068] 如图5中所示,首先,制备具有上表面和底表面的n型半导体衬底SUB。如上面所描述的,n型半导体衬底SUB本身构成漂移区域NV,但是漂移区域NV可以是在n型硅衬底上生长的n型半导体层,同时通过外延生长方法引入磷(P)。

[0069] 此后,尽管这里未示出,但是形成了图4中示出的绝缘膜IF1。由氧化硅膜制成的绝缘膜IF1通过例如热氧化方法形成在半导体衬底SUB的上表面上。接下来,在绝缘膜IF1上形成具有开口的抗蚀剂图案。接下来,使用抗蚀剂图案作为掩模来执行各向异性蚀刻以移除在开口处暴露的绝缘膜IF1,从而暴露半导体衬底SUB的上表面。接下来,通过灰化移除抗蚀剂图案。如图4中所示,通过以此方式图案化绝缘膜IF1,绝缘膜IF1选择性地形成在半导体衬底SUB的上表面上。

[0070] 如图6中所示,首先,在半导体衬底SUB的上表面上形成抗蚀剂图案RP1。抗蚀剂图案RP1具有用于打开稍后成为有源单元AC和无源单元IAC中的每一者的空穴势垒区域NHB的区域的图案。接下来,使用抗蚀剂图案RP1作为掩模,从半导体衬底SUB的上表面执行多次n型离子注入。在此示例中,执行了三次n型离子注入。在第三次n型离子注入之后,通过灰化移除抗蚀剂图案RP1。

[0071] 在离子种类为磷(P)、注入能量约为1000keV、剂量约为 $3.0 \times 10^{12} \text{cm}^{-2}$ 的条件下执行第一次n型离子注入。因此,在半导体衬底SUB中形成离子注入层NHB1。

[0072] 在离子种类为磷(P)、注入能量约为600keV、剂量约为 $3.0 \times 10^{12} \text{cm}^{-2}$ 的条件下执行第二次n型离子注入。因此,在半导体衬底SUB中形成离子注入层NHB2。离子注入层NHB2形成在半导体衬底SUB中,在平面图中与离子注入层NHB1重叠,并且位于离子注入层NHB1上方。

[0073] 在离子种类为磷(P)、注入能量约为300keV、剂量约为 $4.0 \times 10^{12} \text{cm}^{-2}$ 的条件下执行第三次n型离子注入。因此,在半导体衬底SUB中形成离子注入层NHB3。离子注入层NHB3形成在半导体衬底SUB中,在平面图中与离子注入层NHB2重叠,并且位于离子注入层NHB2上方。

[0074] 这里,随着能量增加,离子注入层形成在较深的位置,然而,当执行离子注入时,在半导体衬底SUB中生成晶体位错缺陷。当从浅位置依次形成离子注入层时,当对深位置执行离子注入时,杂质分布有可能被浅位置中出现的晶体位错缺陷扰乱。因此,优选首先对较深的位置执行离子注入。

[0075] 也就是说,尽管第一次至第三次n型离子注入的能量彼此不同,但是优选首先执行具有大能量的n型离子注入。因此,优选首先执行第一次n型离子注入,然后执行第二次n型离子注入,并且然后执行第三次n型离子注入。

[0076] 并且从垂直于半导体衬底SUB的上表面的角度执行第一次至第三次n型离子注入。离子注入到较深的位置增加了离子相互碰撞和散射的可能性。因此,在较深位置形成的离子注入层容易向横向扩散。因此,离子注入层NHB1的宽度比离子注入层NHB2的宽度更宽,并且离子注入层NHB2的宽度比离子注入层NHB3的宽度更宽。

[0077] 如图7中所示,首先,在半导体衬底SUB的上表面上形成抗蚀剂图案RP2。抗蚀剂图案RP2具有用于打开稍后成为浮置区域FP的区域的图案。接下来,使用抗蚀剂图案RP2作为掩模,从半导体衬底SUB的上表面执行多次p型离子注入。这里,例示了执行两次p型离子注入的情况。在执行第二次p型离子注入之后,通过灰化移除抗蚀剂图案RP2。

[0078] 在离子种类为硼(B)、注入能量约为1250keV、剂量约为 $6.0 \times 10^{12} \text{cm}^{-2}$ 的条件下执行第一次p型离子注入。因此,在半导体衬底SUB中形成离子注入层PF1。

[0079] 在离子种类为硼(B)、注入能量约为300keV、剂量约为 $1.6 \times 10^{13} \text{cm}^{-2}$ 的条件下执行第二次p型离子注入。因此,在半导体衬底SUB中形成离子注入层PF2。

[0080] 离子注入层PF2形成在半导体衬底SUB中,在平面图中与离子注入层PF1重叠,并且位于离子注入层PF1上方。

[0081] 同样,尽管第一次p型离子注入和第二次p型离子注入的能量不同,但出于与第一次n型离子注入至第三次n型离子注入相同的原因,优选首先以大能量执行p型离子注入。因此,优选首先执行第一次p型离子注入并且然后执行第二次p型离子注入。第一次p型离子注入和第二次p型离子注入也从垂直于半导体衬底SUB的上表面的角度执行。出于与每个离子注入层NHB1至NHB3的宽度关系相同的原因,离子注入层PF1的宽度比离子注入层PF2的宽度宽。

[0082] 应注意的是,形成离子注入层PF1和PF2的制造步骤可以在形成离子注入层NHB1至NHB3的制造步骤之前执行。

[0083] 如图8中所示,在形成离子注入层NHB1至NHB3以及离子注入层PF1和PF2之后,对半导体衬底SUB执行热处理。此热处理诸如在填充有诸如氮气的气体的气氛中、在大于等于摄氏度且小于等于900摄氏度的温度下,以及在大于等于30秒且小于等于150秒的处理时间下执行。

[0084] 通过此热处理,离子注入层PF1和PF2中的每一者中包含的杂质(B)扩散以形成p型浮置区域PF。通过此热处理,离子注入层NHB1至NHB3中的每一个中包含的杂质(P)扩散以形成n型空穴势垒区域NHB。另外,通过此热处理,在离子注入期间生成的晶体位错缺陷被恢复。

[0085] 应注意的是,图4中示出的场限制区域PFR是通过与用于形成p型浮置区域PF的制造工艺相同的制造工艺形成的。也就是说,离子注入层PF1和PF2也形成在外周区域的半导

体衬底SUB中。然后,通过热处理,离子注入层PF1和PF2中的每一个中包含的杂质(B)扩散以形成场限制区域PFR。

[0086] 在半导体衬底SUB的上表面处的半导体衬底SUB中,形成沟槽TR。为了形成沟槽TR,首先,例如通过CVD方法在半导体衬底SUB的上表面上形成氧化硅膜。接下来,在氧化硅膜上形成具有开口的抗蚀剂图案。接下来,通过使用抗蚀剂图案作为掩模来执行各向异性蚀刻,来对氧化硅膜执行图案化以形成硬掩模HM。接下来,通过灰化移除抗蚀剂图案。接下来,通过使用硬掩模HM作为掩模来执行各向异性蚀刻以在半导体衬底SUB中形成沟槽TR。此后,通过例如使用含氢氟酸的溶液的湿法蚀刻移除硬掩模HM。

[0087] 图10是用于解释在图9的制造工艺完成时沟槽TR周围的配置的横截面视图。

[0088] 如图10中所示,在有源单元AC中形成的一对沟槽TR中,沟槽TR中的一个具有侧表面SS1、面向侧表面SS1的侧表面SS2以及连接侧表面SS1和侧表面SS2的底表面BS1。有源单元AC的沟槽TR中的另一个具有侧表面SS3、面向侧表面SS3的侧表面SS4、以及连接侧表面SS3和侧表面SS4的底表面BS2。一个沟槽TR和另一个沟槽TR彼此分开设置,使得侧表面SS2和侧表面SS3相邻。

[0089] 并且在无源单元IAC中形成的一对沟槽TR中,一个沟槽TR具有侧表面SS5、面向侧表面SS5的侧表面SS6以及连接侧表面SS5和侧表面SS6的底表面BS3。无源单元IAC的沟槽TR中的另一个具有侧表面SS7、面向侧表面SS7的侧表面SS8、以及连接侧表面SS7和侧表面SS8的底表面BS4。一个沟槽TR和另一个沟槽TR彼此分开设置,使得侧表面SS6和侧表面SS7相邻。应注意的是,无源单元IAC的一对沟槽TR之间的距离比有源单元AC的一对沟槽TR之间的距离更窄。

[0090] 在图10中,在热处理之前形成的离子注入层NHB1至NHB3以及离子注入层PF1和PF2的杂质浓度峰值的位置,示出为杂质浓度峰值NHB1a至NHB3a以及杂质浓度峰值PF1a和PF2a。

[0091] 在第一实施例中,通过在热处理之前的时间在将要形成浮置区域PF和空穴势垒区域NHB的区域附近的多次离子注入,来形成离子注入层NHB1至NHB3以及离子注入层PF1和PF2。特别地,预先将离子注入层NHB1和离子注入层PF1形成到深的位置。例如,沟槽TR形成使得相应沟槽TR的底表面BS1至BS4的位置比杂质浓度峰值PF1a的位置更浅。

[0092] 常规上,已经在高温和长时间(1200摄氏度,30分钟)的条件下执行热处理,但是在第一实施例中,热处理可以在更低温度和更短时间的条件下执行。例如,稍后描述的栅极绝缘膜GI通过热氧化方法形成,但是第一实施例的热处理在与通过热氧化方法执行的热处理相比更低的温度和更短的时间下执行。因此,可以抑制炉体中滑移的发生,并且可以精确地调整浮置区域PF和形成空穴势垒区域NHB的位置。此外,可以容易地执行杂质浓度的分布设计。因此,可以提高半导体器件的性能,并且可以抑制产量的降低。

[0093] 此外,通过用此类方法形成浮置区域PF,不仅浮置区域PF覆盖沟槽TR的底表面,而且浮置区域PF可以容易地延伸到横向方向(X方向)。通过以此方式形成浮置区域PF,可以缓和沟槽TR正下方的电场集中,并且可以提高结击穿电压。

[0094] 也就是说,形成在靠近侧表面SS1的半导体衬底SUB中的浮置区域PF覆盖底表面BS1以越过侧表面SS2。形成在靠近侧表面SS4的半导体衬底SUB中的浮置区域PF覆盖底表面BS2以越过侧表面SS3。浮置区域PF(覆盖有源单元AC中的一对沟槽TR的底表面的浮置区域

PF) 不接触并且彼此间隔开。

[0095] 此外,形成在靠近侧表面SS5(在侧表面SS4和侧表面SS5之间)的半导体衬底SUB中的浮置区域PF覆盖底表面BS3以越过侧表面SS6。形成在靠近侧表面SS8的半导体衬底SUB中的浮置区域PF覆盖底表面BS4以越过侧表面SS7。浮置区域PF(覆盖无源单元IAC中的一对沟槽TR的底表面的浮置区域PF)彼此接触,但是可以彼此间隔开。

[0096] 应注意的是,有源单元AC中的空穴势垒区域NHB形成在侧表面SS2和侧表面SS3之间的半导体衬底SUB中,并且无源单元IAC中的空穴势垒区域NHB形成在侧表面SS6和侧表面SS7之间的半导体衬底SUB中。

[0097] 图11示出了在图9中示出的步骤之后执行的制造步骤。如图11中所示,首先,通过热氧化方法在沟槽TR的侧表面和半导体衬底SUB的上表面上形成栅极绝缘膜GI。特别地,栅极绝缘膜GI是通过在例如950摄氏度和40分钟的条件使用氧气和氢气进行热处理而形成的氧化硅膜。

[0098] 接下来,经由例如CVD方法在沟槽TR内部和半导体衬底SUB的上表面形成导电膜CF1以经由栅极绝缘膜GI填充沟槽TR。导电膜CF1例如是其中注入了n型杂质的掺杂多晶硅膜。

[0099] 如图12中所示,首先,通过各向异性蚀刻移除形成在沟槽TR外部的导电膜CF1。形成在沟槽TR的内部的导电膜CF1被留下作为栅极电极GE1和GE2。接下来,通过各向同性蚀刻移除形成在沟槽TR外部的栅极绝缘膜GI。

[0100] 如图13中所示,通过光刻技术和离子注入方法,在靠近半导体衬底SUB的上表面的半导体衬底SUB中(在浮置区域PF中和在空穴势垒区域NHB中)形成p型基极区域PB。接下来,通过光刻技术和离子注入方法,在有源单元AC的基极区域PB中选择性地形成n型发射极区域NE。

[0101] 尽管未示出,但是在执行这些离子注入之前,在半导体衬底SUB的上表面上形成诸如氧化硅膜的绝缘膜,并且可以使用此绝缘膜作为穿透膜来执行离子注入。并且穿透膜可以在离子注入之后被移除或可以作为层间绝缘膜IL的一部分被留下。

[0102] 如图14中所示,首先,通过例如CVD方法在半导体衬底SUB的上表面上形成层间绝缘膜IL以覆盖沟槽TR。层间绝缘膜IL例如是氧化硅膜。

[0103] 接下来,通过光刻技术和各向异性蚀刻形成接触孔CH以穿透层间绝缘膜IL和发射极区域NE,并且到达有源单元AC中的基极区域PB。接触孔CH的底部位于基极区域PB中。

[0104] 这里,接触孔CH也形成在无源单元IAC中,并且接触孔CH形成为在平面图中与栅极电极GE2重叠。因此,无源单元IAC中的接触孔CH形成为与栅极电极GE2和基极区域PB接触。尽管未示出,但是接触孔CH也形成在栅极电极GE1的一部分上。

[0105] 接下来,通过光刻技术和离子注入方法在接触孔CH底部的基极区域PB中形成高浓度扩散区域PR。接下来,在层间绝缘膜IL上执行各向同性蚀刻以缩回层间绝缘膜IL。因此,位于半导体衬底SUB的上表面上方的接触孔CH的宽度,大于位于半导体衬底SUB内部的接触孔CH的宽度。

[0106] 如图15中所示,插塞PG形成在接触孔CH的内部。首先,在接触孔CH的内部和层间绝缘膜IL上形成势垒金属膜。例如,可以通过溅射法在接触孔CH的内部和层间绝缘膜IL上形成钛膜,并且通过例如溅射法在钛膜上形成氮化钛膜,来形成势垒金属膜。接下来,通过例

如CVD方法在势垒金属膜上形成由例如钨膜制成的导电膜以便填充接触孔CH。接下来,通过各向异性蚀刻移除形成在接触孔CH外部的导电膜和势垒金属膜。因此,插塞PG形成为填充接触孔CH。

[0107] 接下来,在层间绝缘膜IL上形成发射极电极EE。首先,通过例如溅射法在层间绝缘膜IL上形成TiW膜,并且通过例如溅射法在TiW膜上形成铝膜。接下来,通过光刻技术和干法蚀刻对TiW膜和铝膜进行图案化以形成发射极电极EE。尽管这里未图示,但是栅极布线GW和场限制布线FLW也在与形成发射极电极EE的步骤相同的步骤中,形成在层间绝缘膜IL上。

[0108] 此后,通过以下制造工艺获得图3的结构。首先,从半导体衬底SUB的底表面执行离子注入以形成n型场截止区域NS和p型集电极区域PC。在这些离子注入之后,执行激光退火以激活场截止区域NS和集电极区域PC中包含的杂质。接下来,通过诸如溅射法,在半导体衬底SUB的底表面上形成金属膜,诸如Au膜、Ni膜、Ti膜或AlSi膜。此金属膜成为集电极电极CE。集电极电极CE可以是其中上述金属膜被适当地层压的层压膜。

[0109] (第二实施例)

[0110] 下面将参考图16描述第二实施例中的半导体器件100的制造方法。应注意的是,在以下描述中,将主要描述与第一实施例的不同之处,并且将省略与第一实施例的重叠点的描述。

[0111] 在第一实施例中,执行多次p型离子注入以便形成p型浮置区域PF。在第二实施例中,浮置区域PF通过单次p型离子注入形成。因此,执行图16的制造工艺,而不是第一实施例的图7的制造工艺。

[0112] 如图16中所示,使用抗蚀剂图案RP2作为掩模从半导体衬底SUB的上表面执行p型离子注入。p型离子注入是在离子种类为硼(B)、注入能量约为1250keV、并且剂量约为 $2.2 \times 10^{13} \text{cm}^{-2}$ 的条件下执行的。因此,在半导体衬底SUB中形成离子注入层PF3。第二实施例比第一实施例具有更高的剂量。接下来,通过灰化移除抗蚀剂图案RP2。

[0113] 此后,通过图8中示出的热处理,离子注入层PF3中包含的杂质(B)扩散以形成p型浮置区域PF。应注意的是,通过与用于形成第二实施例的浮置区域PF的制造工艺相同的制造工艺来形成图4中示出的场限制区域PFR。

[0114] 离子注入层PF3具有杂质浓度峰值PF3a。在第二实施例中,类似于第一实施例,沟槽TR形成为使得相应沟槽TR的底表面BS1至BS4的位置比杂质浓度峰值PF3a的位置更浅。由于预先将离子注入层PF3形成到深的位置,所以即使在第二实施例中,通过在较低温度和较短时间的条件下执行热处理,也可以形成浮置区域PF。因此,可以抑制炉体中滑移的发生,并且可以精确地调整浮置区域PF和形成空穴势垒区域NHB的位置。

[0115] 另外,即使在第二实施例中,也容易实现不仅浮置区域PF覆盖沟槽TR的底表面,而且浮置区域PF可以容易地延伸到横向方向(X方向)。因此,可以缓和沟槽TR正下方的电场集中,并且可以提高结击穿电压。

[0116] 在第二实施例中,与第一实施例相比,通过更少次数的离子注入形成浮置区域PF,使得可以减少由于p型离子注入而生成的晶体位错缺陷。此外,可以简化制造工艺。

[0117] 尽管已经基于实施例详细描述了本发明,但是本发明不限于这些实施例并且可以在不脱离其主旨的情况下进行各种修改。

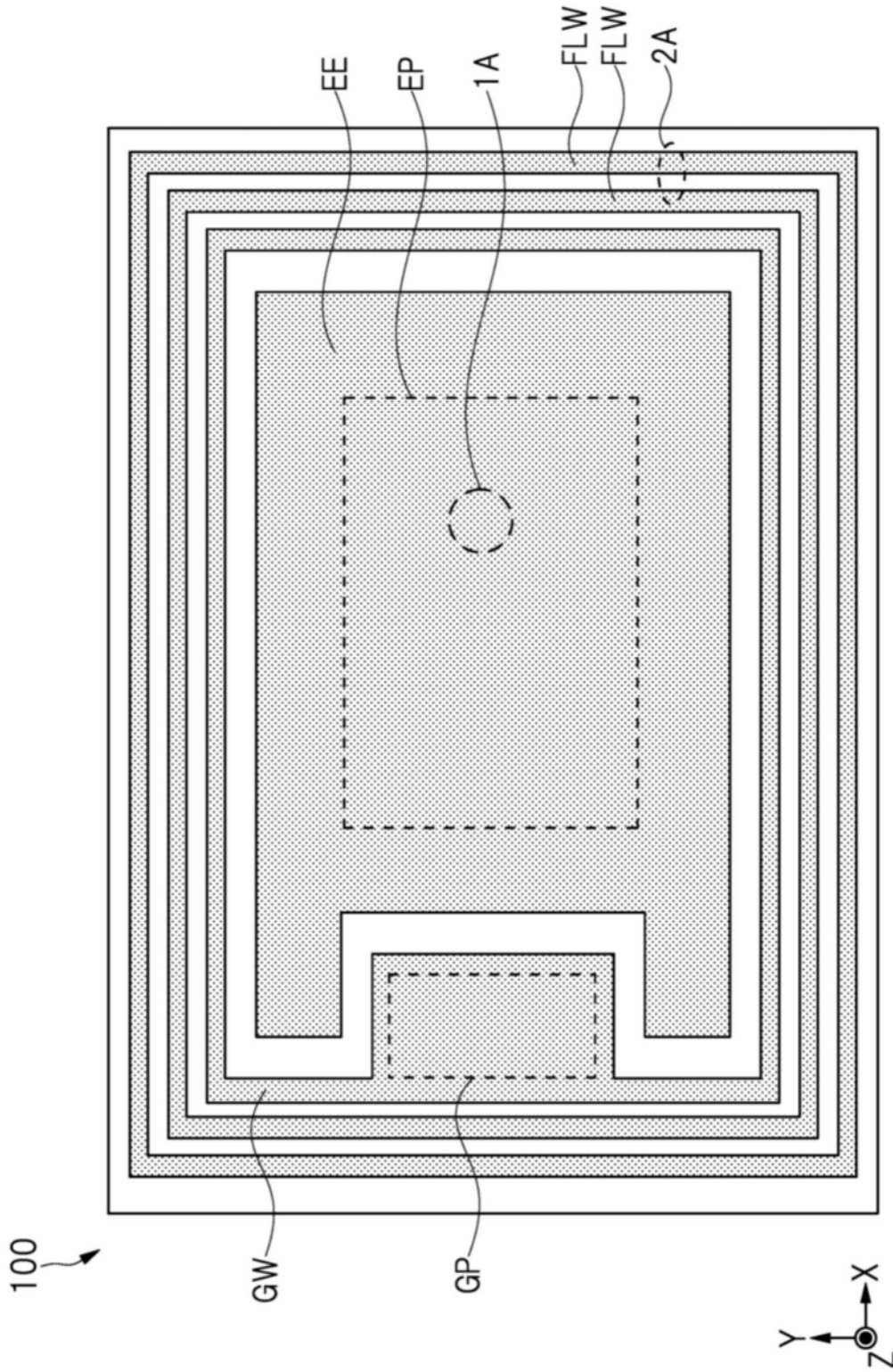


图1

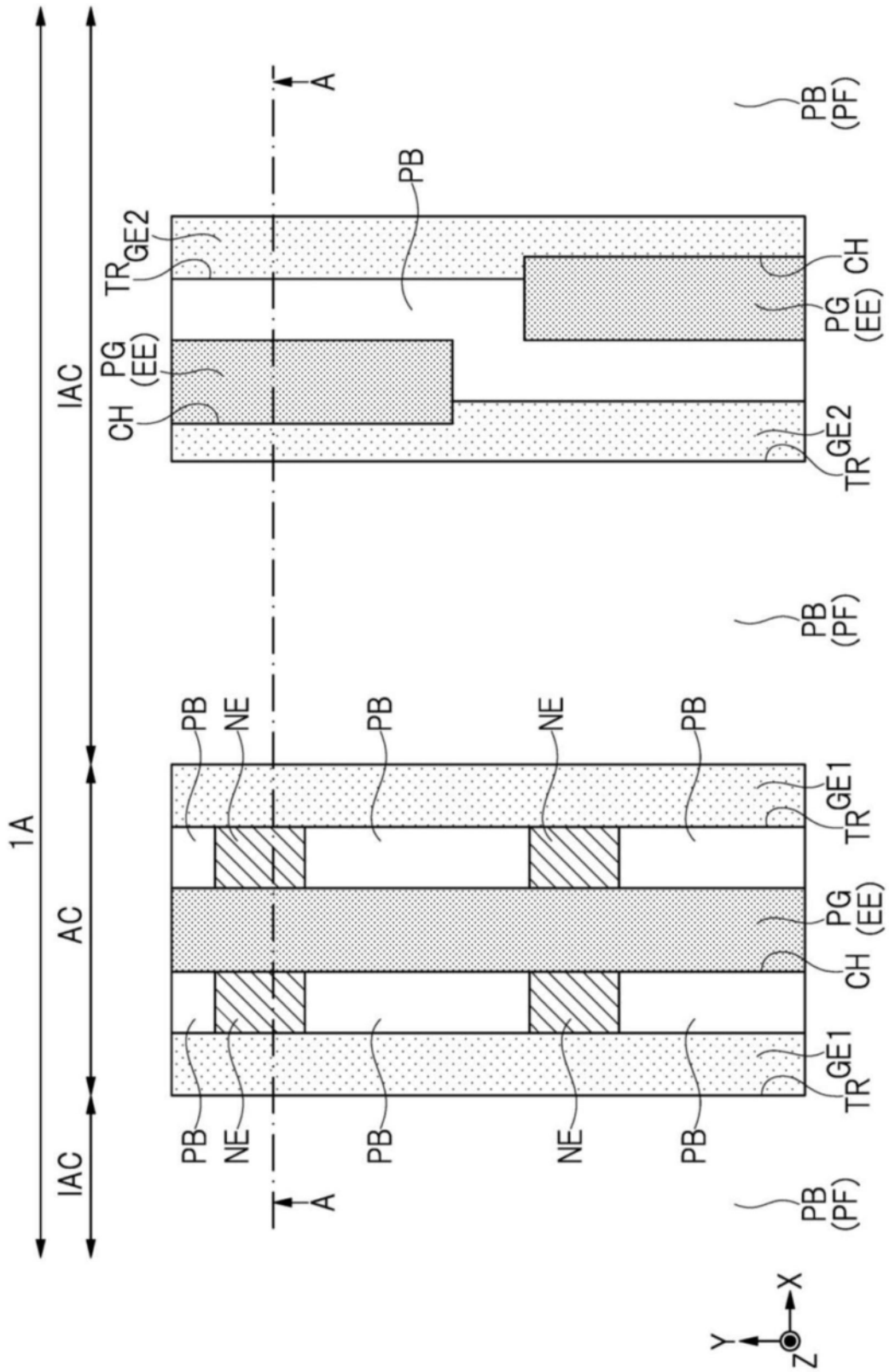


图2

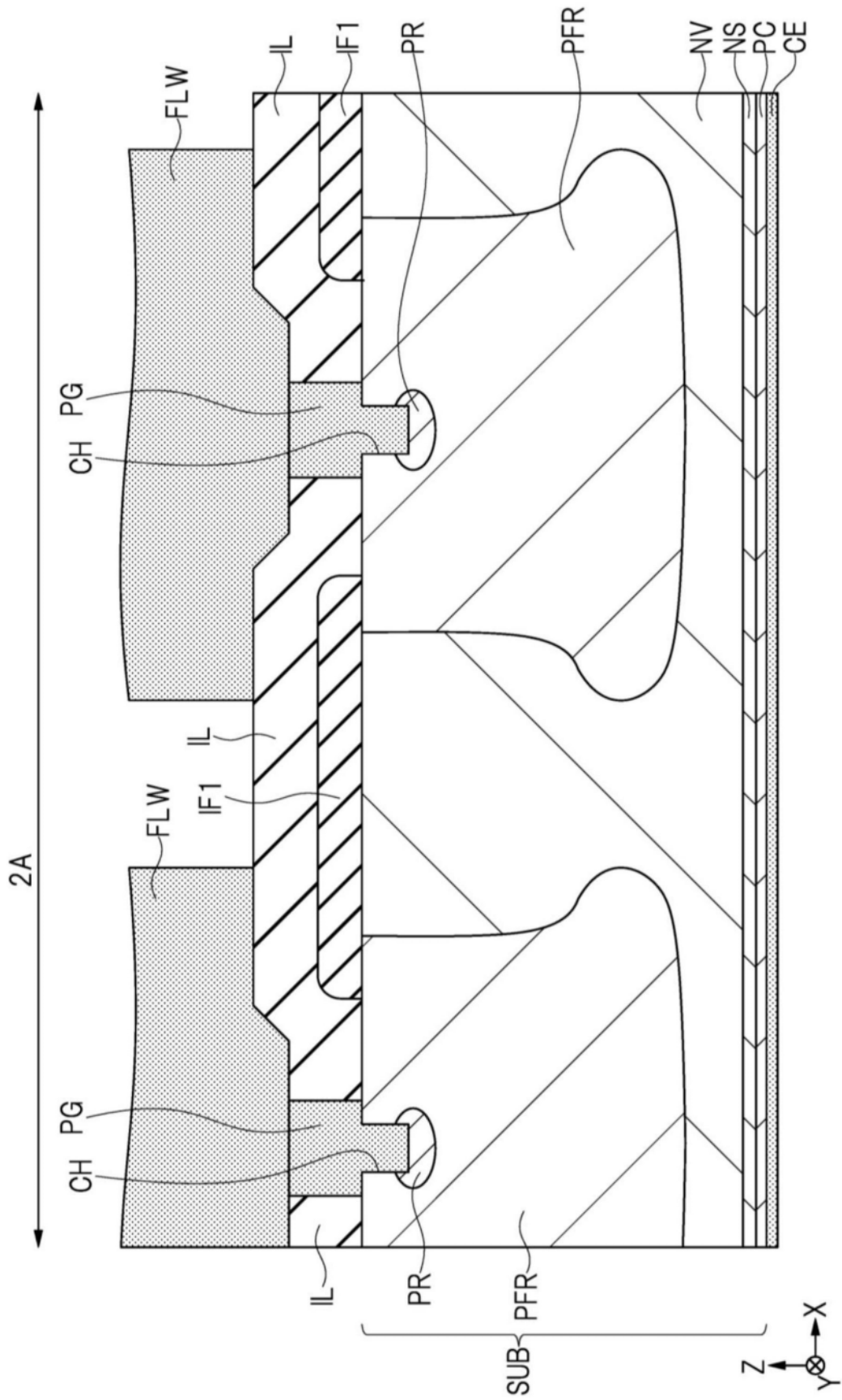


图4

A-A横截面视图

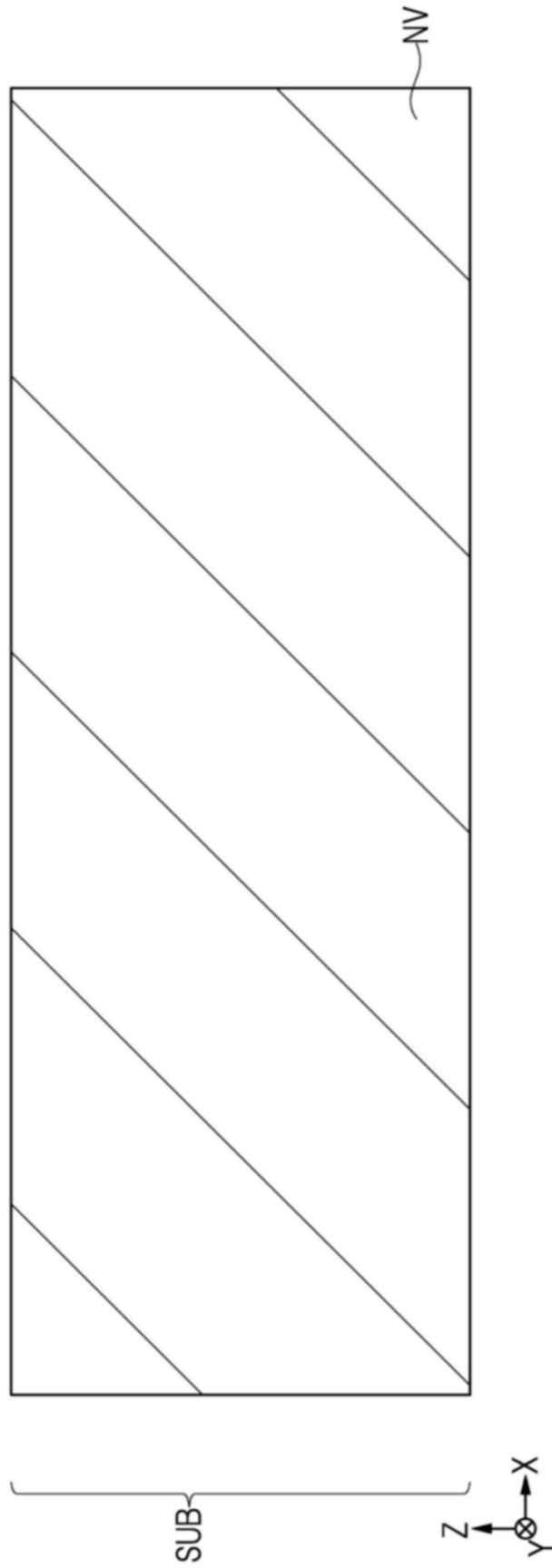


图5

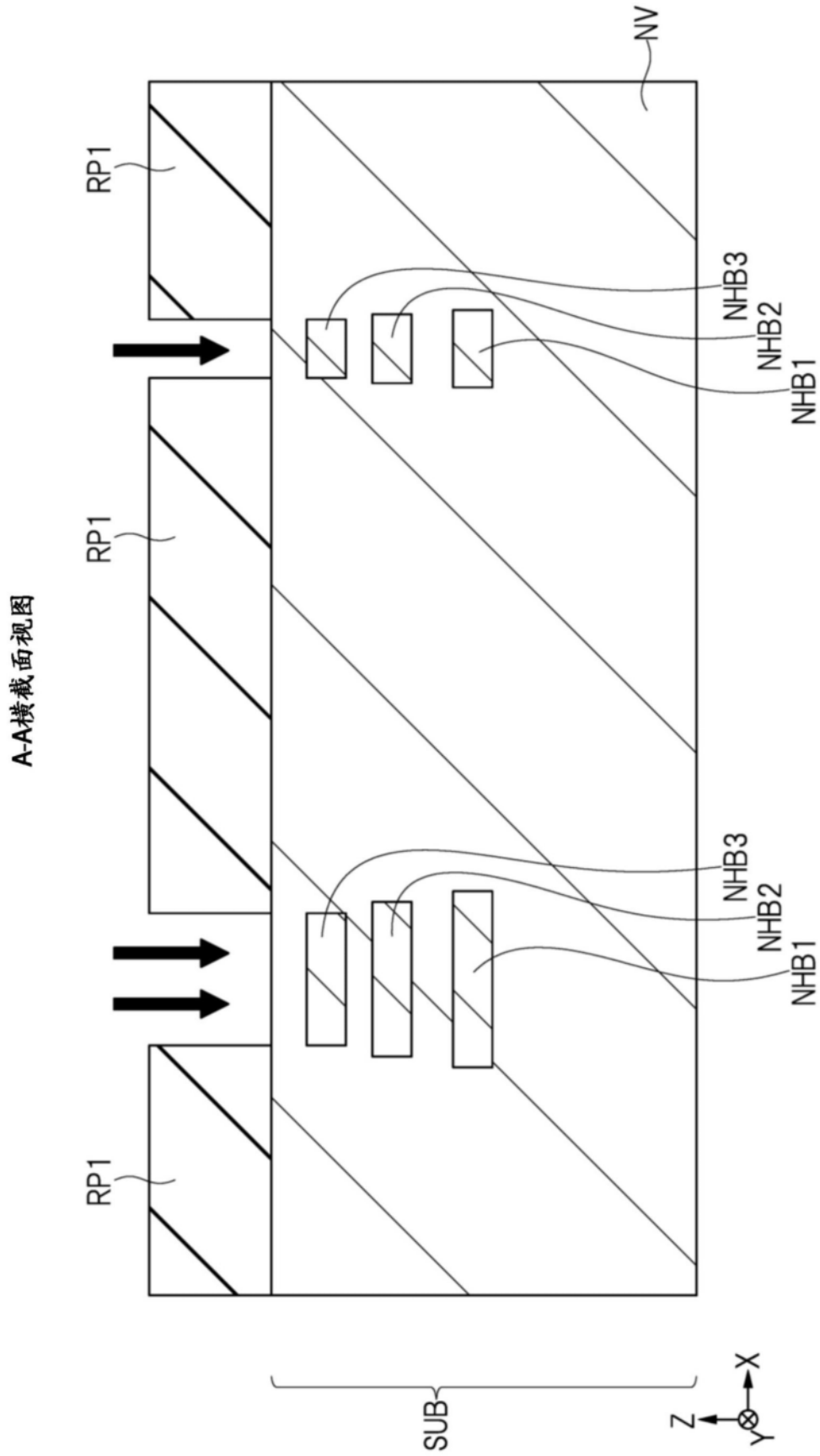


图6

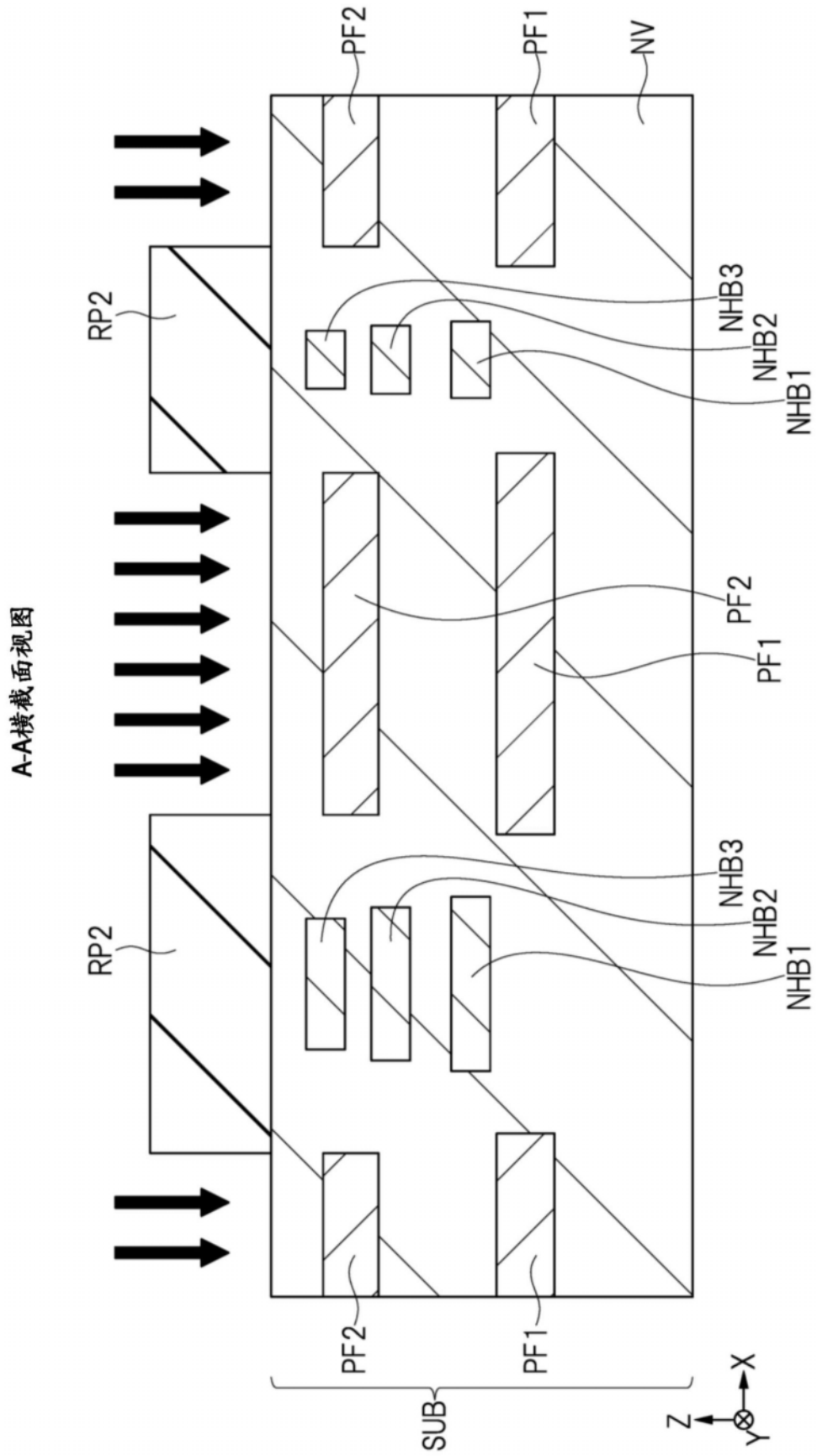


图7

A-A横截面视图

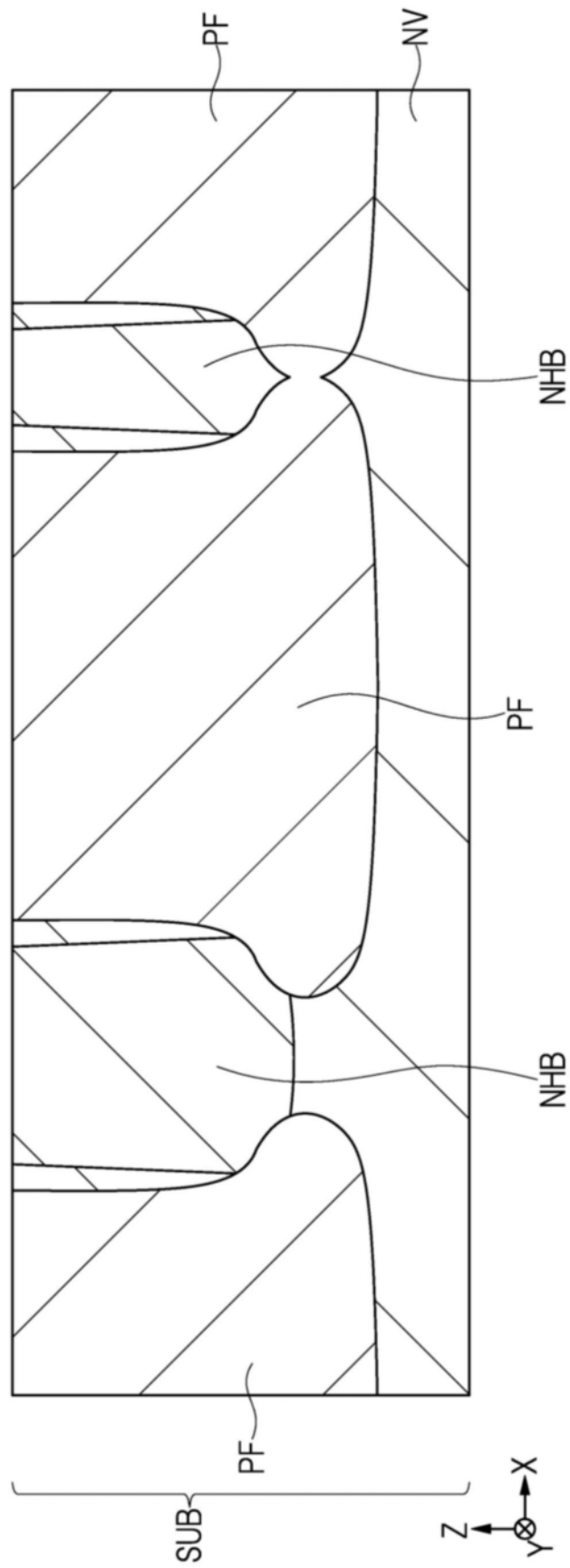


图8

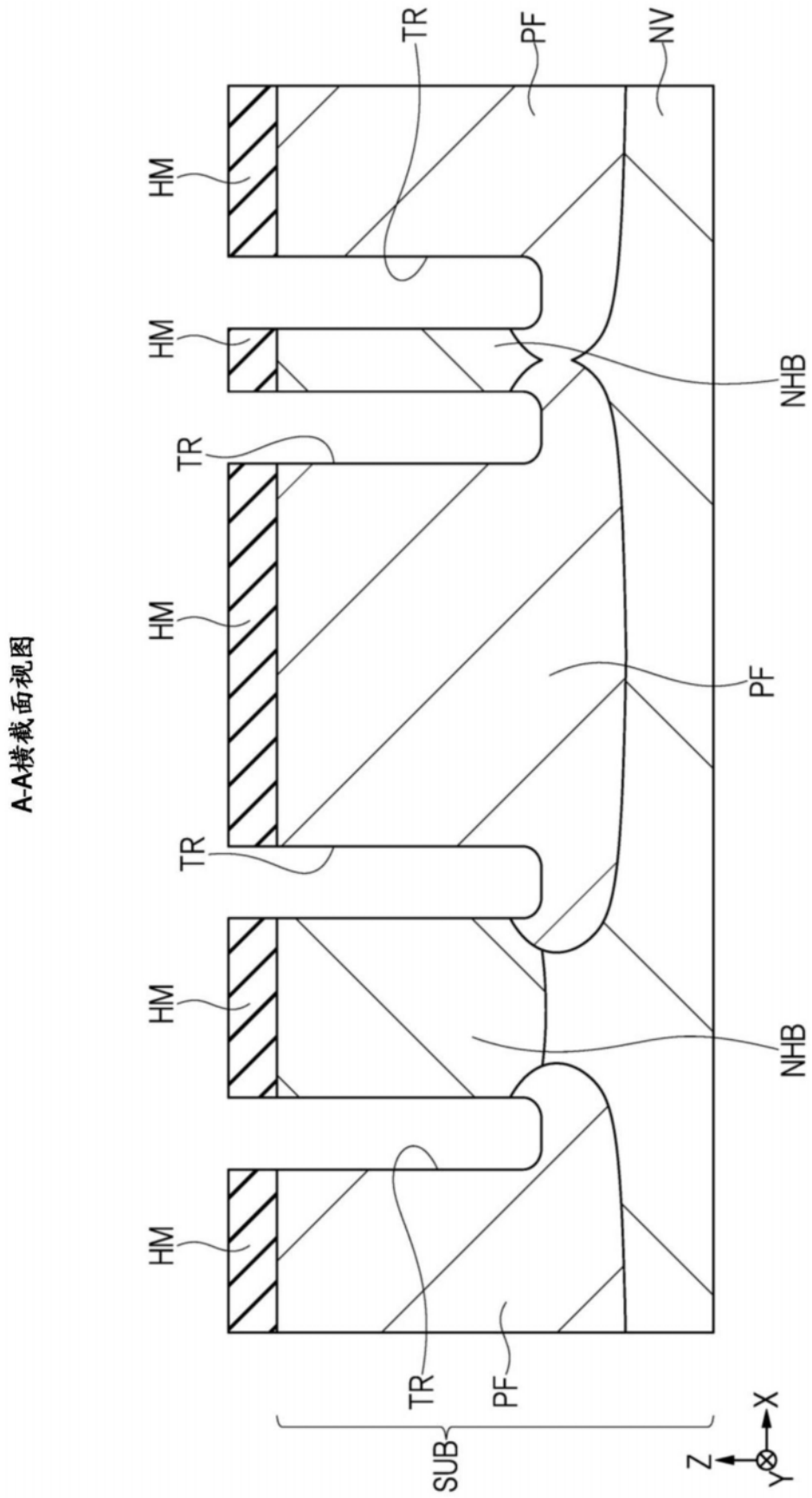


图9

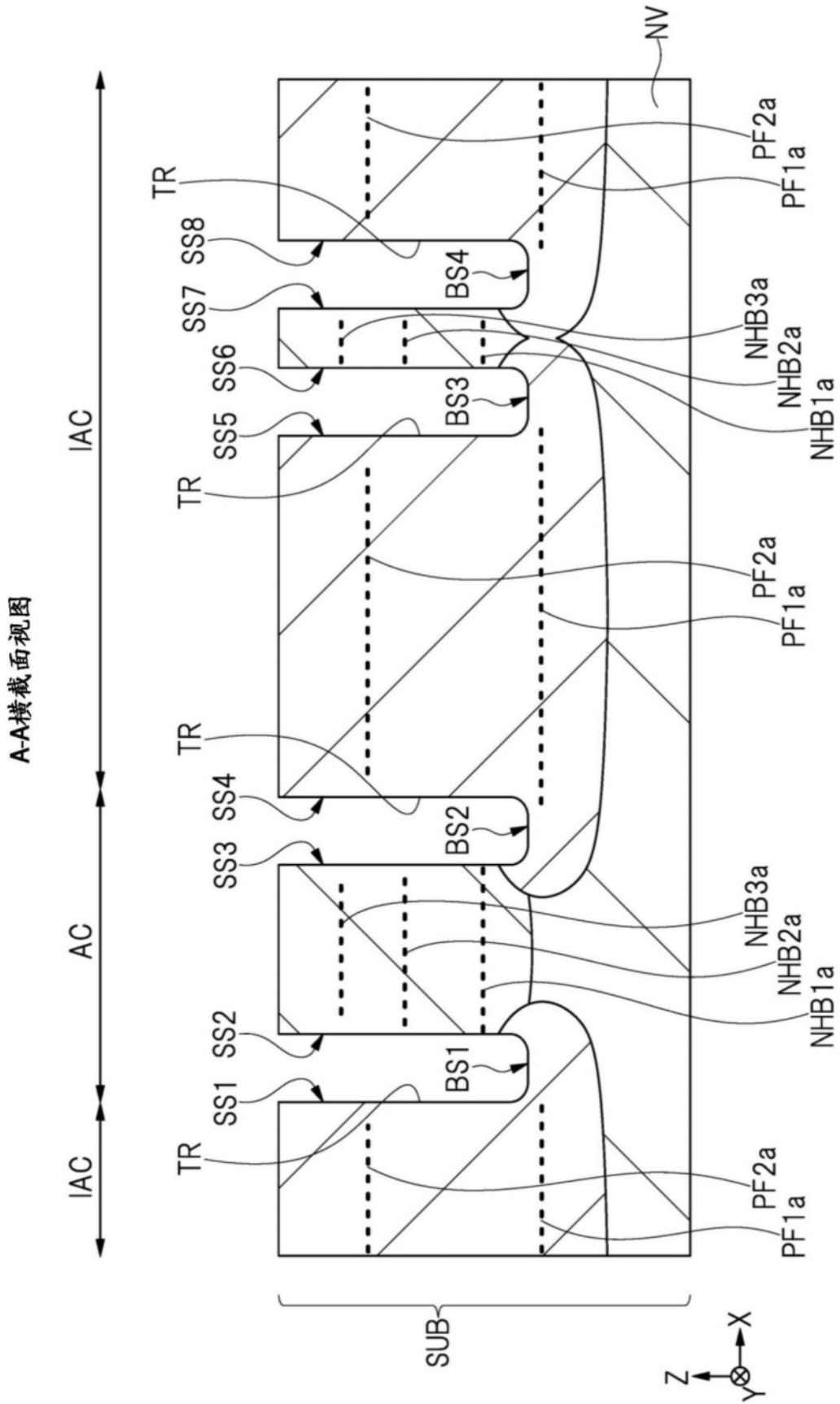


图10

A-A横截面视图

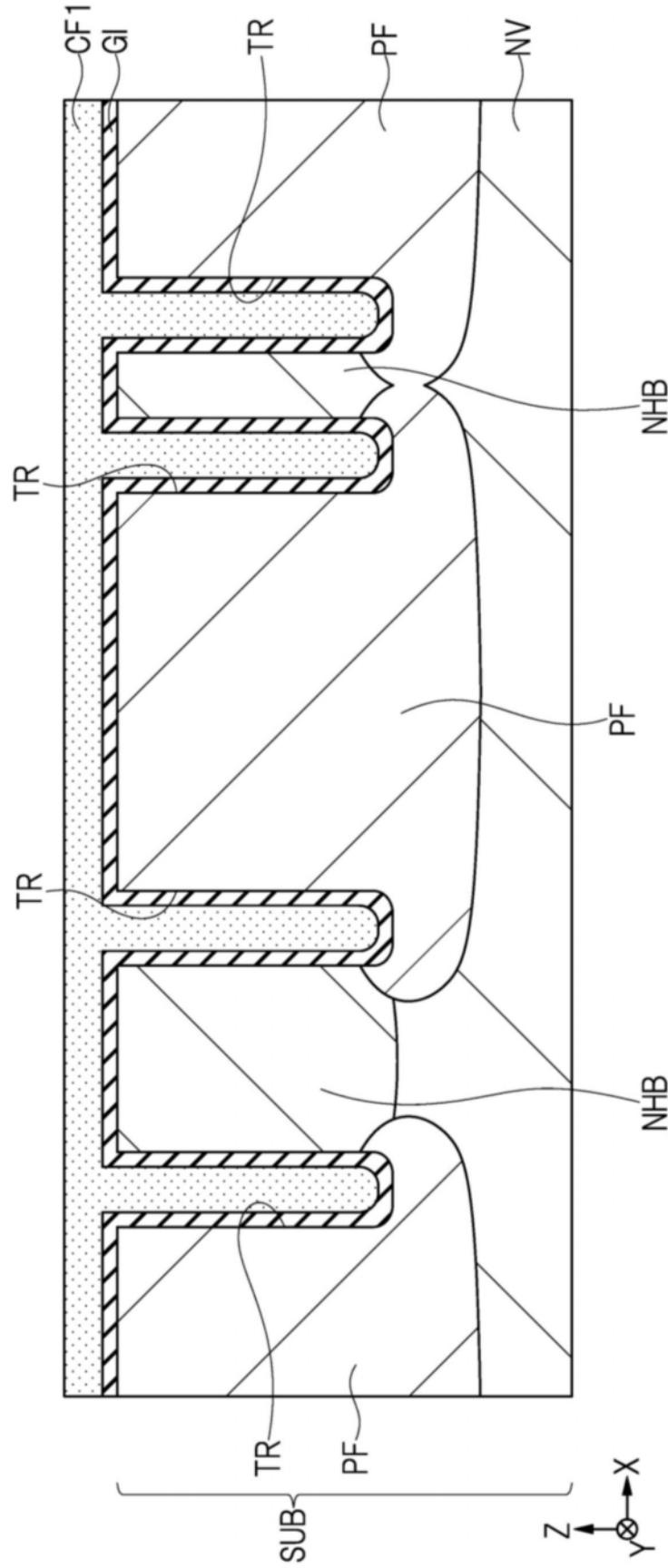


图11

A-A横截面视图

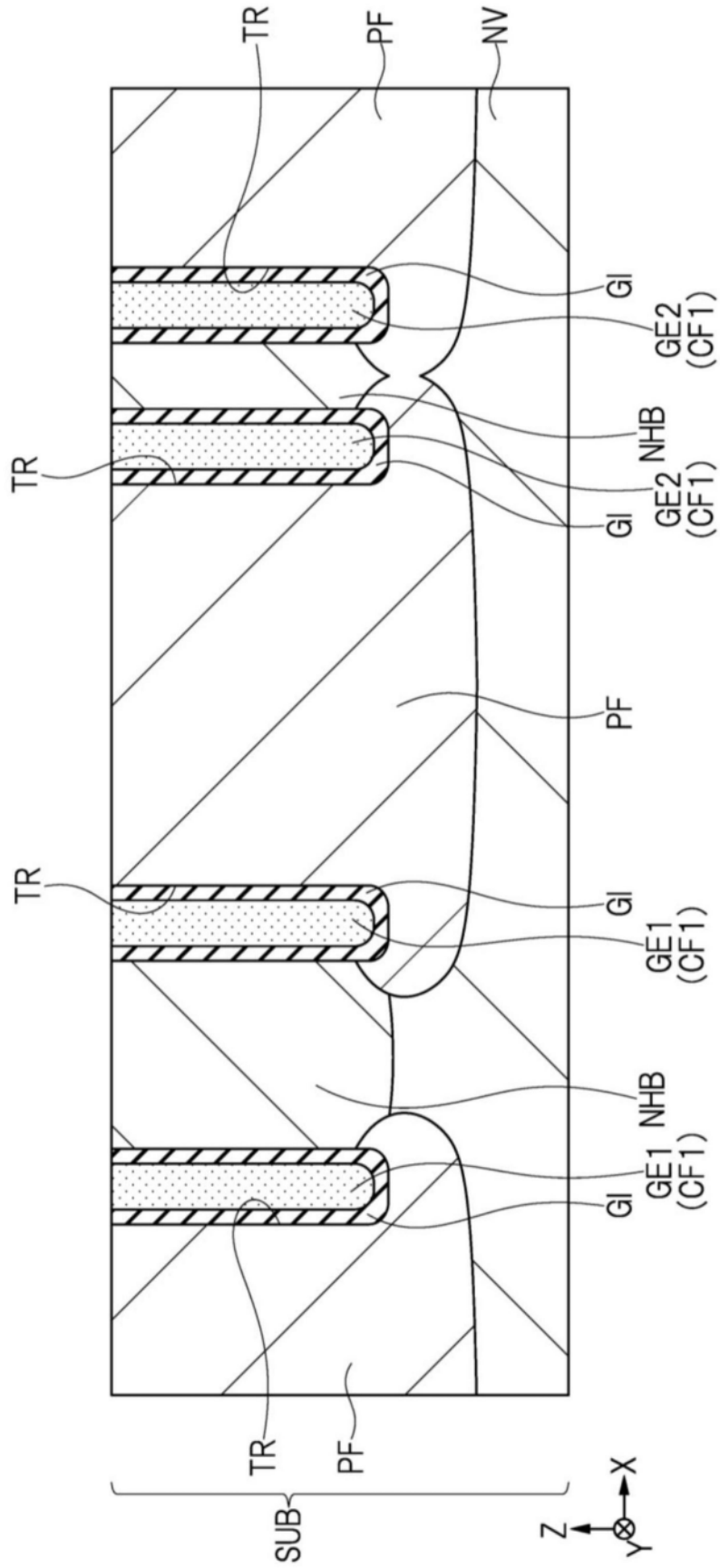


图12

A-A横截面视图

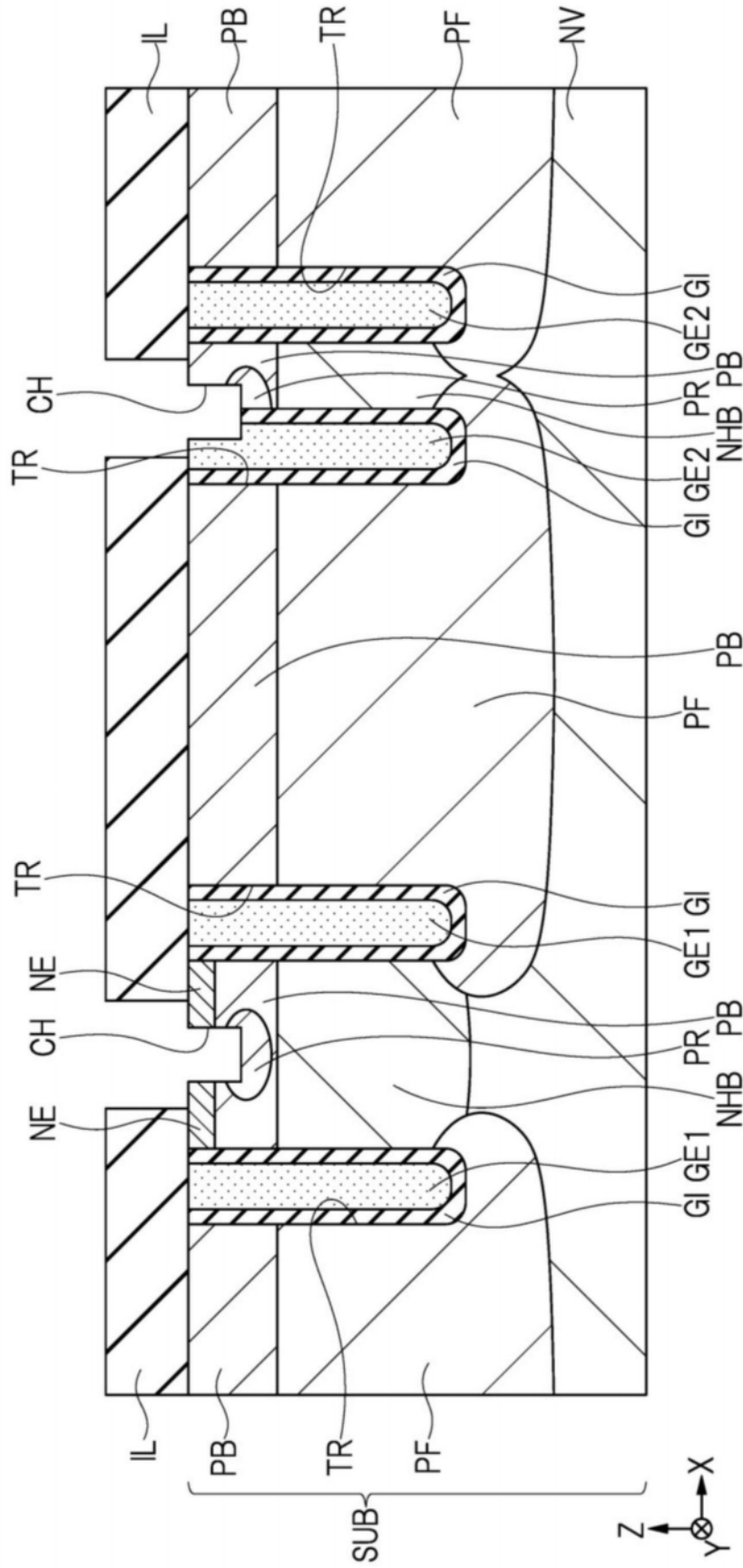


图14

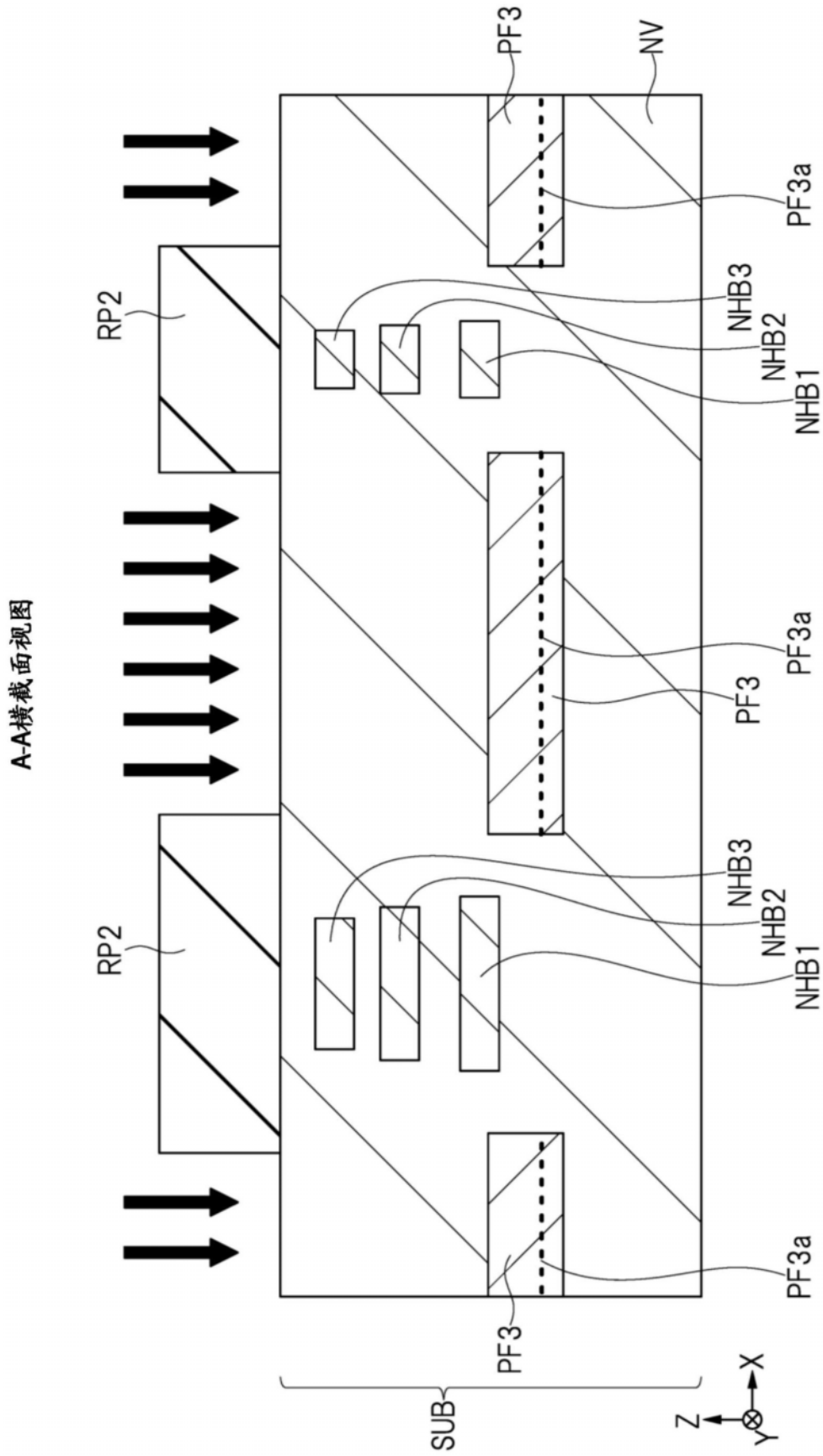


图16