

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200480011031.1

[51] Int. Cl.

G11C 16/10 (2006.01)

G11C 16/04 (2006.01)

G11C 16/34 (2006.01)

[45] 授权公告日 2009 年 3 月 25 日

[11] 授权公告号 CN 100472661C

[22] 申请日 2004.3.8

US6011725A 2000.1.4

[21] 申请号 200480011031.1

审查员 吴广平

[30] 优先权

[74] 专利代理机构 北京戈程知识产权代理有限公司

[32] 2003.4.24 [33] US [31] 10/422,092

司

[86] 国际申请 PCT/US2004/007124 2004.3.8

代理人 程伟

[87] 国际公布 WO2004/097837 英 2004.11.11

[85] 进入国家阶段日期 2005.10.24

[73] 专利权人 斯班逊有限公司

地址 美国加利福尼亚州

[72] 发明人 D·G·汉密尔顿 K·坦派罗

E·夏 A·马德哈尼 M·李

[56] 参考文献

US5523972A 1996.6.4

CN1211042A 1999.3.17

US5717632A 1998.2.10

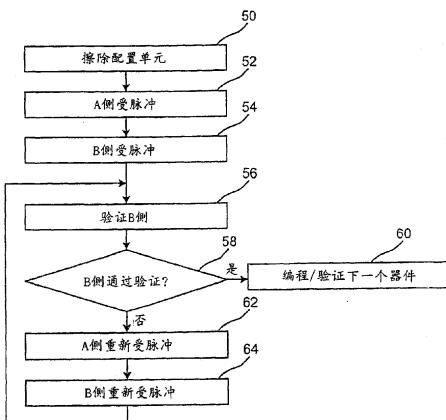
权利要求书 2 页 说明书 18 页 附图 3 页

[54] 发明名称

适用于改良的寿命结束读取幅度的双单元存储器件操作的方法

[57] 摘要

一种编程双单元存储器件(6)的方法，该双单元存储器件具有第一及第二电荷存储单元(38、40)。根据本发明的一个方面，该方法可包括：过度擦除该第一及第二电荷存储单元以改变存储器件的擦除状态阈值电压，使其低于自然状态的阈值电压。根据本发明的另一个方面，本方法可包括：将该第一及第二电荷存储单元编程至相同的数据状态，验证该第二编程的电荷存储单元存储与该数据状态相应的电荷。若验证失败，该电荷存储单元两者可被重新脉冲。



1. 一种用于编程具有第一电荷存储单元(38,40)及第二电荷存储单元(38,40)的电荷捕获介质存储器件(6)的方法，包含：

过度擦除该第一及第二电荷存储单元以改变该存储器件的擦除状态阈值电压，使其低于初始阈值电压；

编程该第一电荷存储单元以存储与第一编程状态相应的第一数量的电荷，该第一编程状态选自于空白编程级别及第一带电编程级别；以及

编程该第二电荷存储单元以存储与第二编程状态相应的第二数量的电荷，该第二编程状态选自于该空白编程级别及第二带电编程级别。

2. 如权利要求 1 所述的方法，其中，该第一编程状态和该第二编程状态相同。

3. 如权利要求 2 所述的方法，其中，该第一及该第二带电编程级别是从多个带电编程级别中选择。

4. 如权利要求 2 所述的方法，进一步包含读取该第二编程电荷存储单元以决定对应于每个该第一及第二编程状态的数据值。

5. 如权利要求 2 所述的方法，进一步包含验证该第二编程电荷存储单元存储与该带电编程级别相应的电荷。

6. 如权利要求 5 所述的方法，其中，若该验证失败，则该方法进一步包含重新脉冲该第一编程的电荷存储单元，然后再重新脉冲该第二编程的电荷存储单元。

7. 如权利要求 1 所述的方法，其中，该第一及该第二带电编程级别是从多个带电编程级别中选择。

8. 一种用于编程具有第一电荷存储单元(38,40)及第二电荷存储单元(38,40)的电荷捕获介质存储器件(6)的方法，包含：

过度擦除该第一及第二电荷存储单元以改变该存储器件的擦除状

态阈值电压，使其低于初始阈值电压；

编程该第一电荷存储单元以存储与该带电编程级别相应的第一数量的电荷；

编程该第二电荷存储单元以存储与该带电编程级别相应的第二数量的电荷；以及

验证该第二编程的电荷存储单元存储与该带电编程级别相应的电荷，以及若该验证失败，重新脉冲各该第一及该第二编程的电荷存储单元。

9. 如权利要求8所述的方法，其中，在重新脉冲过程中，对该第一编程的电荷存储单元重新脉冲，接着对该第二编程的电荷存储单元重新脉冲。

10. 一种用于编程具有第一电荷存储单元(38,40)及第二电荷存储单元(38,40)的电荷捕获介质存储器件(6)的方法，包含：

过度擦除该第一及第二电荷存储单元以改变该存储器件的擦除状态阈值电压，使其低于初始阈值电压；

编程该第一电荷存储单元，使其存储与该带电编程级别相应的第一数量的电荷；

编程该第二电荷存储单元，使其存储与该带电编程级别相应的第二数量的电荷；以及

验证该第一编程的电荷存储单元存储与该带电编程级别相应的电荷，以及若该验证失败，重新脉冲各该第一及该第二编程的电荷存储单元。

## 适用于改良的寿命结束读取幅度的双单元存储器件操作的方法

### 技术领域

本发明涉及非易失性存储器件领域，尤其涉及一种利用闪存（flash）器件存储数据的方法，该闪存器件譬如为双单元、电荷捕获介质、电可擦除可编程的闪存器件。

### 背景技术

在集成电路存储单元每单位面积存储的数据量逐渐增加是现代的集成电路制造的趋势所在，例如闪存单元。存储单元通常包括相当数量的核心存储器件（有时称为核心存储单元）。例如，常规的双单元存储器件，例如像电荷捕获介质闪存器件的这种，可以“双位”（double-bit）排列方式存储数据。说得更精确一些，一位（即一个二进制数据值有两个状态，例如逻辑1和逻辑0）可以被存储在存储器件的第一“侧”（side）上的电荷存储单元内，第二位数值可以被存储在存储器件的第二“侧”（side）上的电荷存储单元内。

对这种存储器件的编程，可通过诸如热电子注入的方法完成。热电子注入包括在特定的持续时间内于存储器件的栅极和漏极的每一个上施加适当的电压电位以“脉冲”（pulsing）该存储器件。在编程脉冲期间，源极通常接地。存储器件的读取可通过在其栅极和漏极的每一个上施加适当电压，并比较漏极到源极电流（其表示存储器件阈值电压）与参考值以确定读电荷捕获单元是否处于编程状态或处于非编程状态来完成。

即使常规的电荷捕获介质闪存器件中每一存储器件能够存储两个单一位（single-bit）的二进制数值，然而常规的电荷捕获介质闪存器件存在数据保持问题，尤其是在重复编程/擦除（P/E）循环后。引起数据保持力问题的原因包括电荷遗失及补偿位扰乱（例如，当在读取存储器件的非编程一侧时，存储器件的编程一侧影响存储器件的阈值电压）。

因此对能增加存储器件的数据保持能力与可靠性的存储数据的需求持续增加。

## 发明内容

根据本发明的一方面，本发明是关于一种电荷捕获介质存储器件编程的方法，该存储器件有第一电荷存储单元及第二电荷存储单元。该方法可包括：过度擦除该第一及第二电荷存储单元以改变该存储器件的擦除状态阈值电压，使其低于初始阈值电压；对该第一电荷存储单元编程使其存储与第一编程状态相应的第一数量电荷，该第一编程状态从空白编程级别和第一带电编程级别中选择；以及对该第二电荷存储单元编程使其存储与第二编程状态相应的第二数量电荷，该第二编程状态从空白编程级别和第二带电编程级别中选择。

根据本发明的另一方面，本发明是关于一种电荷捕获介质存储器件编程的方法，该存储器件有第一电荷存储单元及第二电荷存储单元。该方法可包括：过度擦除该第一及第二电荷存储单元以改变该存储器件的擦除状态阈值电压，使其低于初始阈值电压；对该第一电荷存储单元编程使其存储与带电编程级别相应的第一数量电荷；对该第二电荷存储单元编程使其存储与该带电编程级别相应的第二数量电荷；以及验证该第二编程电荷存储单元存储有相应带电编程级别的电荷，若验证失败，则重新脉冲(repulsing)第一编程电荷存储单元及第二编程电荷存储单元的每一个。

根据本发明的另一方面来说，本发明是关于一种电荷捕获介质存储器件编程的方法，该存储器件有第一电荷存储单元及第二电荷存储单元。该方法可包括：过度擦除该第一及第二电荷存储单元以改变该存储器件的擦除状态阈值电压，使其低于初始阈值电压；对该第一电荷存储单元编程使其存储与带电编程级别相应的第一数量电荷；对该第二电荷存储单元编程使其存储与该带电编程级别相应的第二数量电荷；以及验证第一编程电荷存储单元存储有相应带电编程级别的电荷，若验证失败，则重新脉冲(repulsing)第一编程电荷存储单元及第二编程电荷存储单元的每一个。

## 附图说明

参考下面附图及说明将使本发明的现有以及将有的特征更清晰，其中：

图 1 为典型的存储单元的方块示意图，该存储具有将本发明的编程方法应用于其上的多个核心存储器件；

图 2 为核心存储阵列的一部分的方块示意图，该核心存储阵列处于包括核心存储器件的存储单元中；

图 3 为取自沿着图 2 中的线 3-3 的剖面示意图，其用于说明核心存储阵列中的典型的核心存储器件；

图 4 为分布图，其包括相对编程级别阈值电压分布，该分布适合于核心存储器件的电荷存储单元的“单一位”(single-bit)及“双位”(dual-bit) 编程；

图 5 为分布图，其包括相对编程级别阈值电压分布，该分布适合于核心存储器件的电荷存储单元的“单一位多级别单元”(single-bit multi-level)及“四位”(quad-bit) 编程；

图 6 为分布图，其说明按照本发明的空白状态阈值电压分布的移位；以及

图 7 为流程图，其说明了按照本发明的用于对双单元存储器件进行设定、编程及验证的一种方法。

### 具体实施方式

在如下所述的详细说明中，相同部件具有相同的参考数字，而不考虑它们是否显示在本发明的不同实施例中。为求清楚简明的说明本发明，附图并不按比例绘制，其某些特征以示意的形式显示。

参考图 1，图 1 为典型的存储单元 2 的方块示意图。存储单元 2 可包括核心存储阵列 4，该核心存储阵列 4 包含多个存储器件，例如像双单元、非易失性、快闪电可擦除可编程的存储器件。例如存储器件可以是下面将要详细讨论的电荷捕获介质闪存器件。

核心存储阵列 4 可包括多个核心存储器件 6 以及与核心存储器件 6 相关的动态参考存储器件 8。在一个实施例中，可以配置阵列 4，使得动态参考存储器件 8 形成于以矩阵形式排列的核心存储器件 6 中。

其它的存储器件，例如像外部参考(external reference) 10 的这种器件也可形成存储单元 2 的一部分。该外部参考(external reference) 10 独立于核心存储阵列 4 之外，包括例如擦除验证参考单元、编程验证参考单元及软编程参考单元。

作为本领域的技术人员，存储单元 2 的客户可用核心存储器件 6 来存储例如像数据或可执行码这样的信息。动态参考存储器件 8 可用于协助读取核心存储器件 6。更明确的说，动态参考存储器件 8 被用作

核心存储器件 6 的数据级别行为的标记。存储单元 2 的不同操作包括例如编程、验证、读取及擦除可由逻辑电路 12 控制。

参阅图 2，图 2 为上视图，显示了来自存储单元 2 中核心存储阵列 4 的一部分或区段（sector）14 的方块示意图。区段 14 可包括核心存储器件 6 以及一个或多个动态参考器件 8。区段 14 可包括字线 16 及位线 18，该字线 16 及位线 18 与介质堆栈 20 一起摆列以形成核心存储器件 6 及动态参考存储器件 8。对字线 16 及位线 18 被施加适当的电压，允许区段 14 中存储器件 6 及动态参考存储器件 8 的寻址以使每个存储器件能被编程、读取、验证和/或擦除。位线接触 22 穿过介质堆栈 20 用以电性连接位线 18。

参阅图 3，图 3 为区段 14 一部分的剖视图，用以说明核心存储阵列 4 的存储器件的一种典型排列。图 3 显示了两个核心存储器件 6。每个核心存储器件 6 以及动态参考存储器件 8 可以是虚拟接地、双单元、非易失性、快闪电可擦除可编程存储器件。应了解，图示的存储器件 6 只作示范目的，该存储器件 6 可由其它替换结构实现（例如，堆栈栅极排列，凹型栅极排列等）。此外，可修改动态参考器件 8 与核心存储器件 6 的相对位置。

示例的存储器件 6 可以是电荷捕获介质类型的闪存器件，每一存储器件包括一对互补的电荷捕获区域 38、40，该电荷互补区域 38、40 可被独立编程和读取。

为了讨论简单起见，这里仅描述一个核心存储器件 6 的一种排列。然而，剩余的核心存储器件 6 及动态参考存储器件 8 可有相应的结构和操作。

在已说明的实施例中，核心存储器件 6 包括 P 型半导体衬底 24。在衬底 24 内，位线 18 以掩埋（buried）形式形成。可通过将 N 型杂质注入衬底 24 之中以形成位线 18（这里也称为导电区），或者由金属或含有金属的化合物（例如，硅化物位线 18）形成。对于每一存储器件 6，在各种的编程和读取操作过程中，相邻的一对位线 18 形成功能上作为源极和漏极的导电区域。对于每一器件，主体 26 位于相邻的一对位线 18 之间。虽然未图标出，但可在位线 18 上面形成氮化物层以及在位线 18 旁加入袋状 P+注入。

衬底 24 上面是介质堆栈 20。介质堆栈 20 包括底部介质层 28（也称作隧道介质层），该底部介质层 28 是由例如二氧化硅 ( $\text{SiO}_2$ )、其它标准 K 材料（例如，具有低于 10 的相对介电常数的材料）或高 K 材料（例如，在一个实施例中，相对介电常数高于 10 的材料；在一个实施例中，相对介电常数高于 20 的材料）做成的。

底部介质层 28 的上面是电荷捕获层（也称作电荷存储层 30）。电荷存储层 30 可由例如非导电性材料做成，该非导电性材料可以是氮化硅 ( $\text{Si}_3\text{N}_4$ ) 或其它适当的材料。

电荷存储层 30 上面是另一介质层（也称作顶部介质层 32），该顶部介质层 32 由例如像二氧化硅 ( $\text{SiO}_2$ )、其它标准 K 材料或高 K 材料所做成。

在顶部介质层 32 上面形成字线 16。对于每个核心存储器件 6，字线 16 之一作为其栅极电极 34。例如，字线 16 可由多晶硅做成。在其它选择上，栅极电极 34 可由互相连接的岛状物或垫子形成。字线 16 和介质堆栈 20 的一个主要功能就是控制主体 26 内的沟道 36，主体 26 介于一条位线 18 及其相邻位线 18 之间。

本领域技术人员将明了可以对存储器件 6 作修改。这些修改可包括对核心存储器件 6 在物理排列、使用的材料、掺杂参数等的改变。不过，这里阐述的编程、验证、读取和/或擦除技术仍适用于这些修改过的器件。

核心存储器件 6 可设定为虚拟接地器件。简而言之，在存储器件 6 进行各种的操作期间，通过分别控制供给相应的位线 18 的电位，使与存储器件 6 相关的任一位线 18 具有作为电子或空穴源的功能。此外，作为电子和/或空穴源之用的位线 18 可接地或连接到偏置电位上。

参阅下文的说明，可更进一步了解本发明，在电荷存储层 30 内，核心存储器件 6 包括第一电荷存储区（这里也称正常单元、右位或第一电荷存储单元 38）以及第二电荷存储区（这里也称互补单元、左位或第二电荷存储单元 40），该第一电荷存储区邻近一个导电区（例如，标示为位线 18a 的位线），该第二电荷存储区邻近另一个导电区（例如，标示为位线 18b 的位线）。

在所示的实施例中，核心存储器件 6 结构对称以便于对第一电荷

存储单元 38 及第二存储单元 40 进行编程、验证、读取及擦除，这些操作是通过分别切换(switching)位线 18a 和位线 18b 的角色来实现的。因此，按照所讨论的电荷存储单元 38 与 40，位线 18a 与 18b 可互换地称为源极与漏极。

为了绘图的简单，存储器件 6 被称为具有第一侧（或 A 侧）及第二侧（或 B 侧）。在所示的实施例中，第一电荷存储单元 38 位于 A 侧上，第二电荷存储单元 40 位于 B 侧上。然而，和术语源极及漏极一样，术语 A 侧和 B 侧可以互换使用。

在一个实施例中，这里指“单一位”(single-bit) 实施例，每个电荷存储单元 38 与 40 可有两个数据状态。然而，每个电荷存储单元 38 与 40 被编程存储相同的数据状态以增强数据保持力。为了确定每个存储单元 38 与 40 所存储的数据状态，只需读取任一电荷存储单元 38 与 40。

在另一个实施例中，这里称为“双位”(dual-bit) 实施例，每个电荷存储单元 38 与 40 可单独有两个数据状态。更详而言之，每个电荷存储单元 38 与 40 可编程至任一数据状态，以利用核心存储器件 6 不对称的数据存储能力。为了确定每个电荷存储单元 38 与 40 所存储的数据状态，需在单独的读取操作中，读取每个电荷存储单元 38 与 40。

在单一位实施例及双位实施例中，数据状态可代表例如像逻辑 0 和逻辑 1 这样的二进制值。例如，通过使预期的电荷存储单元 38 与 40 处于非编程状态，可实现逻辑 1，该非编程状态也称为空白编程级别。例如，通过在预期的电荷存储单元 38 与 40 中存储一定量的电荷，可实现逻辑 0。这种情形也称为带电状态、编程状态、编程级别或带电编程级别。

在另一个实施例中，这里称为“单一位多级别单元”(single-bit multi-level (MLC)) 实施例或“单一位 MLC”实施例，每个电荷存储单元 38 与 40 可有若干数据状态，例如四个数据状态。然而，每个电荷存储单元 38、40 被编程以存储相同的数据状态，增加了数据保持力。为了确定每个电荷存储单元 38、40 所存储的数据状态，只需读取任一电荷存储单元 38、40。因此，在单一位 MLC 实施例中，每个核心存储器件 6 (或“晶体管”) 有四个数据状态 (即，与读取电荷存储单元 38 与 40 有关的四个数据状态)。在另一个实施例中，可有三个以上的带电编

程级别。

在另一个实施例中，这里称为“四位”(“quad-bit”)实施例，每个电荷存储单元 38, 40 可单独有若干个数据状态，例如四个数据状态。更详而言之，每个电荷存储单元 38 与 40 可编程至若干数据状态中的任一种，以利用核心存储器件 6 的非对称电荷存储的能力。为了确定每个电荷存储单元 38 与 40 所存储的数据状态，需在单独的读取操作中，读取每个电荷存储单元 38 与 40。因此，在四位实施例中，每个核心存储器件 6 (或“晶体管”) 有十六个数据状态(即在相互关联的一对电荷存储单元 38 与 40 之间，有十六种空白编程级别的排列和三种带电编程级别)。在另一实施例中，可有三个以上带电编程级别。

在单一位 MLC 实施例和四位实施例中，个别的电荷存储单元 38 与 40 存储的数据状态可代表一个两位二进制字，例如像逻辑 0-0，逻辑 0-1，逻辑 1-0 及逻辑 1-1 这样的二进制字。例如，通过使电荷存储单元 38, 40 处于非编程状态，可实现逻辑 1-1，该非编程状态也称为空白编程级别，这里将称为“级别 A”(level A)。通过在电荷存储单元 38 与 40 中存储数量可辨别的电荷，可实现其它的逻辑数据状态，此时的状态也称为带电状态、编程状态、编程级别或带电编程级别。与 1-0 数据状态相应的最低带电级别，这里称为“级别 B”(level B)。与 0-1 数据状态相应的中间带电级别，这里称为“级别 C”(level C)。与 0-0 数据状态相应的最高带电级别，这里称为“级别 D”(level D)。在单一位 MLC 实施例和四位实施例的其它实施中，可有三个以上的带电编程级别。

为了本发明的目的，任一用于存储电荷的电荷存储单元 38 与 40 的编程技术包括热电子注入，也称为沟道热电子注入 (CHE)。然而，需了解，为了适应所使用的特定的存储器件中的变化，可对编程技术进行修改。

用热电子注入，通过施加选定的电压于位线 18a (用作漏极)，第一电荷存储单元 38 可被编程至要求的带电编程级别 (在单一位和双位实施例中，单一的带电编程级别；或在单一位 MLC 实施例和四位实施例中，若干带电编程级别其中之一)，其中位线 18a 邻近第一电荷存储单元 38。此外，选定的电压施加于字线 16 (用作栅极电极 34)。另一

条位线 18b 作为第一电荷存储单元 38 沟道热电子注入编程的源极（例如，电子的来源）。在一个实施例中，偏置电位施加于源极（而不是像常规的电荷捕获介质闪存器件那样，源极接地或者浮接）。因此在编程时施加偏置电位与源极，可更好的控制电子注入，这种结果可导致存储器件 6 的数据保持能力增强和/或更高电荷注入精确度以利于达到所要求的带电编程级别。

电压施加于栅极电极 34 上，源极和漏极产生垂直电场和横向电场，该垂直电场穿过介质层 28、32 和电荷存储层 30，该横向电场沿着沟道 36 从源极一直到漏极。在特定的阈值电压下，沟道 36 将反向以至于电子从源极汲取出来并开始向漏极加速。当电子沿着沟道 36 的长度移动时，电子获得能量并且在所能达到的足够能量之上，电子能跳跃过底部介质层 28 的阻碍进入电荷存储层 30 并被捕获。在邻近漏极（即，位线 18a）的电荷存储单元 38 的区域内，电子越过阻碍的机率最大，在这个区域内电子已经获得最大的能量。这些加速的电子术语上称为热电子，一旦注入到电荷存储层 30 就驻留在电荷存储层 30 的电荷存储单元 38 内。由于电荷存储层 30 传导率以及其中的横向电场低，捕获的电子不会趋向于传播穿过电荷存储层 30。因此，捕获的电荷保留在邻近位线 18a 的电荷存储单元 38 内。

前述的对第一电荷存储单元 38 编程的技术可用于对第二电荷存储单元 40 编程。但是，位线 18a 及位线 18b（即，源极和漏极）的功能相反。

参阅图 4，图 4 为分布图，其包括相对编程级别阈值电压 ( $V_t$ ) 分布 42，该分布 42 适合于核心存储器件 6 中电荷存储单元 38 与 40 的单一位及双位编程。当电荷存储单元 38 与 40 处于各自不同的数据状态时，阈值电压分布 42 指示核心存储器件 6 的数据状态行为。

当电荷存储单元 38 与 40 两者各自存储了与空白编程级别相应的量的电荷时，第一分布 42a 描绘存储器件 6 的对数阈值电压分布。更详而言之，当电荷存储单元 38 与 40 之一被读取时，电荷存储单元 38 与 40 都处于空白状态，则存储器件 6 的阈值电压将落入该第一分布 42a 内。用相应的二进制值作为此数据存储的条件，该第一分布 42a 可被称为“11”状态，其中“11”的第一个“1”相应于读取的电荷存储单元 38 与

40 其中之一（或读取位（read bit）），“11”的第二个“1”相应于电荷存储单元 38 与 40 的另一个（或未读取位（unread bit））。第一分布 42a 的最大值代表核心存储器件 6 的擦除或空白阈值电压（ $V_{t_{blank}}$ ）。

当电荷存储单元 38 与 40 都分别存储了与带电编程级别相对应的量的电荷时，则第二分布 42b 描绘了核心存储器件 6 的对数阈值电压分布。更详而言之，当电荷存储单元 38 与 40 之一被读取时，电荷存储单元 38 与 40 都处于带电状态，则存储器件 6 的阈值电压将落入该第二分布 42b 内。用相应的二进制数值作为此数据存储的条件，该第二分布 42b 可被称为“00”状态，其中“00”的第一个“0”相应于读取位（read bit），“00”的第二个“0”相应于未读取位（unread bit）。

当被读取的电荷存储单元 38 与 40 之一存储了与空白编程级别相对应的量的电荷及未被读取的电荷存储单元 38 与 40 的另一个存储了与带电编程级别相对应的量的电荷的时候，第三分布 42c 代表核心存储器件 6 的对数阈值电压分布。用相应的二进制数值作为此数据存储的条件，并根据上述的第一、第二阿拉伯数字命名惯例，该第三分布 42c 可被称为“10”状态。因为未被读取的位存储的电荷具有稍微增加存储器件 6 的阈值电压的作用，所以该“10”状态也可称为互补位扰乱（CBD）状态，该稍微增加的阈值电压在空白状态分布 42a 之上。

若被读取的电荷存储单元 38 与 40 之一存储了与带电编程级别相对应的量的电荷及电荷存储单元 38 与 40 的未被读取的一个存储了与空白编程级别相对应的量的电荷时，第四分布 42d 代表核心存储器件 6 的对数阈值电压分布。用相应的二进制数值作为此数据存储的条件，并根据上述的第一、第二阿拉伯数字命名惯例，该第四分布 42d 可被称为“01”状态。在这种情形下，电荷存储单元 38 与 40 存储的电荷数量的不同，有稍微降低存储器件 6 的阈值电压的作用，该稍微降低的阈值电压在编程状态分布 42b 之下。

参阅图 5，图 5 为分布图，包括相对阈值电压分布 44，该分布 44 适合于核心存储器件 6 中电荷存储单元 38 与 40 的单一位 MLC 及四位编程。空白状态或级别 A 被分布 44a 代表，级别 B 被分布 44b 代表，级别 C 被分布 44c 代表，级别 D 被分布 44d 代表。核心存储器件 6 的电荷存储单元 38 与 40 的另一个的数据状态的相对阈值电压分布将同如

图 5 所说明的分布有相似的外观。为了绘图简单起见，互补位扰乱 (CBD) 阈值电压分布在图 5 中没有说明，该互补位扰乱阀分布相似于在单一位及双位实施例中说明的互补位扰乱阀分布 42c 和 42d (图 4)。然而，当电荷存储单元 38 与 40 编程至不相似的数据状态时，由于互补位扰乱，阈值电压分布 44 有沿着阈值电压轴向上或向下移动的趋势。

可选择编程条件的结合 (将在下面更详细的说明)，以至于目标电荷存储单元 38 与 40 编程至级别 D 时存储的电荷数量高于电荷存储单元 38 与 40 编程至级别 C 时所存储的电荷数量。在一个实施例中，级别 D 分布 44d 的最小阈值电压 ( $V_{t_{progD}}$ ) 高于级别 C 分布 44C 的最大阈值电压大约 1 伏。类似地，编程至级别 C 的电荷存储单元 38 与 40 存储的电荷数量高于编程至级别 B 的电荷存储单元 38 与 40 存储的电荷数量。在一个实施例中，级别 C 分布 44c 的最小阈值电压 ( $V_{t_{progC}}$ ) 高于级别 B 分布 44b 的最大阈值电压大约 1 伏。类似地，编程至级别 B 的电荷存储单元 38 与 40 存储的电荷量高于编程至级别 A 的电荷存储单元 38 与 40 存储的电荷量。在一个实施例中，级别 B 分布 44b 的最小阈值电压 ( $V_{t_{progB}}$ ) 高于级别 A 分布 44a 的最大阈值电压或擦除阈值电压 ( $V_{t_{blank}}$ ) 大约 1.5 伏。

须注意单一位及双位实施例的空白状态的阈值电压分布 42a 可与单一位 MLC 及四位实施例的空白状态的阈值电压分布 44a 相对应(例如，最大、最小及峰值分布点可相同或近似相同)。类似地，单一位及双位实施例的带电编程状态阈值电压分布 42b 可与单一位 MLC 及四位实施例的最高带电编程状态阈值电压分布 44d 相对应(例如，最大、最小及峰值分布点可相同或近似相同)。

可通过例如反向读取操作读取核心存储器件 6 的单元 38 与 40。例如，可对第一电荷存储单元 38 相对的传导区域 (例如，位线 18b，在读取操作时位线 18b 也可称为漏极) 和栅极电极 34 施加电压，以读取第一电荷存储单元 38。邻近第一电荷存储区域 38 的传导区域 (例如，位线 18a，在读取操作时位线 18a 也可称为源极) 可接地。为了读取第二电荷存储单元 40，位线 18a 和位线 18b 的作用可颠倒。

在进行读取操作的时候，穿过沟道 36 的电流量可作为核心存储器

件 6 阈值电压的标记，并可与参考电流（参考电流用作参考阈值电压的标记）相比较以确定电荷存储单元 38 与 40 之一“读取”时的数据状态。

读取操作漏极电压用于使沟道 36 内产生耗尽区，该耗尽区在未读取的电荷存储单元 38 与 40 之下。该耗尽区可部分的掩膜或“隐藏”(cover up) 由未读取的电荷存储单元 38 与 40 存储的所有电荷，以使互补位扰乱 (CBD) 对读取幅度的影响最小化。对于双位及四位实施例，漏极电压大约是 1.3V 到 1.6V，栅极电压大约 5V。对于单一位及单一位 MLC 实施例，漏极电压可小于 1V(例如，大约 0.4V 到 0.7V)，栅极电压大约 3V。

对于单一位实施例，读取幅度可被认为是从空白状态阈值电压  $V_{t_{blank}}$  到“00”状态阈值电压分布 42b 的最小阈值电压 (或  $V_{t_{prog}}$ ) 之差。在双位的实施例中，读取幅度从“10”状态阈值电压分布 42c 的最大阈值电压缩小到“01”状态阈值电压分布 42d 的最小阈值电压。类似的读取幅度可从单一位 MLC 及四位实施例获得。

一般来说，沿着阈值电压轴的分布越近，其越难产生读操作参数 (例如，参考电流或参考阈值电压) 以区分不同的编程级别。由于在存储器件 6 中可存储有更多可能的数据状态组合，使得在单一位 MLC 及四位实施例中，这一问题发生的频率更高。

参阅图 6，其说明了编程/擦除 (P/E) 循环和/或老化 (aging) 对存储器件 6 的数据保持力的影响。为绘图简单起见，图 6 仅说明单一位实施例中的影响。然而，这些影响适用于这里及上述的所有的编程实施例。当考虑到互补位扰乱和/或在使用 MLC 编程的时候，这些影响可变的更加剧烈。

图 6 为分布图，其比较了多重编程/擦除 (P/E) 循环前和多重编程/擦除 (P/E) 循环后的相对编程级别阈值电压分布，该阈值电压分布适合于双单元存储器件 6 单一位编程。更明确地，图 6 有第一轴 (识别为“a”轴)，显示了当存储器件 6 相当新 (例如，还没有通过多重 P/E 操作循环，例如像从一次到超过百万次这种的 P/E 循环) 和/或还没被有“烘烤”(bake) 以人工老化存储器件 6 的时候，存储器件 6 的相对阈值电压分布 46。

图 6 有第二轴（识别为“b”轴），显示了当存储器件 6 通过多重 P/E 操作循环（例如像从一次到超过百万次这种的 P/E 循环）和/或被烘烤以人工老化存储器件 6 到寿命结束（End-of-life(EOL)）状态的时候，存储器件 6 的相对阈值电压分布 48。

第一轴（或 a 轴）在第二轴（或 b 轴）的正上方，以至于在阈值电压分布 46 和阈值电压分布 48 之间可进行比较。

第一阈值电压分布 46a 描绘了电荷存储单元 38 与 40 两者的空白状态。因此，分布 46a 可被认为与分布 42a 及分布 44a 相对应。第二阈值电压分布 46b 描绘了电荷存储单元 38 与 40 两者的带电编程级别。因此，分布 46b 可被认为与分布 42b 及分布 44d 相对应。

作为范例目的，在这里，假定第一电荷存储单元 38（或 A 侧）先于第二电荷存储单元 40（或 B 侧）被编程。然而，本领域的技术人员须了解，为具有像似的结果，编程次序可颠倒。

当存储器件 6 相当新的时候，每个电荷存储单元 38 与 40 可编程至带电编程级别，且电荷存储单元 38 与 40 有保存电荷的趋势。因此，当存储器件 6 相当新的时候，读取幅度将相当的大。例如，在图 6 的单一位实施例中，“新器件”（new device）的读取幅度 ( $\Delta V_{t_a}$ ) 可从空白状态的阈值电压分布 46a 的最大阈值电压 ( $V_{t_{blank-a}}$ ) 到编程状态的阈值电压分布 46b 的最小阈值电压 ( $V_{t_{prog-a}}$ ) 量起。

重复的编程/擦除循环和/或老化（例如，烘烤循环）存储器件 6，电荷存储单元 38 与 40 可能有电荷的遗失的趋势。电荷遗失可导致很差的数据保持的能力。电荷遗失的一个通常原因是电子和/或空穴不断的轰击隧道介质层 28 导致介质层的退化。因此，电荷存储单元 38 与 40 存储的电荷可能有通过隧道介质层 28 耗散而消失的趋势。

须注意，当电荷存储单元 38 与 40 被“编程”至空白状态时，相对少量的电荷存储在电荷捕获层 30 内，不会发生电荷遗失或不会明显地遗失。因此，当电荷存储单元 38 与 40 被编程至带电编程级别而失去电荷及存储器件 6 的阈值电压降低的时候，读取幅度也随之降低。

已经发现，第一编程的电荷存储单元 38 与 40 失去电荷的速度比第二编程的电荷存储单元 38 与 40 的快。这可归因于第一编程的电荷存储单元 38 与 40 存储的电荷对第二编程的电荷存储单元 38 与 40 的

编程有影响。例如，先前存储的电荷可能有缓慢编程第二编程的电荷存储单元 38 与 40 的趋势，所以，在第二编程的电荷存储单元 38 与 40 内，电荷更容易横向分布，更不可能丢失。

参阅 b 轴（图 6）的阈值电压分布，当存储器件 6 编程至“00”状态时，阈值电压分布 48a 可代表第一编程的电荷存储单元 38 与 40 的“老化的”阈值电压分布。当存储器件 6 编程至“00”状态时，阈值电压分布 48b 可代表第二编程的电荷存储单元 38 与 40 的“老化的”阈值电压分布。如图所示，阈值电压分布 48b 的阈值电压值稍微高于阈值电压分布 48a。因此，分布 48b 较高的阈值电压值可提供比用于分布 48a 较大的“老化的”读取幅度 ( $\Delta V_{t_b}$ )。“老化的”读取幅度  $\Delta V_{t_b}$  可以是从空白状态阈值电压分布 46a 或如下详细讨论的移动的空白状态阈值电压分布 48c 开始的差数。

在一个实施例中，移动空白状态阈值电压分布 48c 使其至少具有一个比常规的擦除阈值电压 ( $V_{t_{blank-a}}$ ) 低的擦除阈值电压 ( $V_{t_{blank-b}}$ )，这样读取幅度可得到改善。常规的擦除阈值电压是存储器件 6 的具有代表性的自然状态阈值电压，或者是非常接近自然状态阈值电压。更明确地，当存储器件 6 生产出来时候，该器件的材料将建立自然态的阈值电压，以至于如果在栅极电极 34 上施加与自然态的阈值电压相应的电位，电子将开始从源极流向漏极。生产技术可包括用紫外线 (UV) 能量源进行处理影响材料的性能并产生自然态阈值电压。因此，自然态阈值电压有时也称为紫外线阈值电压或初始阈值电压。

为了使用存储器件 6，要先进行擦除配置操作。常规的擦除配置操作可包括将每个电荷存储单元 38 与 40 充电使其存储与带电编程级别相对应的电荷，然后擦除每个电荷存储单元 38 与 40，使存储器件 6 的阈值电压几乎回到自然态空白态阈值电压分布 46a。有时候，在常规的处理过程中，在进行擦除配置操作的擦除部分的操作时，过多的电荷被从电荷存储单元 38 与 40 之一或电荷单元 38 与 40 两者中移除。移除太多的电荷会扩大分布 46a 的宽度，而使存储器件 6 的阈值电压降低至低于分布 46a 的最小阈值电压(也称为软编程阈值电压( $V_{t_{sp-a}}$ ))。这种情形常常称为过度擦除的电荷存储单元 38 与 40，由于各种各样的原因通常避免这种情形。存储器件 6 之间擦除态的阈值电压的不一致

可引起存储器件 6 之间带电编程状态阈值电压的不一致。因此，在常规的处理过程中，所有的电荷存储单元 38 与 40 可用软编程（soft-programming）脉冲加大存储器件 6 的阈值电压，若该电荷存储单元的阈值电压低于  $V_{t_{sp-a}}$ （被外部参考器件 10 产生的软编程参考电压所识别）。

如先前简要说明的，移动的擦除态阈值电压分布 48c 与常规的擦除态阈值电压分布 46a 的位置作相对地移动。虽然，先前认为在电荷存储层 30 不可能存储捕获的空穴，但是擦除电荷存储单元 38 与 40 的电场相当的高，电荷存储单元 38 与 40 的局部阈值电压可减低至低于自然态阈值电压。因此，移动擦除阈值电压  $V_{t_{blank-b}}$  比自然态阈值电压  $V_{t_{blank-a}}$  低约 0.1 伏到 1.0 伏。虽然，移动擦除态阈值电压可低于常规认定是合适的擦除阈值电压，但是这种有意的“过度擦除”电荷存储单元 38 与 40 通过增加空白状态及带电编程状态之间阈值电压的差数来改善其寿命结束（EOL）读取幅度。

在电荷存储单元 38 与 40 过度擦除以移动至擦除阈值电压  $V_{t_{blank-b}}$  之后，任何阈值电压低于移动的软编程阈值电压( $V_{t_{sp-b}}$ )的电荷存储单元 38 与 40，可进行软编程以便注入电荷至电荷存储单元 38 与 40 中，以将存储器件 6 的阈值电压带回移动的空白态阈值电压分布 48c 内。在一个实施例中，移动阈值电压  $V_{t_{sp-b}}$  可大于存储器件 6 的过度擦除阈值电压 ( $V_{t_{depletion}}$ ) 的最大值，其中存储器件 6 显示耗尽器件的特性。当栅极电极 34 接地的时候，耗尽器件通过沟道 36 传导电流。须了解，软编程集中于移动所有具有阈值电压少于所要求的  $V_{t_{sp-b}}$  的电荷存储单元 38 与 40 使其等于或大于  $V_{t_{sp-b}}$ 。由此， $V_{t_{blank-b}}$  和  $V_{t_{sp-b}}$  的差 ( $V_{t_{blank-b}}$  减  $V_{t_{sp-b}}$ ) 大约与  $V_{t_{blank-a}}$  和  $V_{t_{sp-a}}$  的差 ( $V_{t_{blank-a}}$  减  $V_{t_{sp-b}}$ ) 相同，而帮助核心存储阵列 4 在使用寿命期间维持高度性能。

须注意，在双位及四位实施例中，空白状态分布 42a 与 44a 的移位也可降低与之相应的互补位扰乱（CBD）或“10”状态阈值电压分布（如分布 42c）。这是因为与互补位扰乱状态有关的阈值电压分布部分地由空白状态分布的阈值电压决定。因此，双位及四位实施例中的读取幅度通过空白状态分布 42a 与 44a 的移位，以单一位及单一位 MLC 实施例中同样的过度擦除电荷存储单元 38 与 40 的方式而得到改善。

参阅图 7，显示了当依照所示的单一位或单一位 MLC 实施例编程时的存储器件 6 的擦除配置及编程/验证操作的流程图。作为范例，图 7 的流程进行在第一编程的电荷存储单元 38 与 40 和/或第二编程的电荷存储单元 38 与 40 上的特定的处理，处理方法在下面详述。须了解，关于某一确定的电荷存储单元 38 与 40（即，第一或第二编程的电荷存储单元）的所有处理可作为选择地实施于其它的电荷存储单元 38 与 40，这样的修改被认为是落入附加的权利要求的范围。

方法开始于区块 50，其中，可设定与存储单元有关的每个存储器件 6。区块 50，例如可包括将每一个电荷存储单元 38 与 40 充电至带电编程级别，接着擦除每一个电荷存储单元 38 与 40 以使存储器件 6 具有低于或等于移动空白状态阈值电压（如  $V_{t_{blank-b}}$ ）的阈值电压。例如，可使用频带至频带（band-to-band, BTB）、热空穴注入擦除操作来移除预编程的电荷。因此，电荷存储单元 38 与 40 可被有意地过度擦除，或经历与这里描述相一致的任何合适的“定制擦除”（tailored erase）配置。其后，任何具有一定量的电荷使得器件 6 的阈值电压低于移位的软编程阈值电压（如  $V_{t_{sp-b}}$ ）的电荷存储单元 38 与 40，可进行软编程以增加存储器件 6 的阈值电压。须注意，核心存储阵列 4 的所有存储器件 6 与 8（或选择的一组器件 6 与 8）可受到擦除配置例行程序，该擦除配置例行程序优先于任何个别的存储器件 6、8 的编程。

在区块 50 中，存储器件 6 一旦设定，方法可于区块 52 中继续：电荷存储单元 38 与 40 的第一编程者可被编程至所要求的编程级别（例如，留在空白状态或用电荷注入以存储与所要求的编程级别相关的数据状态）。例如，源极、漏极与门极电极 34 可受一组编程电位脉冲，该一组编程电位适合于所要求的带电编程级别（单一位 MLC 实施例中的级别 B、级别 C、级别 D，或单一位实施例中的带电编程级别）。作为范例，存储器件 6 的 A 侧上的电荷存储单元 38 与 40 可最先编程，接着，对器件的 B 侧上的电荷存储单元 38 与 40 编程。然而编程的次序可颠倒。在单一位及单一位 MLC 实施例中，若器件 6 将留在空白状态，对于器件 6 的编程可视为完成，此时，可进入下一个器件 6 的编程。

在根据双位或四位实施例编程的时候，在该方法的此阶段可执行

验证操作，该验证操作的目的在于使电荷存储单元 38 与 40 的第一编程者的编程与所要求的带电编程级别一致。如需要，可以重新脉冲电荷存储单元 38 与 40 的第一编程者。

接着区块 52 的是区块 54，在区块 54 中，可对电荷存储单元 38 与 40 的第二者进行编程。随着首先对 A 侧上的电荷存储单元 38 编程的范例，然后在区块 54 中对 B 侧上的电荷存储单元 40 编程至所要求的编程级别。更详而言之，电荷存储单元 38 与 40 的第二编程者可处于空白状态或用电荷注入以存储电荷存储单元 38 与 40 的第一编程者的带电编程级别。如单一位及单一位 MLC 实施例中所述，电荷存储单元 38 与 40 两者都被充电至相同的编程级别。因此，电荷存储单元 38 与 40 两者不是处于空白状态就是被编程以存储与所要求的带电编程级别相应的量的电荷。

在根据双位或四位实施例编程的时候，在该方法的此阶段可执行验证操作，该验证操作的目的在于确认电荷存储单元 38 与 40 的第二编程者的编程与所要求的带电编程级别一致。如需要，可以重新脉冲电荷存储单元 38 与 40 的第二编程者。其后，双位或四位实施例中的存储器件 6 可视为编程完成，此时，可对另一存储器件 6 的电荷存储单元 38 与 40 编程。须注意，对另一存储器件 6 的电荷存储单元 38 与 40 编程可在对第一及第二编程的电荷存储单元 38 与 40 编程之间进行。

回到适合于单一位及单一位 MLC 实施例的编程技术，本领域技术人员须了解，电荷存储单元 38 与 40 的任一可被先编程，但是，在一个实施例中，进行读取操作时，最后编程的电荷存储单元 38 与 40 是作为询问用的。结果，读取操作“忽视”第一编程的电荷存储单元 38 与 40 的阈值电压，而集中于第二编程的电荷存储单元 38 与 40 的阈值电压。或者，进行读取操作时，电荷存储单元 38 与 40 的最先编程者也可作为询问（interrogation）用。

继续参阅图 7，在区块 56 中，在验证操作实施的过程中，第二编程电荷存储单元 38 与 40 被询问，以保证电荷存储单元都编程至所要求的编程级别。验证操作可以与反向读取操作相似的方式实施。更详而言之，存储器件 6 的阈值电压（即可被流过沟道 36 的电流识别）可与编程-验证阈值电压相比较（可被外部参考 10 产生的电流识别）。

在区块 58 中，产生存储器件 6 是否通过编程-验证操作的决定。若存储器件 6 通过编程-验证操作，可视为存储器件 6 已编程，此时，方法可进入下一个区块 60 内：根据这里所描述的程序（例如，从区块 52 开始），对核心存储阵列 4 的另一欲编程的器件进行编程。

在区块 58 中，若存储器件 6 未通过编程-验证操作，可视存储器件 6 为未编程，此时，方法可进入下一个区块 62 内。在区块 62 内，第一编程的电荷存储单元 38 与 40（即，区块 52 中，受脉冲的电荷存储单元 38 与 40）可重新受脉冲以增加其存储的电荷。其后，在区块 64 中，第二编程的电荷存储单元 38 与 40（即，区块 54 中，受脉冲的电荷存储单元 38 与 40）可重新受脉冲以增加其存储的电荷。在一个实施例中，在区块 62 及 64 中于脉冲时使用的编程电压可与区块 52 及 54 中使用的初始编程电压相同。在一个选择性的实施例中，在区块 62 及 64 中使用的编程电压可来自修改后的使用于区块 52 及 54 中的初始编程电压。例如，编程电压可根据存储器件 6 受脉冲的次数改变，或根据存储器件 6 当前的阈值电压改变。

在区块 62 及块 64 中，电荷存储单元 38 与 40 分别重新受脉冲调制之后，方法可回到区块 56，其中根据上述技术，对存储器件 6 的编程进行重新验证。

在所有需要编程的存储器件 6 与 8 已经编程之后，图 7 所说明的方法结束，存储阵列 4 可进行读取和/或擦除/重新编程等操作。其中，该器件 6 与 8 所需的编程由存储的数据式样（data pattern）所鉴别。

尽管，本发明的特定的实施例已被详细说明，但是，需了解，附图及其说明并非用于限制本发明的这些特定的实施例，本发明涵盖由权利要求所定义的本发明的精神及观点中所有的变更、修改及对等效的实例。

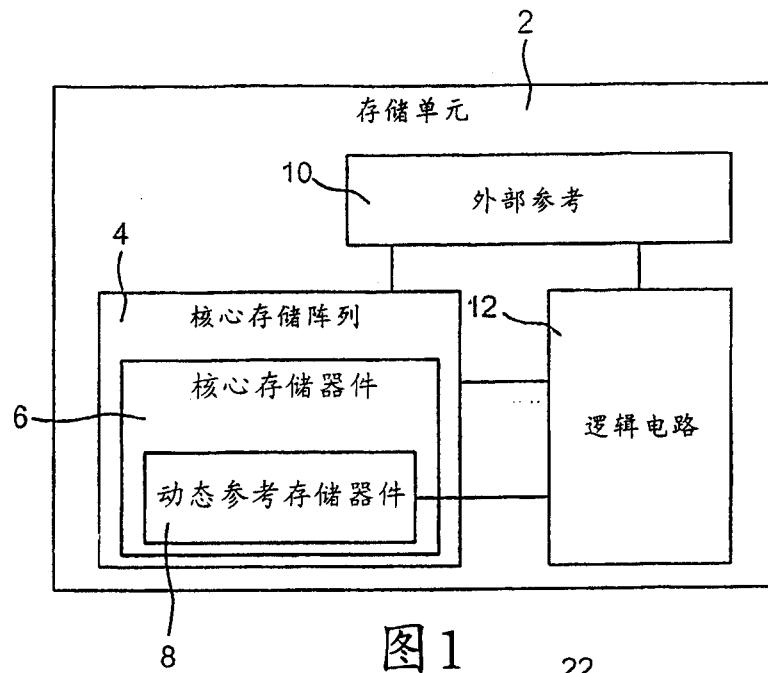


图1

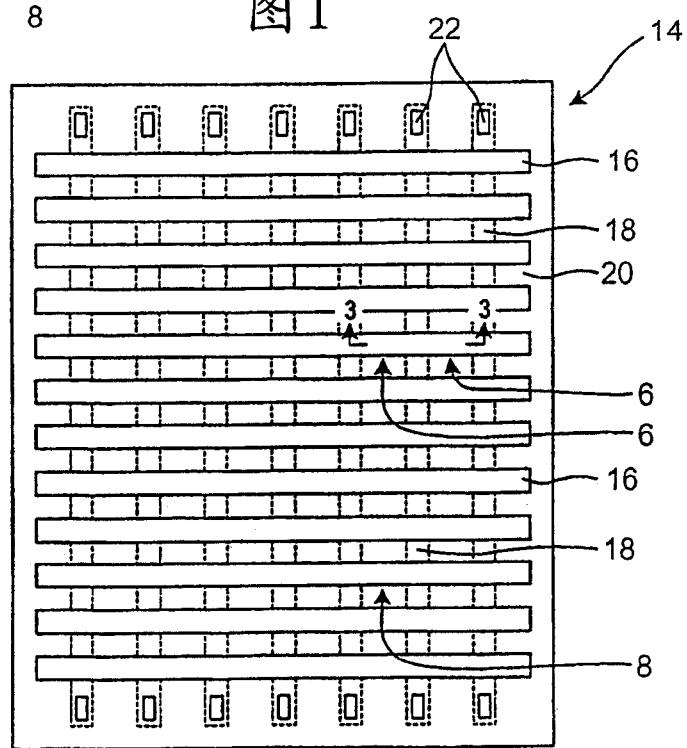


图2

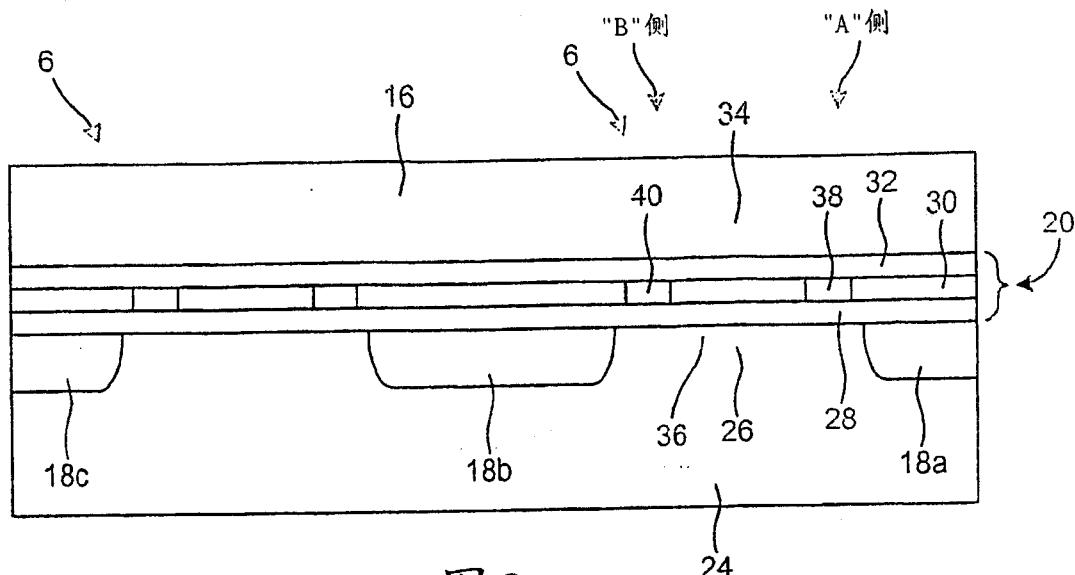


图 3

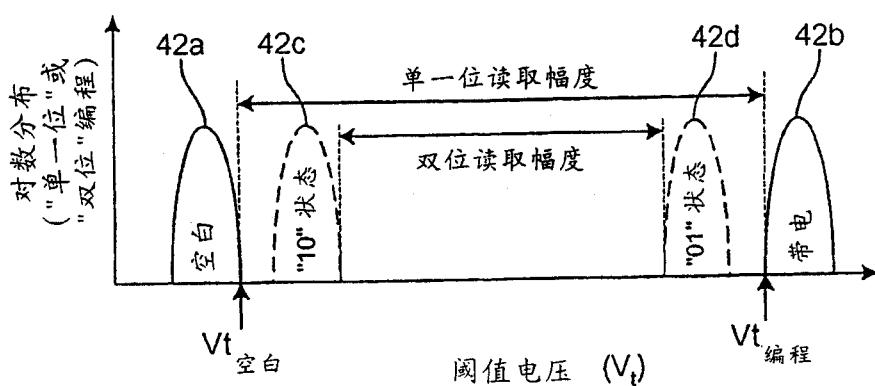


图 4

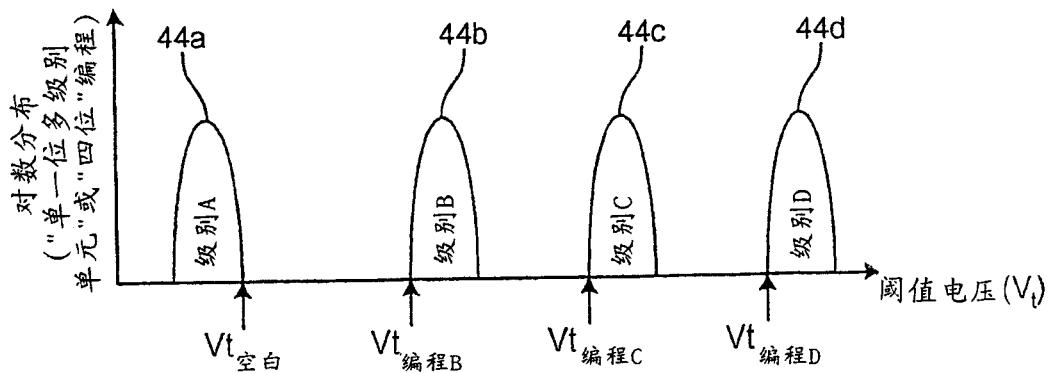


图 5

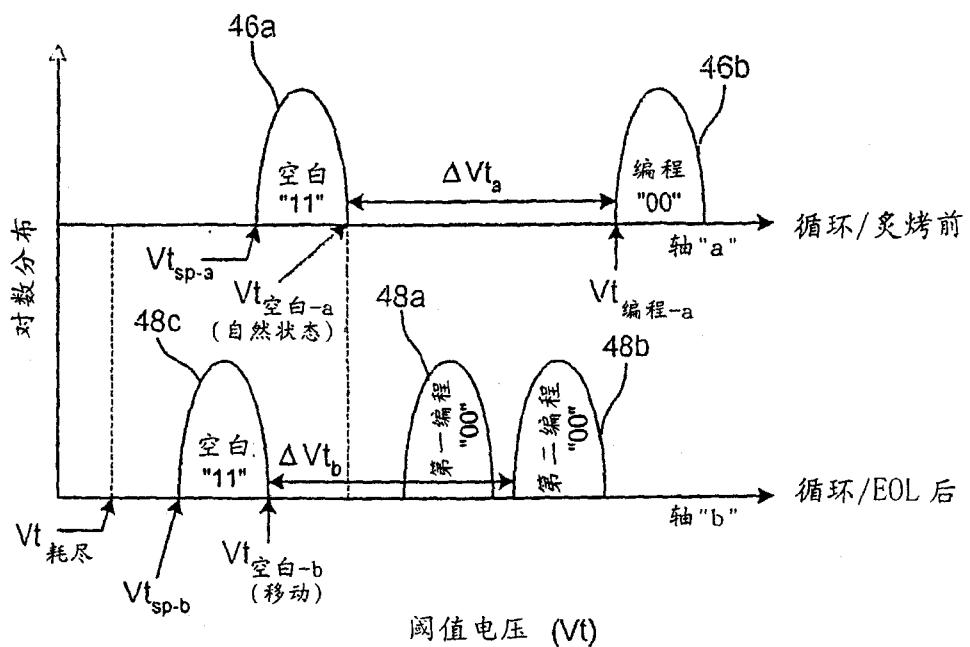


图 6

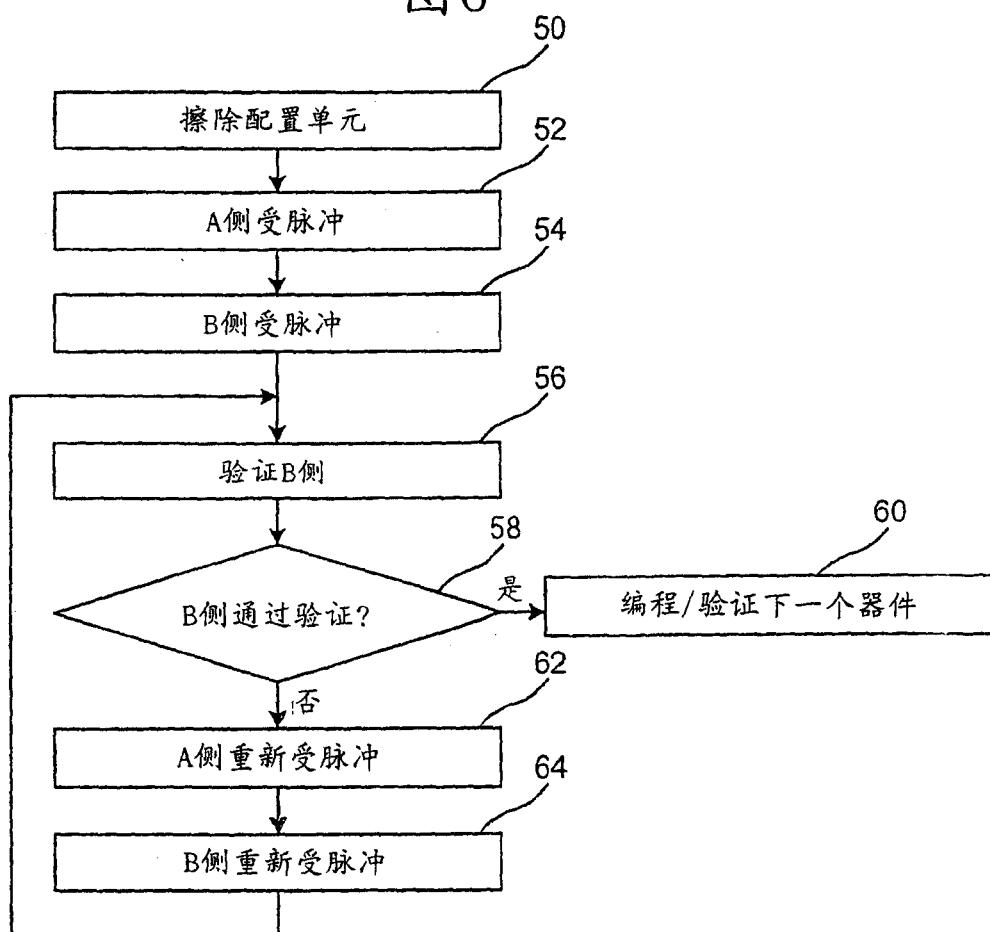


图 7