(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 552 949**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **84 15425**

(51) Int Cl⁴ : H 03 F 1/22.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 2 octobre 1984.

(30) Priorité : US, 3 octobre 1983, n° 538,377.

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 14 du 5 avril 1985.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *Société dite : BURR-BROWN CORPORATION.* — US.

(72) Inventeur(s) : Steven D. Millaway et Jerald Guy Graeme.

(73) Titulaire(s) :

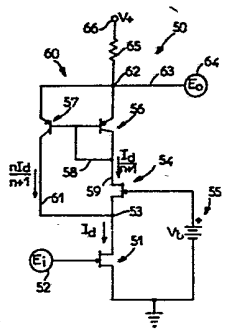
(74) Mandataire(s) : Jean Maisonnier.

(54) Circuit cascode silencieux avec zone morte.

(57) La présente invention concerne un circuit cascode silencieux pour circuit intégré monolithique.

Un circuit cascode 50 contient un premier étage amplificateur entrée JFET 51, un second transistor JFET 54 et un diviseur de circuit 60. Le courant est divisé en deux branches 59 et 61, la part la plus importante contourne 54 sans nuire à la fonction première du circuit.

Application : obtention de circuits silencieux selon la technique des cicuits intégrés n'exigeant pas de zones mortes trop vastes.



FR 2 552 949 - A1

La présente invention est relative à un circuit cascode déparasité, compatible avec une construction de circuits intégrés monolithique et plus particulièrement avec un circuit cascode dans lequel l'élément cascode est un transistor à effet de champ en dérivation sur source commune, ce qui fait que le circuit est virtuellement silencieux et un système de division de courant pour shunter la plus grosse part de l'intensité arrivant au niveau d'entrée autour de la cascode connue sous la dénomination commerciale usuelle "JFET", afin de diminuer de façon importante la zone morte nécessaire à l'exécution du circuit dans un circuit intégré monolithique.

Le circuit cascode ou sous-circuit comprenant deux transistors bipolaires est connu depuis de nombreuses années. Les qualités principales de la configuration en cascode résident dans le fait que la résistance de sortie est très élevée et qu'il ne se produit pas de retour à haute fréquence entre la sortie et l'entrée par la capacité parasite ou la capacité à base collecteur du circuit intégré ainsi qu'on le voit dans une configuration du type émetteur commun ou similaire. La forte impédance d'entrée que l'on peut obtenir est particulièrement utile pour obtenir la désensibilisation des alimentations en tension référence de polarisation et pour obtenir de gros gains de tension par un seul niveau d'amplification avec une charge active PNP

Un autre problème important des circuits d'amplification et autres, à un seul étage , réside dans le fait que la capacité restreint la vitesse à laquelle peuvent vibrer les tensions d'un circuit, du fait que l'impédance ou l'intensité d'excitation sont finies. Lorsque la capacité est excitée par la résistance d'une source finie, vous observez un comportement de charge RC, alors que la capacité excitée par une source de courant conduit à des formes d'onde à vitesse de saut limitée. En règle générale, la diminution de l'impédance de source et des capacités de charge, et l'augmentation des courants d'excitation dans un circuit accélèrent les choses. Toutefois, il existe certaines subtilités liées à la capacité de retour et à la capacité d'entrée qui méritent qu'on s'y arrête.

Le plus sérieux de ces problèmes est celui de la capacité de jonction. La capacité de sortie C_L forme une constante de temps avec la résistance de sortie R_L pour donner un démarrage de pondération pour une fréquence $R = \frac{1}{2} r_L C_L$. Ceci s'applique également à la capacité d'entrée en association avec l'impédance de source R_s. La capacité à base collecteur C_{cb} constitue un autre problème. L'amplificateur a un certain gain d'ensemble G_v, de sorte que même une faible vibration de tension à l'entrée donne naissance à une vibration fortement amplifiée et une sortie inversée du collecteur. Cela signifie que la source du signal voit une intensité par C_{cb} égale à un gain de tension de sortie plus 1 ($G_v + 1$) fois autant que si la capacité à base collecteur C_{cb} était connectée entre base et sol, de telle sorte que, pour ce qui concerne les calculs de la fréquence de pondération d'entrée, la capacité de retour se comporte comme un condensateur de valeur C_{cb} ($G_v + 1$), où G_v est le gain de tension d'ensemble de l'amplificateur. On appelle "effet Miller" cette augmentation effective de C_{cb}. Elle l'emporte souvent sur la caractéristique de pondération des amplificateurs puisque une capacité de retour type représente plusieurs fois sa valeur effective à la terre. Il existe plusieurs méthodes pour éliminer l'effet Miller et l'une des méthodes le plus efficace trouvée à ce jour consiste à monter dans le circuit un élément cascode. Un autre problème présenté par les circuits connus à ce jour, y compris ceux dans lesquels on a un amplificateur caractéristique à un seul étage porte sur le fait que toute insertion d'un dispositif sur la trajectoire du signal, entre l'entrée et la sortie, apporte un supplément de bruit et cela est vrai tout aussi bien de l'élément cascode courant. Par conséquent, même si l'on ajoute un élément cascode pour diminuer l'effet Miller, il est possible que l'augmentation importante du bruit rende cette addition moins souhaitable. Nombreux jusqu'à présent ont été ceux qui ont tenté de résoudre le problème en déterminant lequel, entre un transistor bipolaire ou un transistor à effet de champ en dérivation JFET, est le moins bruyant. Généralement, c'est le JFET qui s'avère présenter la valeur de bruit minimal la plus basse dans la plupart des tests d'impédance de source, pour des

impédances comprises entre 100 K et 100 M et par conséquent il est relativement inégalé pour des impédances de source élevées. Cependant, pour les valeurs d'impédance basses, et plus particulièrement en-dessous de 5 K, les transistors bipolaires sont habituellement plus satisfaisants.

Cependant, même avec des circuits cascode dans lesquels un transistor JFET sert à la fois pour l'étage d'amplitude unique et pour l'élément cascode, il demeure des problèmes considérables en particulier lorsque l'on veut pouvoir ramener la structure des circuits ou sous-circuits à un circuit intégré monolithique car le JFET nécessite habituellement une zone morte très vaste et relativement ineffective pour pouvoir transporter l'intensité d'entrée nécessaire, ce qui fait qu'il est économiquement prohibitif, voire impossible de ramener la structure cascode JFET à une construction intégrée monolithique.

Les problèmes explicités ci-dessus et autres problèmes connus jusqu'à présent sont résolus dans les circuits de la présente invention qui offre un système très simple permettant d'obtenir un circuit ou sous-circuit cascode déparasité pouvant être réalisé de façon sûre et efficace sous forme de circuit intégré monolithique.

La présente invention fait connaître un circuit ou sous-circuit amplificateur cascode virtuellement silencieux pouvant être réalisé dans des circuits intégrés monolithiques avec des dimensions ou zones mortes raisonnables. Selon une forme préférée de réalisation, un transistor à effet de champ en dérivation d'entrée JFET fournit une entrée de circuit et un étage cascode JFET associé fonctionnellement entre l'étage d'amplification d'entrée JFET et la sortie de circuit pour éliminer de façon substantielle tous les bruits de circuits. Un dispositif de dérivation de courant est prévu, pour diviser l'intensité en deux branches au moins et dériver la plus grande part de l'intensité du circuit en contournant l'élément cascode JFET de manière à réduire de façon significative les dimensions de la zone morte nécessaire pour pouvoir réaliser le JFET cascode sous forme de circuit intégré monolithique, de telle sorte que cette construction devienne réalisable.

Les systèmes de dérivation peuvent consister en un réflecteur d'intensité associé activement en rétroaction avec le JFET cascode; un circuit du type réflecteur d'intensité activement associé avec la source de courant du JFET cascode pour servir de diviseur de courant pour partager l'intensité en deux branches au moins, la plus grosse partie de l'intensité ignorant le JFET cascode pour alimenter la zone morte minimale nécessaire pour la réalisation d'un circuit intégré monolithique; un système source de courant pour faire passer la plus grande part de l'intensité autour de l'étage cascode JFET; et un système diviseur de courant pour la formation de deux voies ou davantage de manière que la plus grosse part du courant ignore le transistor cascode JFET et qu'une zone morte relativement restreinte suffise pour la construction de ce circuit sous forme d'un circuit intégré monolithique.

Le circuit prévoit aussi une méthode permettant de supprimer le bruit sur un amplificateur à cascode comportant au moins un élément cascode transistor bipolaire, et y compris le remplacement de l'élément cascode bipolaire par un élément cascode JFET et le montage de l'élément cascode JFET entre l'étage d'amplification d'entrée et la sortie circuit. Est également prévue la phase de l'insertion d'un JFET pour constituer l'étage de l'amplificateur d'entrée, de même que la phase de dérivation de l'intensité à partir de l'entrée JFET de sorte que la plus grosse partie de celle-ci contourne l'élément cascode JFET pour permettre à ce dernier d'être réalisé selon une technologie de circuit imprimé monolithique avec une zone morte raisonnable.

Une méthode est également prévue pour l'amélioration d'un circuit amplificateur cascode en utilisant un nombre "x" d'étages d'amplification et en introduisant un élément cascode JFET à chaque étage, puis en dérivant le courant dans chacun des "x" étages, en évitant les éléments cascode JFET pour diminuer la zone morte nécessaire et permettre la construction du circuit selon la technologie des circuits intégrés monolithiques. De même, cette méthode peut comprendre la phase du dosage des intensités durant la phase de déviation et similaire.

La présente invention permet: premiè-

rement, la construction d'un circuit ou sous-circuit cascode, avec utilisation d'un élément cascode JFET pour que le circuit soit relativement silencieux, deuxièmement: permet d'utiliser un élément cascode JFET alors que normalement celui-ci nécessiterait une zone morte trop vaste pour qu'on puisse l'employer, ceci par dérivation de la plus grosse part de l'intensité autour de l'élément cascode JFET, si bien que le circuit peut être alors construit sous forme de circuit intégré monolithique, troisièmement, l'invention fournit un système pour associer les répartiteurs de courant avec une cascode JFET fournissant une facilité de polarisation sur le point où la tension de source-porte du JFET cascode peut être élevée à un niveau tel qu'il suffise à lui seul à alimenter l'amplificateur en fonctionnement normal.

Le dessin annexé, donné à titre d'exemple non limitatif permettra de mieux comprendre les caractéristiques de l'invention.

Figure 1: représente un circuit cascode du type précédemment connu comportant un étage d'entrée avec JFET et un élément cascode comprenant un transistor bipolaire.

Figure 2: circuit cascode amélioré fournissant un étage cascode virtuellement silencieux, comprenant un étage entrée JFET et un élément cascode JFET.

Figure 3: premier circuit cascode modifié comprenant un étage amplificateur d'entrée JFET, un élément cascode JFET et un étage réflecteur intensité et

Figure 4: deuxième circuit cascode modifié, comprenant un étage entrée JFET, un élément cascode JFET, et un circuit du type réflecteur intensité associés entre eux fonctionnellement.

Le couplage par circuit cascode représenté en figure 1 est bien connu pour les nombreux avantages qu'il présente, amélioration du signal de sortie et tensions de polarisation pour étage d'amplificateur. Cependant, on sait aussi que l'insertion d'un dispositif quelconque sur le parcours des signaux entre l'entrée et la sortie de circuit apporte un supplément de bruit et cela est vrai aussi pour l'élément cascode commun. Toutefois, l'élément cascode commun est

indispensable sur de nombreux circuits pour supprimer l'effet Miller, pour assurer une résistance de sortie élevée et pour garantir qu'il n'y aura pas de réaction à haute fréquence entre la sortie et l'entrée par l'intermédiaire de la capacité parasite.La figure 1 représente un premier circuit cascode 10 déjà connu, comportant un transistor à effet de champ connexion N-voies source commune JFET 11 servant d'amplificateur d'entrée mono-étage. L'électrode-porte de HFET 11 est couplée directement sur l'entrée de circuit E_i 12 désignée par le numéro de référence 12, tandis que la décharge est mise directement à la terre. L'électrode source du JFET 11 est connectée sur 13. Un transistor bipolaire NPN 14 est monté en cascode avec le JFET 11 comme dit ci-après. L'électrode émetteur du transistor 14 est couplée directement sur la connexion 13 tandis que la connexion 13 est connectée par l'intermédiaire de la source d'intensité i_{nb} 15 à une connexion 16. La connexion 16 est raccordée directement à la base du transistor 14 et à l'entrée de la source de tension e_{nb} 17 dont la borne opposée est connectée à la source de tension polarisée V_b dont la borne opposée est mise à la terre. Le collecteur du transistor 14 est connecté directement à la connexion 21 et la connexion 13 est connecté par l'intermédiaire de la source de courant i_{nc} 19 à la connexion 21. Celle-ci est connectée par le conducteur de sortie 22 sur la sortie de circuit eo désignée par le repère 23 et, par l'intermédiaire d'une impédance de charge 24 à une source de potentiel V+25

Dans la figure 1, la source de potentiel V+ est désignée par le repère 25, la source du potentiel polarisé est désignée par V_b et le flux d'intensité est indiqué par I_1 dans la résistance de charge 24, par I_b dans la connexion 16 sur la base du transistor 14 et l'intensité I_b circulant de la connexion 13 vers l'électrode de source du JFET 11. La tension de sortie E_o est portée par la jonction base collecteur du transistor bi-polaire 14 à la place de la jonction source-décharge du dispositif amplificateur JFET. Par voie de conséquence, le courant de capacité d'entrée et le courant de fuite d'entrée peuvent être fortement diminués par rapport au circuit source commune simple. Pour déterminer la part de bruit imputable à l'élément cascode comprenant le

transistor NPN 14, ses sources de bruit sont portées dans la figure 1 et une étude démontre que l'intensité qui parvient à l'impédance de charge 24 est donnée par l'équation:

$$I_1 = I_d - I_b + i_{nb} + e_{nb} / R_{o1} = I_d - I_b + i_{nb}$$

dans laquelle R_{o1} est la résistance de sortie du transistor JFET 11. Le bruit du courant propre du transistor bipolaire 14 est donné par i_{nb} et il demeure sous forme de terme significatif dans la charge de courant, détériorant ainsi la performance de bruit du circuit figure 1 d'un type déjà connu.

Etant donné que l'un des objets de la présente invention consiste à fournir un circuit ou sous-circuit cascode virtuellement silencieux avec une bonne efficacité de zone morte, il s'avéra que l'utilisation d'un transistor JFET à n-canaux pour l'élément cascode faisait disparaître l'essentiel de l'erreur de bruit décrite ci-dessus, ainsi qu'on le verra en se référant à la figure 2. La figure 2 représente un deuxième circuit ou sous-circuit cascode 30, présentant un seul niveau d'amplification d'entrée, comprenant un premier JFET 31 à n-canaux , et un élément cascode comprenant un deuxième JFET 34 à n-canaux. L'électrode de porte du JFET 31 est couplée directement pour recevoir le signal d'entrée E_i, désigné par le repère 32 et l'électrode décharge est mise directement à la terre. L'électrode de source du JFET 31 est connectée directement sur la connexion 33, laquelle est connectée directement sur l'électrode décharge de la cascode JFET 34. L'électrode de porte du JFET 34 est connectée, via le conducteur 40 à la connexion 35. La connexion 35 est connectée à la borne positive d'une source de potentiel polarisé V_b désignée par le repère 36, dont la borne négative est mise directement à la terre. Une source de courant i_{ng} 37 estbranchée entre la connexion 35 et une connexion de sortie 38, comme décrit ci-après. La jonction de l'électrode anode du JFET 34 et l'électrode de source du JFET 31 prise sur la connexion 33 est connectée par l'intermédiaire de la source de courant i_{nd} désignée par le repère 41 sur la connexion 42 qui est également connectée directement sur l'électrode de source de JFET 34. La connexion 42 est connectée directement sur la connexion 38, laquelle est elle-même connectée directement sur la sortie E_o du circuit de tension, désignée par le repère 39.

Simultanément, la connexion 42 est connectée à l'une des bornes d'une impédance de charge 43 dont l'autre borne est connectée à une source de potentiel V+ repère 44.

Par conséquent, il faut analyser quelle est la part de l'élément cascode JFET 34 dans le circuit 30 pour déterminer son action sur le bruit. L'intensité de charge selon la figure 3 peut être donnée par l'équation:

$$I_1 = I_d + I_g + i_{ng} + e_{ng}/R_{ol} = I_b$$

dans laquelle I_1 est à nouveau l'intensité traversant l'impédance de charge 43, I_g représente le courant qui provient du circuit du JFET 34 et I_d est le courant de JFET 34. Toutefois, dans ce cas le bruit comparable fourni au courant de charge par l'élément cascode est simplement celui du courant de fuite du circuit cascode I_g, lequel est négligeable en comparaison avec le bruit de I_d et de ce fait, il est démontré que l'utilisation d'un étage d'entrée JFET associé à un étage cascode JFET fait disparaître de façon importante tous les bruits d'intensité du circuit cascode.

Cependant, l'utilisation du JFET 34 sous forme d'élément cascode dans des circuits intégrés monolithiques présente l'inconvénient de nécessiter une zone morte plus vaste. Du fait que la cascode doit conduire le même niveau d'intensité que le système amplificateur ou le transistor JFET 31, la zone morte qui lui correspond doit être la même ou, dans bien des cas, elle doit être plus grande. Il faut également de très grandes zones JFET lorsque l'on souhaite une amplification à gain fort et bruit faible et si l'on remplaçait tout simplement le système cascode à transistor bipolaire par un système cascode à transistor JFET, les conséquence sur la zone morte seraient très importantes et de nature à rendre inintéressante du point de vue économique la réalisation du circuit sous forme d'un circuit intégré monolithique. C'est pour surmonter cette difficulté que le circuit cascode modifié 50 de la figure 3 a été conçu.

Dans la figure 3, le circuit cascode 50 est représenté comme contenant un premier étage d'amplification d'entrée à n-canaux 51, un second transistor JFET à n-canaux 54 servant d'élément cascode, et un circuit diviseur d'intensité représenté par le repère 60. L'électrode de porte du

JFET 51 est connectée sur l'entrée de circuit E_i repère 51 et l'électrode décharge de JFET 51 est mise directement à la terre. La source d'alimentation du JFET 51 est connectée sur la connexion 53 et celle-ci est connectée directement sur l'électrode décharge de l'élément cascode JFET 54. L'électrode de porte du JFET 54 est connectée directement sur la borne positive de la source de potentiel V_b 55 dont la borne négative est mise directement à la terre.L'électrode de source du JFET 54 est connectée au conducteur 59.

Le circuit diviseur d'intensité 60 comprend un premier transistor bipolaire PNP 56 et un deuxième transistor bipolaire PNP 57 dont la configuration est celle d'un réflecteur de courant. Dans le circuit réflecteur de courant 60, l'électrode de base du premier transistor 56 est directement couplée à l'électrode de base du deuxième transistor 57 et les électrodes de base sont ensemble couplées par un conducteur 58 au conducteur 59 à l'électrode de source du JFET 54. La connexion 53 sur la sortie d'intensité JFET 54 est directement connectée sur l'électrode collecteur du transistor 57 et les électrodes-émetteur des premier et deuxième transistors bipolaires 56, 57 sont ensemble couplées sur la connexion 62 et connectées par l'intermédiaire du conducteur de sortie 63 sur la sortie de circuit E_o repère 64, elle est également connectée par une impédance de charge 65 à une source de potentiel V+ repère 66.

On remarquera que le rapport réflecteur d'intensité est réglé pour n:1 et l'intensité correspondante dans la branche 59 est donnée par $I_d/n+1$, tandis que l'intensité dans la seconde branche 61 est donnée par l'équation $nI_b/n+1$. Le réflecteur de courant 60 représente une déviation d'intensité ou un circuit diviseur d'intensité qui dévie ou détourne le courant autour de l'élément cascode JFET 54, sans nuire à la fonction première du circuit. Par le dosage du réflecteur de courant pour une valeur n:1 pour des niveaux de courant de n à 1 comme précédemment indiqué, la part de l'intensité totale conduite par la cascode JFET 54 est réduite de façon importante selon un facteur de n + 1. La plus grosse part du courant est transportée par le circuit de retour formé par le conducteur 61 et le deuxième transistor

bipolaire PNP 57 qui est représenté par l'équation $nI_d/n + 1$ ou "n" fois l'intensité du courant passant dans le JFET cascode 54.

En même temps, le comportement bruit reste virtuellement non touché par l'insertion du diviseur de courant ou du circuit de déviation précités 60, puisque les sources de bruit des transistors bi-polaires ajoutés 56 et 57 donnent un signal de bruit sur la junction porte/intensité de l'entrée JFET 51, mais la très forte résistance de sortie du JFET 51 empêche toute modification notable dans l'intensité fournie à l'impédance de charge 55 de telle sorte que les circuits cascode y compris le JFET 54 et le circuit réflecteur courant 60 qui lui est associé demeurent virtuellement silencieux.

Indépendamment du réglage proportionnel dans le circuit réflecteur de courant 60, le dosage du courant réflecteur ou de tout circuit similaire diviseur ou répartiteur de courant peut se faire par démultiplication de la zone émetteur; par addition de résistances de contre-réaction émetteur dosées, ou par l'association de ces deux procédés. En fait, dans un cas extrême, le premier transistor bipolaire 56 peut être remplacé par une simple résistance et et une dérivation de courant suffisante conservée pour le fonctionnement satisfaisant du circuit.

Un autre avantage de l'association de plusieurs types de répartiteurs ou diviseurs de courant, tels que le réflecteur d'intensité 60 avec un élément cascode JFET apparaît dans la facilité de polariser le circuit.La figure 3 représente l'élément cascode 54 polarisé à partir de la source de potentiel polarisation V_b pour garantir une tension suffisante décharge ./source pour l'élément étage amplificateur JFET 51. Cependant, si l'on diminue suffisamment les niveaux d'intensité relatif dans la cascode JFET 54, la tension porte/source du JFET 54 peut être amenée à un niveau tel qu'elle suffira à elle seule à fournir une tension suffisante sur l'amplificateur JFET 51 pour sa polarisation.

Le deuxième circuit cascode modifié 70 de la figure 4 représente une variante de réalisation du circuit de la figure 3; il comporte un premier étage d'entrée

d'amplification JFET à n-canaux 71, un deuxième élément cascode JFET à n-canaux 74 et un circuit diviseur de courant 90, représenté par un circuit de type réflecteur ou par tout système de répartition d'intensité, toute source de courant, tout système de division de courant. L'amplificateur d'entrée JFET 71 a son électrode-porte connectée directement sur l'entrée de circuit E_i, repère 72, et son électrode de décharge directement mise à la terre. L'électrode source du JFET 71 est connectée directement sur la connexion 73. Le second JFET 74 a son électrode-porte connectée directement sur la borne positive d'une source de potentiel V_b, repère 76, et dont la borne négative est mise directement à la terre. La décharge du JFET 74 est raccordée directement à la connexion 75 et la source du JFET 74 , directement sur la connexion 77. Le circuit type réflecteur ou le dispositif diviseur de courant représenté par le circuit 90 est couplé pour le fonctionnement entre l'entrée JFET 71 et le cascode JFET 74 selon description ci-après:

Le circuit type réflecteur courant 90 contient un premier transistor bipolaire NPN 78 et un second transistor bipolaire NPN 79. L'électrode support transistor 78 est couplée directement à l'électrode support du transistor 79 et les deux bases couplées ensemble sont connectées par un conducteur 81 sur la connexion 75 à la jonction de décharge du JFET 74 et du collecteur du premier transistor bipolaire 79. Les émetteurs des premier et deuxième transistors bipolaires 78, 79 ont un couplage commun par le conducteur 82 sur la connexion 73 à la jonction de l'émetteur du premier transistor bipolaire 78 et de la source du premier JFET 71. Le collecteur du deuxième transistor bipolaire 79 est connecté par le conducteur 83 à la connexion 77. La connexion 77 est connectée via le conducteur de sortie 94 sur la tension de sortie du circuit E_o, repère 85. De plus, la connexion de référence 77 est connectée sur l'une des bornes d'une impédance de charge 86, l'autre borne étant connectée à une source de potentiel V+, repère 87.

Le circuit type réflecteur de courant 90 est lui aussi réglé pour n:1, de sorte que le courant qui traverse la cascode JFET 74 est donné par la formule :

$I_d/(n + 1)$ tandis que le courant qui passe dans la branche opposée en ignorant le JFET 74 est donné par l'équation $nI_d/(n + 1)$, si bien que le courant qui contourne le JFET 74 est environ n fois celui qui le traverse. De cette manière, le circuit cascode peut conserver une mode de fonctionnement silencieux et la zone morte nécessaire à la construction d'un élément cascode JFET 74 sous forme de circuit intégré monolithique peut voir ses dimensions ramenées à un niveau raisonnable.

D'autre part, comme dit précédemment, le circuit type réflecteur de courant 90 peut être de même remplacé par des dispositifs diviseur de courant traditionnel, répartiteurs de courants, déviations, sources courant multiple ou séparateurs de courant, susceptible de diminuer de façon importante l'intensité qui traverse le JFET 74 sans modifier la fonction circuit. De plus, on peut utiliser différentes méthodes pour la démultiplication ou le dosage des circuits, comme démultiplication zone émetteur, apport de résistances de contre-réaction émetteur à réglage de rapports, ou encore une combinaison des deux méthodes. Là encore, selon la figure 3, les facilités de polarisation du circuit sont fortement augmentées grâce à l'utilisation du circuit type réflecteur de courant 90 au point que la tension de source porte du JFET 74 seule peut être amenée à un niveau tel qu'elle peut fournir une tension suffisante pour la polarisation de l'amplificateur JFET 71.

Il est possible d'avoir d'autres variantes sur les circuits illustrés représentés en figure 2-4. Plus particulièrement, le système diviseur de courant des circuits 3 et 4 représenté par le réflecteur de courant 60 en figure 3, et le circuit type réflecteur de courant repère 90, peuvent être remplacés par des circuits fonctionnant de la même façon faisant appel à des réflecteurs de courant, des diviseurs de courant, des sources de courants, des séparateurs de courant et autres, déjà connus. On peut en avoir une idée par les réflecteurs de courant, les sources, diviseurs, séparateurs de circuits et systèmes similaires figurant dans THE ART OF ELECTRONICS, Horowitz and Winfield Hill, Cambridge University Press, New York, New York, 1980, joint aux présentes pour

référence.

De plus, les circuits représentés le sont uniquement avec un transistor à effet de champ jonction à n-canaux pour constituer l'élément amplificateur,mais, avec les techniques ici décrites, on peut faire l'application à d'autres dispositifs d'amplification d'entrée, aussi avec des étages multiples d'amplification d'entrée et autres. De plus, ces enseignements peuvent être étendus directement au cas des étages différentiels, des étages d'amplificateur différentiels, des étages multiples et autres déjà connus.

Sur la base de la description détaillée faite d'un appareil spécifique utilisé pour illustrer la forme de réalisation préférée de la présente invention, et des différentes variantes, y compris les méthodes et les fonctionnements, il apparaîtra clairement aux personnes qualifiées dans ce domaine que différentes modifications peuvent être apportées au circuit de la présente invention, et particulièrement dans le nombre d'étages auxquels on applique l'invention, dans la nature du système d'amplification d'entrée utilisée, dans la nature du système diviseur de courant, et dans la méthode de réglage des proportions, dans le nombre d'étages utilisés et dans les circuits généraux de la présente invention, sans s'écarter de l'esprit et de l'objet de l'invention qui ne sont limités que par les revendications jointes.

REVENDICATIONS

1. Circuit cascode comprenant un étage d'entrée amplificateur caractérisé par un système cascode JFET pour éliminer dans une proportion considérable tous les bruits circuits et un système diviseur de courant pour produire la dérivation de la plus grande partie du courant du circuit traversant ledit niveau d'entrée d'amplificateur de manière à éviter ledit système cascode JFET en vue de limiter la zone morte nécessaire à la construction d'un système de cascode JFET à des dimensions raisonnables, lui permettant d'être réalisé sous forme de circuit intégré monolithique.

2. Circuit cascode selon revendication 1. caractérisé en ce que ledit niveau d'entrée amplificateur comprend un système amplificateur JFET à n-canaux.

3. Circuit cascode selon revendication 1, caractérisé en ce que ledit système diviseur de courant contient un réflecteur de courant, ledit réflecteur de courant étant effectivement couplé selon un rapport de rétroaction avec le dispositif cascode JFET en vue de détourner la plus grosse part du courant de manière qu'elle ne traverse pas le système cascode JFET, réduisant ce faisant très sensiblement la zone morte nécessaire à la réalisation d'un système cascode JFET dans un circuit intégré monolithique.

4. Circuit cascode selon revendication 1, caractérisé en ce que ledit système diviseur contient un dispositif type réflecteur de courant effectivement couplé avec la source de courant du système cascode JFET pour servir de diviseur de courant en vue de séparer l'intensité provenant de l'étage entrée amplificateur en deux branches au moins, la plus grosse part du courant étant déviée pour ne pas traverser le système cascode JFET, ceci pour permettre l'utilisation d'une zone morte minimale dans la construction du système cascode JFET sous forme de circuit intégré monolithique.

5. Circuit cascode selon revendication 1, caractérisé en ce que le dit système diviseur de courant contient un système source de courant pour détourner la plus grosse part du courant qui ne traverse pas le système cascode JFET.

6. Circuit cascode selon revendication 1, caractérisé en ce que ledit système diviseur de cou-

rant contient un système séparateur de courant pour diviser la trajectoire du courant provenant de l'étage entrée de l'amplificateur en deux voies séparées au moins, la plus grosse part du courant ne passant pas par le système cascode JFET, ceci afin de permettre la construction d'un système cascode JFET dans une étendue raisonnable de surface morte par les techniques d'intégration de circuit monolithique.

7. Circuit cascode selon revendication 1, caractérisé en ce que ledit système diviseur de courant contient un système permettant le réglage des rapports du diviseur de courant, pour des niveaux de courant de n à 1, la part du courant total traversant le système cascode JFET étant réduite selon un facteur de $n + 1$.

8. Circuit cascode selon revendication 7, caractérisé en ce que lesdits systèmes de réglage des rapports contiennent un démultiplicateur de surface émetteur.

9. Circuit cascode selon revendication 7, caractérisé en ce que lesdits moyens de réglage des rapports contiennent des résistances de contre-réaction d'émetteur réglées, effectivement couplées dans le système diviseur de circuit, pour le contrôle de la séparation du courant en vue de garantir que la plus grosse part du courant ignore le système cascode JFET.

10. Circuit cascode selon revendication 7, caractérisé en ce que lesdits systèmes de réglage des rapports comportent à la fois l'utilisation de la démultiplication de la zone émetteur et l'utilisation de systèmes de résistance d'émetteur contre-réaction réglés, effectivement couplés dans ledit système diviseur de circuit pour assurer que la plus grosse part du courant entrée amplificateur ne traverse pas le système cascode JFET

11. Circuit cascode selon revendication 1, caractérisé par la présence de systèmes permettant la diminution du niveau du courant dans le système cascode JFET, à un point pour lequel la tension source-porte du système cascode JFET elle-même peut être élevée à un niveau tel qu'elle suffise à fournir la tension nécessaire au système amplificateur, en supprimant le besoin d'une polarisation externe.

12. Circuit cascode selon revendica-

cation 3, caractérisé en ce que ledit étage entrée amplificateur contient un JFET à n-canaux, l'électrode de porte dudit JFET servant d'entrée de circuit, l'électrode de décharge étant effectivement mise à la terre, et l'électrode de source étant effectivement couplée à l'électrode de décharge du système cascode JFET; un système cascode JFET comprenant un dispositif à n-canaux, une électrode de porte étant effectivement polarisée et l'électrode de source étant effectivement couplée au réflecteur de courant et un réflecteur de courant comprenant un premier et un second transistors bipolaires PNP, des systèmes pour le couplage mutuel des électrodes du premier et du second transistor bipolaires, des systèmes pour coupler effectivement les supports d'électrodes couplés entre eux des transistors bipolaires sur le collecteur du premier transistor bipolaire, des systèmes pour coupler effectivement le collecteur du premier transistor bipolaire sur l'électrode de source du système cascode JFET, des systèmes pour coupler effectivement l'électrode du collecteur du deuxième transistor bipolaire sur la jonction de l'électrode de décharge du système cascode JFET et l'électrode de source du JFET d'entrée, des systèmes pour coupler ensemble les électrodes émetteurs du premier et du second transistors bipolaires sur la sortie de circuit et des systèmes d'impédance de charge effectivement couplés entre une source de potentiel et la sortie circuit.

13. Circuit cascode selon revendication 4, caractérisé en ce que ledit niveau d'entrée amplificateur contient un JFET à n-canaux avec signal d'entrée appliqué sur l'électrode de porte, l'électrode de décharge étant effectivement mise à la terre, et l'électrode de source étant effectivement couplé audit circuit type réflecteur de courant; système cascode JFET contenant un système JFET à n-canaux, son électrode de porte étant effectivement polarisée, son électrode de source étant couplée sur la sortie circuit et son électrode de décharge étant effectivement couplée audit circuit type réflecteur de courant et ledit circuit type réflecteur de courant contenant un premier et un second transistors bipolaires NPN, les électrodes de base du premier et du second transistors bipolaires étant couplées ensemble, systèmes pour le raccordement effectif des électrodes de base du premier et du second

transistors bipolaires couplées ensemble, au collecteur du premier transistor bipolaire, systèmes pour coupler ensemble les électrodes émetteur desdits premier et second transistors bipolaires à l'électrode de source de l'amplificateur d'entrée JFET, systèmes pour coupler effectivement le collecteur du premier transistor bipolaire sur l'électrode de décharge du système cascode JFET, systèmes pour coupler efectivement l'électrode collecteur du second transistor bipolaire à l'électrode de source du système cascode JFET, systèmes pour coupler effectivement l'électrode de source du système cascode JFET sur la sortie circuit et une impédance de charge effectivement couplée entre une source de potentiel et la sortie circuit.

14. Circuit cascode selon revendication 1, caractérisé en ce que ledit circuit contient "m" étages d'entrée, et chacun desdits "m" étages d'entrée étant fonctionnellement couplé sur la sortie de circuit par l'intermédiaire d'un système cascode JFET pour rendre le circuit silencieux et tel qu'il y ait "m" étages d'entrée pour chacun des dispositifs circuits intégrés, chacun d'eux comportant "m" systèmes cascode JFET et "m" systèmes de division de courant correspondants

15. Circuit cascode selon revendication 14, caractérisé en ce que le circuit contient au moins deux étages différentiels, chaque étage comprenant un JFET entrée, un système cascode JFET et un système diviseur de courant, effectivement couplé pour assurer la déviation de la plus grosse part du courant qui ne traversera pas le système cascode JFET, afin de permettre la construction du circuit sous forme de circuit intégré.

16. Circuit cascode selon revendication 1, caractérisé en ce que ledit circuit cascode a une sortie, un étage entrée d'amplificateur à transistor JFET, ledit étage d'entrée étant ledit système cascode JFET effectivement couplé entre ledit étage d'entrée amplificateur à transistor JFET et ladite sortie de circuit pour faire disparaître de façon importante le bruit du circuit.

17. Circuit cascode selon revendication 16 caractérisé en ce que lesdits moyens de dérivation comprennent un réflecteur courant effectivement couplé en ré-

troaction avec ledit système cascode JFET.

18. Circuit cascode selon revendication 16, caractérisé en ce que ledit étage d'entrée amplificateur à transistor JFET contient un JFET à n-canaux dont l'électrode de porte sert d'entrée amplificateur, l'électrode de décharge étant effectivement mise à la terre, et l'électrode de source étant effectivement couplée à l'électrode de décharge du système cascode JFET; ledit système cascode JFET étant un dispositif à n-voies, et ayant l'électrode de porte effectivement couplée à une source de potentiel polarisé, et l'électrode de source effectivement couplée auxdits systèmes de dérivation, et lesdits systèmes de dérivation comprenant un réflecteur de courant ayant un premier transistor bipolaire PNP, un second transistor bipolaire PNP, les systèmes pour le raccordement commun des émetteurs desdits premier et second transistors bipolaires sur ladite sortie de circuit, une impédance de charge effectivement couplée entre une source de potentiel et la sortie circuit, les systèmes pour coupler directement ensemble les électrodes bases des premier et second transistors bipolaires, les systèmes pour coupler effectivement les électrodes bases couplées ensemble des premier et second transistors bipolaires sur le collecteur du premier transistor bipolaire, les systèmes pour le couplage effectif du collecteur du premier transistor bipolaire sur l'électrode de source du système cascode JFET, et les systèmes pour couplage direct du collecteur du second transistor bipolaire sur la jonction de l'électrode de décharge du système cascode JFET avec l'électrode de source de l'amplificateur d'entrée JFET pour former une voie de rétroaction contournant le système cascode JFET, garantissant que la plus grosse part du courant du circuit ne passe pas par le système cascode JFET, en vue de diminuer les dimensions de la zone morte nécessaire à l'intégration.

19. Circuit cascode selon revendication 17, caractérisé en ce que les moyens de dérivation comprennent des moyens de réglage des rapports du réflecteur de courant pour des niveaux de courant de n à 1, de telle sorte que la partie du courant total traversant le système cascode JFET est diminuée de "n + 1"

20. Circuit cascode selon revendication 4, caractérisé en ce que lesdits systèmes de réglage des rapports contiennent des systèmes pour la démultiplication de la zone émetteur.

21. Circuit cascode selon revendication 19, caractérisé en ce que lesdits systèmes de réglage des rapports contiennent des systèmes résistifs de contre-réaction émetteur réglés.

22. Circuit cascode selon revendication 19, caractérisé en ce que lesdits systèmes de réglage des rapports contiennent à la fois des systèmes de démultiplication de la surface émetteur et des résistances de contre-réaction réglées montés dans les circuits émetteur.

23. Circuit cascode selon revendica- 16, caractérisé en ce que lesdits moyens de dérivation contiennent un système circuit type réflecteur de courant, effectivement couplé sur la source de courant du système cascode JFET pour constituer un système diviseur de courant afin de séparer le courant provenant de l'étage d'entrée amplificateur à transistor JFET en deux branches au moins, la plus grosse partie du courant ne passant pas dans le système cascode JFET afin de permettre de réaliser un système cascode JFET avec une zone morte de surface minimale sous forme de circuit intégré monolithique.

24. Circuit cascode selon revendication 16, caractérisé en ce que ledit étage d'entrée amplificateur à transistor JFET contient un JFET à n-canaux, ayant une électrode de porte servant d'entrée de circuit, une électrode de décharge effectivement mise à la terre et une électrode de source effectivement couplée auxdits moyens de dérivation, ledit système cascode contient un JFET à n-canaux dont l'électrode de porte est effectivement polarisée, l'électrode de source est effectivement couplée sur la sortie de circuit, et l'électrode de décharge est effectivement couplée sur ledit système de dérivation et ledit système de dérivation comprenant un système circuit de type réflecteur de courant effectivement couplé sur la source de courant du système cascode JFET pour constituer un système de division de courant, en vue de séparer le courant provenant de l'entrée JFET, ledit système de circuit

type réflecteur de courant comprenant un premier et un second transistors bipolaires NPN, un système pour coupler ensemble les bases desdits transistors bipolaires, système pour coupler effectivement les bases couplées ensemble des transistors bipolaires sur le collecteur du premier transistor bipolaire, système pour coupler ensemble les émetteurs du premier et du second transistors bipolaires sur la source du JFET d'entrée, systèmes pour coupler effectivement le collecteur du premier transistor bipolaire sur l'électrode de décharge du système cascode JFET, systèmes pour coupler le collecteur du second transistor bipolaire sur l'électrode de source du système cascode JFET, systèmes pour coupler l'électrode de source du système cascode JFET sur la sortie de circuit, et une impédance de charge effectivement couplée entre une source de potentiel et la sortie circuit.

25. Circuit cascode selon revendication 23, caractérisé en ce que lesdits systèmes de dérivation comprennent les systèmes de réglages des rapports pour les systèmes de circuit type réflecteur correspondant à des niveaux de courant de n à 1, de telle sorte que la partie du courant total qui traverse le système JFET cascode soit réduite selon un facteur de n + 1

26. Circuit cascode selon revendication 25 caractérisé en ce que lesdits systèmes de réglage des rapports contiennent une démultiplication de zone émetteur.

27. Circuit cascode selon revendication 25 caractérisé en ce que lesdits systèmes de réglage des rapports comprennent des systèmes résistifs de contre-réaction réglés effectivement couplés sur le circuit émetteur desdits systèmes de dérivation

28. Circuit cascode selon revendication 25 caractérisé en ce que lesdits systèmes de réglage des rapports contiennent à la fois une démultiplication de la zone émetteur et des systèmes résistifs réglés montés sur les circuits émetteurs desdits systèmes de dérivation.

29. Circuit cascode selon revendication 19, caractérisé en ce que lesdits systèmes de dérivation contiennent des systèmes source de courant.

30. Circuit cascode selon revendica-

tion 19, caractérisé en ce que lesdists systèmes de dérivation contiennent des systèmes de séparation de courant pour diviser effectivement le courant qui traverse l'étage amplificateur d'entrée de manière que la plus grosse part du courant ne passe pas dans le système cascode JFET, ceci pour permettre de réaliser le circuit intégré du système cascode JFET avec une zone morte de dimensions raisonnables.

31. Circuit cascode selon revendication 1 caractérisé par un système cascode JFET contenant un transistor JFET à n-canaux.

32. Circuit cascode selon revendication 31 caractérisé en ce que le système diviseur de courant contient un réflecteur courant effectivement couplé en rétroaction avec le système cascode JFET pour détourner la plus grosse part du courant provenant de l'étage amplificateur sans qu'elle passe dans le dispositif cascode JFET afin de permettre l'intégration de ce dernier.

33. Circuit cascode selon revendication 32 caractérisé en ce que le système diviseur de courant contient des systèmes pour le réglage des rapports du réflecteur courant pour des niveaux d'intensité variant de n à 1 de telle sorte que la partie du courant total qui traverse le système cascode JFET soit diminuée d'un facteur n + 1.

34. Circuit cascode selon revendication 31 caractérisé en ce que le système de division de courant contient un circuit de type réflecteur de courant effectivement couplé sur la source de courant du système cascode JFET, afin de servir de diviseur de courant pour séparer l'intensité provenant de l'étage entrée amplificateur en deux branches, la plus grosse partie du courant ne traversant pas le système cascode JFET pour autoriser l'utilisation de zones mortes aussi réduites que possible permettant ainsi la réalisation d'un circuit cascode monolithique.

35. Circuit cascode selon revendication 34 caractérisé par le fait que le système diviseur de courant de plus les systèmes permettant les réglages de rapports du circuit type réflecteur de courant pour des niveaux de courant compris entre n et 1, de telle sorte que la partie du courant total qui traverse le système cascode JFET soit

diminuée selon un facteur n + 1

36. Circuit cascode selon revendication 31 caractérisé en ce que les systèmes de division de courant contiennent de plus des systèmes de sources de courant pour la division du courant de telle sorte que la plus grosse part du courant ne traverse pas les systèmes cascode JFET, ceci pour permettre au système cascode JFET d'être réalisé sous forme d'un circuit intégré monolithique.

37. Circuit cascode selon revendication 31 caractérisé en ce que les systèmes de division de courant contiennent des systèmes de séparation de courant pour diviser effectivement le courant qui traverse l'étage amplificateur de telle sorte que la plus grosse part de courant ne passe pas dans le système cascode JFET, permettant à ce dernier d'être construit sous forme de circuit intégré monolithique.

38. Circuit cascode selon revendication 31 caractérisé en ce que ledit circuit comporte plusieurs étages amplificateurs ainsi qu'un système cascode JFET unique et au moins un système de division de courant pour chaque étage amplificateur.

39. Circuit cascode selon revendication 31 caractérisé en ce que ledit circuit comporte plusieurs niveaux différentiels avec un système cascode JFET et un système de circuit division de courant par étage différentiel.

40. Dans un circuit cascode selon l'une des revendications précédentes, méthode pour supprimer la plus grande partie du bruit de circuit, caractérisée par un couplage effectif desdits systèmes cascode JFET entre l'étage d'amplification d'entrée et la sortie du circuit

41. Méthode selon la revendication 40 caractérisée en ce qu'elle prévoit le montage d'un transistor JFET pour constituer l'étage d'entrée d'amplification

42. Méthode selon revendication 41 caractérisée par une phase de dérivation du courant provenant du transistor d'entrée JFET, de telle sorte que la plus grosse part du courant ne traverse pas le système cascode JFET, ceci pour permettre la réalisation du système cascode JFET selon la technologie des circuits intégrés avec une zone morte raisonnable.

43. Méthode selon revendication 40 caractérisée par l'utilisation de "x" étages d'amplification, "x" étant un nombre entier positif, plus grand ou égal à 1, et par le montage du système cascode JFET for chacun desdits "x" étages d'amplificateur entre la sortie de l'étage amplificateur et la sortie du circuit pour supprimer de façon très importante tous les bruits de circuits ainsi que par la mise en place de "x" systèmes de dérivation du courant dans chacun des "x" étages d'amplification, de telle sorte que la plus grosse partie du courant ne traverse pas les "x" systèmes cascode JFET correspondants, ceci pour diminuer la zone morte nécessaire pour l'exécution du circuit selon une technologie de circuit intégré monolithique et la maintenir dans des limites raisonnables.

44. Méthode selon revendication 43 caractérisée par une opération de réglage des rapports sur les systèmes de division de courant, pour des niveaux de courant compris entre n et 1, de telle sorte que la partie du courant total traversant le système cascode JFET est diminuée d'un facteur de n + 1.

PL.1/2

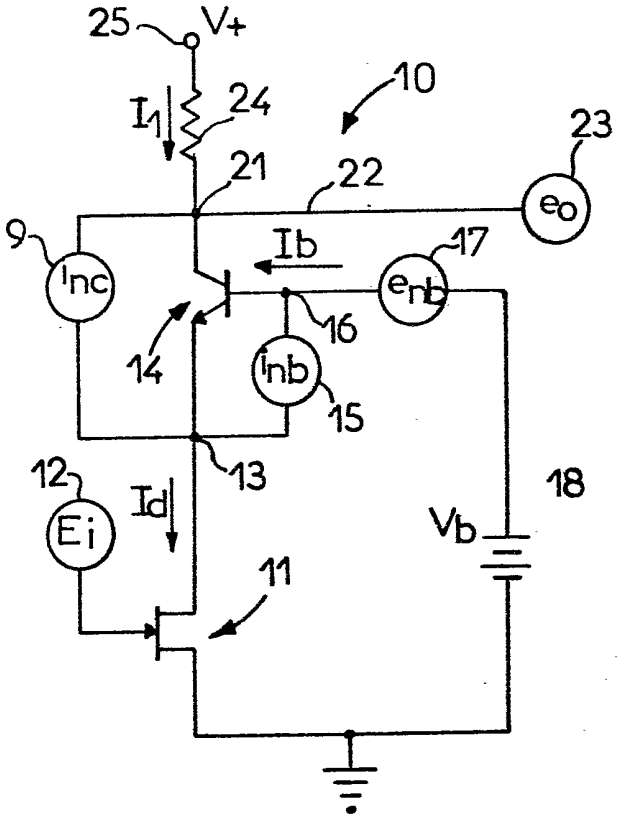


FIG 1

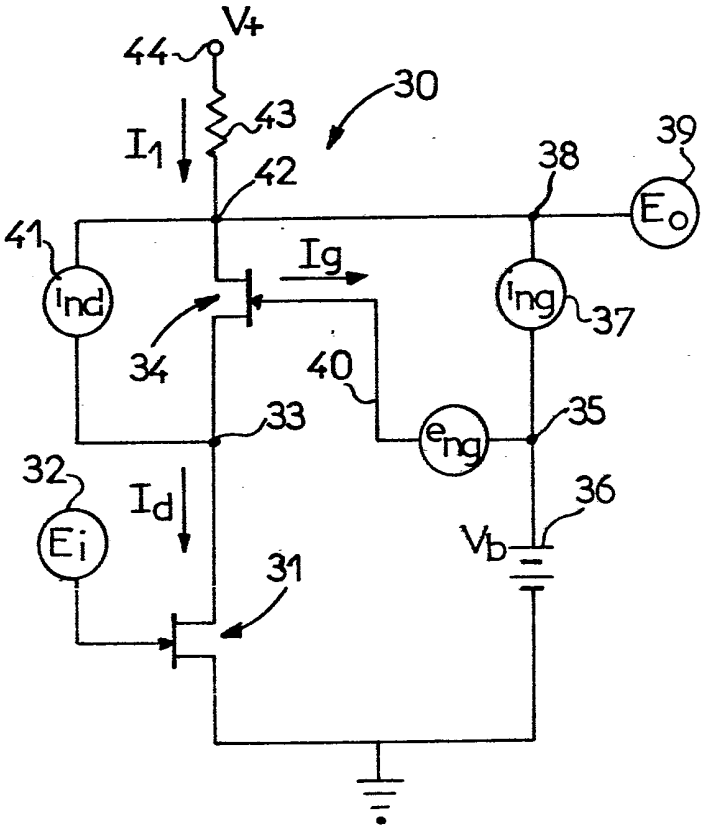


FIG 2

PL.2/2

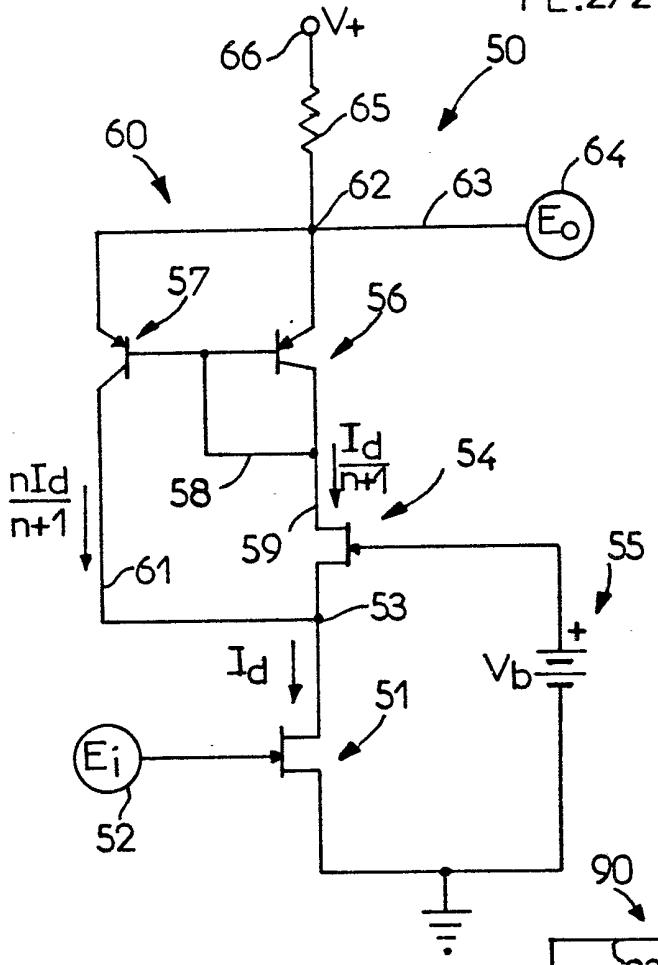


FIG 3

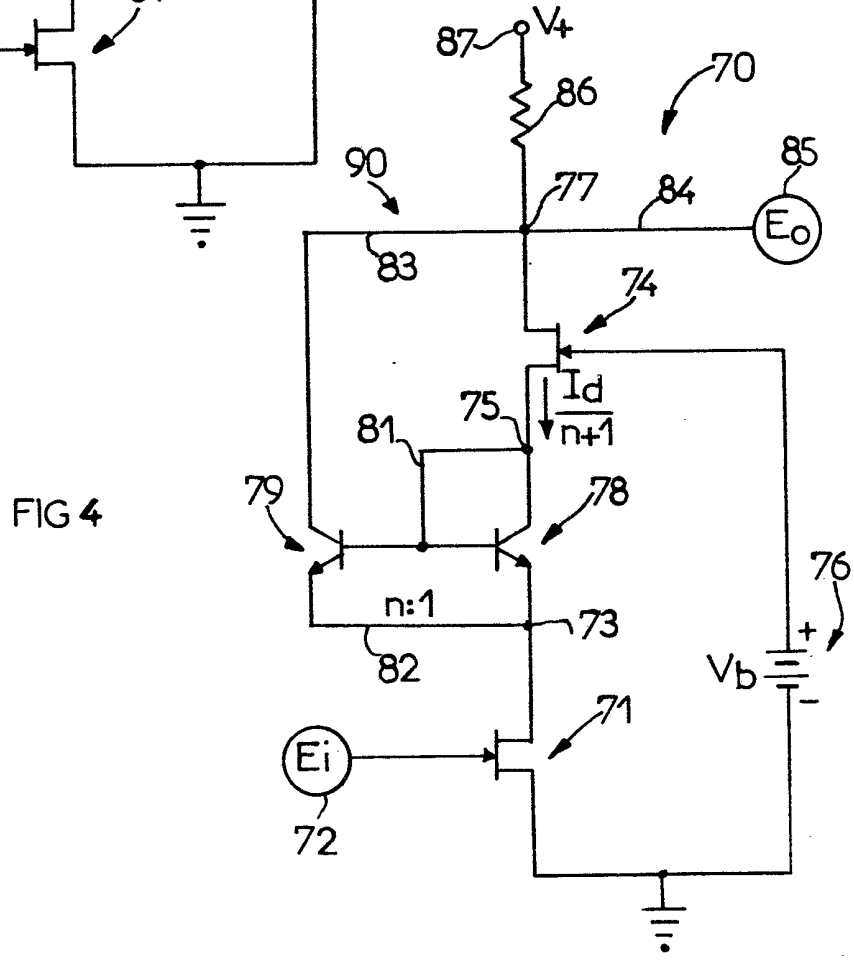


FIG 4