

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年11月2日(02.11.2023)



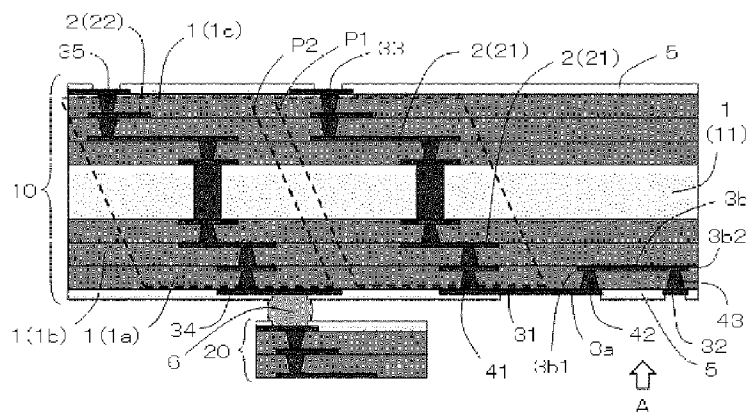
(10) 国際公開番号

WO 2023/210526 A1

- (51) 国際特許分類:  
*H05K 1/02* (2006.01) *H01L 23/12* (2006.01)
- (21) 国際出願番号: PCT/JP2023/015908
- (22) 国際出願日: 2023年4月21日(21.04.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2022-074443 2022年4月28日(28.04.2022) JP
- (71) 出願人: 京セラ株式会社 (KYOCERA CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).
- (72) 発明者: 川瀬 垂紀 (KAWASE, Aki); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 城下 誠 (SHIROSHITA, Makoto); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人ブナ国際特許事務所 (BUNA PATENT ATTORNEYS); 〒5406591 大阪府大阪市中央区大手前1丁目7番31号 OMMビル8階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,

(54) Title: WIRING BOARD AND MOUNTING STRUCTURE

(54) 発明の名称: 配線基板および実装構造体



ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

---

(57) 要約：本開示に係る配線基板は、複数の絶縁層と複数の導体層とが交互に積層された積層構造を有する。複数の導体層は、第1信号配線を含む。第1信号配線は、第1電極および第2電極と、突起部分と、第1端および第2端を有する線状導体と、第3電極と、第1ビアホール導体、第2ビアホール導体および第3ビアホール導体とを含む。第1電極と第3電極とが、第1ビアホール導体を含む第1配線パターンによって接続されている。突起部分と線状導体の第1端とが、第2ビアホール導体によって接続されている。線状導体の第2端と第2電極とが、第3ビアホール導体によって接続されている。

## 明 細 書

**発明の名称**：配線基板および実装構造体

### 技術分野

[0001] 本発明は、配線基板およびそれを用いた実装構造体に関する。

### 背景技術

[0002] 半導体素子などの電子部品を搭載するための配線基板において、設計通りに信号が伝送されるか否かの検査を行う必要がある。このような検査は、例えば特許文献1に記載のように、配線基板の端部に形成された測定用パッドを用いて行われる。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特許第5361023号公報

### 発明の概要

#### 課題を解決するための手段

[0004] 本開示に係る配線基板は、複数の絶縁層と複数の導体層とが交互に積層された積層構造を有する。複数の絶縁層は、最下層に位置する第1絶縁層、第1絶縁層の一層上に位置する第2絶縁層、および最上層に位置しており実装領域を有する第3絶縁層を、少なくとも含む。複数の導体層は、第1信号配線を含む。第1信号配線は、第1絶縁層の下面に位置する第1電極および第2電極と、第1絶縁層の下面に位置し第1電極と接触するように位置する突起部分と、第1絶縁層と第2絶縁層との間に位置し、第1端および第2端を有する線状導体と、第3絶縁層の上面に位置する第3電極と、第1絶縁層の上下面を貫通するように位置する第1ビアホール導体、第2ビアホール導体および第3ビアホール導体とを含む。第1電極と第3電極とが、第1ビアホール導体を含む第1配線パターンによって接続されている。突起部分と線状導体の第1端とが、第2ビアホール導体によって接続されている。線状導体の第2端と第2電極とが、第3ビアホール導体によって接続されている。

[0005] 本開示に係る実装構造体は、上記の配線基板と、配線基板の実装領域に位置する電子部品とを有する。

### 図面の簡単な説明

[0006] [図1]本開示の一実施形態に係る配線基板の要部を説明するための説明図である。

[図2]図1に示す矢印Aから見た場合の一例を示す平面図である。

[図3]図1に示す矢印Aから見た場合の他の例を示す平面図である。

[図4]第1電極と接地用導体との最短距離、突起部分と接地用導体との最短距離、およびペア電極における突起部分間の最短距離を説明するための説明図である。

### 発明を実施するための形態

[0007] 従来の配線基板では、測定用パッドは配線基板の端部に形成されており、測定用配線経路のパターンが実際の製品パターンと大きく異なる。さらに、信号用パッドがグランド用導体に囲まれた状態での電気特性を測定したいものの、従来の検査では、信号用パッドの一部がグランド用導体層で囲まれていない部分が生じる。このように、信号用パッドの一部がグランド用導体で囲まれていない部分が生じると、電気特性が劣化する。したがって、測定用配線経路のパターンが実際の製品パターンに近く、正確な電気特性を測定することができる配線基板が求められている。

[0008] 本開示に係る配線基板は、課題を解決するための手段の欄に記載のような構成を有することによって、測定用配線経路のパターンが実際の製品パターンに近く、正確な電気特性を測定することができる。さらに、本開示に係る実装構造体は、正確な電気特性が測定された配線基板に電子部品が実装されている。したがって、本開示に係る実装構造体は、優れた電氣的信頼性を有し、電子部品の誤作動などの不良を低減することができる。

[0009] 本開示の一実施形態に係る配線基板を、図1～4に基づいて説明する。図1は、本開示の一実施形態に係る配線基板10の要部を説明するための説明図である。具体的には、図1は、設計通りに信号が伝送されるか否かの検査

(電気特性測定)を行うために、測定機器と接続する領域近傍を示す。

[0010] 図1に示すように、一実施形態に係る配線基板10は、複数の絶縁層1と複数の導体層2とが交互に積層された積層構造を有する。図1に示すように、絶縁層1は、例えばコア用絶縁層11およびコア用絶縁層11の少なくとも一方の主面に積層されたビルドアップ用絶縁層を含む。一実施形態に係る配線基板10は、例えば、図1に示すように、はんだ6を介してマザーボード20に接続されている。

[0011] 絶縁層1は、例えば、エポキシ樹脂、ビスマレイミドトリアジン樹脂、ポリイミド樹脂、ポリフェニレンエーテル樹脂、液晶ポリマーなどの樹脂で形成されている。これらの樹脂は単独で用いてもよく、2種以上を併用してもよい。絶縁層1には、絶縁粒子が分散されていてもよい。絶縁粒子は限定されず、例えば、シリカ、アルミナ、硫酸バリウム、タルク、クレイ、ガラス、炭酸カルシウム、酸化チタンなどの無機絶縁性フィラーが挙げられる。コア用絶縁層11およびビルドアップ用絶縁層は、同じ樹脂で形成されていてもよく、異なる樹脂で形成されていてもよい。さらに、ビルドアップ用絶縁層を構成している各層は、同じ樹脂で形成されていてもよく、それぞれ異なる樹脂で形成されていてもよい。

[0012] 絶縁層1には、補強材が含まれていてもよい。補強材としては、例えば、ガラス繊維、ガラス不織布、アラミド不織布、アラミド繊維、ポリエステル繊維などの絶縁性布材が挙げられる。補強材は2種以上を併用してもよい。さらに、絶縁層1には、シリカ、硫酸バリウム、タルク、クレイ、ガラス、炭酸カルシウム、酸化チタンなどの無機絶縁性フィラーが分散されていてもよい。

[0013] 絶縁層1がコア用絶縁層11である場合、コア用絶縁層11は、例えば200 $\mu\text{m}$ 以上1400 $\mu\text{m}$ 以下の厚みを有している。コア用絶縁層11は、コア用絶縁層11の上下面に位置する導体層2を電氣的に接続するためのスルーホール導体を有している。スルーホール導体は、コア用絶縁層11の上下面を貫通するスルーホール内に位置している。スルーホール導体は、例え

ば、銅めっきなどの金属めっきからなる導体で形成されている。スルーホール導体は、コア用絶縁層 1 1 の両面の導体層 2 に接続されている。スルーホール導体は、スルーホールの内壁面のみ形成されていてもよく、スルーホール内に充填されていてもよい。

[0014] 絶縁層 1 がビルドアップ用絶縁層である場合、ビルドアップ用絶縁層は、例えば  $5\ \mu\text{m}$  以上  $100\ \mu\text{m}$  以下の厚みを有している。ビルドアップ用絶縁層を構成している各層は、同じ樹脂で形成されていてもよく、それぞれ異なる樹脂で形成されていてもよい。ビルドアップ用絶縁層は、ビルドアップ用絶縁層を介して上下に位置している導体層 2 同士を電氣的に接続するためのビアホール導体を有している。ビアホール導体は、ビルドアップ用絶縁層の上下面を貫通するビアホールに、例えば銅めっきなどを析出させることによって得られる。ビアホール導体は、図 1 に示すようにビアホール内を充填する状態で位置していてもよく、ビアホール導体が、ビアホール内表面に被着しており、かつビアホール導体が無い部分には樹脂を充填していても構わない。

[0015] 導体層 2 は絶縁層 1 の主面、すなわちコア用絶縁層 1 1 の主面およびビルドアップ用絶縁層の主面に位置している。導体層 2 は銅箔や銅めっきなどの銅で形成されている。導体層 2 の厚みは特に限定されず、例えば  $3\ \mu\text{m}$  以上  $30\ \mu\text{m}$  以下である。

[0016] 配線基板 1 0 の上下面の一部には、ソルダーレジスト 5 が位置している。ソルダーレジスト 5 は、例えば、アクリル変性エポキシ樹脂で形成されている。ソルダーレジスト 5 は、例えば、電子部品を実装するときのはんだ 6 が、導体層 2 に付着しないように保護する機能を有している。ソルダーレジスト 5 は開口を有する。この開口から露出する導体層 2 が電極として機能する。

[0017] 一実施形態に係る配線基板 1 0 において、絶縁層 1 は、最下層に位置する第 1 絶縁層 1 a、第 1 絶縁層 1 a の一層上に位置する第 2 絶縁層 1 b、および最上層に位置しており実装領域を有する第 3 絶縁層 1 c を、少なくとも含

む。具体的には、図1に示すように、コア用絶縁層11の下面に積層されたビルドアップ用絶縁層のうち、最外側に位置するビルドアップ用絶縁層が第1絶縁層1aに相当する。第1絶縁層1aの一層内側（コア用絶縁層11側）に位置するビルドアップ用絶縁層が第2絶縁層1bに相当する。さらに、コア用絶縁層11の上面に積層されたビルドアップ用絶縁層のうち、最外側に位置するビルドアップ用絶縁層が第3絶縁層1cに相当する。

[0018] 一実施形態に係る配線基板10において、導体層2は、電気測定用の第1信号配線21を含む。第1信号配線21は、第1電極31、第2電極32、第3電極33、突起部分3a、線状導体3b、第1ビアホール導体41、第2ビアホール導体42および第3ビアホール導体43を含む。つまり、第1信号配線21は、図1に示す第2電極32から第3電極33までの一連の配線経路である。

[0019] 第1電極31および第2電極32は、第1絶縁層1aの下面に位置する。第1電極31および第2電極32は、ソルダーレジスト5の開口から露出している。第1電極31と第2電極32とは、図1に示すように線状導体3bを介して接続されている。

[0020] 線状導体3bは、第1絶縁層1aと第2絶縁層1bとの間に位置している。線状導体3bと第1電極31とは、第1電極31と接触するように位置する突起部分3aおよび第2ビアホール導体42を介して接続されている。第2ビアホール導体42は、線状導体3bの第1端3b1近傍に接続されている。線状導体3bと第2電極32とは、第3ビアホール導体43を介して接続されている。第3ビアホール導体43は、線状導体3bの第2端3b2近傍に接続されている。第1電極31と第3絶縁層1cの上面に位置する第3電極33とは、第1ビアホール導体41を含む第1配線パターンP1によって接続されている。つまり、第1配線パターンP1は、図1に示す第1ビアホール導体41から第3電極33に接続するビアホール導体までの一連の配線経路を指す。

[0021] 図2に示すように、導体層2は接地用導体23を、さらに有していてもよ

い。図2は、図1に示す矢印Aから見た場合の一例を示す平面図である。図2(A)は最下面の導体層2を示し、図2(B)は最下面の導体層2から1層内側(コア用絶縁層11側)を示し、第1電極31および第2電極32近傍を示す。

[0022] 接地用導体23は、例えば第1絶縁層1aの下面および第1絶縁層1aと第2絶縁層1bとの間に位置している。図2(A)および図2(B)に示すように、接地用導体23は、平面視で線状導体3bの両側および第1電極31を取り囲むように位置している。「線状導体3bの両側に位置する接地用導体23」は、例えば、図2(B)において線状導体3bの長手方向に沿って左右の方向に位置する接地用導体23を意味する。このように、接地用導体23が、線状導体3bの両側および第1電極31を取り囲むように位置していると、より正確に電気特性を測定することができる。

[0023] 第1電極31は、図2に示すように、1つの電極であってもよく、図3に示すように、互いに隣接して位置する二つの電極を有するペア電極であり、二つの電極の各々に突起部分3aが接触していてもよい。図3は、図1に示す矢印Aから見た場合の他の例を示す平面図である。図3(A)は最下面の導体層2を示し、図3(B)は最下面の導体層2から1層内側(コア用絶縁層11側)を示し、第1電極31および第2電極32近傍を示す。

[0024] 第1電極31がペア電極の場合、差動信号線を用いて高周波信号を効率よく伝送することが可能になる。

[0025] 第1電極31に接触している突起部分3aの位置は、限定されない。例えば、図4に示すように、接地用導体23と第1電極31との最短距離である第1距離L1が、接地用導体23と突起部分3aとの最短距離である第2距離L2よりも短くなるように、突起部分3aが第1電極31に接触していてもよい。第1距離L1が第2距離L2よりも短くなるように、突起部分3aが第1電極31に接触していると、より正確に電気特性を測定することができる。

[0026] さらに、第1電極31と突起部分3aとは接触しており、第1電極31と

突起部分 3 a とで 1 つの電極（パッド）として見ることができる。第 1 電極 3 1 が第 1 ビアホール導体 4 1 に接続され、突起部分 3 a が第 2 ビアホール導体 4 2 に接続されている。したがって、1 つに見える電極（パッド）に、ビアホール導体が 2 つ接続されているため、第 1 絶縁層 1 a に対する第 1 電極 3 1 および突起部分 3 a の密着性を向上させることができる。

[0027] 突起部分 3 a の形状は、限定されない。図 3 および図 4 に示すように、突起部分 3 a の形状は、円形状であってもよい。円形状であることで、後述するディエンベデット技術を用いて測定する際、より正確な測定が可能になる。第 1 電極 3 1 と突起部分 3 a とで 1 つの電極（パッド）として見たとき、電極の形状がティアドロップ型であってもよい。ティアドロップ型にすることで、電極が形成されやすくなるとともに、突起部分 3 a の剥がれが低減される。これと同じ理由から、突起部分 3 a の形状は、四角形状であっても構わない。

[0028] 突起部分 3 a は、製造上可能な限り小さくすることで正確な測定が可能になる。このため突起部分 3 a は、（突起部分 3 a に接続される）第 2 ビアホール導体 4 2 を接続することができる必要最小限の大きさを有していればよく、例えば最も大きい幅が 100  $\mu\text{m}$  程度であってもよい。つまり、平面視において突起部分 3 a は、第 2 ビアホール導体 4 2 の最大幅よりも大きな幅の部分の有している。

[0029] 図 3 に示すように、第 1 電極 3 1 がペア電極である場合、第 1 距離 L 1 が、ペア電極における突起部分 3 a 間の最短距離である第 3 距離 L 3 よりも短くなるように、突起部分 3 a が第 1 電極 3 1 に接触していてもよい。第 1 距離 L 1 が第 3 距離 L 3 よりも短くなるように、突起部分 3 a が第 1 電極 3 1 に接触していると、より正確に電気特性を測定することができる。

[0030] 第 1 信号配線 2 1 は、電気特性を測定するために使用される回路である。したがって、第 1 信号配線 2 1 は、電子部品およびマザーボード 2 0 とは接続されない。電子部品の実装後、電子部品とマザーボード 2 0 との信号の送受信は、第 2 配線パターン P 2 を介して行われる。

[0031] 第2配線パターンP2は、第1絶縁層1aの下面に位置する第4電極34、および第3絶縁層1cの上面に位置する第5電極35を接続している。つまり、第2配線パターンP2は、第4電極34と接続するビアホール導体から、第5電極35と接続するビアホール導体までの一連の配線経路である。第2配線パターンP2は、第1電極31および第3電極33を接続する第1配線パターンP1と同じ配線経路パターンである。言い換えれば、第1配線パターンP1および第2配線パターンP2は、配線長、配線幅、ビアホール導体の大きさ、数量および配置などが同じ構成を有している。

[0032] 電気測定用のパターンである第1配線パターンP1は、実際の製品パターンである第2配線パターンP2と同じ配線経路パターンを有しており、従来の配線基板に比べて、正確な電気特性を測定することができる。電気特性を測定する方法は限定されず、例えば、より正確に電気特性を測定することができる点で、ディエンベデット技術を用いて測定してもよい。

[0033] ディエンベデット技術は、まず、第1信号配線21（第2電極32から第3電極33まで）の電気特性を測定して測定値M1を得る。次に、突起部分3aから第2電極32までの部分の電気特性を測定して測定値M2を得る。その後、測定値M1から測定値M2を差し引くことで、第1電極31と第3電極33との間の電気特性値を得る方法である。本開示の配線基板10は、第1電極31と第3電極33とを接続する第1配線パターンP1が、マザーボード20に接続される第4電極34と、電子部品に接続される第5電極35とを接続する第2配線パターンP2と同じ配線経路パターンを有している。これにより、第1電極31と第3電極33との間の電気特性値を得ることで、第3電極33と第5電極35との間の電気特性値により近い電気特性値として使用することが可能になる。したがって、正確な電気特性を測定することができる配線基板10を提供できる。

[0034] 次に、本開示の実装構造体について説明する。一実施形態に係る実装構造体は、上述の一実施形態に係る配線基板10と、配線基板10の実装領域に位置する電子部品とを有する。

- [0035] 電子部品は、例えばASIC (Application Specific Integrated Circuit)、半導体集積回路素子、オプトエレクトロニクス素子などの半導体素子が挙げられる。電子部品は、第5電極35とはんだ6によって接続される。すなわち、電子部品は、上述のように、第1配線パターンP1と電氣的に接続されず、第2配線パターンP2と電氣的に接続されている。
- [0036] 一実施形態に係る実装構造体は、正確な電気特性が測定された配線基板10に電子部品が実装されている。したがって、一実施形態に係る実装構造体は、優れた電氣的信頼性を有し、電子部品の誤作動などの不良を低減することができる。
- [0037] 以上、本開示の実施形態について説明した。しかし、本開示に係る発明は上述の実施形態に限定されるものではなく、下記の(1)および(7)に示す本開示の範囲内で種々の変更および改良が可能である。
- [0038] (1) 本開示に係る配線基板は、複数の絶縁層と複数の導体層とが交互に積層された積層構造を有する。複数の絶縁層は、最下層に位置する第1絶縁層、第1絶縁層の一層上に位置する第2絶縁層、および最上層に位置しており実装領域を有する第3絶縁層を、少なくとも含む。複数の導体層は、第1信号配線を含む。第1信号配線は、第1絶縁層の下面に位置する第1電極および第2電極と、第1絶縁層の下面に位置し第1電極と接触するように位置する突起部分と、第1絶縁層と第2絶縁層との間に位置し、第1端および第2端を有する線状導体と、第3絶縁層の上面に位置する第3電極と、第1絶縁層の上下面を貫通するように位置する第1ビアホール導体、第2ビアホール導体および第3ビアホール導体とを含む。第1電極と第3電極とが、第1ビアホール導体を含む第1配線パターンによって接続されている。突起部分と線状導体の第1端とが、第2ビアホール導体によって接続されている。線状導体の第2端と第2電極とが、第3ビアホール導体によって接続されている。
- [0039] 本開示の実施形態に関し、以下の(2)～(6)および(8)に示す実施形態をさらに開示する。

[0040] (2) 上記(1)に記載の配線基板において、導体層は、第1絶縁層の下面に位置する第4電極および第3絶縁層の上面に位置する第5電極を、さらに含む。第4電極および第5電極は、第1配線パターンと同じ配線経路パターンを有する第2配線パターンによって接続されている。

(3) 上記(1)または(2)に記載の配線基板において、第1電極は、互いに隣接して位置する二つの電極を有するペア電極であり、二つの電極の各々に突起部分が接触している。

(4) 上記(1)～(3)のいずれかに記載の配線基板において、導体層は、第1絶縁層の下面、および第1絶縁層と第2絶縁層との間に接地用導体を、さらに有する。接地用導体は、平面視で線状導体の両側、および第1電極を取り囲んで位置している。

(5) 上記(4)に記載の配線基板において、第1電極と接地用導体との最短距離である第1距離は、突起部分と接地用導体との最短距離である第2距離よりも短い。

(6) 上記(4)または(5)に記載の配線基板において、第1電極は、互いに隣接して位置する二つの電極を有するペア電極であり、二つの電極の各々に突起部分が接触しており、第1電極と接地用導体との最短距離である第1距離は、ペア電極における突起部分間の最短距離である第3距離よりも短い。

[0041] (7) 本開示に係る実装構造体は、上記(1)～(6)のいずれかに記載の配線基板と、配線基板の実装領域に位置する電子部品とを有する。

[0042] (8) 上記(7)の実装構造体において、電子部品は、第1配線パターンと電氣的に接続されず、第2配線パターンと電氣的に接続されている。

## 符号の説明

- [0043] 1 絶縁層  
1 1 コア用絶縁層  
1 a 第1絶縁層  
1 b 第2絶縁層

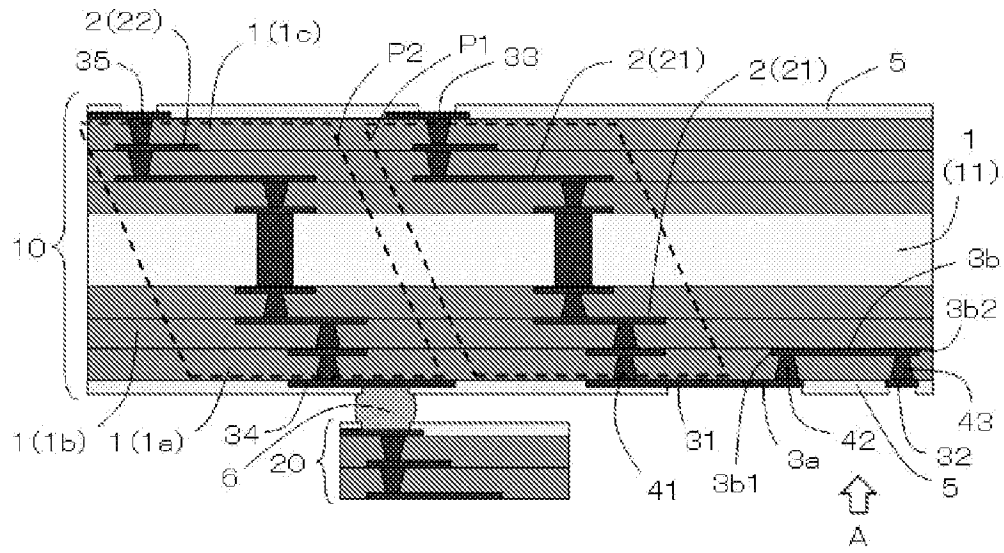
- 1 c 第3絶縁層
- 2 導体層
- 2 1 第1信号配線
- 2 2 第2信号配線
- 2 3 接地用導体
- 3 1 第1電極
- 3 2 第2電極
- 3 3 第3電極
- 3 4 第4電極
- 3 5 第5電極
- 3 a 突起部分
- 3 b 線状導体
- 3 b 1 第1端
- 3 b 2 第2端
- 4 1 第1ビアホール導体
- 4 2 第2ビアホール導体
- 4 3 第3ビアホール導体
- 5 ソルダレジスト
- 6 はんだ
- 1 0 配線基板
- 2 0 マザーボード
- P 1 第1配線パターン
- P 2 第2配線パターン

## 請求の範囲

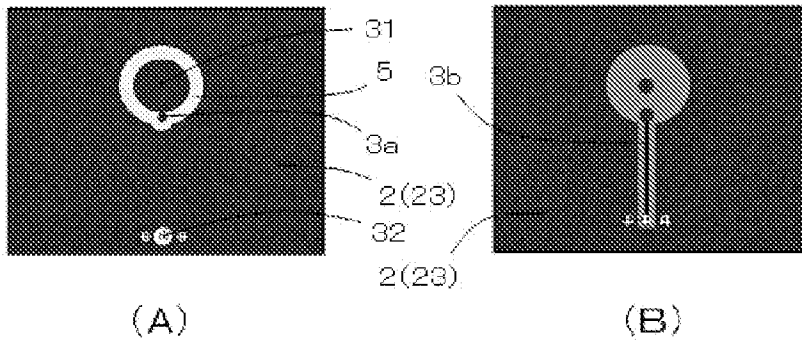
- [請求項1] 複数の絶縁層と複数の導体層とが交互に積層された積層構造を有し、
- 前記複数の絶縁層は、最下層に位置する第1絶縁層、該第1絶縁層の一層上に位置する第2絶縁層、および最上層に位置しており実装領域を有する第3絶縁層を、少なくとも含み、
- 前記複数の導体層は、第1信号配線を含み、
- 該第1信号配線は、
- 前記第1絶縁層の下面に位置する第1電極および第2電極と、
- 前記第1絶縁層の下面に位置し前記第1電極と接触するように位置する突起部分と、
- 前記第1絶縁層と前記第2絶縁層との間に位置し、第1端および第2端を有する線状導体と、
- 前記第3絶縁層の上面に位置する第3電極と、
- 前記第1絶縁層の上下面を貫通するように位置する第1ビアホール導体、第2ビアホール導体および第3ビアホール導体と、を含み、
- 前記第1電極と前記第3電極とが、前記第1ビアホール導体を含む第1配線パターンによって接続され、
- 前記突起部分と前記線状導体の前記第1端とが、前記第2ビアホール導体によって接続され、
- 前記線状導体の前記第2端と前記第2電極とが、前記第3ビアホール導体によって接続されている、
- 配線基板。
- [請求項2] 前記導体層は、前記第1絶縁層の下面に位置する第4電極および前記第3絶縁層の上面に位置する第5電極を、さらに含み、
- 前記第4電極および前記第5電極は、前記第1配線パターンと同じ配線経路パターンを有する第2配線パターンによって接続されている、請求項1に記載の配線基板。

- [請求項3] 前記第1電極は、互いに隣接して位置する二つの電極を有するペア電極であり、前記二つの電極の各々に前記突起部分が接触している、請求項1または2に記載の配線基板。
- [請求項4] 前記導体層は、前記第1絶縁層の下面、および該第1絶縁層と前記第2絶縁層との間に接地用導体を、さらに有し、  
該接地用導体が、平面視で前記線状導体の両側、および前記第1電極を取り囲んで位置している、請求項1～3のいずれかに記載の配線基板。
- [請求項5] 前記第1電極と前記接地用導体との最短距離である第1距離は、前記突起部分と前記接地用導体との最短距離である第2距離よりも短い、請求項4に記載の配線基板。
- [請求項6] 前記第1電極は、互いに隣接して位置する二つの電極を有するペア電極であり、前記二つの電極の各々に前記突起部分が接触しており、  
前記第1電極と前記接地用導体との最短距離である第1距離は、前記ペア電極における前記突起部分間の最短距離である第3距離よりも短い、請求項4または5に記載の配線基板。
- [請求項7] 請求項1～6のいずれかに記載の配線基板と、該配線基板の前記実装領域に位置する電子部品とを有する、実装構造体。
- [請求項8] 前記電子部品は、前記第1配線パターンと電氣的に接続されず、前記第2配線パターンと電氣的に接続されている、請求項7に記載の実装構造体。

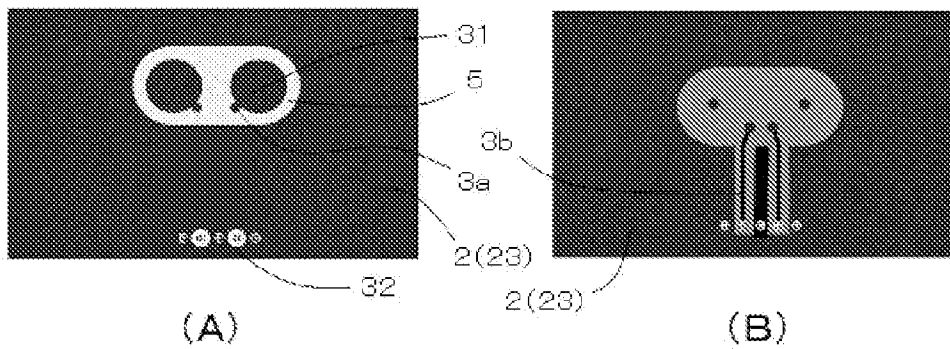
[図1]



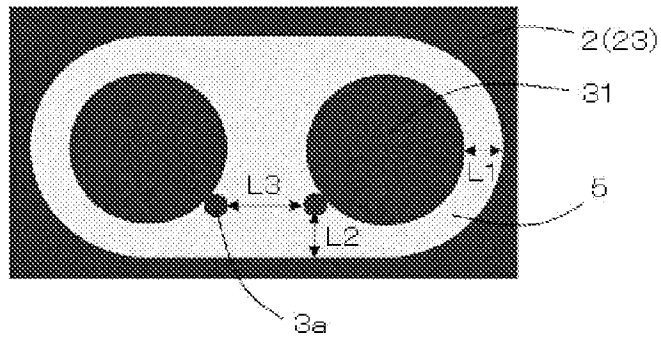
[図2]



[図3]



[図4]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/015908

| <b>A. CLASSIFICATION OF SUBJECT MATTER</b>   |   |   |
|--|---|---|
| <i>H05K 1/02</i> (2006.01)i; <i>H01L 23/12</i> (2006.01)i<br>FI: H05K1/02 J; H01L23/12 N; H01L23/12 E; H01L23/12 Q   |   |   |
| According to International Patent Classification (IPC) or to both national classification and IPC  |   |   |
| <b>B. FIELDS SEARCHED</b>  |   |   |
| Minimum documentation searched (classification system followed by classification symbols)<br>H05K1/02; H01L23/12   |   |   |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Published examined utility model applications of Japan 1922-1996<br>Published unexamined utility model applications of Japan 1971-2023<br>Registered utility model specifications of Japan 1996-2023<br>Published registered utility model applications of Japan 1994-2023  |   |   |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)   |   |   |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>  |   |   |
| Category*  | Citation of document, with indication, where appropriate, of the relevant passages        | Relevant to claim No.   |
| A  | JP 2012-160560 A (KYOCERA SLC TECHNOLOGIES CORP.) 23 August 2012 (2012-08-23)             | 1-8   |
| A  | US 6133134 A (INTEL CORP.) 17 October 2000 (2000-10-17)                                   | 1-8   |
| A  | KR 10-2018-0000654 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 03 January 2018 (2018-01-03)   | 1-8   |
| A  | JP 2019-114675 A (RENESAS ELECTRONICS CORP.) 11 July 2019 (2019-07-11)                    | 1-8   |
| A  | WO 2019/082987 A1 (TDK CORP.) 02 May 2019 (2019-05-02)                                    | 1-8   |
| A  | JP 2001-264384 A (SUMITOMO METAL ELECTRONICS DEVICES INC.) 26 September 2001 (2001-09-26) | 1-8   |
| A  | JP 2011-95191 A (KYOCERA SLC TECHNOLOGIES CORP.) 12 May 2011 (2011-05-12)                 | 1-8   |
| A  | JP 2010-93155 A (NEC CORP.) 22 April 2010 (2010-04-22)                                    | 1-8   |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.   |   |   |
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier application or patent but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed<br>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |   |   |
| Date of the actual completion of the international search<br><b>11 July 2023</b>   |   | Date of mailing of the international search report<br><b>25 July 2023</b> |
| Name and mailing address of the ISA/JP<br><b>Japan Patent Office (ISA/JP)<br/>3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915<br/>Japan</b>   |   | Authorized officer<br><br>Telephone No.                                   |

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

|   |
|---|
| International application No.<br><b>PCT/JP2023/015908</b> |
|---|

| Patent document<br>cited in search report | Publication date<br>(day/month/year) | Patent family member(s) | Publication date<br>(day/month/year) |
|---|--------------------------------------|-------------------------|--------------------------------------|
| JP 2012-160560 A                          | 23 August 2012                       | (Family: none)          |                                      |
| US 6133134 A                              | 17 October 2000                      | (Family: none)          |                                      |
| KR 10-2018-0000654 A                      | 03 January 2018                      | US 2017/0372995 A1      |                                      |
|   |                                      | US 2020/0176370 A1      |                                      |
|   |                                      | US 2021/0375739 A1      |                                      |
|   |                                      | TW 201810573 A          |                                      |
| JP 2019-114675 A                          | 11 July 2019                         | US 2019/0198463 A1      |                                      |
|   |                                      | CN 110034085 A          |                                      |
| WO 2019/082987 A1                         | 02 May 2019                          | US 2021/0057296 A1      |                                      |
|   |                                      | TW 201933959 A          |                                      |
| JP 2001-264384 A                          | 26 September 2001                    | (Family: none)          |                                      |
| JP 2011-95191 A                           | 12 May 2011                          | (Family: none)          |                                      |
| JP 2010-93155 A                           | 22 April 2010                        | (Family: none)          |                                      |

|  |  |                          |
|--|--|--------------------------|
| A. 発明の属する分野の分類（国際特許分類（IPC））<br>H05K 1/02(2006.01)i; H01L 23/12(2006.01)i<br>FI: H05K1/02 J; H01L23/12 N; H01L23/12 E; H01L23/12 Q  |  |                          |
| B. 調査を行った分野<br>調査を行った最小限資料（国際特許分類（IPC））<br>H05K1/02; H01L23/12<br>最小限資料以外の資料で調査を行った分野に含まれるもの<br>日本国実用新案公報 1922 - 1996年<br>日本国公開実用新案公報 1971 - 2023年<br>日本国実用新案登録公報 1996 - 2023年<br>日本国登録実用新案公報 1994 - 2023年   |  |                          |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）   |  |                          |
| C. 関連すると認められる文献  |  |                          |
| 引用文献の<br>カテゴリー*  | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求項の番号           |
| A  | JP 2012-160560 A (京セラ S L C テクノロジー株式会社) 23.08.2012 (2012 - 08 - 23)                    | 1-8                      |
| A  | US 6133134 A (INTEL CORPORATION) 17.10.2000 (2000 - 10 - 17)                           | 1-8                      |
| A  | KR 10-2018-0000654 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 03.01.2018 (2018 - 01 - 03) | 1-8                      |
| A  | JP 2019-114675 A (ルネサスエレクトロニクス株式会社) 11.07.2019 (2019 - 07 - 11)                        | 1-8                      |
| A  | WO 2019/082987 A1 (TDK株式会社) 02.05.2019 (2019 - 05 - 02)                                | 1-8                      |
| A  | JP 2001-264384 A (株式会社住友金属エレクトロデバイス) 26.09.2001 (2001 - 09 - 26)                       | 1-8                      |
| A  | JP 2011-95191 A (京セラ S L C テクノロジー株式会社) 12.05.2011 (2011 - 05 - 12)                     | 1-8                      |
| A  | JP 2010-93155 A (日本電気株式会社) 22.04.2010 (2010 - 04 - 22)                                 | 1-8                      |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。  |  |                          |
| * 引用文献のカテゴリー<br>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの<br>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）<br>“O” 口頭による開示、使用、展示等に言及する文献<br>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献<br>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの<br>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>“&” 同一パテントファミリー文献 |  |                          |
| 国際調査を完了した日   | 11.07.2023   | 国際調査報告の発送日<br>25.07.2023 |
| 名称及びあて先<br>日本国特許庁(ISA/JP)<br>〒100-8915<br>日本国<br>東京都千代田区霞が関三丁目4番3号   | 権限のある職員（特許庁審査官）<br><br>鹿野 博司 5D 8392<br><br>電話番号 03-3581-1101 内線 3551                  |                          |

国際調査報告  
 パテントファミリーに関する情報

国際出願番号  
 PCT/JP2023/015908

| 引用文献                 | 公表日        | パテントファミリー文献        | 公表日 |
|----------------------|------------|--------------------|-----|
| JP 2012-160560 A     | 23.08.2012 | (ファミリーなし)          |     |
| US 6133134 A         | 17.10.2000 | (ファミリーなし)          |     |
| KR 10-2018-0000654 A | 03.01.2018 | US 2017/0372995 A1 |     |
|                      |            | US 2020/0176370 A1 |     |
|                      |            | US 2021/0375739 A1 |     |
|                      |            | TW 201810573 A     |     |
| JP 2019-114675 A     | 11.07.2019 | US 2019/0198463 A1 |     |
|                      |            | CN 110034085 A     |     |
| WO 2019/082987 A1    | 02.05.2019 | US 2021/0057296 A1 |     |
|                      |            | TW 201933959 A     |     |
| JP 2001-264384 A     | 26.09.2001 | (ファミリーなし)          |     |
| JP 2011-95191 A      | 12.05.2011 | (ファミリーなし)          |     |
| JP 2010-93155 A      | 22.04.2010 | (ファミリーなし)          |     |