(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2012-503233
(P2012-503233A)
(43)公表日　平成24年2月2日(2012.2.2)

(51)Int.Cl.	F I	テーマコード（参考）
G06F 1/32 (2006.01)	G06F 1/00 332Z	5B011

審査請求 有　予備審査請求 未請求　（全 20 頁）

(21)出願番号	特願2011-527016 (P2011-527016)
(86)(22)出願日	平成21年9月14日 (2009.9.14)
(85)翻訳文提出日	平成23年3月15日 (2011.3.15)
(86)国際出願番号	PCT/US2009/056782
(87)国際公開番号	WO2010/033446
(87)国際公開日	平成22年3月25日 (2010.3.25)
(31)優先権主張番号	12/284,303
(32)優先日	平成20年9月19日 (2008.9.19)
(33)優先権主張国	米国 (US)

(71)出願人　593096712
インテル　コーポレイション
アメリカ合衆国　９５０５２　カリフォルニア州　サンタ　クララ　ミッション　カレッジ　ブールバード　２２００
(74)代理人　100070150
弁理士　伊東　忠彦
(74)代理人　100091214
弁理士　大貫　進介
(74)代理人　100107766
弁理士　伊東　忠重
(72)発明者　ジャハジルダール，サンジーヴ
アメリカ合衆国　９５６３０　カリフォルニア州　フォルサム　フォーリー　レーン　１１６

最終頁に続く

(54)【発明の名称】ミクロアーキテクチャのバンド幅スロットリングによるプロセッサ電力消費制御及び電圧降下

(57)【要約】
方法、装置及びシステムが開示される。一実施形態において、方法は、第１電圧をプロセッサに供給するステップを有する。方法は、更に、プロセッサが第１電圧で拡張プロセッサ休止状態において機能することを可能にするステップを有する。第１電圧は、拡張プロセッサ休止状態に係る最低適合電圧を下回る電圧である。方法は、プロセッサで実行される命令の最大スループットレートを減じることによって、プロセッサが第１電圧で拡張プロセッサ休止状態からのウェイク時に命令を実行することを可能にするステップを有する。

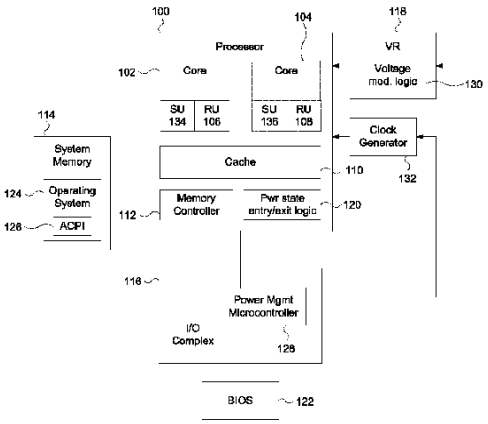


FIG. 1

【特許請求の範囲】
【請求項１】
拡張プロセッサ休止状態に係る最低適合電圧である第２電圧を下回る第１電圧をプロセッサに供給するステップと、
前記プロセッサで実行される命令の最大スループットレートを減じることによって、前記プロセッサが前記第１電圧で前記拡張プロセッサ休止状態からのウェイク時に命令を実行することを可能にするステップと
を有する方法。
【請求項２】
低周波モードの第１周波数へ及び前記低周波モードに関連する前記第２電圧へ前記プロセッサを遷移させることと、
更に前記第１電圧へ前記プロセッサを遷移させ、同時に命令スループットレート低減を実施することと
によって、前記プロセッサを前記拡張プロセッサ休止状態に入らせるステップ
を更に有する請求項１に記載の方法。
【請求項３】
前記プロセッサが前記拡張プロセッサ休止状態にある間、プロセッサ割込要求を受け取るステップと、
前記第１電圧で前記割込にサービスを提供するステップと
を更に有し、
前記要求は、前記プロセッサが前記拡張プロセッサ休止状態を脱して、当該要求にサービスを提供するよう求める、請求項２に記載の方法。
【請求項４】
命令スループットレートを低減し続ける間、前記プロセッサへ供給される電圧を前記第１電圧から前記第２電圧まで高めることと、
前記プロセッサへ供給される電圧が前記第２電圧に達するときに、前記命令スループットレートの低減を停止させることと
によって、前記プロセッサを前記拡張プロセッサ休止状態から抜け出させるステップ
を更に有する請求項３に記載の方法。
【請求項５】
命令スループットレートを低減し続ける間、前記プロセッサへ供給される電圧を前記第１電圧から前記第２電圧へと高めることと、
前記プロセッサへ供給される電圧が前記第２電圧に達するときに、前記命令スループットレートの低減を停止させることと、
前記命令スループットレートの低減が停止されると、前記プロセッサへ供給される電圧を前記第２電圧から、該第２電圧よりも高く且つ高周波モードに関連する第３電圧へと高めることと、
前記プロセッサへ供給される電圧が前記第３電圧に達するときに、前記プロセッサを前記高周波モードに関連する第２周波数へ遷移させることと
によって、前記プロセッサを前記拡張プロセッサ休止状態から抜け出させるステップ
を更に有する請求項３に記載の方法。
【請求項６】
前記命令スループットレートが低減されているときに、電圧ランプの間、前記割込にサービスを提供するステップ
を更に有する請求項４に記載の方法。
【請求項７】
前記プロセッサは、サイクルごとに第１の数以下の命令をリタイアすることができ、前記プロセッサは、命令スループットレートの低減の間、サイクルごとに前記第１の数よりも少ない命令をリタイアするよう制限される、請求項１に記載の方法。
【請求項８】

前記プロセッサは、前記拡張プロセッサ休止状態の間、スヌープ・サービシングに利用可能である、請求項１に記載の方法。
【請求項９】
前記拡張プロセッサ休止状態は、Ｃ１Ｅ電力状態である、請求項１に記載の方法。
【請求項１０】
拡張プロセッサ休止状態に係る最低適合電圧である第２電圧を下回る第１電圧をプロセッサに供給し、
前記プロセッサで実行される命令の最大スループットレートを減じることによって、前記プロセッサが前記第１電圧で前記拡張プロセッサ休止状態からのウェイク時に命令を実行することを可能にする
プロセッサ電力管理回路を有する装置。
【請求項１１】
前記プロセッサ電力管理回路は、更に、
低周波モードの第１周波数へ及び前記低周波モードに関連する前記第２電圧へ前記プロセッサを遷移させ、
更に前記第１電圧へ前記プロセッサを遷移させ、同時に命令スループットレート低減を実施する
よう動作する、請求項１０に記載の装置。
【請求項１２】
前記プロセッサ電力管理回路は、更に、
前記プロセッサが前記拡張プロセッサ休止状態にある間、プロセッサ割込要求を受け取り、
前記プロセッサに前記第１電圧で前記割込にサービスを提供させる
よう動作し、
前記要求は、前記プロセッサが前記拡張プロセッサ休止状態を脱して、当該要求にサービスを提供するよう求める、請求項１１に記載の装置。
【請求項１３】
前記プロセッサ電力管理回路は、更に、
命令スループットレートを低減し続ける間、前記プロセッサへ供給される電圧を前記第１電圧から前記第２電圧まで高め、
前記プロセッサへ供給される電圧が前記第２電圧に達するときに、前記命令スループットレートの低減を停止させる
よう動作する、請求項１２に記載の装置。
【請求項１４】
前記プロセッサ電力管理回路は、更に、
命令スループットレートを低減し続ける間、前記プロセッサへ供給される電圧を前記第１電圧から前記第２電圧へと高め、
前記プロセッサへ供給される電圧が前記第２電圧に達するときに、前記命令スループットレートの低減を停止させ、
前記命令スループットレートの低減が停止されると、前記プロセッサへ供給される電圧を前記第２電圧から、該第２電圧よりも高く且つ高周波モードに関連する第３電圧へと高め、
前記プロセッサへ供給される電圧が前記第３電圧に達するときに、前記プロセッサを前記高周波モードに関連する第２周波数へ遷移させる
よう動作する、請求項１２に記載の装置。
【請求項１５】
前記プロセッサは、更に、前記プロセッサの命令スループットレートが低減されているときに、電圧ランプの間、前記割込にサービスを提供するよう動作する、請求項１３に記載の装置。
【請求項１６】

前記プロセッサは、サイクルごとに第１の数以下の命令をリタイアすることができ、前記プロセッサは、命令スループットレートの低減の間、サイクルごとに前記第１の数よりも少ない命令をリタイアするよう制限される、請求項１０に記載の装置。
【請求項１７】
前記プロセッサは、前記拡張プロセッサ休止状態の間、スヌープ・サービシングに利用可能である、請求項１０に記載の装置。
【請求項１８】
前記拡張プロセッサ休止状態は、Ｃ１Ｅ電力状態である、請求項１０に記載の装置。
【請求項１９】
マルチコアプロセッサと、
電圧レギュレータと、
プロセッサ電力管理回路と
を有し、
前記プロセッサ電力管理回路は、
前記電圧レギュレータに、拡張プロセッサ休止状態に係る最低適合電圧である第２電圧を下回る第１電圧をプロセッサに供給させ、
前記プロセッサで実行される命令の最大スループットレートを減じることによって、前記プロセッサが前記第１電圧で前記拡張プロセッサ休止状態からのウェイク時に命令を実行することを可能にする、
システム。
【請求項２０】
前記プロセッサ電力管理回路は、更に、
低周波モードの第１周波数へ及び前記低周波モードに関連する前記第２電圧へ前記プロセッサを遷移させ、
更に前記第１電圧へ前記プロセッサを遷移させ、同時に命令スループットレート低減を実施する
よう動作する、請求項１９に記載のシステム。
【請求項２１】
前記プロセッサ電力管理回路は、更に、
前記プロセッサが前記拡張プロセッサ休止状態にある間、プロセッサ割込要求を受け取り、
前記プロセッサに前記第１電圧で前記割込にサービスを提供させる
よう動作し、
前記要求は、前記プロセッサが前記拡張プロセッサ休止状態を脱して、当該要求にサービスを提供するよう求める、請求項２０に記載のシステム。
【請求項２２】
前記プロセッサ電力管理回路は、更に、
命令スループットレートを低減し続ける間、前記プロセッサへ供給される電圧を前記第１電圧から前記第２電圧まで高め、
前記プロセッサへ供給される電圧が前記第２電圧に達するときに、前記命令スループットレートの低減を停止させる
よう動作する、請求項２１に記載のシステム。
【請求項２３】
前記プロセッサ電力管理回路は、更に、
命令スループットレートを低減し続ける間、前記プロセッサへ供給される電圧を前記第１電圧から前記第２電圧へと高め、
前記プロセッサへ供給される電圧が前記第２電圧に達するときに、前記命令スループットレートの低減を停止させ、
前記命令スループットレートの低減が停止されると、前記プロセッサへ供給される電圧を前記第２電圧から、該第２電圧よりも高く且つ高周波モードに関連する第３電圧へと高

め、
前記プロセッサへ供給される電圧が前記第３電圧に達するときに、前記プロセッサを前記高周波モードに関連する第２周波数へ遷移させる
よう動作する、請求項２１に記載のシステム。
【請求項２４】
前記プロセッサは、サイクルごとに第１の数以下の命令をリタイアすることができ、前記プロセッサは、命令スループットレートの低減の間、サイクルごとに前記第１の数よりも少ない命令をリタイアするよう制限される、請求項２２に記載のシステム。
【請求項２５】
前記拡張プロセッサ休止状態は、Ｃ１Ｅ電力状態である、請求項１９に記載のシステム。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、特定のプロセッサ電力状態のためのミクロアーキテクチャのバンド幅スロットリングに関する。
【背景技術】
【０００２】
例えばインテル（登録商標）のアーキテクチャ・プロセッサ又は他のブランド・プロセッサ等の現在のプロセッサは、一般に、プロセッサがビジーでないときの電力節約を可能にするために利用可能な複数の電力状態を有する。プロセッサは、一般に、Ｃ０と呼ばれる完全動作電力状態を有する。Ｃ０は、一般に、高周波モード（ＨＦＭ）及び低周波モード（ＬＦＭ）を有する。他の共通するプロセッサ電力状態はＣ１Ｅである。Ｃ１Ｅ状態において、プロセッサは、スヌープ・サービシングに利用可能であるが、如何なる命令も実行又はリタイアしない。スヌープ・サービシングは、プロセッサ・キャッシュを運転可能に保つのに十分な特定の電圧を必要とする。
【図面の簡単な説明】
【０００３】
【図１】拡張プロセッサ休止状態に適合するよりも低い供給電圧レベルで拡張プロセッサ休止状態における動作を可能にするためにミクロアーキテクチャのバンド幅スロットリングを用いることができるコンピュータシステムの実施形態を記載する。
【図２】ディープＣ１Ｅ電圧を実施するために利用される電力管理ロジックの実施形態を記載する。
【図３】ディープＣ１Ｅプロセッサ電力管理状態に出入りするプロセッサの実施形態のフロー図である。
【発明を実施するための形態】
【０００４】
本発明について、限定されない例として、図面を参照して説明する。図面において、同じ参照符号は同じ要素を示す。
【０００５】
プロセッサ・バンド幅スロットリングを実施することによってＣ１Ｅ電力状態電圧レベルよりも低い電圧でＣ１Ｅ電力状態においてプロセッサを動作する方法、装置及びシステムの実施形態が開示される。
【０００６】
現在のプロセッサは、一般に、プロセッサがビジーでないときの電力節約を可能にするのに利用可能な複数の電力状態を有する。多くのプロセッサにおいて、かかる状態のうちの１つには、プロセッサが完全に動作している状態であるＣ０状態がある。通常動作の間、プロセッサは、高周波モード（ＨＦＭ）又は低周波モード（ＬＦＭ）のいずれか一方において、Ｃ０状態で動作する。プロセッサは、ＨＦＭ対ＬＦＭにおいて異なる電圧を供給され、ＬＦＭ電圧は、一般に、ＨＦＭ電圧よりも低い電圧である。

【０００７】
他のプロセッサ電力状態は、プロセッサがスヌープ・サービシングに利用可能であることを要求するＣ１Ｅ状態である。多くの実施形態において、Ｃ１Ｅ状態は、拡張プロセッサ休止状態（enhanced processor halt state）と呼ばれることがある。Ｃ１Ｅ状態は、Ｃ０のＨＦＭ状態と比べて、プロセッサへ供給される必要がある電圧がより低い。
【０００８】
標準のＬＦＭ電圧で、プロセッサは、クロックサイクルごとに最大数の命令をスケジュール及びリタイアすることができる。一般に、Ｃ１Ｅ状態は、Ｃ１Ｅ状態からのウェイクアップ時に、プロセッサが即座に最大実行及びリタイアレートに遷移するので、ＬＦＭ電圧と同じ電圧を利用する。Ｃ１Ｅ状態における電力消費を下げるよう、ディープＣ１Ｅ電圧が実施されてよく、この電圧は、標準のＣ１Ｅ（すなわち、ＬＦＭ）電圧よりも低い電圧である。ディープＣ１Ｅ電圧は、最大命令スケジュール及びリタイアレートに適合しない。従って、Ｃ１Ｅ状態の終了時にとり得るスケジュール及びリタイアレートとの電圧互換性をディープＣ１Ｅ電圧で保つよう、プロセッサは、Ｃ１Ｅ状態を脱すると直ぐに、例えば命令スケジュールレート又は命令リタイアレート等のミクロアーキテクチャ・バンド幅スロットリングを実施してよい。スロットリングは、プロセッサを通る命令のバンド幅を制限するので、プロセッサ電力消費限界も低下する。
【０００９】
プロセッサがディープＣ１Ｅ電圧でＣ１Ｅ状態を脱するとき、２つのことが起こる。第１に、電圧レベルは、最大プロセッサ実行及びリタイアレートに適合する標準のＬＦＭ電圧へと上昇し始める。更に、Ｃ１Ｅ状態を脱した後、電圧がＬＦＭ電圧に達する前のしばらくの期間に、プロセッサは、ミクロアーキテクチャのバンド幅スロットリング・メカニズムを実施してよい。これは、とり得る最大電力消費を下げるとともに、必要とされる電圧を少なくともディープＣ１Ｅ電圧まで下げることができる。
【００１０】
これは、ディープＣ１Ｅ電圧が、Ｃ１Ｅ状態の間、プロセッサへ供給されることを可能にするとともに、電圧が最初にＬＦＭ電圧へと高められている間、Ｃ１Ｅ状態の終了時の電圧適合性を保つ。電圧供給の減少量は、プロセッサ及び実施に特有である。例えば、スロットリングが大きくなると、利用可能な電圧の低下はますます大きくなる。
【００１１】
以下の記載及び特許請求の範囲における開示技術の「実施形態」又は「実施例」との言及は、その実施形態又は実施例に関連して記載される特定の機能、構成又は特性が、開示技術の少なくとも１つの実施形態に含まれることを意味する。従って、本明細書全体を通して様々な箇所に現れる「実施形態（又は実施例）において」とのフレーズは、必ずしも全てが同じ実施形態に言及しているわけではない。
【００１２】
以下の記載及び特許請求の範囲で、語「有する」、「含む」及びそれらの派生語が使用されることがあるが、これらは互いに同義語として扱われるよう意図される。更に、以下の記載及び特許請求の範囲で、語「結合される」、「接続される」及びそれらの派生語が使用されることがある。これらの語は互いに同義語として扱われないことに留意すべきである。むしろ、特定の実施形態において、「接続される」は、２又はそれ以上の要素が互いに直接に物理的に又は電気的に接していることを示すために使用されてよい。「結合される」は、２又はそれ以上の要素が直接に物理的に又は電気的に接していることを意味してよい。しかし、「結合される」は、また、２又はそれ以上の要素が互いに直接に接していないが、未だ依然として互いと協働又は相互作用することも意味してよい。
【００１３】
図１は、拡張プロセッサ休止状態と適合するよりも低い供給電圧レベルで拡張プロセッサ休止状態終了時に動作を可能にするためにミクロアーキテクチャ・バンド幅スロットリングを用いることができるコンピュータシステムの実施形態を記載する。
【００１４】

種々の実施形態で、コンピュータシステムは、デスクトップコンピュータ、サーバコンピュータ、ラップトップコンピュータ、携帯型電子装置、テレビジョンセットトップコンピュータ、機器若しくは乗り物内の集積コンピュータ、又は、後述される様々な実施形態の適用範囲内のその他タイプの考えられるコンピュータシステムであってよい。

【００１５】

多くの実施形態で、コンピュータシステムはプロセッサ１００を有する。プロセッサ１００は、例えばコア１０２のような単一のコアを有しても、あるいは、コア１０２及び１０４（又はそれ以上）の複数のコアを有してもよい。プロセッサ・ダイにはキャッシュメモリ１１０も存在する。キャッシュメモリ１１０は、例えばレベル１・キャッシュ及びレベル２・キャッシュ等の複数レベルのキャッシュを有してよい。更に、プロセッサに複数のコアが存在するとき、異なるレベルのキャッシュメモリ１１０の夫々は共有されてよく、あるいは、異なる実施形態では、コアごとにキャッシュメモリが存在してよい。

【００１６】

幾つかの実施形態で、プロセッサ１００は、インテル（登録商標）のアーキテクチャ・マイクロプロセッサであってよい。幾つかの実施形態で、プロセッサ１００は、２又はそれ以上の電圧／周波数動作点を提供するＩｎｔｅｌ　ＳｐｅｅｄＳｔｅｐ（登録商標）技術又は他の電力管理関連技術を有してよい。幾つかの実施形態で、プロセッサ１００は、例えば埋め込み型プロセッサ又はデジタル信号プロセッサ等の様々なタイプのプロセッサであってよい。

【００１７】

ミクロアーキテクチャ・スロットリング・メカニズムは、複数の形態をとることができる。幾つかの実施形態で、ミクロアーキテクチャ・スロットリング・メカニズムは、プロセッサによって実行される命令のリタイアレートを制限してよい。他の実施形態で、ミクロアーキテクチャ・スロットリング・メカニズムは、実行されるべき命令をスケジュールするスケジューラへ送信される命令の割り当てを制限してよい。例えば、命令をスケジュールするスケジューラは、命令をスケジュールするために用いられるクロックサイクルの間で命令がスケジュールされない１又はそれ以上のデッド・クロックサイクルを強要してよい。

【００１８】

幾つかの実施形態で、ミクロアーキテクチャのバンド幅スロットリングは、縮小命令セットコンピュータ（ＲＩＳＣ（reduced instruction set computer））アーキテクチャにおける命令のスケジューリング及び／又はリタイアを制限する。他の実施形態で、ミクロアーキテクチャのバンド幅スロットリングは、複数命令セットコンピュータ（ＣＩＳＣ（complex instruction set computer））アーキテクチャにおける命令のスケジューリング及び／又はリタイアを制限する。ＣＩＳＣ実施形態で、プロセッサによって実行されている命令は、１又はそれ以上のミクロアーキテクチャ動作（ＵＯＰｓ）に分けられる。ＵＯＰｓは、一般的には分割できず、ＣＩＳＣプロセッサの命令パイプラインを構成するものである。

【００１９】

従って、多くのＲＩＳＣ及びＣＩＳＣ実施形態において、プロセッサは、プロセッサの実行ユニットによって実行されるべき命令をスケジュールするスケジューリングユニットと、既に実行ユニットで実行された命令をリタイアするリタイアユニットとを有する。プロセッサの電力消費は、部分的に、プロセッサのスケジュールレート及びリタイアレートによって決定される。大部分のプロセッサは、クロックサイクルごとに１よりも多い命令をスケジュール及びリタイアする能力を有する。例えば、多くのプロセッサは、各クロックサイクルの間に最大で４つの命令をスケジュール及びリタイアすることができる。

【００２０】

プロセッサのバンド幅スロットリングは、コアが、クロックサイクルごとに最大数よりも少ない命令をスケジュール及びリタイアするよう制限される場合に、起こりうる。例えば、リタイアユニットが通常クロックサイクルごとに４つの命令をリタイアすることがで

き、プロセッサ内のロジックがリタイアレートをクロックサイクルごとに１つの命令に制限する場合に、プロセッサは本質的に抑制される。これは、潜在的なワット損の低下のみならず、性能の低下をもたらす。

【００２１】

夫々のコアは、コア１０２及び１０４について夫々、例えばＳＵ１３４及びＳＵ１３６等のスケジューリングユニット（ＳＵ）を有してよい。更に、夫々のコアは、コア１０２及び１０４について夫々、例えばＲＵ１０６及びＲＵ１０８等のリタイアユニット（ＲＵ）を有してよい。

【００２２】

ＳＵ内のロジックは、コアによって実行されるべき命令をスケジュールする。ＣＩＳＣアーキテクチャにおいて、ＳＵは、パイプライン内で命令をスピードアップするよう、ばらばらの順序で命令をスケジュールしてよい。更に、ＣＩＳＣアーキテクチャにおいて、ＲＵは、順序付けバッファ（ＲＯＢ（re-order buffer））を有してよい。ＣＩＳＣアーキテクチャのＲＵ内のＲＯＢは、ＵＯＰｓが（場合により、ばらばらの順序で）実行された後、ＵＯＰｓを元のプログラム順に戻す。

【００２３】

上述されたように、大部分のプロセッサは、コアクロックごとに１よりも多い命令をスケジュール及びリタイアする能力を有し、例えば、４つの命令が、コアごとの複数のプロセッサにおいて各コアクロックの間スケジュール及びリタイアされてよい。従って、ミクロアーキテクチャのバンド幅スロットリングは、ＳＵ、ＲＵ又はそれら両方の中のロジックが、命令のスケジュールレート及び／又はリタイアレートをコアクロックごとに４よりも少ない命令に制限する場合に、起こり得る。

【００２４】

幾つかの実施形態で、スロットリングは、ＳＵ内のロジックがスケジュールレートを、コアクロックごとに４つの命令に係る最大限のレートに代えて、コアクロックごとに１つの命令に制限する場合に、起こる。他の実施形態で、スロットリングは、ＳＵ内のロジックが、コアクロックごとに代えて、１つおきのコアクロックに命令スケジューリングを制限する場合に、起こる。このように、スケジューリングの最大レートがクロックごとに４つの命令である場合に、１つおきのクロックしかスケジューリングのために利用可能でないならば、有効な最大スケジュールレートはコアクロックごとに２つの命令に減じられる。

【００２５】

他の実施形態で、スロットリングは、ＲＵ内のロジックがリタイアのレートを、コアクロックごとに４つの命令に係る最大限のレートに代えて、コアクロックごとに１つの命令に制限する場合に、起こる。多くの他の標準的なミクロアーキテクチャ・バンド幅スロットリング・メカニズムが実施されてよく、あるいは、メカニズムの組合せが実施されてよい。何らかのスロットリング・メカニズムの結果として、時間期間にわたる命令のスループットは、コアが生じることができるものよりも少なく制限される。これは、コアを通る最適よりも狭い命令フローバンド幅を生じさせ、従って、コアは、最大の特定の供給電圧が必要とされるスロットリングの間の状態に決して達しない。

【００２６】

このように、ミクロアーキテクチャ・バンド幅スロットリングの間、コアへの供給電圧は低減されてよい。

【００２７】

更に、プロセッサ１００は、多くの実施形態において、集積メモリコントローラ１１２を更に有する。図示されていない他の実施形態で、メモリコントローラ１１２は、ディスクリートデバイスであり、又は、ブリッジデバイス若しくはプロセッサ１００から離れた他のシステムチップに集積される。メモリコントローラ１１２は、プロセッサ－メモリ間インターコネクトを通じてシステムメモリ１１４に結合される。メモリコントローラ１１２は、プロセッサ１００及びコンピュータシステムにおけるその他デバイスがシステムメ

モリ１１４にアクセスすることを可能にする。多くの実施形態で、システムメモリ１１４は、例えば動的ＲＡＭ（ＤＲＡＭ）等のランダムアクセスメモリ（ＲＡＭ）、フラッシュメモリ、又は他の形態のメモリの様式を有してよい。

【００２８】

プロセッサ１００は、また、多くの実施形態において、ディスクリート入出力（Ｉ／Ｏ）複合体１１６にも結合される。図示されていない他の実施形態で、Ｉ／Ｏ複合体１１６は、プロセッサ１００に組み込まれてよい。Ｉ／Ｏ複合体１１６は、キーボード、大容量記憶デバイス等のＩ／Ｏデバイスがコンピュータシステムに接続することを可能にする１又はそれ以上の集積Ｉ／Ｏホストコントローラ（図示せず。）を有してよい。

【００２９】

システムは、電圧レギュレータ（ＶＲ）１１８を更に有する。ＶＲ１１８はプロセッサ１００に結合される。ＶＲ１１８は、電力動作電圧をプロセッサ１００へ供給し、ＩＭＶＰ－６規格等のＩＭＶＰ（Intel（登録商標） Mobile Voltage Positioning）規格のバージョンに従って動作してよい。ＶＲ１１８は、１又はそれ以上の信号に応答してプロセッサ１００への電圧を１又はそれ以上の低電圧状態へと低減するロジックを有してよい。ＶＲ１１８のロジックは、また、低電圧状態を脱した後に再び、プロセッサ１００への電圧を高めてよい。更に、図示されていない他の実施形態で、ＶＲ１１８はプロセッサ１００に組み込まれてよい。

【００３０】

プロセッサ１００は、１又はそれ以上の電圧状態への出入りを制御する電力状態入退場ロジック１２０を更に有する。各電力状態は、ＶＲ１１８からプロセッサ１００に供給される電力動作電圧として使用される特定の電圧を有する。ある実施形態で、プロセッサ１００は、電圧ＩＤ（ＶＩＤ）値を用いてＶＲ１１８へ電圧値を送信してよい。他の実施形態で、プロセッサ１００は、ＶＩＤ以外の情報を用いてＶＲ１１８へ電圧値を送信してよい。ＶＲ１１８へ送信される情報は、異なるプラットフォームが、異なるフォーマットの電圧変更命令／情報を受け取る異なるタイプのＶＲを用いる場合に特有の情報である。

【００３１】

ＶＩＤを利用する多くの実施形態で、電力状態ＶＩＤは、特定のプロセッサ動作周波数と対にされる。このように、多くの実施形態で、電圧／周波数対を記憶する電力状態テーブルがコンピュータシステムで保持される。このテーブルは、プロセッサ１００におけるマイクロコード内に、Ｉ／Ｏ複合体１１６における記憶部に、ＢＩＯＳ（basic input/output system）１２２に、又はシステムにおける他のファームウェアに配置されてよい。多くの実施形態で、電力状態テーブルは、線形な形でインクリメンタル電圧値を含む。例えば、第１のテーブルエントリは、最低電圧量と一致してよく、その場合に、次のエントリは、各エントリごとに一様な量だけ線形に電圧をインクリメントしてよい。他の実施形態で、第１のテーブルエントリは、プロセッサの最高電圧量と一致してよく、次のエントリは、各エントリごとに一様な量だけ線形にデクリメントしてよい。

【００３２】

多くの実施形態で、コンピュータシステムが動作するとき、オペレーティングシステム１２４はシステムメモリ１１４にロードされる。オペレーティングシステム１２４は、電力制御インターフェース（ＡＣＰＩ（Advanced Configuration and Power Interface））１２６をサポートするコードを有してよい。このコードを用いて、オペレーティングシステム１２４は、電力状態テーブルへのアクセスを有し、ＡＣＩＰインターフェースに異なる電力状態に出入りするよう命令してよい。

【００３３】

Ｉ／Ｏ複合体１１６は、多くの実施形態において、電力管理マイクロコントローラ１２８を更に有する。電力管理マイクロコントローラ１２８は、プロセッサ１００に関連する通常の動作状態及び電力管理状態の間の遷移を制御する状態制御ロジックを有する。各電力管理状態は、少なくとも１つの特定の電圧レベル及び周波数の組合せを有する。電圧レベルは、プロセッサ１００に供給される電圧レベルであり、周波数は、プロセッサ１００

が動作する周波数である。電力管理マイクロコントローラ１２８は、プロセッサ１００に供給される電圧を設定するよう、ＶＲ１１８内の電圧変更ロジック１３０へ情報を提供してよい。電力管理マイクロコントローラ１２８は、また、クロック信号をプロセッサ１００に供給するクロック発生器回路１３２へ情報を提供することもできる。多くの実施形態で、クロック発生器回路１３２は、位相ロックループ（ＰＬＬ）である。多くの実施形態で、電力状態入退場ロジック１２０は、また、異なる電力状態についてプロセッサ１００内で周波数の変更を制御することもできる。一般に、電力管理状態は複数存在する。

【００３４】

以降、実施形態は、プロセッサ１００を完全動作Ｃ０電力状態からＣ１Ｅ電力状態へ移行させ、ディープＣ１Ｅ電圧状態の間並びにディープＣ１Ｅ電圧状態とＬＦＭ電圧状態との間の遷移の間ミクロアーキテクチャ・バンド幅スロットリングを用いて再び元に戻すことに関して記載する。

【００３５】

プロセッサ１００がＣ０電力状態で動作しているとき、オペレーティングシステム１２４からの又はコンピュータシステムにおける他の場所からのＡＣＩＰ又は他のコマンドは、電力管理マイクロコントローラ１２８へ送信されて、プロセッサ１００をＣ１Ｅ状態に至らせる。幾つかの実施形態で、プロセッサ１００がＨＦＭ周波数で動作している場合は、プロセッサ１００は最初に、より低いサポート周波数及び対応する電圧であるＬＦＭ周波数／電圧対に下げられる。プロセッサ１００をＬＦＭ周波数に遷移させるよう、電力状態入退場ロジック１２０は周波数を変更してよい。代替の実施形態で、クロック発生器回路１３２は、プロセッサ１００へ供給されるクロックを外部から変更してよく、それは、更に、プロセッサ１００の周波数を変更する。

【００３６】

周波数がＬＦＭ周波数に変更される場合に、多くの実施形態で、電力管理マイクロコントローラ１２８は、ＶＩＤ等の電圧情報をＶＲ１１８へ送信して、電圧をＬＦＭ電圧レベルへ下げる。ＬＦＭ電圧レベルは、プロセッサ１００が標準のＣ１Ｅ状態にある場合に利用するのと同じ電圧である。

【００３７】

幾つかの実施形態で、周波数及び電圧がＬＦＭレベルにあると、電力状態入退場ロジック１２０は、プロセッサ１００をＣ１Ｅ状態に入らせてよい。上述されるように、Ｃ１Ｅ状態は、プロセッサがスヌープ・サービシングに利用可能であることを必要とするが、プロセッサ１００は、この状態では如何なる命令も実行していない。

【００３８】

Ｃ１Ｅ状態に入ると、電力管理マイクロコントローラ１２８は、電圧をＣ１Ｅ／ＬＦＭ周波数と対にされている電圧を下回らせるよう、コマンドをＶＲ１１８内の電圧変更ロジック１３０へ送信してよい。幾つかの実施形態で、この電圧レベルは、デルタＶＩＤ値を標準のＬＦＭ／Ｃ１Ｅ　ＶＩＤ値から減じることによって下げられ得る。このように、結果として得られるより低いＶＩＤ値は、電圧を下げるようＶＲ１１８へ送信され得る。この電圧レベルは、標準のＬＦＭ／Ｃ１Ｅ電圧レベルを下回り、ディープＣ１Ｅ電圧レベルと呼ばれることがある。プロセッサ１００に供給される電圧が下げられうる量は、異なる実施形態で（異なるプロセッサを用いて）様々である。

【００３９】

多くの実施形態で、ミクロアーキテクチャ・バンド幅スロットリング・メカニズムは、ディープＣ１Ｅ電圧情報がＶＲ１１８に送信されるのと同時に関与してよい。多くの実施形態で、ＶＲ１１８にコアへの供給電圧を下げるよう命じる信号は、コアにスロットリング・メカニズムを行わせるよう命じるようプロセッサ１００に送信されるのと同じ信号である。このように、ミクロアーキテクチャ・バンド幅スロットリング・メカニズムは、プロセッサ１００が命令を実行していないとしても、Ｃ１Ｅ状態に関与しうる。これは、プロセッサが、電圧がディープＣ１Ｅ電圧から標準のＬＦＭ／Ｃ１Ｅ電圧レベルに高まるのを待つことなく、速やかにＣ１Ｅ状態を脱して、Ｃ０ＬＦＭ状態で命令を実行することに

戻るのを可能にする。

【００４０】

言い換えると、スロットリング・メカニズムは、プロセッサへの供給電圧がＬＦＭ／Ｃ１Ｅ電圧レベルを下回るＬＦＭ状態の部分の間、プロセッサの命令スループットを抑制するために用いられる。具体的に、プロセッサがＣ１Ｅ状態からＬＦＭ状態に入るとき、ＶＲ１１８が電圧をディープＣ１Ｅ電圧レベルからＬＦＭ／Ｃ１Ｅ電圧レベルへ高める必要がある時間量は有限である。従って、この時間期間中に、プロセッサコアは、スロットリング・メカニズムがＬＦＭ電圧レベルを必要とするストレスを加えられた作業負荷を実行することからプロセッサを制限するので、電圧がＬＦＭ状態のための特定の電圧よりも低いとしても、Ｃ０ＬＦＭ状態にある場合に命令を実行することを可能にされる。

【００４１】

従って、多くの実施形態で、プロセッサがディープＣ１Ｅ電圧レベルでＣ１Ｅ電力状態において動作しているとき、プロセッサを完全動作Ｃ０電力状態へとウェイクする割込が、電力管理マイクロコントローラ１２８へ送信されてよい。多くの実施形態で、割込が受け取られると、コアはウェイクアップ・プロシージャを開始し、ＬＦＭ周波数で標準の割込へのサービス提供を開始する。Ｃ１ＥからＣ０への遷移の開始時に、電力管理マイクロコントローラ１２８は、電圧をディープＣ１Ｅ電圧レベルから標準のＬＦＭ／Ｃ１Ｅ電圧レベルへと高め始めるよう、情報をＶＲ１１８（及びＶＲ１１８内の電圧変更ロジック１３０）へ送信してよい。

【００４２】

幾つかの実施形態で、ミクロアーキテクチャ・スロットリングは、電圧レベルがＬＦＭ電圧レベルに達するまで続く。かかる実施形態で、スロットリングは、ＬＦＭ電圧レベルが到達されると停止する。他の実施形態で、プロセッサはＣ１Ｅから脱し、直接にＣ０ＨＦＭ状態に進む。かかる実施形態で、スロットリングは、少なくとも、電圧レベルが電圧ランプの間、ＬＦＭ電圧レベルに達するまで続く。かかる実施形態で、電圧レベルが標準のＬＦＭ電圧レベルまで高まると、スロットリングは、Ｃ０ＨＦＭ電圧への残りの電圧ランプについては停止する。

【００４３】

図２は、ディープＣ１Ｅ電圧を実施するために用いられる電力管理ロジックの実施形態を記載する。多くの実施形態で、値はロジックに入力される。値は、幾つかの実施形態ではソフトウェア周波数値２００、ＬＦＭ周波数値２０２、ソフトウェア電圧値２０４、及びＬＦＭ電圧値２０６を含み、これらの値を記憶する１又はそれ以上のタイプのメモリ記憶位置から発せられる値である。幾つかの実施形態で、これらの値は、プロセッサに配置されたレジスタ内、又はコンピュータシステム内の他の場所に記憶されてよい。他の実施形態で、値は、ＢＩＯＳに付随する不揮発性メモリに、システムメモリに、又はコンピュータシステム内の他の記憶位置に記憶されている。多くの実施形態で、値は、１又はそれ以上の記憶位置でコンピュータシステム内に記憶されている１又はそれ以上のテーブルにおける位置に対応する代表値を有してよい。

【００４４】

例えば、周波数値は、周波数値テーブル内の列に対応しうる。テーブルは、プロセッサが動作することができる周波数の全部を記憶してよい。表１は、部分的な周波数テーブルの実施形態を表す。

【００４５】

【表１】

表1．プロセッサ周波数値テーブル

周波数値（8ビット値）	対応するプロセッサ周波数
00000000b	0 GHz
00000010b	3.0 GHz
00000100b	2.9 GHz
00000110b	2.8 GHz
00001000b	2.7 GHz
00001010b	2.6 GHz
00001100b	2.5 GHz
00001110b	2.4 GHz
00010000b	2.3 GHz
00010010b	2.2 GHz
00010100b	2.1 GHz
00010110b	2.0 GHz
00011000b	1.9 GHz

このテーブルは、全て０の周波数値に対応する０ギガヘルツ（ＧＨｚ）での周波数から始まる。その後、テーブルは、高周波数として３．０ＧＨｚから始まって、８ビットの２進周波数値のインクリメントごとに、対応する周波数が１００メガヘルツ（ＭＨｚ）ずつ下がることを示す。テーブルは、プロセッサ周波数が１．９ＧＨｚまで下がることしか示していないが、テーブル全体は、２進周波数値における更なるインクリメントと、プロセッサ周波数における対応する更なるデクリメントとにより、下へ続いていく。先と同じく、このテーブルは、テーブルを記憶するのに十分な記憶空間を有するコンピュータシステム内のいずれかの場所に置かれてよい。このように、ソフトウェア周波数値２００（多くの実施形態で、システム内のソフトウェアが、プロセッサ周波数が設定されることを必要としている現在の値と呼ばれる。）は、表１のような周波数値テーブルにおける列に対応する８ビット周波数値を含んでよい。

【００４６】

他の例で、電圧値は、プロセッサに供給可能な電圧レベルの全部を記憶する電圧テーブル内の列に対応してよい。表２は、特定のＶＩＤ値を用いて実施される部分的な電圧値テーブルの実施形態を表す。

【００４７】

【表２】

表2. 電圧／VID値テーブル

VID値（8ビット値）	対応する電圧
00000000b	OFF
00000010b	1.6
00000100b	1.5875
00000110b	1.575
00001000b	1.5625
00001010b	1.55
00001100b	1.5375
00001110b	1.525
00010000b	1.5125
00010010b	1.5
00010100b	1.4875
00010110b	1.475
00011000b	1.4625

この表は、ＶＩＤ値が全てゼロである場合に、電圧がシャットオフされた状態で始まる。その後、テーブルは、高電圧として１．６ボルト（Ｖ）から始まって、８ビットの２進ＶＩＤ値のインクリメントごとに、対応する電圧が０．０１２５Ｖずつ低下すること示す。テーブルは、電圧供給値が１．４６２５Ｖまで下がることしか示していないが、テーブル全体は、２進値における更なるインクリメントと、供給電圧における対応する更なるデクリメントとにより、下へ続いていく。先と同じく、このテーブルは、テーブルを記憶するのに十分な記憶空間を有するコンピュータシステム内のいずれかの場所に置かれてよい。このように、ソフトウェアＶＩＤ値２０４（多くの実施形態で、システム内のソフトウェアが、プロセッサ電圧が設定されることを必要としている現在の値と呼ばれる。）は、表２のようなＶＩＤテーブルにおける列に対応する８ビットＶＩＤ値を含んでよい。

【００４８】

ＬＦＭ周波数値２０２及びＬＦＭ　ＶＩＤ値２０６は、プロセッサがＬＦＭにある場合に利用されるプロセッサ周波数及びプロセッサへの供給電圧に対応する。このように、ＬＦＭに係る電圧及び周波数の夫々の値は、電力管理ロジックがプロセッサをＬＦＭに至らせると決定する場合に利用されるべきプリセット値であってよい。多くの実施形態で、ディープＣ１Ｅデルタ値２０８も電力管理ロジックに供給される。ディープＣ１Ｅデルタ値２０８は、標準のＬＦＭ　ＶＩＤと、ディープＣ１Ｅ　ＶＩＤに対応するより低い電圧との間の差を有する。例えば、ＬＦＭ　ＶＩＤは００００１０１０ｂであってよく、これは表２において１．５５Ｖに対応する。ディープＣ１Ｅ電圧値は００００１０１１０ｂであってよく、これは表２において１．４７５Ｖに対応する。このように、ディープＣ１Ｅデルタ値２０８は、それら２つの値の間の差分に対応し、００００１１００ｂである（すなわち、００００１０１０ｂ＋００００１１００ｂ＝００００１０１１０ｂ）。

【００４９】

ＬＦＭ　ＶＩＤ値２０６及びディープＣ１Ｅデルタ値２０８は、加算ロジック２１０へ入力される。加算ロジック２１０は、これら２つの値を足し合わせる。その結果は、ディープＣ１Ｅ　ＶＩＤ値に対応する表２の値である。

【００５０】

多くの実施形態で、電力管理ロジックは、２つの値のどれがコンピュータシステム内の様々なコンポーネントに供給されるのかを決定する複数のゲートを有する。ゲート２１２は、ＬＦＭ　ＶＩＤ値２０６又は計算されたディープＣ１Ｅ　ＶＩＤ値２１０のどちらがゲート２１４に送られるのかを切り換えることができる。次いで、ゲート２１４は、ソフトウェアＶＩＤ値２０４又はゲート２１２から出力されるＶＩＤ値のどちらがＶＲ１１８におくられるべきかを切り換えることができる。最後に、ゲート２１６は、ソフトウェ

ア周波数値２００又はＬＦＭ周波数値２０２のどちらが無線変調のためにＰＬＬ１３２に送られるべきかを切り換えることができる。

【００５１】

ゲート２１４及び２１６への入力のうちどちらが出力されるのかの決定は、電力状態入退場ロジック１２０によって行われる。電力状態入退場ロジック１２０は、ソフトウェアで決定されたＶＩＤ値及び周波数値とＬＦＭ　ＶＩＤ及び周波数値との間を切り換えることができる。多くの実施形態で、ディープＣ１Ｅ制御値２１８は、ディープＣ１Ｅ　ＶＩＤ値がＬＦＭ　ＶＩＤ値２０６の代わりにゲート２１２へ送られるかどうかを決定することができる。幾つかの実施形態で、ディープＣ１Ｅ制御値２１８は、プロセッサにおける制御レジスタ若しくは他の記憶位置の中又はコンピュータシステム内の他の場所に配置されてよい。種々の実施形態で、ディープＣ１Ｅ制御値２１８は、電力管理マイクロコントローラ（図１の１２８）内、電力状態入退場ロジック１２０内、システムメモリ１１４における位置に、又は他の場所に配置されてよい。

【００５２】

多くの実施形態で、ディープＣ１Ｅ制御値２１８は、また、コア内のミクロアーキテクチャ・スロットリング・ロジックに、コア内のスロットリング・ロジックがコアにより実行される命令のスロットリングに関与するかどうか決定づける入力値を与える。幾つかの実施形態で、ディープＣ１Ｅ制御値２１８は単一ビットである。例えば、ディープＣ１Ｅ制御値２１８が“１”である場合に、これは、ディープＣ１Ｅ電力管理がアクティブであることを示す。この“１”はゲート２１２に送られる。次いで、ゲート２１２は、制御“１”を受け取ったので、加算ロジック２１０からの計算されたディープＣ１Ｅ　ＶＩＤ値がゲート２１４へ送られることを可能にする。“１”のディープＣ１Ｅ制御値２１８は、また、ミクロアーキテクチャ・スロットリング・ロジックにも送られる。ミクロアーキテクチャ・スロットリング・ロジックは、“１”を受け取ったので、スロットリング・メカニズムに関与する。他方で、ディープＣ１Ｅ制御値２１８が“０”である場合に、これは、ディープＣ１Ｅ電力管理が非アクティブであることを示す。この“０”はゲート２１２に送られる。次いで、ゲート２１２は、制御“０”を受け取ったので、ＬＦＭ　ＶＩＤ値がゲート２１４に送られることを可能にする。“０”のディープＣ１Ｅ制御値２１８は、また、ミクロアーキテクチャ・スロットリング・ロジックにも送られる。ミクロアーキテクチャ・スロットリング・ロジックは、“０”を受け取ったので、スロットリング・メカニズムに関与しない。

【００５３】

多くの実施形態で、ミクロアーキテクチャ・バンド幅スロットリング・ロジック２２４は、ディープＣ１Ｅ電力管理が非アクティブにされる場合に開始するタイマを含む。スロットリング・ロジックは、スロットリング・メカニズムを解放する前に、タイマが終わりに達するまで待機してよい。このタイマは、電圧がディープＣ１Ｅ電圧レベルからＬＦＭ電圧レベルに高まるのに係る標準の時間長さと一致してよい。他の実施形態で、コア内又はＶＲ内のロジックは、ディープＣ１Ｅ電圧レベルからの電圧ランプの間、プロセッサに供給される電圧がいつＬＦＭ電圧に達したのかを、ミクロアーキテクチャ・バンド幅スロットリング・ロジックに知らせてよい。スロットリング・ロジックに与えられるこの情報は、コアに供給される電圧が少なくともＬＦＭ電圧レベルにあることを確認する。スロットリング・ロジックは、この情報によりＬＦＭ電圧レベルが達成されたことを確認すると、次いで、スロットリング・メカニズムを解放してよい。

【００５４】

更に、多くの実施形態で、ディープＣ１Ｅ制御値２１８は、スロットリング・デバッグ制御レジスタ２２６と論理和をとられる。デバッグ・レジスタ２２６は、また、ミクロアーキテクチャ・バンド幅スロットリングを実施してよい。このレジスタ２２６は、コアが、ＶＲ１１８へ送られるＶＩＤを変化させることなく、命令スループットレートを抑制することを可能にする。

【００５５】

図３は、ディープＣ１Ｅ電力管理状態から出入りするプロセッサの実施形態に係るフロー図である。処理はプロセッシング・ロジックによって実行される。プロセッシング・ロジックは、ハードウェア、ソフトウェア、又はこれらの組合せを有してよい。更に、種々の実施形態で、プロセッシング・ロジックは、プロセッサ内、プロセッサから離れたＩ／Ｏ複合体内、システムメモリ内、又はコンピュータシステムにおける他の場所に配置されてよい。更に、フロー図内のブロックを実行するプロセッシング・ロジックは、それらの場所の中の１よりも多い場所に配置されてよい。処理は、プロセッサがディープＣ１Ｅ状態に入るべきことを示すコマンド、命令、又は他の情報片があるかどうかをプロセッシング・ロジックが決定することによって始まる（処理ブロック３００）。ディープＣ１Ｅ状態は、プロセッサが、Ｃ１Ｅ状態のための通常の特定電圧を下回る供給電圧を有してＣ１Ｅ状態（拡張プロセッサ休止状態）で動作することを可能にする、図１及び２に関して先に記載されたようなプロセッサ電力管理状態である。

【００５６】

図３に示される処理の実施形態において、プロセッサは、Ｃ０状態で完全に動作可能な処理を開始する。処理ブロック３００に戻ると、ディープＣ１Ｅ状態に入る表示がない場合、プロセッサはＣ０状態で機能し続け、処理ブロック３００は、再び、ディープＣ１Ｅ状態に入る表示が到着しているかどうかを確かめるようチェックする。幾つかの実施形態で、割込が、プロセッシング・ロジックにディープＣ１Ｅ状態に入ることを知らせる。

【００５７】

ディープＣ１Ｅ状態に入る表示がある場合、プロセッシング・ロジックは、プロセッサ周波数及び電圧をＬＦＭ周波数及び電圧に変化させる（処理ブロック３０２）。これは、プロセッサがＣ０状態においてＨＦＭ周波数及び電圧で機能していた場合に起こる。

【００５８】

ＬＦＭ周波数及び電圧が実現されると、プロセッシング・ロジックは、プロセッサをＣ１Ｅプロセッサ状態に入らせる（処理ブロック３０４）。Ｃ１Ｅプロセッサ状態になると、プロセッシング・ロジックは、上記の１又はそれ以上のスロットリング・メカニズム（例えば、命令スケジュールレート、命令リタイアレート等）を用いることによって、プロセッサによる命令スループットを抑制し始める（処理ロジック３０６）。抑制された命令スループットレートは、抑制されていないスループットレートよりもクロックごとのスループットレートが低いが、抑制モード及び非抑制モードにおける特定の命令スループットレートは実施に特有である。

【００５９】

命令スループットレートが抑制された後、プロセッシング・ロジックは、プロセッサに供給される電圧をＬＦＭ電圧量よりも低下させる（処理ロジック３０８）。このような電圧の変化は、新しい、より低い電圧値を得るよう、ＬＦＭ電圧値に加えられる（又は、電圧テーブル実施に依存して、ＬＦＭ電圧から減じられる）設定デルタ量に基づいてよい。新しい電圧値は、プロセッサに供給するＶＲに送られ、ＶＲ内のプロセッシング・ロジックは、供給電圧を新しい電圧量へと下げる。

【００６０】

この時点で、プロセッサは、プロセッサ周波数がＬＦＭ（すなわち、Ｃ１Ｅ）周波数に設定され、且つ、プロセッサに供給されている電圧がディープＣ１Ｅ電圧レベルにあるので、ディープＣ１Ｅ状態で動作している。

【００６１】

プロセッサが完全にディープＣ１Ｅ状態に入った後のある時点で、割込が、プロセッサをディープＣ１Ｅ電力管理から出させるよう送られてよい。多くの実施形態で、割込は、少なくともＣ０ＬＦＭ状態に戻ることをプロセッサに要求する。

【００６２】

プロセッシング・ロジックは割込を待ち、割込がディープＣ１Ｅから出ることを求めているかどうかを決定する（処理ブロック３１０）。割込がディープＣ１Ｅから出ることを求めていない場合は、次いで、プロセッシング・ロジックはブロック３１０に戻り、再び

、ディープＣ１Ｅからの終了イベントをチェックする。割込がディープＣ１Ｅから出ることを求めている場合は、ディープＣ１Ｅを脱するための割込が到着すると、プロセッシング・ロジックは、プロセッサに供給されている電圧をＬＦＭ電圧値に変更する。この電圧値はＶＲに送られ、ＶＲは、電圧をＬＦＭ電圧へと高めることを開始する（処理ブロック３１２）。割込が、ディープＣ１Ｅ状態を脱するよう、プロセッサに到着するとき、プロセッサは、標準の割込にサービスを提供し始めてよい。

【００６３】

次いで、プロセッシング・ロジックは、プロセッサに供給される電圧がＬＦＭ電圧量まで増大したかどうかを確かめるようチェックする（処理ブロック３１４）。電圧がＬＦＭ電圧量に達していない場合は、プロセッシング・ロジックは、ブロック３１４でＬＦＭ電圧量が到達されたかどうかを確かめるようチェックし続ける。プロセッシング・ロジックは、ＬＦＭ電圧が到達されたときにプロセッサにおける命令スループットレートを抑制することを止め、処理は終了する。

【００６４】

図示されていない他の実施形態で、更なるブロック３１６は、更に、電圧及び周波数をそれらのＨＦＭレベルへと高めてよい。

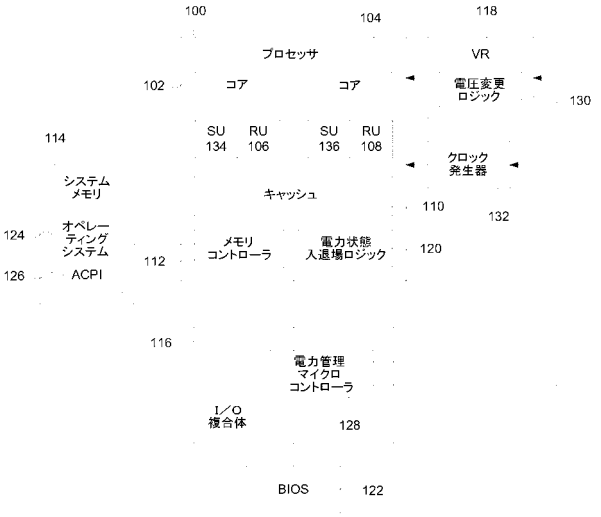
【００６５】

ここで記載される実施形態は、Ｃ１Ｅ状態における供給電圧レベルの低下を可能にする命令スループットレート・スロットリング・メカニズムを実施すべく、Ｃ１Ｅ状態に焦点を当てるが、多くの更なる実施形態で、スロットリング・メカニズムは、Ｃ１Ｅ状態以外のプロセッサ状態の電圧を下げるために用いられてよい（すなわち、拡張プロセッサ休止状態）。

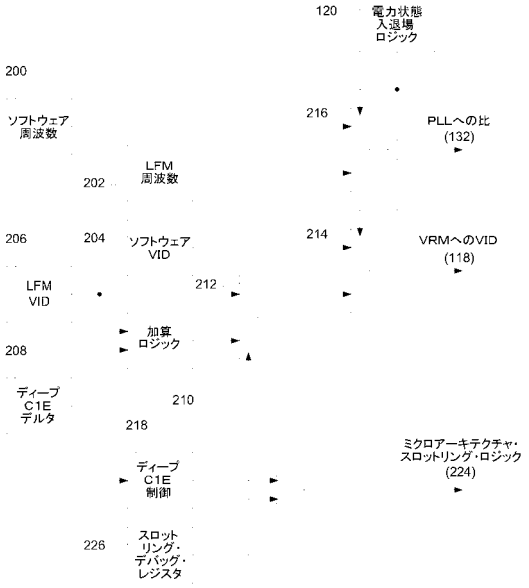
【００６６】

このように、プロセッサのバンド幅スロットリングを実施することによってＣ１Ｅ電力状態電圧レベルよりも低い電圧でＣ１Ｅ電力状態においてプロセッサを動作する方法、装置及びシステムに係る実施形態が開示される。これらの実施形態は、その具体的な例となる実施形態を参照して記載されている。ここで記載される実施形態の精神及び適用範囲から逸脱しない範囲でこれらの実施形態に対して様々な変形及び変更が可能であることは、当業者ならば言うまでもない。従って、明細書及び図面は、限定ではなく例示と考えられなるべきである。

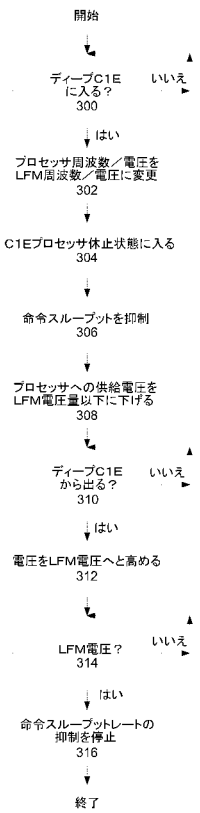
【図１】


100
104
118
プロセッサ
VR
102
コア
コア
電圧変更
ロジック
130
SU
134
RU
106
SU
136
RU
108
114
クロック
発生器
システム
メモリ
キャッシュ
110
132
124
オペレーティング
システム
メモリ
コントローラ
電力状態
入退場ロジック
120
112
126
ACPI
116
電力管理
マイクロ
コントローラ
I／O
複合体
128
BIOS
122

【図２】


120
電力状態
入退場
ロジック
200
ソフトウェア
周波数
216
PLLへの比
(132)
LFM
周波数
202
206
204
ソフトウェア
VID
214
VRMへのVID
(118)
LFM
VID
212
加算
ロジック
208
ディープ
C1E
デルタ
210
218
ミクロアーキテクチャ・
スロットリング・ロジック
(224)
ディープ
C1E
制御
226
スロット
リング・
デバッグ・
レジスタ

【図３】


開始
ディープC1E
に入る？
300
いいえ
はい
プロセッサ周波数／電圧を
LFM周波数／電圧に変更
302
C1Eプロセッサ休止状態に入る
304
命令スループットを抑制
306
プロセッサへの供給電圧を
LFM電圧量以下に下げる
308
ディープC1E
から出る？
310
いいえ
はい
電圧をLFM電圧へと高める
312
LFM電圧？
314
いいえ
はい
命令スループットレートの
抑制を停止
316
終了

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/US2009/056782

A. CLASSIFICATION OF SUBJECT MATTER

G06F 1/26(2006.01)i, G06F 1/32(2006.01)i, G06F 1/08(2006.01)i, G06F 9/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F 1/26; G01R 23/02; G06F 1/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean utility models and applications for utility models
Japanese utility models and applications for utility models
(Chinese Patents and application for patent)

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
eKOMPASS(KIPO internal) & Keywords: voltage, enhanced halt state, throttle

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004-0215989 A1 (KAWANO SEIICHI et al.) 28 October 2004 See abstract, paragraphs 0005, 0035-0044, figures 3-7	1-25
A	US 7299370 B2 (GEORGE et al.) 20 November 2007 See abstract, column 2 line 27 - column 3 line 67, figure 1	1-25
A	US 6931559 B2 (JAMES S. BURNS et al.) 16 August 2005 See abstract, column 2 line 63 - column 6 line 9, figures 2-3	1-25
A	US 2004-0158756 A1 (YONETARO TOTSUKA et al.) 12 August 2004 See abstract, paragraphs 0054-0060, figure 4	1-25

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents,such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 APRIL 2010 (06.04.2010)	**07 APRIL 2010 (07.04.2010)**

Name and mailing address of the ISA/KR	Authorized officer
Korean Intellectual Property Office Government Complex-Daejeon, 139 Seonsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea	LEE Jin
Facsimile No. 82-42-472-7140	Telephone No. 82-42-481-5688

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2009/056782

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2004-0215989 A1	28.10.2004	JP 2004-326236 A	18.11.2004
		US 7225346 B2	29.05.2007
US 7299370 B2	20.11.2007	US 2004-255176 A1	16.12.2004
US 6931559 B2	16.08.2005	AU 2002-364004 A1	24.07.2003
		CN 1608240 A	20.04.2005
		HK1075108A1	18.10.2007
		US 2003-0126478 A1	03.07.2003
		WO 03-058418 A2	17.07.2003
US 2004-0158756 A1	12.08.2004	CN 1122906 C	01.10.2003
		CN 1238047 A0	08.12.1999
		CN 1442768 A0	17.09.2003
		CN 1442769 A	17.09.2003
		EP 0943978 A1	22.09.1999
		JP 03-851663 B2	29.11.2006
		JP 04-387122 B2	09.10.2009
		JP 2004-096073 A	25.03.2004
		JP 2007-259463 A	04.10.2007
		KR 10-0484699 B1	22.04.2005
		TW 382670 A	21.02.2000
		US 2004-158756 A1	12.08.2004
		US 2010-0005324 A1	07.01.2010
		US 6715090 B1	30.03.2004
		US 7475261 B2	06.01.2009
		WO 98-22863 A1	28.05.1998

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 ガムサラガン, エドワード
アメリカ合衆国 ９５７６２ カリフォルニア州 エルドラドヒルズ クレストライン コート １２３４
(72)発明者 サイアーズ, スコット イー.
アメリカ合衆国 ９５６２４ カリフォルニア州 エルクグローヴ パーク グレン コート ９９８９

Ｆターム(参考) 5B011 EA08 LL11 LL12 LL13