

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年11月18日(18.11.2021)



(10) 国際公開番号

WO 2021/229629 A1

(51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/778 (2006.01)
H01L 29/812 (2006.01)

(21) 国際出願番号: PCT/JP2020/018776

(22) 国際出願日: 2020年5月11日(11.05.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: 日本電信電話株式会社 (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目5番1号 Tokyo (JP).

(72) 発明者: 堤 卓也 (TSUTSUMI, Takuya); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP).
松崎 秀昭 (MATSUZAKI, Hideaki); 〒1808585 東京都武蔵野市緑町3丁目9-11 NTT 知的財産センタ内 Tokyo (JP).

(74) 代理人: 山川 茂樹, 外 (YAMAKAWA, Shigeki et al.); 〒1006104 東京都千代田区永田町2丁

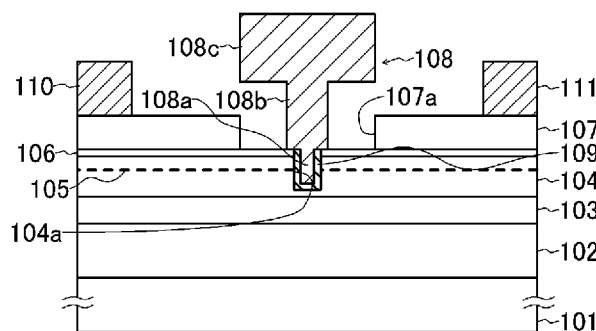
目 1 1 番 1 号 山王パークタワー4階 山川国際特許事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: This semiconductor device (field effect transistor) is provided with a gate insulating layer (109) between an intrusion part (108a) of a gate electrode (108) and the bottom and lateral surface of a recess (104a). The gate insulating layer (109) is composed of an oxide of a substance that constitutes a barrier layer (104). The gate insulating layer (109) is composed, for example, of a layer of indium oxide or a layer of aluminum oxide.

(57) 要約: 半導体装置(電界効果型トランジスタ)は、凹部(104a)の底部および側面とゲート電極(108)の貫入部(108a)との間に、ゲート絶縁層(109)を備える。ゲート絶縁層(109)は、障壁層(104)を構成する物質の酸化物から構成されている。ゲート絶縁層(109)は、例えば、In酸化物の層およびAl酸化物の層から構成されている。

[続葉有]



WO 2021/229629 A1

SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、化合物半導体から構成された半導体装置およびその製造方法に関する。

背景技術

[0002] 0.3～3.0THzの電磁波周波数帯であるテラヘルツ波の性質には、数10Gb/sを超える高速無線通信や、3次元イメージングによる非破壊内部検査、電磁波吸収を利用した成分分析など、これまでにはない新たなアプリケーション創出の可能性が秘められている。

[0003] テラヘルツ波によるアプリケーションを実現する場合には、これを構成する電子デバイスにもより良好な高周波特性が必要とされる。一般的に、良好な高周波特性を有する電子デバイスとして、物性的に特に高い電子移動度を有する化合物半導体を材料とした電界効果型トランジスタが用いられる。

[0004] 上述した電界効果型トランジスタは、半導体基板と、半導体基板の上に形成される半導体積層構造と、半導体積層構造の表面に形成されるゲート電極、およびゲート電極の両脇に形成されるソース電極、ドレイン電極から構成される。特に、高周波特性に優れる高電子移動度トランジスタは、半導体基板の側から、バッファ層、チャネル層、障壁層、ストッパ層、キャップ層、パッシベーション層が順次に積層されて構成されている。また、キャリア供給層が、チャネル層に対して障壁層側もしくはチャネル層に対してバッファ層側に形成される。この構成において、素子特性の設計に応じて、キャリア供給層の位置や不純物のドーパ量が設計される。

[0005] この種の電界効果型トランジスタでは、ゲート電極に対して電位を印加すると、印加した電位の強度に応じ、キャリア供給層からチャネル層に対してキャリアが供給されて形成される2次元電子ガスの濃度が変調され、ソース電極、ドレイン電極間に形成された伝導チャネルを通じて電子が移動する。

この電子（キャリア）が移動（走行）する伝導チャンネルが形成されるチャンネル層とキャリア供給層とは、空間的に分離され、キャリア供給層における不純物による散乱が抑制される。このため、上述した電界効果型トランジスタでは、電子移動度を向上させることができ、高周波動作を実現することができる。

[0006] 電界効果型トランジスタの高周波特性を向上させるためには、短チャンネル効果の抑制が重要であり、ゲート電極とチャンネルとの間の距離を短縮することが有効である。しかしゲート電極とチャンネルとの間の距離を単純に短縮するだけでは、ゲート電極の電子からみた障壁の厚さが薄くなり、電子のトンネリングが生じてゲート電極からの漏れ電流が増加する。

[0007] この問題に対処するため、ゲート電極と障壁層との間に高い障壁高さを有するゲート酸化層を形成し、MOS型の電界効果型トランジスタとする方法が一般的である。ゲート絶縁層を、障壁層に比べ高誘電率の材料から構成し、実効的なゲート絶縁層の厚さを薄くしている。非特許文献1に記載された技術では、ウエット処理によって障壁層のエッチングを高い精度で実施し、ゲート電極と障壁層との間の距離を短縮している。この技術では、障壁層のエッチング処理に引き続いて、原子層堆積法により高い誘電率を有する材料を堆積してゲート絶縁層を形成している。非特許文献1に記載された技術では、上述したことにより、良好な特性を有するMOS型電界効果型トランジスタを実現している。

先行技術文献

非特許文献

[0008] 非特許文献1：J. Lin et al., "A Novel Digital Etch Technique for Deeply Scaled III-V MOSFETs", IEEE Electron Device Letters, vol. 35, no. 4, pp. 440-442, 2014.

発明の概要

発明が解決しようとする課題

[0009] しかしながら、上述した技術では、ゲート絶縁層の形成に原子層堆積法を適用していることから、製造工程のスループットが低下する。原子層堆積法では、堆積対象表面の水和化と、プリカーサ導入による酸化とを交互に繰り返す、原子層単位で酸化層を形成する技術である。このため、目的の膜厚を有するゲート絶縁層を形成するためには、上記のサイクルを相当数繰り返す必要があり、製造にかかるスループットが低下する。このように、従来の技術では、良好な特性を有するMOS型電界効果型トランジスタが、高いスループットで製造することができないという問題があった。

[0010] 本発明は、以上のような問題点を解消するためになされたものであり、良好な特性を有するMOS型電界効果型トランジスタが、高いスループットで製造できるようにすることを目的とする。

課題を解決するための手段

[0011] 本発明に係る半導体装置は、半導体基板の上に形成された、バッファ層、チャンネル層、障壁層、キャリア供給層と、障壁層に、厚さ方向の途中まで形成された凹部と、凹部に一部が貫入して障壁層の上に形成されたゲート電極と、ゲート電極を挟んで障壁層の上に形成されたソース電極およびドレイン電極と、ソース電極およびドレイン電極と障壁層との間に形成されたキャップ層と、凹部の底部および側面とゲート電極との間に形成され、障壁層を構成する物質の酸化物から構成されたゲート絶縁層とを備える。

[0012] また、本発明に係る半導体装置の製造方法は、半導体基板の上に、バッファ層、チャンネル層、障壁層、キャリア供給層、キャップ層が形成された状態とする第1工程と、キャップ層の上に、互いに離間してソース電極およびドレイン電極を形成する第2工程と、ソース電極とドレイン電極との間のゲート形成領域のキャップ層に、キャップ層を貫通する開口を形成する第3工程と、開口の領域内の障壁層に、厚さ方向の途中まで凹部を形成する第4工程と、凹部の底部および側面の障壁層を酸化することで、障壁層を構成する物質の酸化物から構成されたゲート絶縁層を形成する第5工程と、ゲート絶縁層が形成された凹部に、一部が貫入して障壁層の上に配置されたゲート電極

を形成する第6工程とを備える。

発明の効果

[0013] 以上説明したように、本発明によれば、障壁層を構成する物質の酸化物から構成されたゲート絶縁層を用いるので、良好な特性を有するMOS型電界効果型トランジスタが、高いスループットで製造できるようになる。

図面の簡単な説明

[0014] [図1]図1は、本発明の実施の形態に係る半導体装置の構成を示す断面図である。

[図2A]図2Aは、本発明の実施の形態に係る半導体装置の製造方法を説明するための途中工程の半導体装置の状態を示す断面図である。

[図2B]図2Bは、本発明の実施の形態に係る半導体装置の製造方法を説明するための途中工程の半導体装置の状態を示す断面図である。

[図2C]図2Cは、本発明の実施の形態に係る半導体装置の製造方法を説明するための途中工程の半導体装置の状態を示す断面図である。

[図2D]図2Dは、本発明の実施の形態に係る半導体装置の製造方法を説明するための途中工程の半導体装置の状態を示す断面図である。

[図2E]図2Eは、本発明の実施の形態に係る半導体装置の製造方法を説明するための途中工程の半導体装置の状態を示す断面図である。

発明を実施するための形態

[0015] 以下、本発明の実施の形態に係る半導体装置について図1を参照して説明する。なお、図1は、ゲート長方向に平行な断面を示している。この半導体装置は、電界効果型トランジスタであり、半導体基板101の上に形成された、バッファ層102、チャネル層103、障壁層104、キャリア供給層105、ゲート電極108、ソース電極110、およびドレイン電極111を備える。なお、実施の形態では、半導体基板101の上に、バッファ層102、チャネル層103、障壁層104が、これらの順に積層されている。なお、チャネル層103、障壁層104の積層順は、上述した構成に限るものではない。

- [0016] 半導体基板101は、例えば半絶縁性のInPから構成されている。バッファ層102は、例えば、InAlAsから構成され、層厚100～300nmとされている。チャネル層103は、例えば、InGaAsから構成され、層厚5～20nmとされている。障壁層104は、例えば、InAlAsから構成され、層厚5～20nmとされている。キャリア供給層105は、例えば、よく知られたシートドープにより、障壁層104に形成され、不純物としてSiが $1 \times 10^{19} \text{ cm}^{-3}$ ドープされている。実施の形態では、障壁層104の上に、ストッパ層106を備える。ストッパ層106は、例えば、InPから構成され、層厚2～5nmとされている。これらは、例えば、有機金属気相成長法や分子線エピタキシー法などにより結晶成長することで形成できる。
- [0017] この半導体装置は、障壁層104に、厚さ方向の途中まで形成された凹部104aを備える。凹部104aは、ゲート幅方向に延在する溝である。ゲート電極108は、凹部104aに、一部が貫入して障壁層104の上に形成されている。ゲート電極108は、断面視T字型とされ、凹部104aに貫入した貫入部108a、貫入部108aの上に連続して形成され、ゲート長方向の長さが短い脚部108b、脚部108bの上に連続して形成され、ゲート長方向の長さが脚部108bより長い頭部108cを備える。ゲート電極108は、例えば、白金や金から構成することができる。
- [0018] ソース電極110およびドレイン電極111は、ゲート電極108を挟んで障壁層104の上に形成されている。ソース電極110およびドレイン電極111は、例えば、Ti/Pt/Auから構成することができる。また、ソース電極110およびドレイン電極111と障壁層104との間には、キャップ層107が形成されている。キャップ層107は、例えば、Siが $1 \times 10^{19} \sim 2 \times 10^{19} \text{ cm}^{-3}$ にドープされたInGaAsから構成されている。キャップ層107には、開口107aが形成されている。開口107aに、ゲート電極108が配置されている。
- [0019] また、実施の形態に係る半導体装置（電界効果型トランジスタ）は、凹部

104aの底部および側面とゲート電極108（貫入部108a）との間に、ゲート絶縁層109を備える。ゲート絶縁層109は、障壁層104を構成する物質の酸化物から構成されたている。ゲート絶縁層109は、例えば、In酸化物の層およびAl酸化物の層から構成されている。

[0020] ゲート電極108とチャネルとの間隔を単純に短縮した状態では、ゲート電極108の電子からみた障壁層104の厚さが薄くなり、電子のトンネリングが生じてゲート電極108からの漏れ電流が増加する。この問題を回避するために、ゲート絶縁層109を用いる。

[0021] 次に、本発明の実施の形態に係る半導体装置（電界効果型トランジスタ）の製造方法について、図2A～図2Eを参照して説明する。なお、図2A～図2Eは、ゲート長方向に平行な断面を示している。

[0022] まず、図2Aに示すように、半導体基板101の上に、バッファ層102、チャネル層103、障壁層104、キャリア供給層105、キャップ層107を形成する（第1工程）。

[0023] 例えば、半導体基板101の上に、バッファ層102、チャネル層103、障壁層104、キャップ層107を有機金属気相成長法や分子線エピタキシー法などにより結晶成長することで順次積層する。また、障壁層104には、シートドーパによりキャリア供給層105を形成する。また、実施の形態では、キャリア供給層105とキャップ層107との間にストッパ層106を形成する。また、素子間分離のために、ウエットエッチングまたはドライエッチングによるパターニングで、メサ領域を形成する。

[0024] 次に、図2Bに示すように、キャップ層107の上に、互いに離間してソース電極110およびドレイン電極111を形成する（第2工程）。ソース電極110およびドレイン電極111は、ゲート電極108を形成する領域を挟んで形成する。例えば、キャップ層107上に、Ti/Pt/Auを堆積して金属膜を形成し、この金属膜を公知のフォトリソグラフィ技術とエッチング技術とによりパターニングすることで、ソース電極110およびドレイン電極111を形成する。また、公知のリフトオフ法により、ソース電極

110およびドレイン電極111を形成することも可能である。ソース電極110、ドレイン電極111は、キャップ層107にオーミック接合する。

[0025] 次に、図2Cに示すように、キャップ層107に、キャップ層107を貫通する開口107aを形成する（第3工程）。公知のリソグラフィ技術とエッチング技術とによりキャップ層107をパターニングすることで、開口107aを形成する。

[0026] 例えば、絶縁材料やレジストなどによるマスクパターン（不図示）を用い、クエン酸やリン酸などによるエッチング液をエッチャントとして用いたウェットエッチングにより、キャップ層107を選択的にエッチングすることで、開口107aが形成できる。このエッチングにおいて、InPからなるストッパ層106は、上述したエッチング液ではほとんどエッチングされず、エッチングの停止層（ストッパ層）となり、障壁層104がエッチングされることを防ぐことができる。このようにストッパ層106を用いることで、深さ（厚さ）方向に対して制御性のよいエッチングができる。なお、ソース電極110およびドレイン電極111は、開口107aを形成した後に形成してもよく、これらの作製の順序は、トランジスタ作製工程検討の範囲内である。

[0027] 次に、図2Dに示すように、開口107aの領域内の障壁層104に、厚さ方向の途中まで凹部104aを形成する（第4工程）。実施の形態では、ストッパ層106を形成しているので、ストッパ層106を貫通し、障壁層104の厚さ方向の途中まで、凹部104aを形成する。凹部104aの深さは、ストッパ層106の厚さを超え、ストッパ層106と障壁層104との厚さの和を超えない範囲で設定される。例えば、典型的には、ストッパ層106の厚さが5nm、ストッパ層106と障壁層104の厚さの和が20nmの場合、凹部104aの深さは5nm～20nmの範囲で設定される。

[0028] 凹部104aは、例えば、表面側からの酸化による酸化層の形成と酸化層の除去とによるエッチング処理で形成することができる。例えば、凹部104aを形成する領域に開口を有するマスクパターン（不図示）を用い、スト

ツパ層 106 および障壁層 104 を表面側から選択的に酸化し、この酸化により形成された酸化層をウェットエッチングにより選択的に除去する。

[0029] 例えば、過酸化水素系の溶液（酸化プロセス）と、クエン酸やリン酸系のエッチャント（エッチングプロセス）とに、交互に浸漬させることで、上述した酸化層の形成と酸化層の除去とが実施できる。酸化プロセスでは、エッチング対象の層の露出している表面に、サブナノメートルの厚さのごく薄い酸化層を形成し、エッチングプロセスでは、ごく薄い酸化層を除去するものであり、浸漬（処理）時間ではなく、2つのプロセスの繰り返し回数でエッチング量を精密に制御することが可能である。

[0030] また、凹部 104a は、よく知られた原子層エッチングにより形成することもできる。原子層エッチングでは、例えば、所定のプラズマ処理装置を用い、塩素ガスのプラズマを用いた原子層最表面に対する化学修飾プロセスと、アルゴンガスのプラズマを用いた、化学修飾層のエッチングプロセスとを交互に行う。このエッチング処理方法においても、2つのプロセスの繰り返し回数でエッチング量を精密に制御することが可能である。

[0031] 次に、図 2E に示すように、凹部 104a の底部および側面の障壁層 104 を酸化することで、障壁層 104 を構成する物質の酸化物から構成されたゲート絶縁層 109 を形成する（第 5 工程）。

[0032] 障壁層 104 の酸化によるゲート絶縁層 109 の形成は、例えば、酸化剤を含む溶液を用いたウェット処理により実施できる。ウェット処理では、例えば過酸化水素などの酸化剤により、In や Al などの構成物質を局所的に酸化する。このウェット処理（第 5 工程）は、前述した凹部 104a の形成（第 4 工程）に連続して実施し、凹部 104a におけるウェットエッチングの後で、処理対象箇所を乾燥させることなくゲート絶縁層 109 を形成することができる。

[0033] 前述したように、凹部 104a の形成において、過酸化水素の溶液による酸化プロセスと、クエン酸やリン酸系のエッチャントによるエッチングプロセスとを交互に実施して凹部 104a を形成し、これに続いて、過酸化水素

の溶液による酸化プロセスで酸化を実施する。この処理では、凹部104aの形成と、ゲート絶縁層109の形成とを、連続して実施でき、処理対象箇所を乾燥させることがないので、界面欠陥の少ない、良好な半導体と酸化層との界面を形成することができる。

[0034] ここで、障壁層104を構成するInAlAsを酸化することで、In、Al、Asの各々の酸化物が形成される。酸化インジウム (In_2O_3) は、誘電率が10～20と比較的高くそのバンドギャップも2.5～3.5 eVと比較的高い。また酸化アルミニウム (Al_2O_3) は、誘電率が10程度ではあるが、バンドギャップは6～9 eVと非常に高い。従って、障壁層104を酸化することで形成され、上述した酸化物から構成されるゲート絶縁層109は、高い誘電率およびバンドギャップを有するものとなり、電子にとって障壁の高い層となる。この結果、ゲート絶縁層109を用いることで、良好なMOS構造を形成することができる。

[0035] 上述したウエット処理により形成されるゲート絶縁層109は、In酸化物の層およびAl酸化物の層から構成されるものとなる。例えば、クエン酸によってInAlAsをエッチングすると、この条件により、 In_2O_3 が表面側（ゲート電極側）に偏析し、 Al_2O_3 やインジウム・Al酸化物が、内側（チャネル層側）に形成されるようになる。この場合、半導体との界面で高いバンドギャップを有し、かつゲート電極側には電界を集中させ短チャネル効果抑制に有効な高誘電率を有する2層以上の構成成分からなるゲート絶縁層109を形成することができるようになる。このように、ゲート絶縁層109は、In酸化物の層とAl酸化物の層との2層構造以上から構成することができ、各層の構成成分はIn酸化物またはAl酸化物、もしくはこれらが混合した酸化物から構成されたものとなる。

[0036] 上述したウエット処理により形成するゲート絶縁層109の厚さは、処理液に対する浸漬時間や、処理液の温度によって、「Luke's model」に従った正確な制御が可能であり、0.5～5 nmの範囲のいずれかの厚さに、制御性よく形成することができる。

- [0037] ゲート絶縁層109の厚さは、ストッパ層106と障壁層104との厚さの和の $1/2$ を超えない範囲で形成する。例えば、ストッパ層106と障壁層104の厚さの和が20nmの場合、ゲート絶縁層109の厚さは10nm以下、典型的には $1/10$ の厚さとなる2nm程度とすることができる。
- [0038] また、障壁層104の酸化によるゲート絶縁層109の形成（第5工程）は、例えば、酸素を含むガスによるプラズマを用いたドライ処理により実施することもできる。この場合、凹部104aの形成（第4工程）を、原子層エッチングにより実施することで、この処理時引き続き、処理雰囲気を大気解放することなく、ゲート絶縁層109を形成することができ、特に品質の良い半導体と絶縁層の界面を得ることができる。
- [0039] まず、よく知られた原子層エッチングを実施する処理装置を用い、密閉されて減圧された処理雰囲気における原子層エッチングにより凹部104aを形成する（第4工程）。例えば、所定の処理装置を用い、塩素ガスのプラズマを用いた原子層最表面に対する化学修飾プロセスと、アルゴンガスのプラズマを用いた、化学修飾層のエッチングプロセスとを交互に行い、凹部104aを形成する。この原子層エッチングに引き続き、処理雰囲気（処理室）を大気解放することなく、処理室に酸素ガスを導入し、導入した酸素ガスのプラズマを生成する。生成した酸素ガスのプラズマを作用させることで、凹部104aの側面および底面に露出している部分の障壁層104を酸化し、ゲート絶縁層109を形成する。
- [0040] なお、処理室内に酸素ガスを導入する前に、低真空下で処置対象を加熱し、他の構成元素に対して蒸気圧の高いAsを昇華させることで選択に除去してから、上述した酸素プラズマを用いてInおよびAlを酸化させることで、ゲート絶縁層109を形成することもできる。このドライ処理によるゲート絶縁層109の形成においても、前述したウェット処理の場合と同様に、酸素プラズマのパワーや試料温度によって、厚さを正確に制御することができる。
- [0041] 以上のようにしてゲート絶縁層109を形成した後、ゲート絶縁層109

が形成された凹部 104 a に、一部が貫入して障壁層 104 の上に配置されたゲート電極 108 を形成する（第 6 工程）。これにより、図 1 に示す電界効果型トランジスタが得られる。例えば、凹部 104 a の形成において、ゲート電極 108 を形成する箇所に開口を有するマスクパターンを用い、このマスクパターンを除去することなくゲート絶縁層 109 を形成する。ゲート絶縁層 109 を形成した後、上記マスクパターンが形成されている状態で、ゲート電極材料を、例えば、スパッタ法などにより堆積する。この後、マスクパターンを除去（リフトオフ）すれば、ゲート電極 108 を形成することができる。

[0042] 例えば、ドライ処理によりゲート絶縁層 109 を形成する場合、ゲート絶縁層 109 を形成した処理室の真空状態を維持しながら、上述したゲート電極材料の体積を実施することができる。このようにしてゲート電極 108 を形成することで、ゲート絶縁層 109 の表面が、大気に触れることが無い。この結果、大気に触れることなどによる、ゲート絶縁層 109 の表面に対するコンタミネーションの付着などが防止できる。この結果、ゲート電極 108 とゲート絶縁層 109 との界面の欠陥を低減することができ、特性改善に有利に作用する。

[0043] 以上に説明したように、本発明によれば、障壁層を構成する物質の酸化物から構成されたゲート絶縁層を用いるので、良好な特性を有する MOS 型電界効果型トランジスタが、高いスループットで製造できるようになる。

[0044] なお、本発明は以上に説明した実施の形態に限定されるものではなく、本発明の技術的思想内で、当分野において通常の知識を有する者により、多くの変形および組み合わせが実施可能であることは明白である。

符号の説明

[0045] 101…半導体基板、102…バッファ層、103…チャネル層、104…障壁層、104 a…凹部、105…キャリア供給層、106…ストッパ層、107…キャップ層、108…ゲート電極、108 a…貫入部、108 b…脚部、108 c…頭部、109…ゲート絶縁層、110…ソース電極、1

1 1 …ドレイン電極。

請求の範囲

- [請求項1] 半導体基板の上に形成された、バッファ層、チャネル層、障壁層、キャリア供給層と、
- 前記障壁層に、厚さ方向の途中まで形成された凹部と、
- 前記凹部に一部が貫入して前記障壁層の上に形成されたゲート電極と、
- 前記ゲート電極を挟んで前記障壁層の上に形成されたソース電極およびドレイン電極と、
- 前記ソース電極および前記ドレイン電極と前記障壁層との間に形成されたキャップ層と、
- 前記凹部の底部および側面と前記ゲート電極との間に形成され、前記障壁層を構成する物質の酸化物から構成されたゲート絶縁層とを備える半導体装置。
- [請求項2] 請求項 1 記載の半導体装置において、
- 前記障壁層は、InAlAsから構成されてることを特徴とする半導体装置。
- [請求項3] 請求項 2 記載の半導体装置において、
- ゲート絶縁層は、In酸化物の層およびAl酸化物の層から構成されていることを特徴とする半導体装置。
- [請求項4] 半導体基板の上に、バッファ層、チャネル層、障壁層、キャリア供給層、キャップ層が形成された状態とする第1工程と、
- 前記キャップ層の上に、互いに離間してソース電極およびドレイン電極を形成する第2工程と、
- 前記ソース電極と前記ドレイン電極との間のゲート形成領域の前記キャップ層に、前記キャップ層を貫通する開口を形成する第3工程と、
- 前記開口の領域内の前記障壁層に、厚さ方向の途中まで凹部を形成する第4工程と、

前記凹部の底部および側面の前記障壁層を酸化することで、前記障壁層を構成する物質の酸化物から構成されたゲート絶縁層を形成する第5工程と、

前記ゲート絶縁層が形成された前記凹部に、一部が貫入して前記障壁層の上に配置されたゲート電極を形成する第6工程とを備える半導体装置の製造方法。

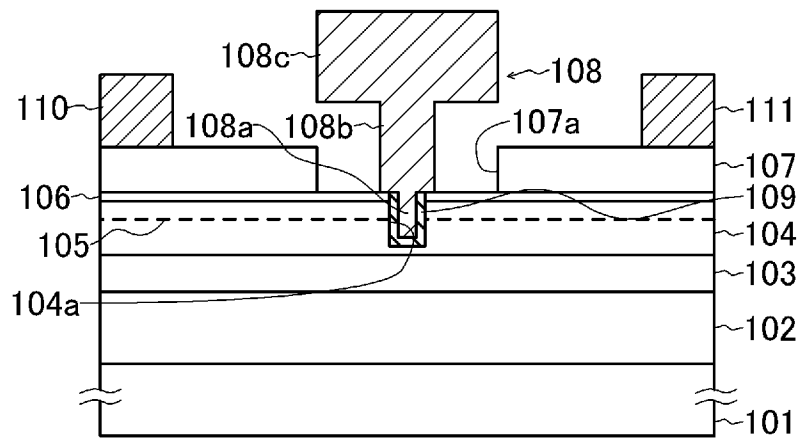
[請求項5] 請求項4記載の半導体装置の製造方法において、前記第5工程は、酸化剤を含む溶液を用いたウエット処理により前記ゲート絶縁層を形成することを特徴とする半導体装置の製造方法。

[請求項6] 請求項5記載の半導体装置の製造方法において、前記第4工程は、ウエットエッチングにより前記凹部を形成し、前記第5工程は、前記第4工程におけるウエットエッチングの後で、処理対象箇所を乾燥させることなく前記ゲート絶縁層を形成することを特徴とする半導体装置の製造方法。

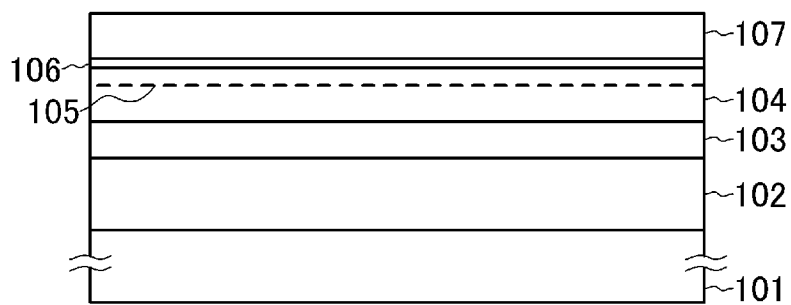
[請求項7] 請求項4記載の半導体装置の製造方法において、前記第5工程は、酸素を含むガスによるプラズマを用いたドライ処理により前記ゲート絶縁層を形成することを特徴とする半導体装置の製造方法。

[請求項8] 請求項5記載の半導体装置の製造方法において、前記第4工程は、密閉されて減圧された処理雰囲気における原子層エッチングにより前記凹部を形成し、前記第5工程は、前記原子層エッチングに引き続き、処理雰囲気を大気解放することなく、前記ゲート絶縁層を形成することを特徴とする半導体装置の製造方法。

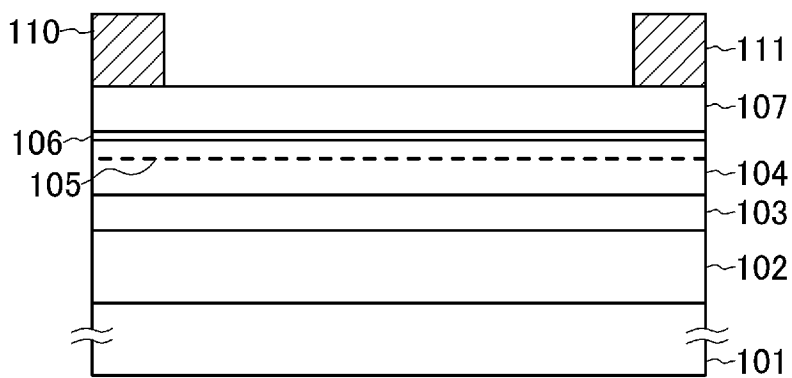
[図1]



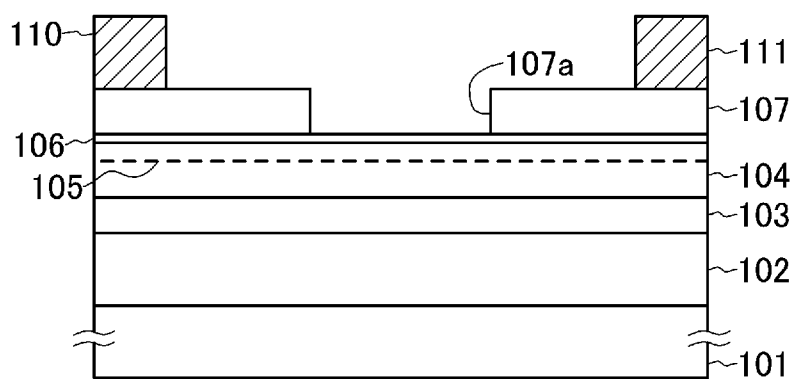
[図2A]



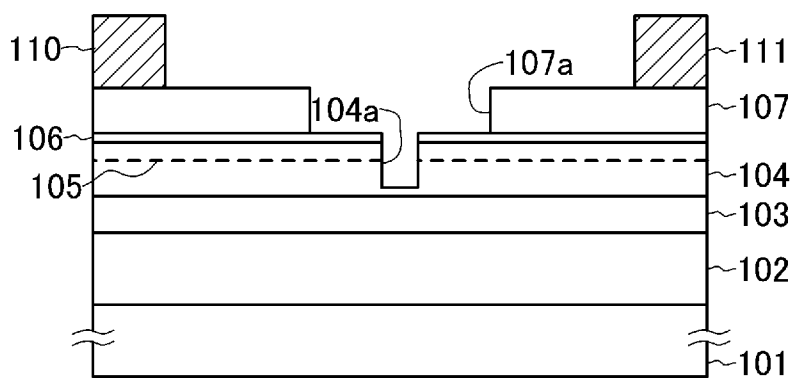
[図2B]



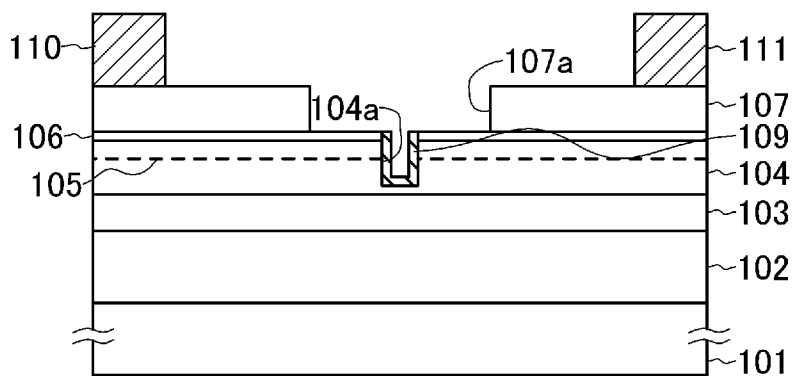
[図2C]



[図2D]



[図2E]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/018776

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/338 (2006.01) i, H01L29/812 (2006.01) i, H01L29/778 (2006.01) i
FI: H01L29/80 B: H01L29/80 H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/338, H01L29/812, H01L29/778

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 9-092660 A (MATSUSHITA ELECTRONICS CORP.) 04 April 1997, paragraphs [0027]-[0123], fig. 5, 9, 10, 17, 18	1, 4 2-3, 5-8
Y A	JP 2004-311869 A (MITSUBISHI ELECTRIC CORP.) 04 November 2004, paragraphs [0014]-[0042], fig. 8-11	1, 4-7 2-3, 8
Y A	JP 2013-229499 A (ROHM CO., LTD.) 07 November 2013, paragraphs [0045]-[0073], fig. 5, 8	1 2-18
Y A	JP 2005-260172 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 22 September 2005, paragraphs [0045]- [0092], fig. 1, 4, 6	4-7 1-3
A		



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
30.07.2020

Date of mailing of the international search report
11.08.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/018776

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-049314 A (ASAHI KASEI MICRODEVICES CORPORATION) 10 March 2011, paragraphs [0029]-[0037], fig. 1, 2	1-8
A	JP 10-284466 A (MITSUBISHI ELECTRIC CORPORATION) 23 October 1998, paragraphs [0042]-[0088], fig. 1-5	1-8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/018776

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 9-092660 A	04.04.1997	(Family: none)	
JP 2004-311869 A	04.11.2004	(Family: none)	
JP 2013-229499 A	07.11.2013	(Family: none)	
JP 2005-260172 A	22.09.2005	(Family: none)	
JP 2011-049314 A	10.03.2011	(Family: none)	
JP 10-284466 A	23.10.1998	DE 19739922 A1 column 9, line 17 to column 16, line 37, fig. 1-5 CN 1190250 A TW 344869 B KR 10-1998-0069798 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/338(2006.01)i; H01L 29/812(2006.01)i; H01L 29/778(2006.01)i FI: H01L29/80 B; H01L29/80 H		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L21/338; H01L29/812; H01L29/778		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 9-092660 A（松下電子工業株式会社）04.04.1997（1997-04-04） 段落[0027]-[0123], 図5, 9-10, 17-18	1, 4
A		2-3, 5-8
Y	JP 2004-311869 A（三菱電機株式会社）04.11.2004（2004-11-04） 段落[0014]-[0042], 図8-11	1, 4-7
A		2-3, 8
Y	JP 2013-229499 A（ローム株式会社）07.11.2013（2013-11-07） 段落[0045]-[0073], 図5, 8	1
A		2-8
Y	JP 2005-260172 A（松下電器産業株式会社）22.09.2005（2005-09-22） 段落[0045]-[0092], 図1, 4, 6	4-7
A		1-3
A	JP 2011-049314 A（旭化成エレクトロニクス株式会社）10.03.2011（2011-03-10） 段落[0029]-[0037], 図1-2	1-8
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 30.07.2020		国際調査報告の発送日 11.08.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 杉山 芳弘 5F 6311 電話番号 03-3581-1101 内線 3516

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-284466 A (三菱電機株式会社) 23.10.1998 (1998 - 10 - 23) 段落[0042]-[0088], 図1-5	1-8

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/018776

引用文献			公表日	パテントファミリー文献	公表日
JP	9-092660	A	04.04.1997	(ファミリーなし)	
JP	2004-311869	A	04.11.2004	(ファミリーなし)	
JP	2013-229499	A	07.11.2013	(ファミリーなし)	
JP	2005-260172	A	22.09.2005	(ファミリーなし)	
JP	2011-049314	A	10.03.2011	(ファミリーなし)	
JP	10-284466	A	23.10.1998	DE 19739922 A1 第9欄第17行-第16欄第37行, 第1図1-第5図	
				CN 1190250 A	
				TW 344869 B	
				KR 10-1998-0069798 A	