



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0071592
(43) 공개일자 2010년06월29일

(51) Int. Cl.

H03H 17/02 (2006.01) H03H 17/00 (2006.01)

(21) 출원번호 10-2008-0130367

(22) 출원일자 2008년12월19일

심사청구일자 2008년12월19일

(71) 출원인

인하대학교 산학협력단

인천 남구 용현동 253 인하대학교

(72) 발명자

곽경섭

인천시 남구 용현3동 인하대학교 하이테크센터 302호

정정화

서울 성동구 행당1동 한양대학교 산학기술관 718호

(뒷면에 계속)

(74) 대리인

특허법인무한

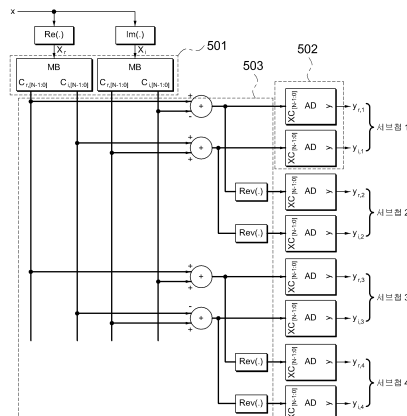
전체 청구항 수 : 총 5 항

(54) CSS 신호에 최적화 된 정합 필터 장치

(57) 요약

CSS(chirp spread spectrum) 신호에 최적화 된 정합 필터 장치를 개시한다. 정합 필터 장치는, CSS(chirp spread spectrum)에서 주파수 대역 또는 스위프(sweep) 방향이 서로 다른 제1 내지 제4 서브 칩으로 구성된 칩(chip) 신호를 이용하고, 입력 신호에 대하여 상기 제1 내지 제4 서브 칩 중 어느 하나의 서브 칩에 해당하는 필터 계수와 상수 곱셈 결과를 출력하는 곱셈기 블록(multiplier block); 상기 제1 내지 제4 서브 칩 간의 신호 특성에 따라 상기 필터 계수의 순서 또는 부호를 변경하고 상기 변경된 필터 계수의 순서 또는 부호를 기초로 상기 곱셈기 블록에서 출력되는 상수 곱셈 결과를 조합하는 조합 블록; 및, 상기 제1 내지 제4 서브 칩에 대하여 상기 곱셈기 블록을 공유하고 상기 조합 블록에서 조합된 상수 곱셈 결과를 이용하여 상기 입력 신호를 필터링하는 누적 및 지연 블록(accumulate and delay block)를 포함할 수 있다

대표도 - 도5



(72) 발명자

윤상훈

서울시 성동구 행당1동 한양대학교 산학기술관 70
2호

김영삼

서울시 성동구 행당1동 한양대학교 산학기술관 70
2호

장성현

서울시 성동구 행당1동 한양대학교 산학기술관 70
2호

이 발명을 지원한 국가연구개발사업

과제고유번호 IITA-2008-C1090-0801-0019

부처명 정보통신부

연구사업명 대학 IT 연구센터 육성 지원 사업

연구과제명 초광대역 (UWB) 무선전송 및 시스템 응용기술

주관기관 인하대학교 산학협력단

연구기간 2008년 01월 01일 ~ 2008년 12월 31일

특허청구의 범위

청구항 1

CSS(chirp spread spectrum)에서 주파수 대역 또는 스위프(sweep) 방향이 서로 다른 제1 내지 제4 서브 칩으로 구성된 칩(chirp) 신호를 이용하고,

입력 신호에 대하여 상기 제1 내지 제4 서브 칩 중 어느 하나의 서브 칩에 해당하는 필터 계수와 상수 곱셈 결과를 출력하는 곱셈기 블록(multiplier block);

상기 제1 내지 제4 서브 칩 간의 신호 특성에 따라 상기 필터 계수의 순서 또는 부호를 변경하고 상기 변경된 필터 계수의 순서 또는 부호를 기초로 상기 곱셈기 블록에서 출력되는 상수 곱셈 결과를 조합하는 조합 블록; 및,

상기 제1 내지 제4 서브 칩에 대하여 상기 곱셈기 블록을 공유하고 상기 조합 블록에서 조합된 상수 곱셈 결과를 이용하여 상기 입력 신호를 필터링 하는 누적 및 지연 블록(accumulate and delay block)

를 포함하는 정합 필터 장치.

청구항 2

제1항에 있어서,

상기 곱셈기 블록은,

상기 입력 신호의 실수부에 상기 필터 계수의 실수부를 곱한 값 및 상기 입력 신호의 실수부에 상기 필터 계수의 허수부를 곱한 값을 출력하는 제1곱셈부와,

상기 입력 신호의 허수부에 상기 필터 계수의 실수부를 곱한 값 및 상기 입력 신호의 허수부에 상기 필터 계수의 허수부를 곱한 값을 출력하는 제2곱셈부

를 포함하는, 정합 필터 장치.

청구항 3

제2항에 있어서,

상기 제1곱셈기 및 제2곱셈부는,

각각 가산기로 구성되어 쉬프트(shift) 연산과 가산(adder) 연산으로 상수 곱셈 결과를 산출하는, 정합 필터 장치.

청구항 4

제1항에 있어서,

상기 조합 블록은,

상기 입력 신호의 실수부에 상기 필터 계수의 실수부를 곱한 값, 상기 입력 신호의 실수부에 상기 필터 계수의 허수부를 곱한 값, 상기 입력 신호의 허수부에 상기 필터 계수의 실수부를 곱한 값, 또는 상기 입력 신호의 허수부에 상기 필터 계수의 허수부를 곱한 값 중 어느 두 값을 조합하는, 정합 필터 장치.

청구항 5

제4항에 있어서,

상기 조합 블록은,

상기 제1 내지 제4 서브 칩 간의 신호 특성이 리버스(reverse) 관계에 있을 경우 상기 상수 곱셈 결과의 조합 순서를 변경하고 켄레(conjugate) 관계에 있을 경우 상기 상수 곱셈 결과의 조합 부호를 변경하는, 정합 필터 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 CSS(chirp spread spectrum) 수신기에 적용하는 정합 필터 장치에 관한 것으로, 더욱 상세하게는 정합 필터를 보다 간단화 된 구조로 구성하기 위한 CSS 신호에 최적화 된 정합 필터 장치에 관한 것이다.

배경 기술

[0002] CSS(chirp spread spectrum) 기술은 저속 무선센서 네트워크(wireless sensor network)의 응용에 적합하도록 설계된 근거리 무선통신 네트워크 기술로서, 홈 네트워크, 센서 네트워크, 유비쿼터스 네트워크, 산업 자동화 등의 다양한 분야에 적용되고 있다.

[0003] 상기 CSS는 각 데이터 비트를 확산신호인 칩 신호(chip signal)를 이용하여 송수신의 정확도를 높일 수 있다. 이때, 확산된 칩 신호를 역 확산시켜 가장 높은 신호 대 잡음비를 가지는 신호로 복원하기 위한 최적의 방법은 각 서브 칩 샘플 값의 컬레 복소수를 필터의 계수로 가지는 정합 필터를 이용하는 것이다.

[0004] 상기 CSS는 서로 다른 네 개의 서브 칩 신호를 사용하여 각 데이터 비트를 확산시키며 CSS의 한 심볼은 총 네 개의 서브 칩으로 구성된다. 또한, 다중 사용자를 위한 피코넷(piconet)이 총 네 개가 구현되어 있고 상기 피코넷은 네 개의 서로 다른 서브 칩의 순서를 바꾸는 형식이다. 칩 신호의 주파수 상승 또는 하강 방향과 주파수 대역의 차이로 구별되는 네 개의 서브 칩은 서로 간의 상관관계가 0에 가까운 특성을 이용한 것이다.

[0005] 즉, CSS 수신기는 네 개의 서브 칩에 대한 정합 필터를 각각 가지고 있어야 최적의 역확산 결과를 얻어낼 수가 있으며, 각 서브 칩은 복소수로 이루어져 있으므로 정합 필터 역시 복소 필터를 구성해야 한다.

[0006] 만약, 복소수의 곱을 네 개의 실수 곱셈기로 구현 한다면 CSS의 정합 필터를 구성하기 위해서는 $4(4\text{개의 실수 필터}) \times 4(\text{피코넷 당 서브 칩의 개수})$ 로서 총 16개의 실수 필터가 필요하게 된다. 이와 같이, 각각의 서브 칩에 대하여 정합 필터를 복소 필터로 구성하는 것은 결과적으로 회로의 복잡도 및 전력 소모가 커지는 요인이 된다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명은 CSS에 대한 정합 필터의 구조를 간단화 하여 초소형 및 저전력 소모의 수신기를 구현할 수 있는 CSS 신호에 최적화 된 정합 필터 장치를 제공한다.

과제 해결수단

[0008] 본 발명의 일실시예에 따른 CSS 신호에 최적화 된 정합 필터 장치는, CSS(chirp spread spectrum)에서 주파수 대역 또는 스위프(sweep) 방향이 서로 다른 제1 내지 제4 서브 칩으로 구성된 칩(chip) 신호를 이용하고, 입력 신호에 대하여 상기 제1 내지 제4 서브 칩 중 어느 하나의 서브 칩에 해당하는 필터 계수와 상수 곱셈 결과를 출력하는 곱셈기 블록(multiplier block); 상기 제1 내지 제4 서브 칩 간의 신호 특성에 따라 상기 필터 계수의 순서 또는 부호를 변경하고 상기 변경된 필터 계수의 순서 또는 부호를 기초로 상기 곱셈기 블록에서 출력되는 상수 곱셈 결과를 조합하는 조합 블록; 및, 상기 제1 내지 제4 서브 칩에 대하여 상기 곱셈기 블록을 공유하고 상기 조합 블록에서 조합된 상수 곱셈 결과를 이용하여 상기 입력 신호를 필터링 하는 누적 및 지연 블록(accumulate and delay block)를 포함할 수 있다

[0009] 이때, 상기 곱셈기 블록은, 상기 입력 신호의 실수부에 상기 필터 계수의 실수부를 곱한 값 및 상기 입력 신호의 실수부에 상기 필터 계수의 허수부를 곱한 값을 출력하는 제1곱셈부와, 상기 입력 신호의 허수부에 상기 필터 계수의 실수부를 곱한 값 및 상기 입력 신호의 허수부에 상기 필터 계수의 허수부를 곱한 값을 출력하는 제2 곱셈부를 포함할 수 있다.

[0010] 또한, 상기 제1곱셈기 및 제2곱셈부는, 각각 가산기로 구성되어 쉬프트(shift) 연산과 가산(adder) 연산으로 상수 곱셈 결과를 산출할 수 있다.

[0011] 이때, 상기 조합 블록은, 상기 입력 신호의 실수부에 상기 필터 계수의 실수부를 곱한 값, 상기 입력 신호의 실수부에 상기 필터 계수의 허수부를 곱한 값, 상기 입력 신호의 허수부에 상기 필터 계수의 실수부를 곱한 값,

또는 상기 입력 신호의 허수부에 상기 필터 계수의 허수부를 곱한 값 중 어느 두 값을 조합할 수 있다.

- [0012] 또한, 상기 조합 블록은, 상기 제1 내지 제4 서브 칩 간의 신호 특성이 리버스(reverse) 관계에 있을 경우 상기 상수 곱셈 결과의 조합 순서를 변경하고 켄레(conjugate) 관계에 있을 경우 상기 상수 곱셈 결과의 조합 부호를 변경할 수 있다.

효 과

- [0013] 본 발명에 따르면, CSS 신호의 특성을 이용하여 CSS 수신기를 구성하는데 필수적인 정합필터를 간단한 구성으로 구조화 함으로써 정합필터의 크기를 줄이고 전력 소모를 절감할 수 있다.
- [0014] 본 발명에 따르면, 정합필터의 구성을 간단화 하여 필터 단가를 절감할 수 있으며 더 나아가 CSS 시스템의 낮은 가격 형성에 기여하여 시장 경쟁력을 확보할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0015] 이하에서는, 첨부된 도면을 참조하면 본 발명의 일실시예에 따른 CSS 신호에 최적화 된 정합 필터 장치를 상세하게 설명하기로 한다.
- [0016] 본 발명은 CSS 신호 즉, 칩 신호를 구성하는 네 개의 서브 칩 간의 신호 특성을 이용하여 정합 필터의 내부 구조를 간단화할 수 있다.
- [0017] 도 1은 CSS 신호에 대한 네 개의 서브 칩 간의 신호 특성을 설명하기 위한 도면이다.
- [0018] 도 1에 도시한 바와 같이, 네 개의 서브 칩은 그 형태가 x, y 축에 대한 대칭 형태로 구성되는 것을 알 수 있다.
- [0019] 상기 칩 신호는 두 개의 주파수 대역과 각 주파수 대역에서 스위프(sweep) 방향이 다른 조건 즉, 상기 주파수 대역이 다른 두 개의 서브 칩과, 동일 주파수 대역에서 상기 스위프 방향이 다른 두 개의 서브 칩으로 구성된다.
- [0020] 상세하게는, 서브 칩 1과 서브 칩 2는 스위프 방향이 동일하고 주파수 대역이 다르지만 DC를 중심으로 양의 방향으로 주파수가 증가하는 칩 신호이므로 시간 도메인(time-domain) 파형이 리버스(reverse) 관계에 있음을 알 수 있다. 또한, 서브 칩 1과 서브 칩 3은 서로 다른 주파수 대역에서 스위프 방향 또한 다르지만 주파수가 모두 DC를 중심으로 증가, 감소하는 경향을 가지고 있어 켄레(conjugate) 관계에 있으며, 서브 칩 1과 서브 칩 4는 DC를 중심으로 주파수가 증가, 감소하고 있어 켄레와 리버스 관계에 있다.
- [0021] 상기한 서브 칩 간의 신호 특성을 이용할 경우 정합 필터를 구성하기 위한 실수 필터의 개수를 줄일 수 있다.
- [0022] CSS에서 입력 신호(x)(이하, '입력'이라 약칭함)은 $x_r + j \cdot x_i$, 필터 계수(C)는 $c_r + j \cdot c_i$ 로 모두 복소수 형태를 가지므로 상기 실수 필터를 복소 곱셈기로 구성하여야 한다.
- [0023] 상기 실수 필터를 에이직(ASIC)에서 구현하는 방법으로는 도 2에 도시한 곱셈기 블록(multiplier block, MB)(200)을 사용하는 구조를 사용한다. 상기 곱셈기 블록(200)은 동일 입력에 여러 상수를 곱해 결과를 얻고자 할 때 사용하는 구조로 사용되는 가산기를 최소화 할 수 있는 구조이다.
- [0024] 예를 들어, 수학식 1과 같은 일례를 상기 곱셈기 블록(200)으로 구현할 경우 도 2와 같이 두 개의 가산기(201)로 구성하여 두 개 이상의 상수 곱셈 결과를 얻어 낼 수 있다. 도 2에서 도시한 굵은 실선의 화살표(202)는 화살표 상에 나타난 숫자만큼 쉬프트 연산을 수행하는 것을 의미한다.

수학식 1

$$x \times (5, 37, 10)$$

$$5_{10} = (000101)_2,$$

$$37_{10} = (100101)_2,$$

$$10_{10} = (001010)_2$$

- [0025]
- [0026] 이와 같이 구성된 곱셈기 블록(200)을 이용하여 정합 필터를 구성할 경우 곱셈기를 이용하지 않고 도 3과 같이

가산기만으로 곱셈기 블록(301)과 누적 및 지연 블록(accumulate and delay block)(302)을 구현할 수 있다.

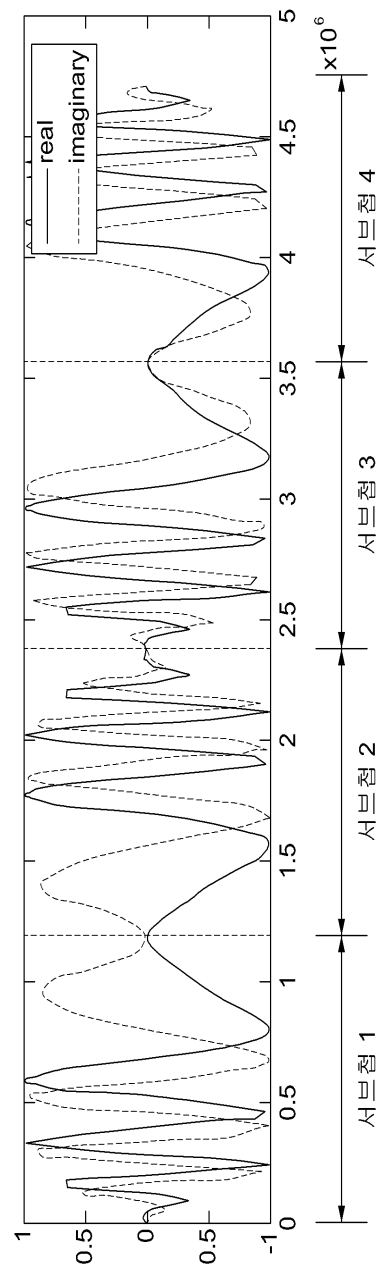
- [0027] 결과적으로, 도 3에 도시한 구조의 곱셈기 블록(301)을 이용하여 복소 필터를 구성할 경우 상기 정합 필터를 도 4와 같이 두 개의 실수 필터로 구성할 수 있다. 이때, 도 4에 도시한 굵은 실선(403)은 벡터를 나타내며, $\text{Re}(\cdot)$ 는 입력(x)의 실수부(x_r)를 추출하는 역할을 하며, $\text{Im}(\cdot)$ 은 입력(x)의 허수부(x_i)를 추출하는 역할을 한다.
- [0028] 본 발명의 정합 필터 장치는 상기 입력(x)에 필터 계수(C)를 정합한 값을 출력하는 곱셈기 블록과, 상기 서브 칩 간의 신호 특성에 따라 상기 필터 계수(C)의 순서 또는 부호를 변경한 후 상기 곱셈기 블록에서 출력되는 값을 조합하는 조합 블록과, 상기 조합 블록에서 조합된 상수 곱셈 결과를 이용하여 상기 입력 신호를 필터링 하는 누적 및 지연 블록으로 구성될 수 있다.
- [0029] 예를 들어, 상기 서브 칩 1에 해당하는 필터 계수(C)를 이용할 경우 상기 곱셈기 블록은 도 4에 도시한 바와 같이 상기 입력(x)의 실수부(x_r)를 필터 계수(C)의 실수부(C_r)로 필터링 한 값과 상기 입력(x)의 실수부(x_r)를 필터 계수(C)의 허수부(C_i)로 필터링 한 값을 출력하는 제1곱셈부(401)와, 상기 입력(x)의 허수부(x_i)를 필터 계수(C)의 실수부(C_r)로 필터링 한 값과 상기 입력(x)의 허수부(x_i)를 필터 계수(C)의 허수부(C_i)로 필터링 한 값을 출력하는 제2곱셈부(402)로 구성될 수 있다.
- [0030] CSS 시스템에서 사용되는 네 개의 서브 칩이 실수 및 허수의 계수가 순서나 부호만 다를 뿐 모두 같다는 특성을 이용할 경우 도 4에 도시한 곱셈기 블록에서 만들어낸 입력과 계수와의 곱을 이용하여 도 5와 같은 복소 정합 필터를 구성할 수 있다.
- [0031] 도 5에 도시한 바와 같이, 상기 서브 칩 간의 신호 특성과 대응되는 상기 필터 계수의 순서 또는 부호를 기초로 동일한 곱셈기 블록(501)에 누적 및 지연 블록(502)을 확장하여 구성할 수 있다.
- [0032] 이를 위하여, 상기 서브 칩 1 내지 서브 칩 4에 대하여 상기 곱셈기 블록(501)을 공유할 수 있도록 상기 조합 블록(503)은 상기 서브 칩 1 내지 서브 칩 4 간의 신호 특성에 따라 상기 필터 계수(C)의 순서 또는 부호를 변경하고 상기 변경된 필터 계수(C)의 순서 또는 부호에 따라 상기 곱셈기 블록(501)에서 출력되는 상수 곱셈 결과를 조합할 수 있다.
- [0033] 이때, 상기 조합 블록(503)은 상기 필터 계수(C)의 순서 또는 부호를 기초로 상기 입력(x)의 실수부(x_r)를 필터 계수(C)의 실수부(C_r)로 필터링 한 값과, 상기 입력(x)의 실수부(x_r)를 필터 계수(C)의 허수부(C_i)로 필터링 한 값과, 상기 입력(x)의 허수부(x_i)를 필터 계수(C)의 실수부(C_r)로 필터링 한 값과, 상기 입력(x)의 허수부(x_i)를 필터 계수(C)의 허수부(C_i)로 필터링 한 값 중 어느 두 값을 조합할 수 있다.
- [0034] 상기 조합 블록(503)으로 인하여 상기 서브 칩 1,2,3,4 각각에 대하여 상기 곱셈기 블록(501)을 공유하고 상기 곱셈기 블록(501)에 상기 누적 및 지연 블록(502)를 추가하여 확장 구성할 수 있다.
- [0035] 상기 조합 블록(503)은 상기 서브 칩 1 내지 서브 칩 4 간의 신호 특성이 리버스 관계에 있을 경우 상기 상수 곱셈 결과의 조합 순서를 변경하고 컬레 관계에 있을 경우 상기 상수 곱셈 결과의 조합 부호를 변경할 수 있다.
- [0036] 즉, 상기 조합 블록(503)은 필터 계수의 순서가 역순인 경우 누적 및 지연 블록(502)으로 곱셈기 블록(501)의 출력을 역순으로 입력함으로써 상기 곱셈기 블록(501)을 공유하여 상기 누적 및 지연 블록(502)을 추가하여 필터링할 수 있다. 또한, 상기 조합 블록(503)은 허수의 부호가 바뀌는 필터 계수의 경우 곱셈기 블록(502)의 출력 후 $-/+$ 를 $+/-$ 로 바꾸어 누적 및 지연 블록(502)에 입력하여 입력 신호를 필터링할 수 있다. 여기서, 도 5에 도시한 $\text{Rev}(\cdot)$ 은 리버스 블록에 해당하는 것으로 입력 벡터를 역순으로 배열하는 역할을 수행한다.
- [0037] 따라서, 본 발명은 CSS 신호의 특성을 이용하여 정합 필터를 구성하기 위한 실수 필터를 줄임으로써 CSS 수신기를 구성하는데 필수적인 정합 필터의 전체 연산 및 하드웨어 구조를 간단히 할 수 있다.
- [0038] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0039] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

도면의 간단한 설명

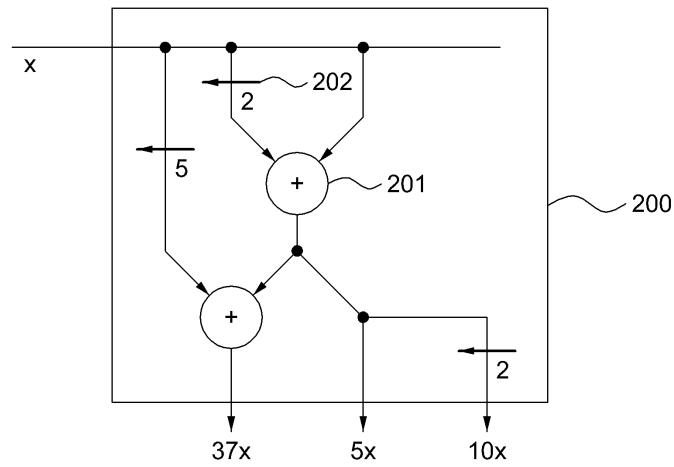
- [0040] 도 1은 CSS의 기저대역 신호 특성을 설명하기 위한 도면이다.
- [0041] 도 2 및 도 3은 본 발명의 일실시예에 따른 정합 필터 장치에 적용하기 위한 덧셈기 블록의 일례를 도시한 도면이다.
- [0042] 도 4는 도 2와 도 3의 덧셈기 블록을 이용한 복수 필터의 일례를 도시한 도면이다.
- [0043] 도 5는 본 발명의 CSS 신호에 최적화 된 정합 필터 구조의 일례를 도시한 도면이다.
- [0044] <도면의 주요 부분에 대한 부호의 설명>
- [0045] 200, 301, 501: 덧셈기 블록
- [0046] 201: 가산기
- [0047] 302, 502: 누적 및 지연 블록
- [0048] 503: 조합 블록

도면

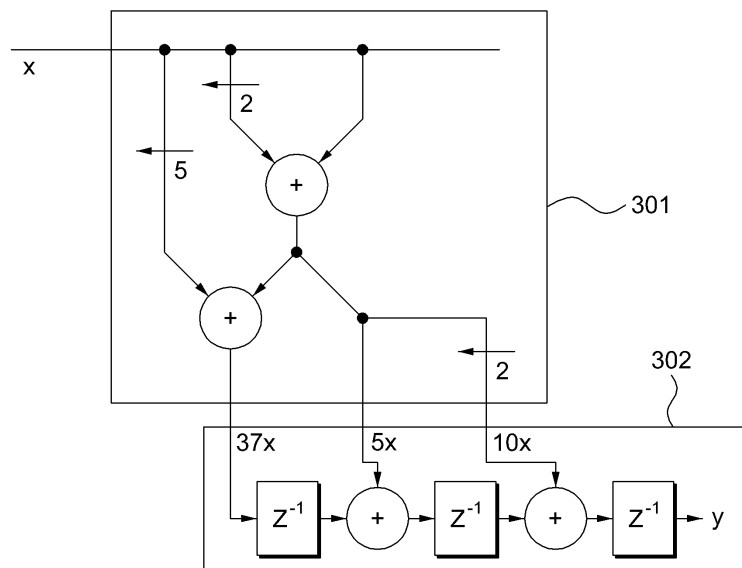
도면1



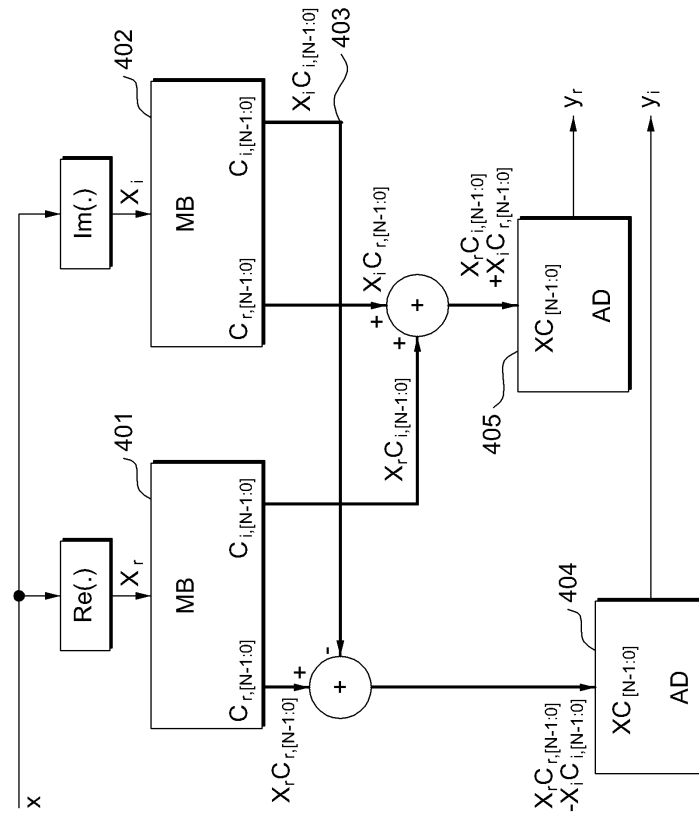
도면2



도면3



도면4



도면5

