



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I803568 B

(45)公告日：中華民國 112 (2023) 年 06 月 01 日

(21)申請案號：108102886

(22)申請日：中華民國 108 (2019) 年 01 月 25 日

(51)Int. Cl. : **H01L27/144 (2006.01)**

(30)優先權：2018/01/26 日本

2018-011826

(71)申請人：日商濱松赫德尼古斯股份有限公司 (日本) HAMAMATSU PHOTONICS K.K. (JP)
日本(72)發明人：馬場隆 BABA, TAKASHI (JP)；梶達也 HASHI, TATSUYA (JP)；鈴木祥仁
SUZUKI, YOSHIHITO (JP)；牧野健二 MAKINO, KENJI (JP)；中村重幸
NAKAMURA, SHIGEYUKI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW I256097

US 9516244B2

US 2014/0232827A1

US 2015/0115131A1

期刊 B. Markovic, A. Tosi, F. Zappa and S. Tisa, "Smart-pixel with SPAD detector and time-to-digital converter for time-correlated single photon counting", 2010 23rd Annual Meeting of the IEEE Photonics Society, 7 November 2010, pp. 181-182

審查人員：梁宏維

申請專利範圍項數：9 項 圖式數：11 共 37 頁

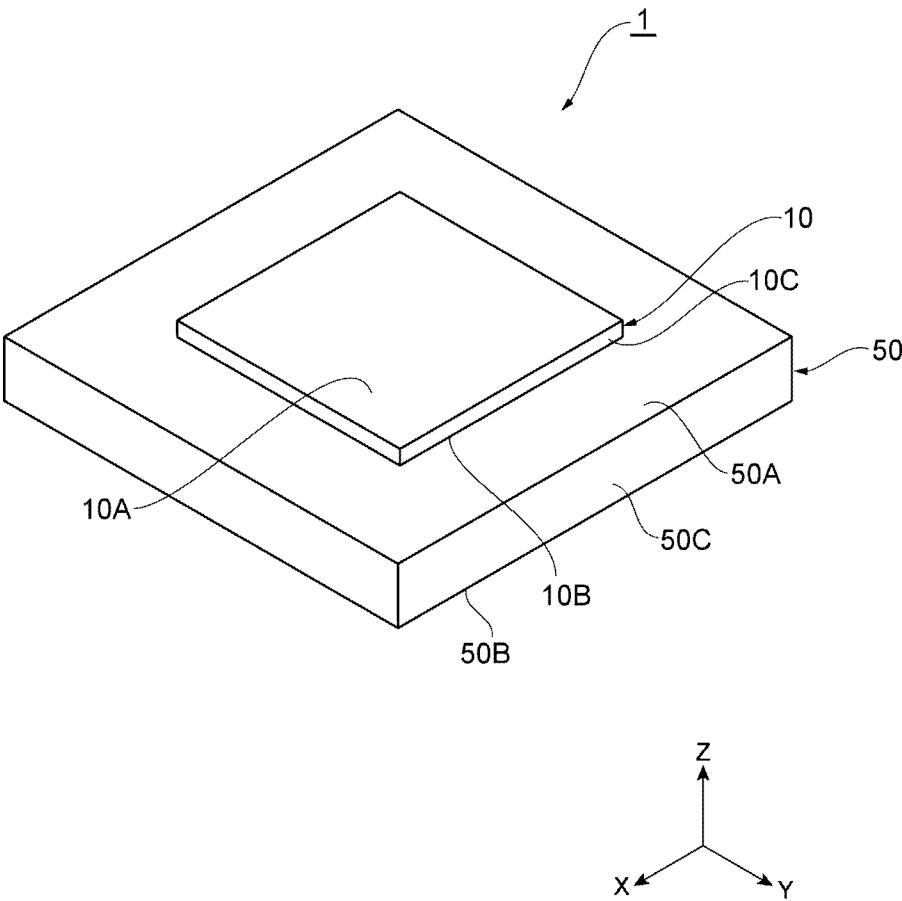
(54)名稱

光檢測裝置

(57)摘要

本發明之光檢測裝置 1 具備包含化合物半導體之雪崩光電二極體陣列基板 10。電路基板 50 具有複數個時間測量電路 40 及時鐘驅動器 35。各時間測量電路 40 具有延遲線部，自延遲線 47 之動作結果，取得表示自對應之雪崩光電二極體 20 輸入脈衝信號之時點之時間資訊。延遲線部配合脈衝信號輸入於該時間測量電路 40 而開始延遲線 47 之動作，配合來自時鐘驅動器 35 之時鐘信號輸入於該時間測量電路 40 而停止延遲線 47 之動作，藉由延遲線 47 之動作檢測出較時鐘信號之週期短之時間間隔。

指定代表圖：



- 符號簡單說明：
- 1 . . . 光檢測裝置
 - 10 . . . APD 陣列基板
 - 10A . . . 主面
 - 10B . . . 主面
 - 10C . . . 側面
 - 50 . . . 電路基板
 - 50A . . . 主面
 - 50B . . . 主面
 - 50C . . . 側面

【圖1】



I803568

【發明摘要】

【中文發明名稱】

光檢測裝置

【中文】

本發明之光檢測裝置1具備包含化合物半導體之雪崩光電二極體陣列基板10。電路基板50具有複數個時間測量電路40及時鐘驅動器35。各時間測量電路40具有延遲線部，自延遲線47之動作結果，取得表示自對應之雪崩光電二極體20輸入脈衝信號之時點之時間資訊。延遲線部配合脈衝信號輸入於該時間測量電路40而開始延遲線47之動作，配合來自時鐘驅動器35之時鐘信號輸入於該時間測量電路40而停止延遲線47之動作，藉由延遲線47之動作檢測出較時鐘信號之週期短之時間間隔。

【指定代表圖】

圖1

【代表圖之符號簡單說明】

- 1 光檢測裝置
- 10 APD陣列基板
- 10A 主面
- 10B 主面
- 10C 側面
- 50 電路基板
- 50A 主面
- 50B 主面
- 50C 側面

【發明說明書】

【中文發明名稱】

光檢測裝置

【技術領域】

【0001】 本發明係關於一種光檢測裝置。

【先前技術】

【0002】 已知有一種二維排列有複數個雪崩光電二極體之光檢測裝置(例如非專利文獻1)。複數個雪崩光電二極體以蓋革模式進行動作。使用複數個時間測量電路檢測複數個雪崩光電二極體之脈衝信號之產生。複數個時間測量電路根據自時鐘驅動器供給之時鐘信號動作。該光檢測裝置中，對應於複數個雪崩光電二極體，二維排列有複數個時間測量電路。

[先前技術文獻]

[專利文獻]

【0003】 [專利文獻1]布萊恩F.奧爾等人「用於三維成像之蓋革模式雪崩光電二極體」林肯實驗室日誌卷13，第2號，2002年

【發明內容】

[發明所欲解決之問題]

【0004】 二維排列有複數個時間測量電路之構成中，針對每列或每行向各時間測量電路供給時鐘信號。該情形時，對於排列於同一列或同一行之複數個時間測量電路，自時鐘驅動器至各時間測量電路之配線距離並非固定。自時鐘驅動器至該時間測量電路之配線長愈長，供給於各時間測量電路之時鐘信號之波形愈易崩潰。具體而言，自時鐘驅動器至時間測量電路之配線長愈長，該時間測量電路中時鐘信號自下限值達到上限值之時

間、及自上限值達到下限值之時間愈易變長。時鐘信號自下限值達到上限值之時間係時鐘信號之上升時間。時鐘信號自上限值達到下限值之時間係時鐘信號之下降時間。

【0005】 上述光檢測裝置中，為提高檢測各雪崩光電二極體之脈衝信號的產生之時間解析度，而自時鐘驅動器對各時間測量電路供給較高頻率(例如500 MHz)之時鐘信號。若時鐘信號之頻率較高，即時鐘信號之週期較短，則時鐘信號之上升及下降之間隔較窄。其結果，有於該時間測量電路中未適當地辨識出因上述波形之崩潰而輸入於該時間測量電路之時鐘信號之上升及下降之虞。若未適當地辨識出時鐘信號之上升及下降，則該時間測量電路中，無法適當地取得表示來自雪崩光電二極體之脈衝信號輸入於該時間測量電路之時點之時間資訊。若未適當地取得表示上述脈衝信號輸入於各時間測量電路之時點之時間資訊，則無法適當地檢測出對應之雪崩光電二極體之脈衝信號之產生。

【0006】 光檢測裝置之檢測面之面積愈大，自時鐘驅動器至各時間測量電路之配線距離之差愈大。因此，時鐘信號之週期比較短之情形時，有光檢測裝置之檢測面之面積愈大，未適當完成時間測量之像素電路愈增加之虞。

【0007】 光檢測裝置中，例如有為提高近紅外(NIR)或短波長紅外(SWIR)之波長區域之感度特性，而藉由化合物半導體構成雪崩光電二極體之情況。該情形時，以蓋革模式動作之複數個雪崩光電二極體排列於藉由化合物半導體形成之半導體基板。於藉由化合物半導體構成雪崩光電二極體之光檢測裝置中，有暗計數率根據熱而增加之虞。時鐘驅動器供給之時鐘信號之頻率愈高，電力消耗愈大，自該時鐘驅動器產生之熱量亦增

加。因此，上述光檢測裝置中，有因暗計數率增加而於錯誤時點進行時間測量之虞。

【0008】 本發明之一態樣之目的係提供一種可抑制因暗計數率增加所致之測量時間之錯誤檢測及電力消耗，且可兼顧測量時間之精度之提高及光檢測面之大型化之光檢測裝置。

[解決問題之技術手段]

【0009】 本發明之一態樣之光檢測裝置具備雪崩光電二極體陣列基板及電路基板。雪崩光電二極體陣列基板包含化合物半導體。於電路基板安裝有雪崩光電二極體陣列基板。於雪崩光電二極體陣列基板，二維排列有複數個雪崩光電二極體。複數個雪崩光電二極體以蓋革模式進行動作。各雪崩光電二極體連接於淬滅電路。電路基板具有複數個時間測量電路及時鐘驅動器。複數個時間測量電路對應於複數個雪崩光電二極體而二維排列於電路基板。時鐘驅動器對複數個時間測量電路供給時鐘信號。各時間測量電路具有含有包含串聯連接之複數個延遲元件之延遲線之延遲線部。各時間測量電路由延遲線之動作結果取得時間資訊。該取得之時間資訊係表示自對應之雪崩光電二極體輸入脈衝信號之時點之時間資訊。延遲線部根據自對應之雪崩光電二極體輸出之脈衝信號輸入於該時間測量電路，而開始延遲線之動作。延遲線部根據來自時鐘驅動器之時鐘信號輸入於該時間測量電路，而停止延遲線之動作。延遲線部藉由延遲線之動作，檢測較時鐘信號之週期更短之時間檢測。

【0010】 本一態樣中，藉由延遲線之動作檢測較時鐘信號之週期更短之時間間隔。因此，即使時鐘信號之週期較長，亦可確保檢測上述脈衝信號之產生之時間解析度。時鐘信號之週期愈長，供給於時間測量電路之

時鐘信號之上升及下降間隔愈廣。因此，即使自時鐘驅動器至時間測量電路之配線長較長，供給於該時間測量電路之上述脈衝信號之上升時間及下降時間較長，時間測量電路亦易於辨識出時鐘信號之上升及下降。其結果，即使檢測面之面積較大，該光檢測裝置亦可確保時間解析度，且較佳地檢測出各雪崩光電二極體中脈衝信號之產生。若將時鐘驅動器設置於電路基板，則可削減自時鐘驅動器至時間測量電路之配線長。

【0011】 若減低時鐘信號之頻率，則可抑制電力消耗，且亦可減低自該時鐘驅動器產生之熱量。該光檢測裝置中，時鐘驅動器設置於與雪崩光電二極體陣列基板分開之電路基板。因此，相比時鐘驅動器形成於與雪崩光電二極體相同之基板之情形，時鐘驅動器與各雪崩光電二極體間之距離更隔開。由於時鐘驅動器設置於電路基板，故可緩和時鐘驅動器之形成密度。因此，時鐘驅動器所產生之熱不易傳遞至雪崩光電二極體。因此，可抑制測量時間之錯誤檢測。

【0012】 本一態樣中，各時間測量電路亦可進而具有計數時鐘信號之計數器。各時間測量電路亦可自計數器之動作結果及延遲線之動作結果，取得表示自對應之雪崩光電二極體輸入脈衝信號之時點之時間資訊。該情形時，實現較可僅以延遲線測量之時間更長時間之測量。

【0013】 本一態樣中亦可為，計數器根據延遲線之動作停止而開始動作，與來自時鐘驅動器之時鐘信號同步地停止動作。該情形時，若未自對應之雪崩光電二極體輸入脈衝信號，則延遲線不動作，計時器亦不動作。因此，可減低電力之消耗。

【0014】 本一態樣中亦可為，電路基板之每個時間測量電路具有記憶體及控制該時間測量電路之控制電路。控制電路亦可進行根據重置信號

輸入於該控制電路，而重置對應之時間測量電路；及根據停止信號輸入於該控制電路，而停止時鐘信號向計數器輸入。重置信號及停止信號亦可與時鐘信號同步。延遲線部亦可將重置時間測量電路後將自對應之雪崩光電二極體輸出之脈衝信號輸入於該時間測量電路後，直至將來自時鐘驅動器之時鐘信號輸入於該時間測量電路為止所動作之延遲元件之數量存儲於記憶體。計數器亦可將延遲線之動作停止後，直至輸入停止信號為止所計數之時鐘信號之數量存儲於記憶體。

【0015】 本一態樣中亦可為，自雪崩光電二極體陣列基板之厚度方向觀察，複數個時間測量電路二維排列於與二維排列有複數個雪崩光電二極體之光檢測區域重疊之區域，時鐘驅動器配置於不與光檢測區域重疊之區域。該情形時，時鐘驅動器所產生之熱對各雪崩光電二極體帶來之影響可進而減低。

【0016】 本一態樣中亦可為，淬滅電路為主動淬滅電路，形成於電路基板。有半導體基板以化合物半導體構成之情形較半導體基板由矽構成之情形，更多地產生暗計數及剩餘脈衝之虞。藉由將主動淬滅電路形成於電路基板，易任意實現淬滅之時間，易減低因暗計數及剩餘脈衝所致之雜訊。

【0017】 本一態樣中，雪崩光電二極體基板及電路基板亦可藉由凸塊電極連接。該情形時，與雪崩光電二極體基板及電路基板藉由直接結合等而連接之情形相比，可進而減低時鐘驅動器產生之熱對各雪崩光電二極體帶來之影響。

【0018】 電路基板亦可包含矽基板。該情形時，具有上述時間測量電路及時鐘驅動器之構成之製造步驟可變得簡單。

[發明之效果]

【0019】 根據本發明之一態樣，提供一種可抑制因暗計數增加所致之測量時間之錯誤檢測及電力消耗，且可兼顧測量時間之精度之提高及光檢測面之大型化之光檢測裝置。

【圖式簡單說明】

【0020】 圖1係一實施形態之光檢測裝置之立體圖。

圖2係顯示光檢測裝置之剖面構成之圖。

圖3係電路基板之俯視圖。

圖4係雪崩光電二極體陣列基板之光檢測區域之俯視圖。

圖5係顯示電路基板之構成之圖。

圖6係電路基板之安裝區域之俯視圖。

圖7係顯示像素電路之構成之圖。

圖8係顯示時間測量電路之動作之時序圖。

圖9係顯示供給全域時鐘信號之時間測量電路之圖。

圖10係顯示供給於各時間測量電路之全域時鐘信號之波形之比較之圖。

圖11係顯示供給於各時間測量電路之全域時鐘信號之波形之比較之圖。

【實施方式】

【0021】 以下，參照隨附圖式，就本發明之實施形態進行詳細說明。另，說明中，對具有相同要素或相同功能之要素，使用相同符號，省略重複說明。

【0022】 首先，參照圖1至圖7，就本實施形態之光檢測裝置之全體

構成進行說明。圖1係本實施形態之光檢測裝置之立體圖。圖2係顯示本實施形態之光檢測裝置之剖面構成之圖。圖2中，為提高視認性而省略影線。圖3係電路基板之俯視圖。圖4係顯示雪崩光電二極體基板之一部分之俯視圖。圖5係顯示電路基板之構成之圖。圖6係顯示電路基板之一部分之俯視圖。圖7係顯示像素電路之構成之圖。

【0023】如圖1所示，光檢測裝置1具備雪崩光電二極體陣列基板10及電路基板50。以下，將「雪崩光電二極體」稱為「APD」。將「雪崩光電二極體陣列基板」稱為「APD陣列基板」。電路基板50與APD基板10對向配置。APD陣列基板10、電路基板50於俯視時皆呈矩形狀。

【0024】APD陣列基板10包含互相對向之主面10A、主面10B及側面10C。電路基板50包含互相對向之主面50A、主面50B及側面50C。APD陣列基板10之主面10B與電路基板50之主面50A對向。與APD基板10、電路基板50之各主面平行之面為XY軸平面，與各主面正交之方向為Z軸方向。

【0025】電路基板50之側面50C配置於較APD陣列基板10之側面10C靠XY軸平面方向之外側。即，於俯視時，電路基板50之面積大於APD陣列基板10之面積。亦可將APD陣列基板10之側面10C及電路基板50之側面50C設為同一平面。該情形時，於俯視時，APD基板10之外緣與電路基板50之外緣一致。

【0026】亦可於APD陣列基板10之主面10A上配置玻璃基板。將玻璃基板與APD陣列基板10藉由光學接著劑光學連接。玻璃基板亦可直接形成於APD陣列基板10上。亦可將APD陣列基板10之側面10C及玻璃基板之側面設為同一平面。該情形時，於俯視時，APD基板10之外緣與玻璃

基板之外緣一致。又，亦可將APD陣列基板10之側面10C、電路基板50之側面50C及玻璃基板之側面設為同一平面。該情形時，於俯視時，APD陣列基板10之外緣及電路基板50之外緣與玻璃基板之外緣一致。

【0027】 APD陣列基板10具有包含化合物半導體之N型半導體基板11。半導體基板11具有形成主面10A之包含InP之基板12。於基板12上，自主面10A側向主面10B側依序形成有包含InP之緩衝層13、包含InGaAsP之吸收層14、包含InGaAsP之電場緩和層15、及包含InP之倍增層16。吸收層14亦可包含InGaAs。半導體基板11亦可由GaAs、InGaAs、AlGaAs、InAlGaAs等形成。

【0028】 如圖2所示，APD陣列基板10安裝於電路基板50。APD陣列基板10及電路基板50係藉由凸塊電極70連接。具體而言，自APD陣列基板10之厚度方向觀察，APD陣列基板10如圖3所示，於配置於電路基板50中央之安裝區域 α 上，以凸塊電極70連接。本實施形態中，安裝區域 α 具有矩形狀。

【0029】 APD陣列基板10具有以蓋革模式動作之複數個APD20。複數個APD20如圖4所示，自APD陣列基板10之厚度方向觀察，二維排列於該半導體基板11之光檢測區域 β 。光檢測區域 β 具有矩形狀，自APD陣列基板10之厚度方向觀察，與電路基板50之安裝區域 α 重疊。各APD20自APD陣列基板10之厚度方向觀察，被絕緣部21包圍。各APD20具有藉由自主面10B側起於倍增層16摻雜雜質而形成之P型主動區域22。摻雜之雜質例如為Zn(鋅)。絕緣部21例如係藉由於以濕蝕刻或乾蝕刻形成之溝槽內形成聚醯亞胺膜而構成。主動區域22自厚度方向觀察形成圓形狀，絕緣部21沿主動區域22之緣形成圓環狀。絕緣部21於APD陣列基板10之厚度方

向，自半導體基板11之主面10B側到達基板12。

【0030】 APD陣列基板10具有絕緣層23及複數個電極墊24。絕緣層23於主面10B側覆蓋半導體基板11。電極墊24形成於每個APD20之主面10B側之半導體基板11上，與主動區域22接觸。電極墊24自絕緣層23露出，通過凸塊電極70連接於電路基板50。

【0031】 電路基板50具有主面50A及主面50B，通過凸塊電極70，於主面50A側連接於APD陣列基板10。電路基板50如圖5所示，具有介面電路31、記憶體32、PLL(Phase Locked Loop，鎖相迴路)33、列隨機存取解碼器34、時鐘驅動器35、複數個像素電路36、行隨機存取解碼器37、I/O端口38。

【0032】 介面電路31例如與SPI(Serial Peripheral Interface，串列周邊介面)匯流排對應。介面電路31接收自外部輸入之SCLK(Serial Clock，串列時鐘)、CS(Chip Select，晶片選擇)、MOSI(Master Output/Slave Input，主機輸出/從機輸入)等數位信號，將信號所含之暫存器之設定資訊存儲於記憶體32。

【0033】 PLL33基於自外部輸入之主時鐘(MCLK：Master Clock)及存儲於記憶體32之資料產生全域時鐘信號，將產生之全域時鐘信號發送至時鐘驅動器35。PLL33包含可編程分頻器，參照存儲於記憶體32之資料設定分頻數。即，可根據自外部向介面電路31之輸入，將PLL33之分頻數設定為任意值。本實施形態中，自外部輸入之主時鐘之頻率為10 MHz，PLL33所產生之全域時鐘信號之頻率為200 MHz。PLL33將控制各像素電路36之時間測量電路40之控制偏壓與全域時鐘信號一起輸出。

【0034】 時鐘驅動器35對各像素電路36供給全域時鐘信號。複數個

像素電路36分別通過凸塊電極70電性連接於對應之APD20。對各像素電路36輸入來自對應APD20之脈衝信號，各像素電路36處理輸入之該脈衝信號。將各像素電路36所處理之信號於對應於來自列隨機存取解碼器34及行隨機存取解碼器37之信號之時點，向I/O端口38輸出。

【0035】 複數個像素電路36自APD陣列基板10之厚度方向觀察，與各APD20對應地二維排列於與光檢測區域 β 重疊之安裝區域 α 。PLL33及時鐘驅動器35如圖3所示，自APD陣列基板10之厚度方向觀察，配置於不與光檢測區域 β 重疊之非安裝區域 γ 。

【0036】 電路基板50如圖2所示，於安裝區域 α ，具有矽基板51及積層於矽基板51上之配線層52。配線層52於各像素電路36，具有電極墊54、複數個通孔55、配置於互相不同層之複數個金屬層56、形成MOSFET(Metal-oxide-semiconductor field-effect transistor，金屬氧化物半導體場效電晶體)之複數個閘極57、複數個讀出匯流排58及絕緣層59。電極墊54於主面50A側，針對每個像素電路36而形成，並通過凸塊電極70連接於APD陣列基板10之電極墊24。即，電極墊54如圖6所示，於主面50A側二維排列。

【0037】 讀出匯流排58連接於I/O端口38。讀出匯流排58配置於較主面50B更靠近主面50A。因此，該配置可減低產生於讀出匯流排58之寄生電容。因此，檢測器之檢測面較大之情形時，亦可減少延遲地讀出來自像素電路之輸出信號。產生於讀出匯流排58之上述寄生電容係因矽基板51及形成於其周邊之電路之影響而產生。

【0038】 複數個通孔55貫通絕緣層59而形成，將電極墊54、複數個金屬層56及複數個閘極57電性連接。各APD20通過電極墊24、凸塊電極

70、電極墊54、複數個通孔55及複數個金屬層56，連接於對應之像素電路36之閘極57。於矽基板51，針對每個像素電路36形成有複數個井60。於複數個井60，形成有對應於各閘極57之源極61及汲極62。

【0039】 各像素電路36如圖7所示，具有時間測量電路40、主動淬滅電路41、控制電路42及可讀取之記憶體43。即，每個時間測量電路40配置有主動淬滅電路41、控制電路42及記憶體43。複數個時間測量電路40自APD陣列基板10之厚度方向觀察，二維排列於電路基板50之安裝區域 α 。至少時間測量電路40由藉由閘極57、源極61及汲極62構成之MOSFET構成。

【0040】 主動淬滅電路41形成於電路基板50，通過電極墊24、凸塊電極70及電極墊54連接於對應之APD20。自對應之APD20輸出之脈衝信號通過主動淬滅電路41輸入於控制電路42。亦於主動淬滅電路41，自未圖示之配線施加有調整淬滅時間之偏壓。

【0041】 對控制電路42輸入來自對應之APD20之脈衝信號、自時鐘驅動器35供給之全域時鐘信號、重置信號及停止信號。重置信號及停止信號例如於控制電路基板50之外部端口上形成。控制電路42對時間測量電路40供給來自對應APD20之脈衝信號及來自時鐘驅動器35之全域時鐘信號。控制電路42接收重置信號，將對應之時間測量電路40重置，接收來自APD20之脈衝信號，指示該時間測量電路40之動作開始。重置信號將控制電路42及該時間測量電路40重置並設為待機狀態。控制電路42根據自電路基板50外部之端口輸入指示對應之時間測量電路40之動作停止之停止信號，而停止時鐘信號向粗計數器部45之輸入。停止信號與輸入之全域時鐘信號同步。

【0042】 於記憶體43存儲自時間測量電路40輸出之信號。根據來自列隨機存取解碼器34及行隨機存取解碼器37之信號，將存儲於記憶體43之信號通過讀出匯流排58，向I/O端口38輸出。

【0043】 各時間測量電路40具有檢測較全域時鐘信號之週期更短之時間間隔之精細部44，及計數全域時鐘信號之粗計數器部45。精細部44包含於延遲線部中。粗計數器部45包含於計數器中。各時間測量電路40基於精細部44之動作結果及時鐘驅動器35所產生之全域時鐘信號，取得表示自對應之APD20輸入脈衝信號之時點之時間資訊。本實施形態中，各時間測量電路40根據存儲於記憶體43之精細部44之動作結果及粗計數器部45之動作結果，測量自對應之APD20輸入脈衝信號後至輸入停止信號為止之時間。藉此，可對停止信號導出自對應之APD20輸入脈衝信號之時點。

【0044】 精細部44包含串聯連接有複數個延遲元件46之延遲線47及編碼器48。本實施形態中，複數個延遲元件46係串聯連接之16個緩衝器。各延遲元件46具有同一延遲量。同一延遲量中包含在時間測量電路40中不會對測量時間帶來影響程度之誤差。各延遲元件46之延遲量係較全域時鐘信號之週期更短之時間間隔。藉由自PLL33供給之控制偏壓，控制各延遲元件46。編碼器48將延遲線47所延遲之延遲量存儲於記憶體43。即，將延遲線47之動作結果存儲於記憶體43。粗計數器部45計數全域時鐘信號，將計數結果存儲於記憶體43。即，將粗計數器部45之動作結果存儲於記憶體43。

【0045】 參照圖8，針對時間測量電路40之具體動作進行說明。控制電路42根據重置信號Reset之輸入，與全域時鐘信號Global CLK之上升

同步地進行重置(圖8中之時點t1)。重置信號Reset表示雷射等光源之發光，且係於控制電路基板50之端口上產生。精細部44根據重置信號Reset重置控制電路42後，根據自連接於該精細部44之APD20輸出之脈衝信號SPADIN輸入於時間測量電路40，開始延遲線47之動作(圖8中之時點t2)。精細部44配合開始延遲線47之動作後之全域時鐘信號Global CLK輸入於時間測量電路40，而停止延遲線47之動作(圖8中之時點t3)。

【0046】 精細部44自輸入由APD20輸出之脈衝信號後，至輸入下個全域時鐘信號之上升為止，繼續延遲線47之動作。具體而言，於精細部44中，將自對應之APD20輸出之脈衝信號輸入於時間測量電路40，脈衝於延遲線47傳播。於傳播之脈衝到達延遲線47之端之前，輸入全域時鐘之上升。

【0047】 編碼器48產生配合來自延遲線47之信號(圖8之Delay Line所示之信號)而變化之信號(圖8之Fine Encode所示之信號)，將延遲線47之延遲元件46動作之段數進行計數，並轉換成二進制之信號。由於各延遲元件46之延遲量係較全域時鐘信號之週期短之時間間隔，故精細部44藉由延遲線47之動作，檢測出較全域時鐘信號之週期短之時間間隔。具體而言，編碼器48於對應之時間測量電路40重置後，將自對應之APD20輸出之脈衝信號輸入於上述時間測量電路40後，直至全域時鐘信號輸入於上述時間測量電路40為止，動作之延遲元件之數量進行計數。圖8所示之例中，編碼器48將動作之延遲元件46之數量設為4。

【0048】 編碼器48將動作之延遲元件46之數量存儲於記憶體43。編碼器48以二進制表示動作之延遲元件46之數量。即，編碼器48以二進制表現自延遲線47之動作開始至停止為止之時間間隔，使用者可藉由將該二

進制值與延遲元件46之延遲量相乘，獲知測量時間。編碼器48將二進制資料存儲於記憶體43。

【0049】 若延遲線47之動作停止，則粗計數器部45開始動作。若粗計數器部45開始動作，則計數全域時鐘信號之上升，直至停止信號輸入於控制電路42為止。具體而言，粗計數器部45產生根據全域時鐘信號之上升變化之信號Coarse Count，進行全域時鐘信號之計數。

【0050】 粗計數器部45藉由控制電路42之控制而停止動作。換言之，若控制電路42自電路基板50之外部輸入停止信號Stop(圖8中之時點t4)，則停止全域時鐘信號向粗計數器部45之輸入。即，本實施形態中，粗計數器部45根據延遲線47之動作停止而開始動作，根據停止信號輸入於控制電路42而停止動作。由於停止信號與全域時鐘信號同步，故粗計數器部45與全域信號同步地停止動作。

【0051】 圖8所示之例中，粗計數器部45將全域時鐘信號之上升數設為5。粗計數器部45將計數之數量存儲於記憶體43。換言之，粗計數器部45將延遲線47之動作停止後直至輸入停止信號為止所計數之全域時鐘信號之數量存儲於記憶體43。可藉由對以粗計數器部45計數之數量乘以全域時鐘信號之週期，運算精細部44之延遲線47停止後至輸入停止信號為止之時間。

【0052】 如上所述，時間測量電路40於精細部44中，將輸入來自APD20之脈衝信號後至輸入全域時鐘信號之上升為止之延遲量即時間間隔存儲於記憶體43。時間測量電路40於粗計數器部45中，將精細部44之延遲線47之動作停止後至輸入停止信號為止之全域時鐘信號之上升數量存儲於記憶體43。即，時間測量電路40由精細部44之延遲線之動作結果及

粗計數器部45之動作結果，測量自對應之APD20輸入脈衝信號後至輸入停止信號為止之時間。因此，時間測量電路40取得表示對於停止信號自APD20輸入脈衝信號之時點之時間資訊。

【0053】 接著，參照圖9至圖11，針對光檢測裝置1之作用效果進行說明。圖9係顯示供給全域時鐘信號之時間測量電路。圖10及圖11係顯示供給於各時間測量電路之全域時鐘信號之波形之比較。

【0054】 時鐘驅動器35對二維排列於安裝區域 α 之複數個時間測量電路40之每列供給全域時鐘信號。圖9係顯示以100 μm 間距排列於相同列之N個時間測量電路40₁~40_N與時鐘驅動器35之電性連接關係。「N」係任意整數。如圖9所示，排列於相同列之時間測量電路40₁~40_N藉由連接於時鐘驅動器35之1條線互相並聯連接。於N個時間測量電路40₁~40_N中，時間測量電路40₁與時鐘驅動器35之配線距離最小。於N個時間測量電路40₁~40_N中，時間測量電路40_N與時鐘驅動器35之配線距離最大。

【0055】 圖10及圖11係顯示自時鐘驅動器35輸出之全域時鐘信號之週期為5 ns(頻率為200 MHz)之情形時，供給於時間測量電路40₁及時間測量電路40_N之全域時鐘信號之波形。圖10所示之圖表中，橫軸之單位係相位(ns)，縱軸之單位係電壓(V)。

【0056】 圖10係顯示時間測量電路40₁與時間測量電路40₃₂之比較。圖11係顯示時間測量電路40₁與時間測量電路40₁₂₈之比較。換言之，圖10係供給於顯示排列於相同列之時間測量電路40中最靠近時鐘驅動器35之時間測量電路40之全域時鐘信號之波形，與自時鐘驅動器35供給於第32號時間測量電路40之全域時鐘信號之波形的比較。圖11係顯示供給於排列於相同列之時間測量電路40中最靠近時鐘驅動器35之時間測量電路40之

全域時鐘信號之波形，與自時鐘驅動器35供給於第128號時間測量電路40之全域時鐘信號之波形的比較。

【0057】 如圖10及圖11所示，時間測量電路40₁及時間測量電路40₁₂₈中供給之全域時鐘信號之波形差異，較時間測量電路40₁及時間測量電路40₃₂中供給之全域時鐘信號之波形差異更大。如此，自時鐘驅動器35至時間測量電路40之距離愈隔開，愈顯著地表現出供給於時間測量電路40之全域時鐘信號之波形之崩潰。

【0058】 全域時鐘信號之頻率為200 MHz之情形時，上升至下降之週期為2.5 ns。時間測量電路40₁₂₈中，電壓自下限值達到上限值之時間，及上升時間，及自上限值達到下限值之時間，即下降時間，約為2.5 ns。因此，若將全域時鐘信號之頻率設定為高於200 Hz，則週期短於上升時間及下降時間，故有無法適當地於時間測量電路40或控制電路42辨識出全域時鐘信號之上升之虞。即，時間測量電路40₁₂₈中，因波形崩潰之影響，而有無法適當地檢測出脈衝信號自APD20輸入於時間測量電路40後，延遲線47停止動作，粗計數器部45開始動作之時點之虞。換言之，以100 μm間距排列有時間測量電路40之情形時，於具有自時鐘驅動器35至第128號後之時間測量電路40之像素中，有無法適當地記錄APD20之脈衝信號之到達時刻之虞。

【0059】 光檢測裝置1中，各時間測量電路40由延遲線47之動作結果，取得表示脈衝信號自對應之APD20輸入於該時間測量電路40之時點之時間資訊。精細部44藉由延遲線47之動作，檢測較全域時鐘信號之週期更短之時間間隔。

【0060】 如此，由於藉由延遲線47之動作，檢測較全域時鐘信號之

週期更短之時間間隔，故即使全域時鐘信號之週期較長，亦可確保檢測上述脈衝信號之產生之時間解析度。若全域時鐘信號之週期較長，則供給於時間測量電路40之全域時鐘信號之上升及下降間隔較廣。因此，即使因自時鐘驅動器35至時間測量電路40之配線長較長，藉此使供給於該時間測量電路40之上述脈衝信號之上升時間及下降時間較長，時間測量電路40亦易於辨識出時鐘信號之上升及下降。即，藉由兼顧測量時間之精度之提高及光檢測面之大型化，而可提高光檢測精度。

【0061】 例如，圖11所示之例中，若將全域時鐘信號之頻率抑制為200 MHz，則以100 μm 間距配置時間測量電路40之情形時，自時鐘驅動器35至第128號之時間測量電路40不易受因波形崩潰之影響。因此，即使檢測面之面積較大，該光檢測裝置亦可確保時間解析度，且可適當地檢測出各APD20中脈衝信號之產生。若將時鐘驅動器35設置於電路基板50，則可削減自時鐘驅動器35至時間測量電路40之配線長。

【0062】 若減低時鐘信號之頻率，則可抑制電力消耗，且亦可減低自該時鐘驅動器35產生之熱量。由於時鐘驅動器35設置於與APD陣列基板10分開之電路基板50，故相比時鐘驅動器35設置於與APD20相同之基板之情形，時鐘驅動器35與各APD20間之距離更隔開。由於時鐘驅動器35設置於電路基板50，故可緩和時鐘驅動器35之形成密度。因此，時鐘驅動器35所產生之熱不易傳遞至APD20。因此，可抑制測量時間之錯誤檢測。

【0063】 各時間測量電路40具有計數全域時鐘信號之粗計數器部45。各時間測量電路40由粗計數器部45之動作結果及延遲線47之動作結果，取得表示自對應之APD20輸入脈衝信號之時點之時間資訊。因此，

實現較可僅以延遲線測量之時間更長時間之測量。

【0064】 粗計數器部45根據延遲線47之動作停止而開始動作，與來自時鐘驅動器35之全域時鐘信號同步地停止動作。該情形時，若未自對應之APD20輸入脈衝信號，則延遲線47不動作，粗計數器部45亦不動作，故可減低電力之消耗。

【0065】 自APD陣列基板10之厚度方向觀察，複數個時間測量電路40二維排列於與二維排列有複數個APD20之光檢測區域 β 重疊之安裝區域 α ，時鐘驅動器35配置於不與光檢測區域 β 重疊之非安裝區域 γ 。因此，可進而減低時鐘驅動器35所產生之熱對各APD20帶來之影響。

【0066】 連接於APD20之淬滅電路係主動淬滅電路41，形成於電路基板50。有半導體基板11以化合物半導體構成之情形較半導體基板11由矽構成之情形，更多地產生暗計數及剩餘脈衝之虞。藉由將主動淬滅電路41形成於電路基板50，而易任意實現淬滅之時間，易減低因暗計數及剩餘脈衝所致之雜訊。

【0067】 APD陣列基板10及電路基板50係藉由凸塊電極70連接。因此，與藉由直接結合等連接APD陣列基板10及電路基板50之情形相比，可進而減低時鐘驅動器35所產生之熱對各APD20帶來之影響。

【0068】 電路基板50亦可包含矽基板51。該情形時，具有上述時間測量電路40及時鐘驅動器35之構成之製造步驟可變得簡單。

【0069】 以上，雖已對本發明之實施形態進行說明，但本發明並非限定於上述實施形態，於不脫離其主旨之範圍內可進行各種變更。

【0070】 本實施形態中，粗計數器部45計數精細部44之延遲線47動作停止後直至輸入停止信號為止之全域時鐘信號上升之數量。但，粗計數

器部45亦可計數對控制電路42輸入重置信號後直至延遲線47之動作停止為止之全域時鐘信號上升之數量。換言之，粗計數器部45亦可計數圖8中之時點t1至時點t3為止之全域時鐘信號之上升數量。該情形時，自粗計數器部45之動作結果，減去基於該計數輸入來自APD20之脈衝信號後直至輸入全域時鐘信號之上升為止之時間間隔。藉此，可運算輸入重置信號後直至輸入來自APD20之脈衝信號為止之時間間隔。即，可藉由自粗計數器部45之動作結果減去精細部44之動作結果，運算自輸入重置信號後直至輸入來自APD20之脈衝信號為止之時間間隔。該情形時，各時間測量電路40取得表示對於重置信號輸入來自APD20之脈衝信號之時點之時間資訊。

【0071】 時間測量電路40亦可不具有粗計數器部45。該情形時，精細部44檢測輸入來自APD20之脈衝信號後至輸入停止信號為止之時間間隔。即，該情形時，各時間測量電路40亦取得表示對於停止信號輸入來自APD20之脈衝信號之時點之時間資訊。該情形時，可使時間測量電路之構成變得簡單。

【0072】 本實施形態中，時間測量電路40基於各脈衝信號之上升而動作，但亦可基於下降而動作。

【符號說明】

【0073】

- 1 光檢測裝置
- 10 APD陣列基板
- 10A 主面
- 10B 主面

10C	側面
11	半導體基板
12	基板
13	緩衝層
14	吸收層
15	電場緩和層
16	倍增層
20	APD
21	絕緣部
22	P型主動區域
23	絕緣層
24	電極墊
31	介面電路
32	記憶體
34	列隨機存取解碼器
35	時鐘驅動器
36	像素電路
37	行隨機存取解碼器
38	I/O端口
40	時間測量電路
40 ₁ ~ 40 _N	時間測量電路
41	主動淬滅電路
42	控制電路

43	記憶體
44	精細部
45	粗計數器部
46	延遲元件
47	延遲線
50	電路基板
50A	主面
50B	主面
50C	側面
51	矽基板
52	配線層
54	電極墊
55	通孔
56	金屬層
57	閘極
58	讀出匯流排
59	絕緣層
60	井
61	源極
62	汲極
70	凸塊電極
t1～t4	時點
α	安裝區域

β	光檢測區域
γ	非安裝區域

【發明申請專利範圍】

【第1項】

一種光檢測裝置，其包含：

雪崩光電二極體陣列基板，其二維排列有連接於淬滅電路之以蓋革模式動作之複數個雪崩光電二極體，並包含化合物半導體；及

電路基板，其安裝有上述雪崩光電二極體陣列基板；且

上述電路基板包含與上述複數個雪崩光電二極體對應地二維排列於該電路基板之複數個時間測量電路、及對上述複數個時間測量電路供給時鐘信號之時鐘驅動器，

各上述時間測量電路係包含延遲線部，該延遲線部含有包含串聯連接之複數個延遲元件之延遲線，各上述時間測量電路自上述延遲線之動作結果，取得表示自對應之上述雪崩光電二極體對該時間測量電路輸入脈衝信號之時點之時間資訊，

上述延遲線部係：

配合自上述對應之雪崩光電二極體輸出之上述脈衝信號輸入於該時間測量電路，開始上述延遲線之動作，配合來自上述時鐘驅動器之上述時鐘信號輸入於該時間測量電路，停止上述延遲線之動作，

藉由上述延遲線之動作，檢測出較上述時鐘信號之週期短之時間間隔；

各上述時間測量電路係：

進而包含計數上述時鐘信號之計數器，且

由上述計數器之動作結果及上述延遲線之動作結果，取得表示自上述對應之雪崩光電二極體輸入脈衝信號之時點之時間資訊；

上述計數器係：對應上述延遲線之動作停止而開始動作，且與來自上述時鐘驅動器之上述時鐘信號同步地停止動作；

上述電路基板係於各個上述時間測量電路包含記憶體、及控制該時間測量電路之控制電路；

上述控制電路係：對應於重置信號輸入至該控制電路，而重置對應之上述時間測量電路，並且對應於停止信號輸入至該控制電路，而停止上述時鐘信號向上述計數器之輸入，

上述重置信號及上述停止信號係與上述時鐘信號同步，

上述延遲線部係：將於上述重置信號輸入至上述對應之時間測量電路後自上述對應之雪崩光電二極體輸出之上述脈衝信號輸入至該時間測量電路起而到來自上述時鐘驅動器之上述時鐘信號輸入於該時間測量電路為止所動作之上述延遲元件之數量，存儲於上述記憶體；

上述計數器係：將自上述延遲線之動作停止起而到上述停止信號輸入為止所計數之上述時鐘信號之數量，存儲於上述記憶體。

【第2項】

如請求項1之光檢測裝置，其中

自上述雪崩光電二極體陣列基板之厚度方向觀察，

上述複數個時間測量電路，係二維排列於與二維排列有上述複數個雪崩光電二極體之光檢測區域重疊之區域，

上述時鐘驅動器配置於不與上述光檢測區域重疊之區域。

【第3項】

如請求項1或2之光檢測裝置，其中

上述淬滅電路係主動淬滅電路，形成於上述電路基板。

【第4項】

如請求項1或2之光檢測裝置，其中

上述雪崩光電二極體陣列基板與上述電路基板係藉由凸塊電極連接。

【第5項】

如請求項3之光檢測裝置，其中

上述雪崩光電二極體陣列基板與上述電路基板係藉由凸塊電極連接。

【第6項】

如請求項1或2之光檢測裝置，其中

上述電路基板包含矽基板。

【第7項】

如請求項3之光檢測裝置，其中

上述電路基板包含矽基板。

【第8項】

如請求項4之光檢測裝置，其中

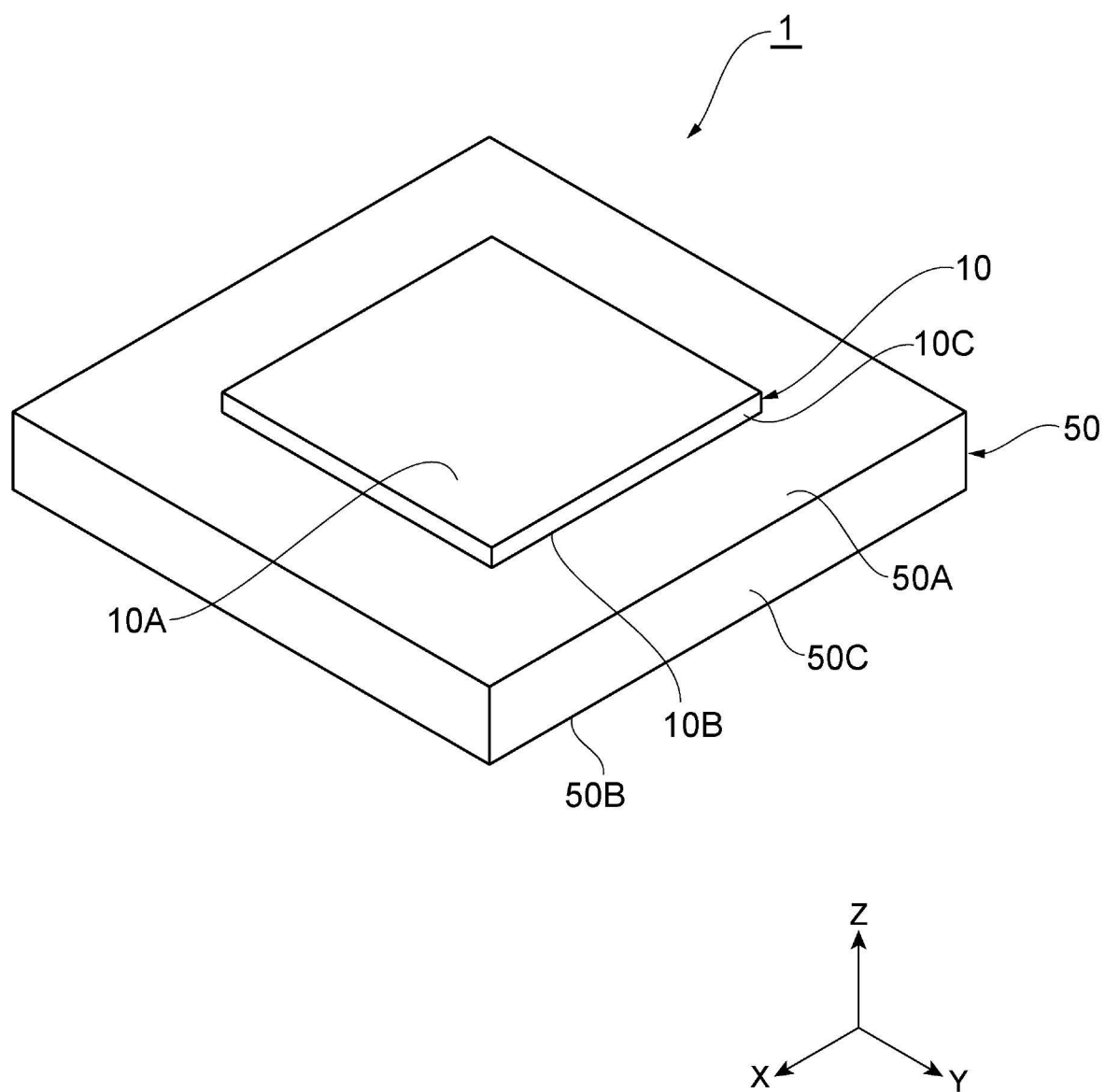
上述電路基板包含矽基板。

【第9項】

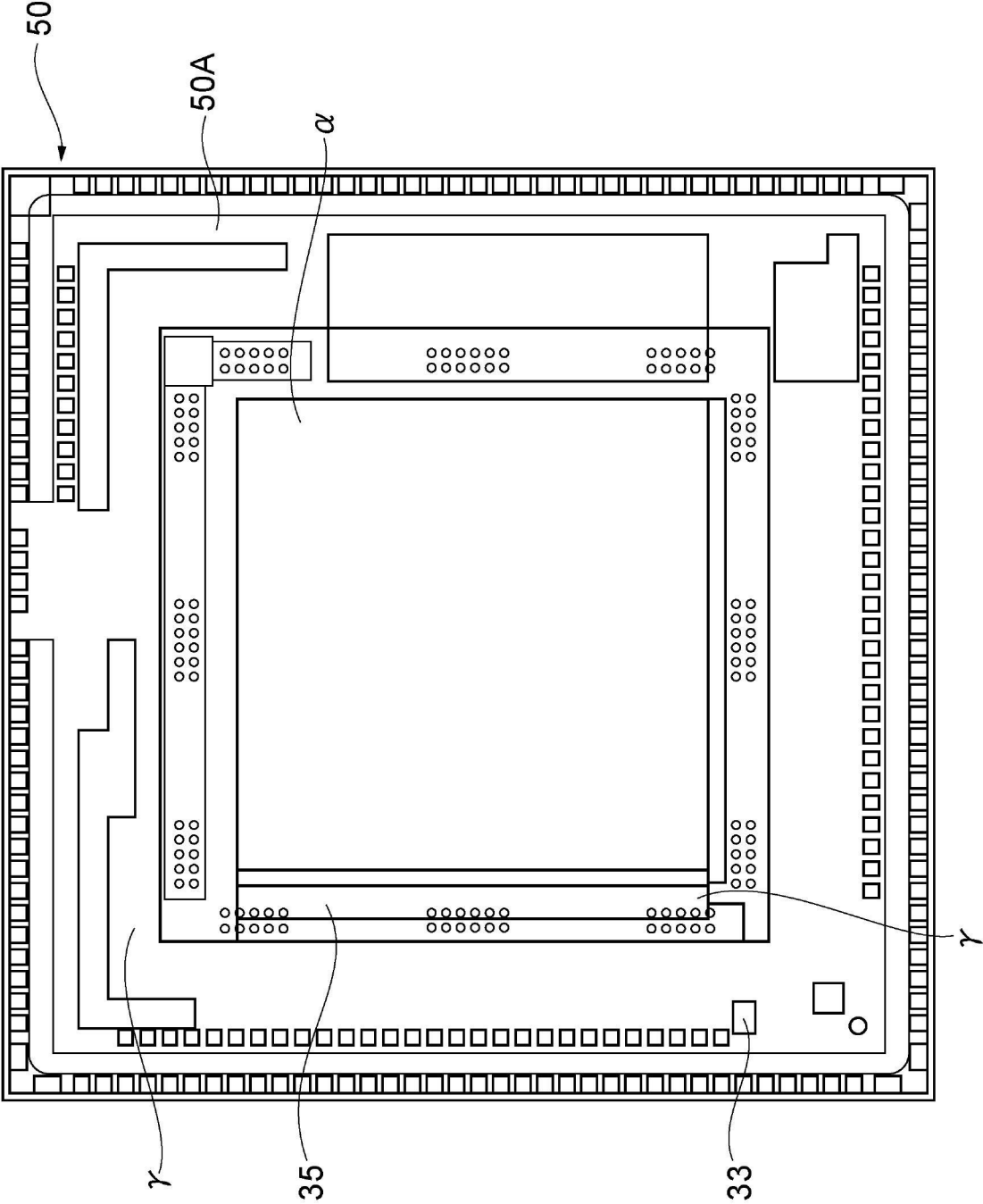
如請求項5之光檢測裝置，其中

上述電路基板包含矽基板。

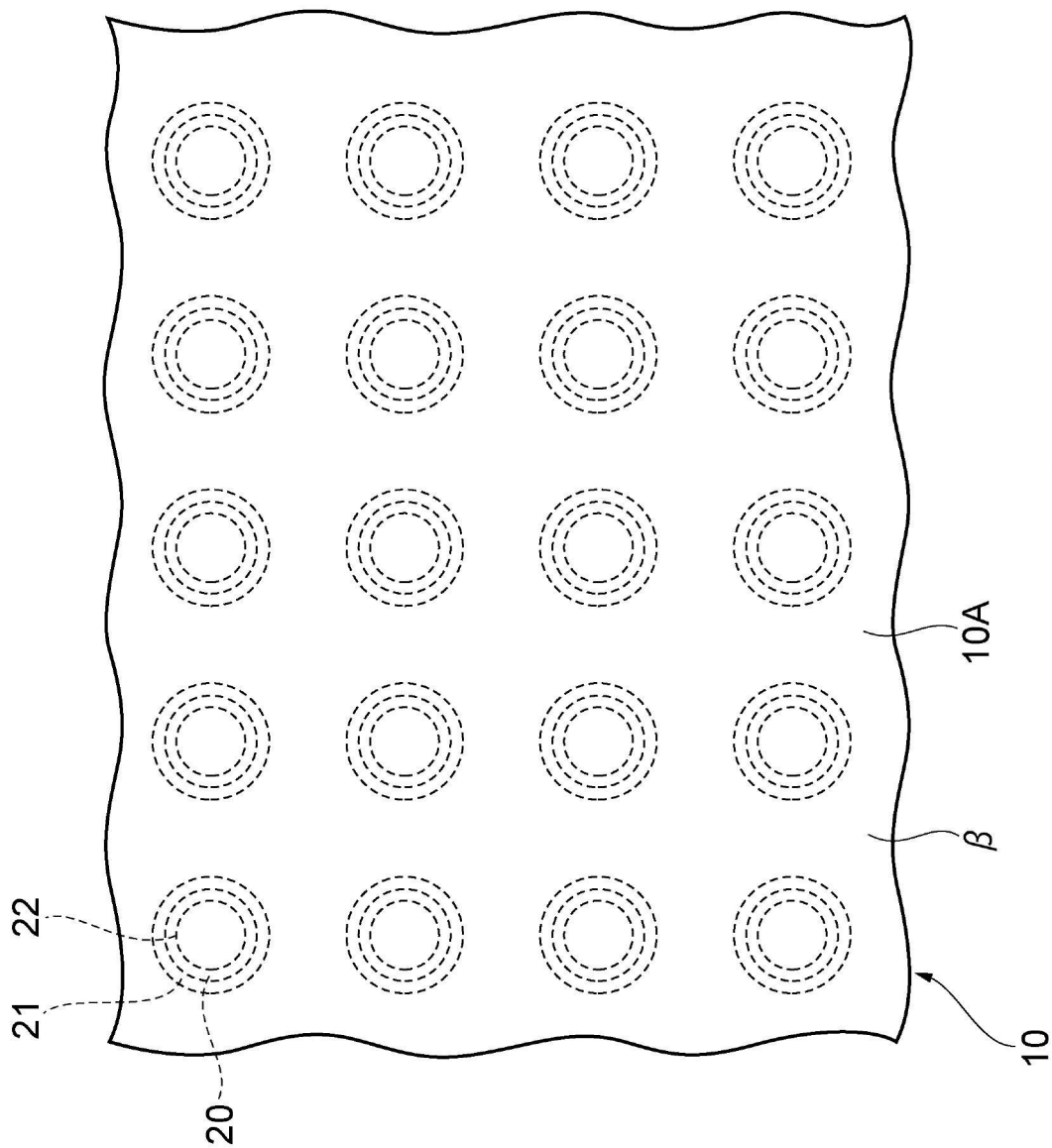
【發明圖式】



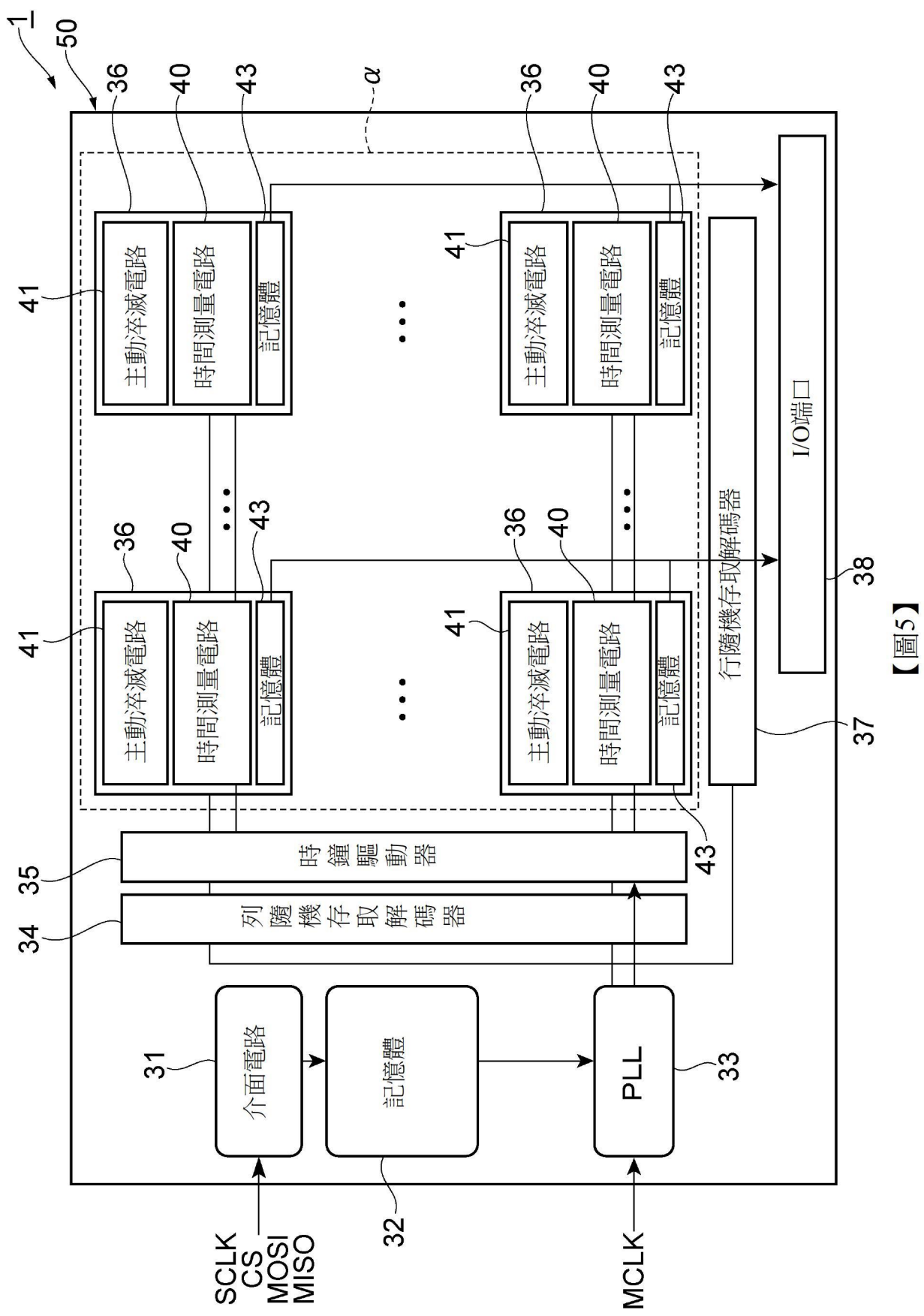
【圖1】



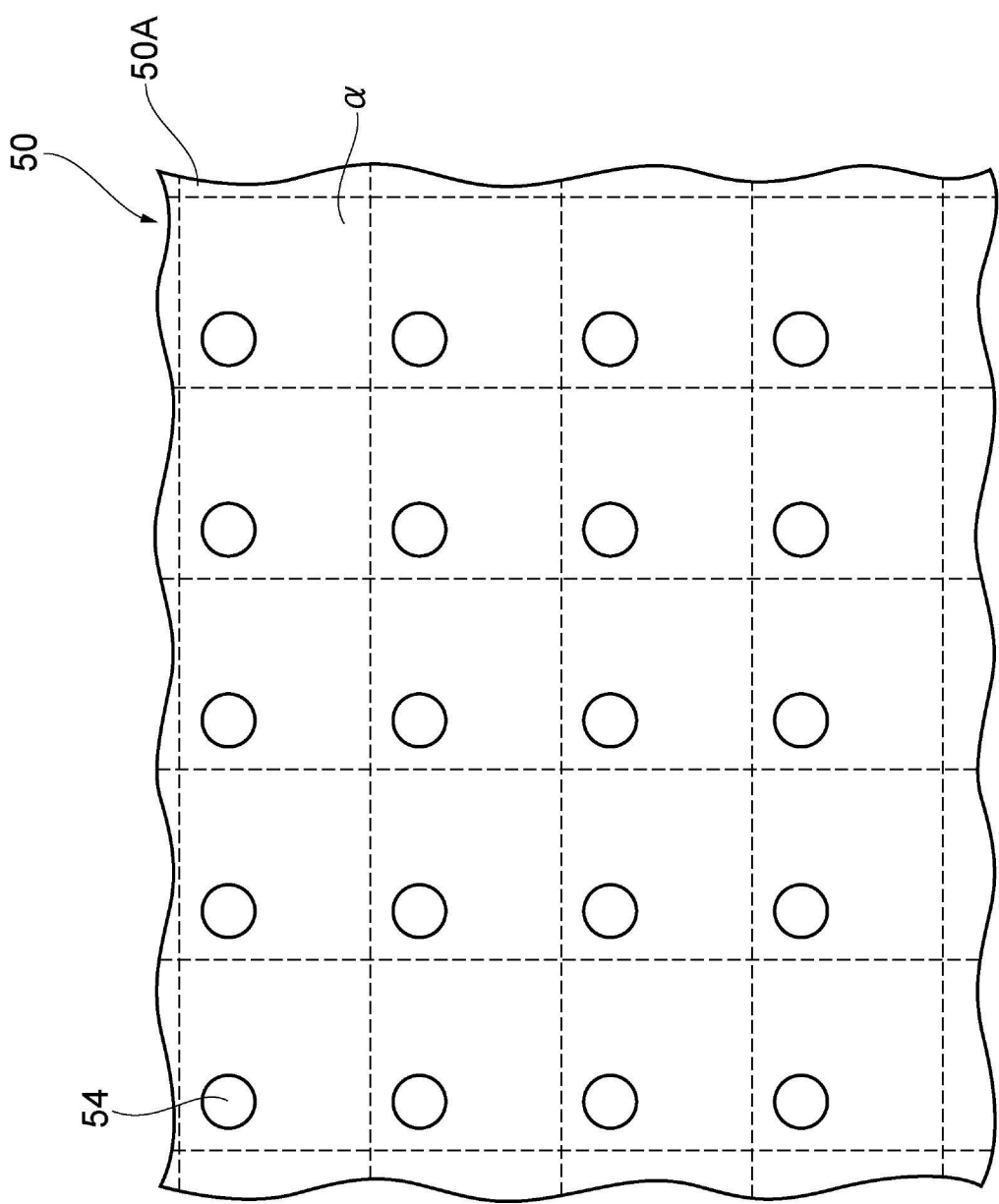
【圖3】



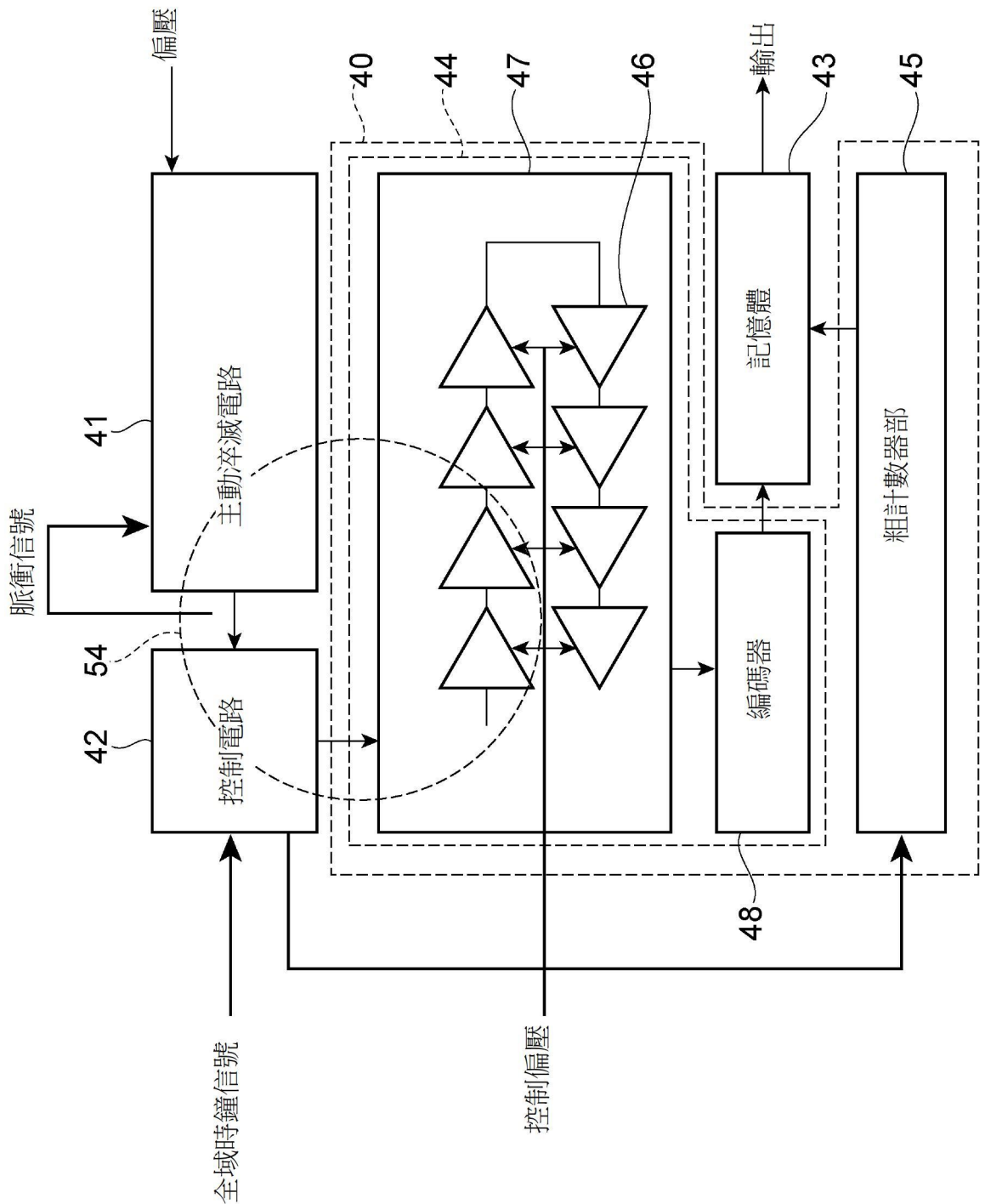
【圖4】



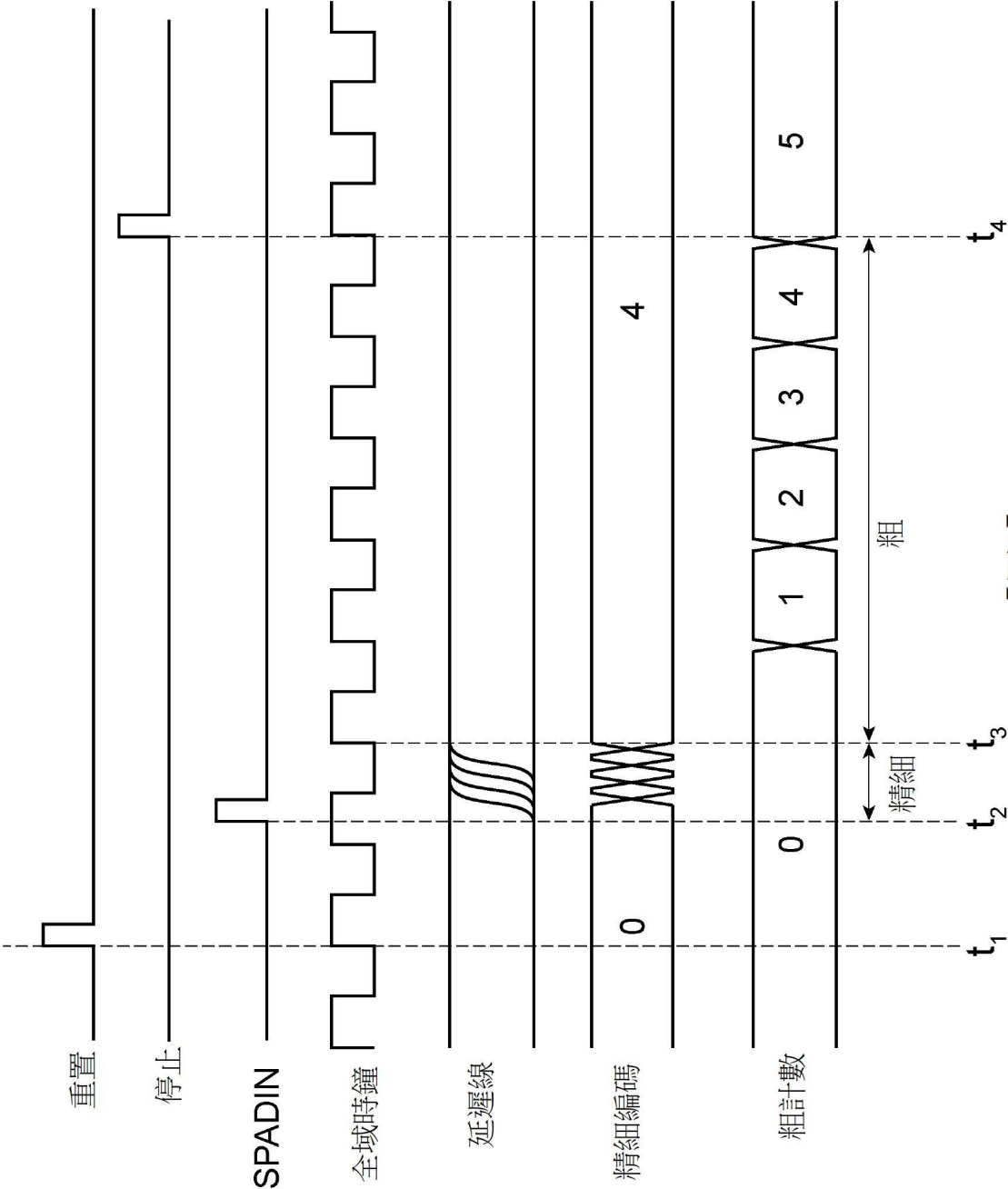
【圖5】



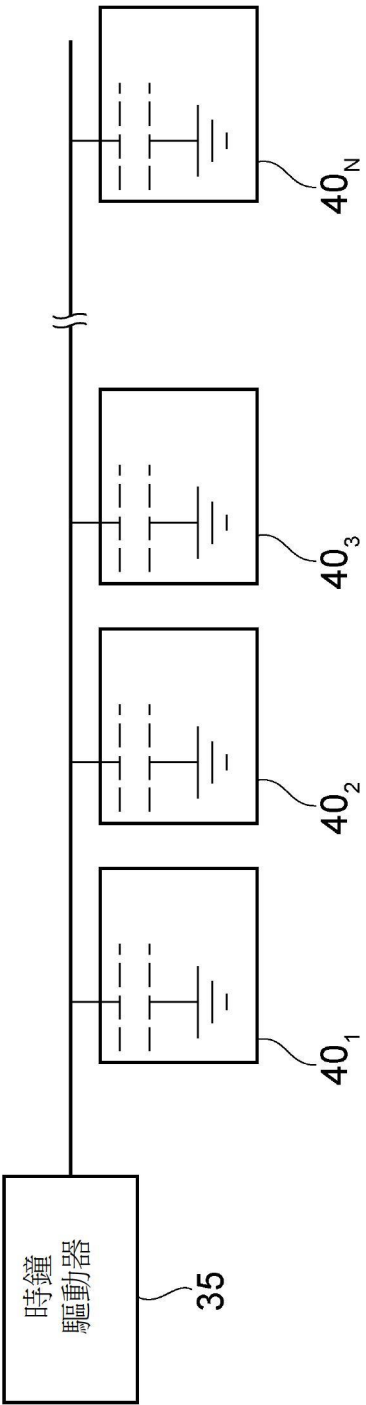
【圖6】



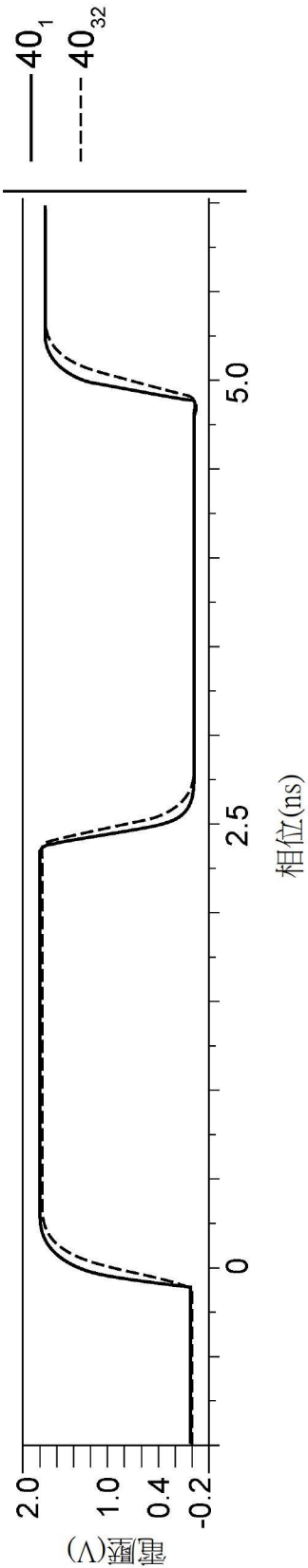
【圖7】



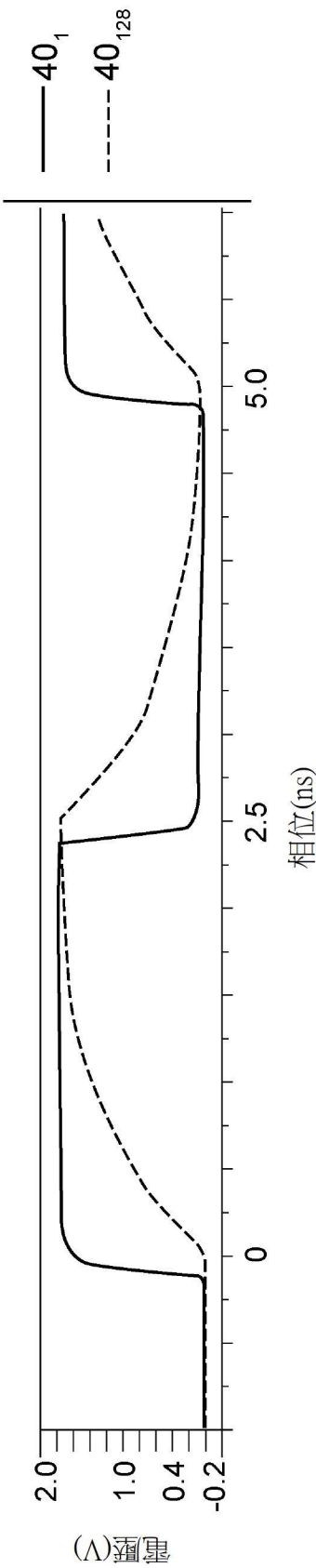
【圖8】



【圖9】



【圖10】



【圖11】