(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3993634号
(P3993634)
(45)発行日　平成19年10月17日(2007.10.17)　(24)登録日　平成19年8月3日(2007.8.3)

(51)Int.Cl.　　F I
G06F 11/20 (2006.01)　　G06F 11/20 310Z
H01L 21/82 (2006.01)　　H01L 21/82 R

請求項の数 30　(全 45 頁)

(21)出願番号　特願平7-524267
(86)(22)出願日　平成7年3月22日(1995.3.22)
(65)公表番号　特表平9-510563
(43)公表日　平成9年10月21日(1997.10.21)
(86)国際出願番号　PCT/CA1995/000161
(87)国際公開番号　WO1995/026001
(87)国際公開日　平成7年9月28日(1995.9.28)
審査請求日　平成14年3月22日(2002.3.22)
(31)優先権主張番号　08/216,262
(32)優先日　平成6年3月22日(1994.3.22)
(33)優先権主張国　米国(US)

(73)特許権者
ハイパーチップ　インコーポレイテッド
カナダ　ケベック　ジェイ４ヴィ　１エム９　グリーンフィールドパーク　ヴィクトリア　ストリート　２１２６　スイート２０６
(74)代理人
弁理士　中村　稔
(74)代理人
弁理士　大塚　文昭
(74)代理人
弁理士　宍戸　嘉一
(74)代理人
弁理士　竹内　英人

最終頁に続く

(54)【発明の名称】システムオペレータとの直接通信のための手段を有する完全集積システムをサポートする効率的なダイレクトセル交換フォールトトレラントアーキテクチャ

(57)【特許請求の範囲】
【請求項１】
セルのアレイを構成するために十分な冗長性を有するセルのモノリシック・ネットワークを含んでいるデータ処理システムであって、
前記アレイは、予備セルなしで同じ処理で作られるならば、全ての欠陥アレイセルが正常に機能する予備セルによって論理的に交換されるアレイの５０％を越える歩留りで、平均して複数の欠陥セルを含み、
前記十分な冗長性は、全体としてネットワークのアレイセルと同じ数だけの予備セルとして特定された回数のものよりも少なく、アレイセルに対する可能な交換である特定された数の予備セルを供給する予備セル配列を含み、
アレイセルを交換する各予備セルは、前記アレイセルが欠陥でなかったならば前記アレイセルが有する方法に論理的に等しい方法で前記予備セルが前記データ処理システムの残りと相互作用するように前記アレイセルの全ての内部機能及び全ての外部接続を複製するか又は利用し、
前記アレイセルは、
（ａ）アレイセルは、各物理的アレイ次元に対して単一のオン/オフ・アドレス指定信号を通して直接的にアドレス指定可能であり、前記物理的次元に対する前記アドレス指定信号は、前記物理的次元の前記アレイセルと同じインデックスにおける各アレイセルに直接前記アドレス指定信号を伝搬するキャリアを通って移動し、前記アレイセルは、前記アレイセル専用の接続を通して前記アドレス指定信号を受信する；

（ｂ）各アレイセルは、少なくとも一つの隣接するアレイセルから直接信号を受信する入力手段と、その少なくとも二つが物理的次元である、少なくとも三つのトータル次元のそれぞれにおける少なくとも一つの他の隣接するアレイセルに直接信号を送信する出力手段とを有し、一対の隣接するアレイセルの間の前記信号は、前記一対のアレイセル又は前記一対のアレイセル及び当該アレイセルの可能な交換を単独で接続している専用キャリアを通して送信される；
（ｃ）各アレイセルは、前記データ処理システムの外部に直接光学出力信号を送信するダイレクト光学出力手段を有し、前記ダイレクト光学出力手段は、前記アレイセル又は前記アレイセル及び当該アレイセルの可能な交換に単独で専用であり、それを通って前記ダイレクト光学出力手段に対する制御信号が前記ダイレクト光学出力手段に送信される前記キャリアは、前記アレイセル又は前記アレイセル及び当該アレイセルの可能な交換に単独で専用であり；かつ
前記可能な交換の一つによるアレイセルの交換は、前記交換されたアレイセルから出力される光学出力の位置を５０ミクロン以上変化させない；
という特性の少なくとも一つをも有することを特徴とするデータ処理システム。
【請求項２】
各予備セルは、複数のアレイセルのいずれか一つが欠陥であることが示されたならば該複数のアレイセルの一つに対する可能な交換であり、かつ各アレイセルは、複数の可能な交換を有する請求項１に記載のデータ処理システム。
【請求項３】
前記セルのネットワークのセルは、アレイセルの行又は列及び予備セルの行又は列に構成され、かつ前記予備セルの行又は列は、アレイセルの前記行又は列の間に散在される請求項２に記載のデータ処理システム。
【請求項４】
アレイセルは、各物理的アレイ次元に対して単一のオフ/オン・アドレス指定信号を通して直接的にアドレス指定可能であり、前記物理的次元に対する前記アドレス指定信号は、前記物理的次元の前記アレイセルと同じインデックスにおける各アレイセルに直接前記アドレス指定信号を伝搬するキャリアを通って移動し、前記アレイセルは、前記アレイセル専用の接続を通して前記アドレス指定信号を受信し；また各アレイセルは、その他のアレイセルによって共有されるデータバスへの接続を有し、かつ各アレイセルは、少なくとも２５６ビットのデータのためのメモリ手段と、前記アドレス指定信号によってアドレス指定されたときに前記メモリ手段と前記データバスとの間で前記データを転送する手段とを含む請求項１に記載のデータ処理システム。
【請求項５】
少なくとも一つのシリアルプロセッサは、前記アドレス指定信号キャリアへの接続を通して前記アレイセルを直接アドレス指定するための前記シリアルプロセッサに対する手段と、前記データバスのデータを送受信するための前記シリアルプロセッサに対する手段とを伴って、セルのモノリシック・ネットワークを同じ基板上に形成された、請求項４に記載のデータ処理システム。
【請求項６】
各アレイセルは、少なくとも一つの隣接するアレイセルから直接信号を受信する入力手段と、一対の隣接するアレイセルの間の前記信号は、前記一対のアレイセル又は前記一対のアレイセル及び当該アレイセルの可能な交換を単独で接続している専用キャリアを通して送信される、その少なくとも二つが物理的次元である、少なくとも三つのトータル次元のそれぞれにおける少なくとも一つのその他の隣接するアレイセルに直接信号を送信する出力手段と、それらの隣接するセルのそれぞれに対応する少なくとも２ビットの値を記憶するメモリ手段と、少なくとも４ビットのセル合計を記憶するメモリ手段と、セルがその隣接するセルから信号を受信するときにはいつでも隣接するセルに対応する値を前記セル合計に加算する処理手段と、及び前記セルの隣接するセルに信号を送信しかつ前記セルの合計がある値を越えるときに前記セルの合計をリセットする手段と、

を有する請求項１に記載のデータ処理装置。
【請求項７】
各セルは、セルのネーティブ命令セットにはない少なくとも一つの命令を含む少なくとも一つのターゲット命令セットからの単一の命令をエミュレートするのに十分なメモリ手段及び処理手段を有し、かつ複数のセルは、前記ターゲット命令全体をエミュレートすることを協同するようにプログラムされる請求項１に記載のデータ処理システム。
【請求項８】
各アレイセルは、前記アレイセル又は前記アレイセル及び当該アレイセルの可能な交換に単独で専用の出力手段を通して前記データ処理システムの外部に直接光学出力信号を送信する手段を有し、前記出力手段に対する制御信号は、前記アレイセル又は前記アレイセル及び当該アレイセルの可能な交換に単独で専用の一つ以上のキャリアを通して前記出力手段に送信される請求項１に記載のデータ処理システム。
【請求項９】
前記アレイセルは、前記アレイセル又は前記アレイセル及び当該アレイセルの可能な交換に単独で専用の入力手段を通してシステムの外部の装置から直接入力信号を受信するダイレクト入力手段を有し、前記入力信号は、前記アレイセル又は前記アレイセル及び当該アレイセルの可能な交換に単独で専用のキャリアを通して前記入力手段から移動する請求項８に記載のデータ処理システム。
【請求項１０】
前記ダイレクト出力手段は、発光手段を含むかつ前記ダイレクト入力手段は、ダイレクト光学入力手段を含み、表面を照明するために前記システムに前記光学出力を使用させかつ前記光学入力にその画像を入力させる請求項９に記載のデータ処理システム。
【請求項１１】
前記アレイセルは、前記システムに対するその距離及び/又は方向が予め定められていない外部受信機に前記アレイセルの直接出力からの出力を個別的又は協同的に焦合させる手段を含む請求項８に記載のデータ処理システム。
【請求項１２】
各アレイセルは、電力受容手段、電力蓄積手段、又は電力受容及び電力蓄積の両方の手段を有する請求項８に記載のデータ処理システム。
【請求項１３】
前記アレイセルのダイレクト出力手段は、入射光の反射又は屈折を制御する光学出力手段を含み、かつ前記アレイセルは、前記ダイレクト出力手段を通して方向を変えられない少なくともいくつかの方向変更可能な光子を捕獲するための光起電手段、又は前記ダイレクト出力手段を通して方向を変えられない前記方向変更可能な光子の少なくともいくつかに光学又は光電子コンピューティングを用いる手段のいずれかを有する請求項１２に記載のデータ処理システム。
【請求項１４】
各アレイセルは、ネットワーク全体よりも小さい前記セルのネットワークの領域における複数のセルに共通又は関連付けられた電力共有バスを接合する手段を有する請求項１２に記載のデータ処理システム。
【請求項１５】
前記ダイレクト出力手段は、光学手段を含み、かつ前記ダイレクト入力手段は、接触検出又は近接検出手段を含む請求項９に記載のデータ処理システム。
【請求項１６】
前記アレイセルは、前記セルのダイレクト入力手段を前記システムに対するその距離及び/又は方向が予め定められていない外部発生源に個別的又は協同的に焦合させる手段を有する請求項９に記載のデータ処理システム。
【請求項１７】
各アレイセルは、ダイレクト入力手段、処理手段、メモリ手段、及びダイレクト出力手段を全てセルの中心から半径１センチメートル以内に有する請求項９に記載のデータ処理シ

ステム。
【請求項１８】
各アレイセルは、セルの中心から半径１センチメートル以内に電力吸収及び/又は電力蓄積手段を有する請求項１７に記載のデータ処理システム。
【請求項１９】
単一の基板上に形成されたデータ処理システムであって、請求項１に記載されたセルのネットワークを含み、前記データ処理システムを用いて人間から直接入力する受信手段と、処理する手段と、メモリ用の手段と、及び人間のオペレータに人間が理解できる出力を直接送信する手段とを更に備えていることを特徴とするデータ処理システム。
【請求項２０】
前記入力手段は、接触、近接、音及び/又は光を検出する手段を含むことを特徴とする請求項１９に記載のデータ処理システム。
【請求項２１】
前記出力手段は、音及び/又は光を生成する手段を含むことを特徴とする請求項１９に記載のデータ処理システム。
【請求項２２】
セルのモノリシック・アレイを含むデータ処理システムであって、
フォールト・トレランスは、欠陥アレイセルを論理的に交換するために予備セル及び該予備セルのための手段によって供給され、アレイセルを交換する各予備セルは、欠陥でなかったならば前記アレイセルが有する方法に論理的に等しい方法で前記予備セルが前記データ処理システムの残りと相互作用するように前記アレイセルの全ての内部機能及び全ての外部接続を複製するか又は利用し、
前記システムは、いくつかの予備セルが欠陥アレイセルを交換するために割り当てられないように欠陥アレイよりも多くの予備セルを含み、
前記アレイセル及びいずれかの割り当てられた予備セルは、パラレル・タスクを処理するために用いられ、
制御プロセッサは、単一のシリアル・タスクを協同的に実行するために複数の前記割り当てられていない予備セルを用いることを特徴とするデータ処理システム。
【請求項２３】
前記割り当てられていない予備セルの少なくとも一つは、前記単一のシリアル・タスクの前記協同実行において個別命令エミュレータ、独立パイプライン、分岐予測器、投機的実行器、命令先取り器、及び/又は命令デコーダとして用いられる請求項２２に記載のデータ処理システム。
【請求項２４】
セルのモノリシック・アレイを含むデータ処理システムであって、
フォールト・トレランスは、欠陥アレイセルを論理的に交換するために予備セル及び該予備セルのための手段によって供給され、アレイセルを交換する各予備セルは、欠陥でなかったならば前記アレイセルが有する方法に論理的に等しい方法で前記予備セルが前記データ処理システムの残りと相互作用するように前記アレイセルの全ての内部機能及び全ての外部接続を複製するか又は利用し、
前記システムは、いくつかの予備セルが欠陥アレイセルを交換するために割り当てられないように欠陥アレイセルよりも多くの予備セルを含み、
前記アレイセル及びいずれかの割り当てられた予備セルは、パラレル・タスクを処理するために又は直接的にアドレス指定可能なメモリとして用いられ、
制御プログラムは、間接的にアドレス指定されたメモリとして複数の割り当てられていない予備セルを用い、前記メモリは、ＲＡＭディスク、ディスクキャッシュ、Ｉ/Ｏバッファ及び/又はスワップ空間を備えていることを特徴とするデータ処理システム。
【請求項２５】
セルのモノリシック・アレイを含むデータ処理システムであって、
前記セルのアレイを含んでいるモノリシック領域は、少なくとも一つの交換可能なアレイ

セルを、該交換可能なアレイセルが欠陥であることが示されたならば、交換するために少なくとも一つの予備セル及びその予備セルに対する手段をも含み、アレイセルを交換する各予備セルは、欠陥でなかったならば前記アレイセルが有する方法に論理的に等しい方法で前記予備セルが前記データ処理システムの残りと相互作用するように前記アレイセルの全ての内部機能及び全ての外部接続を複製するか又は利用し、
各アレイセルは、前記データ処理システムの外部に直接光学出力信号を送信するダイレクト光学出力手段を有し、該ダイレクト光学出力手段は、そのアレイセル又はそのアレイセル及び当該アレイセルの可能な交換又は複数の交換に単独で専用であり、
前記出力に対する制御信号は、そのアレイセル又はそのアレイセル及び当該アレイセルの可能な交換又は複数の交換に単独で専用の一つ以上のキャリアを通して前記出力手段に送信され、
前記ダイレクト光学出力手段は、人間が読取り可能なディスプレイの画素を形成し、かつ前記予備セルによる交換可能なアレイセルの交換は、前記交換可能なアレイセルから出力される前記直接光学出力の位置において５０マイクロ以上の変化を誘導しないことを特徴とするデータ処理システム。

【請求項２６】
いずれかのアレイセルは、各物理的アレイ次元に対して単一のオフ/オン・アドレス指定信号を通して直接的にアドレス指定することができ、
物理的次元に対する前記アドレス指定信号は、前記物理的次元の前記アレイセルと同じインデックスにおける各アレイセルに直接前記アドレス指定信号を伝搬するキャリアを通して移動し、
前記アレイセルは、前記アレイセルに専用な接続を通して前記アドレス指定信号を受信し、かつ
前記セルアレイは、前記データ処理システムにある合計メモリの少なくとも半分を含むことを特徴とする請求項２５に記載のデータ処理システム。

【請求項２７】
各アレイセルは、少なくとも一つの隣接するアレイセルから直接信号を受信する入力手段と、その少なくとも二つが物理的次元である、少なくとも三つのトータル次元のそれぞれにおける少なくとも一つのその他の隣接するアレイセルに直接信号を送信する出力手段と、
一対の隣接するアレイセルの間の前記信号は、前記一対のアレイセル又は前記一対のアレイセル及び当該アレイセルの可能な交換を単独で接続している専用キャリアを通して送信され；
それら隣接するセルのそれぞれに対応する少なくとも２ビットの値を蓄積するメモリ手段と、
少なくとも４ビットのセル合計を蓄積するメモリ手段と、
セルがその隣接するセルから信号を受信するときにはいつでも隣接するセルに対応する値をセル合計に加算する処理手段と、及び
信号を前記セルの近隣セルに送信しかつ前記セルの合計がある値を越えるときに前記セルの合計をリセットする手段と、
を有することを特徴とする請求項２５に記載のデータ処理システム。

【請求項２８】
各セルは、セルのネーティブ命令セットにはない少なくとも一つの命令を含む少なくとも一つのターゲット命令セットからいずれか一つの命令をエミュレートするために十分なメモリ手段及び処理手段と有し、かつ
複数のセルは、前記ターゲット命令全体をエミュレートすることに協同するようにプログラムされることを特徴とする請求項２７に記載のデータ処理システム。

【請求項２９】
各セルは、前記ダイレクト出力手段の少なくとも一つの交換可能なダイレクト光学出力素子を、該交換可能なダイレクト光学出力素子が欠陥であるならば、交換するために少なく

とも一つの予備ダイレクト光学出力素子及び前記予備ダイレクト光学素子を用いる手段を有することを特徴とする請求項２５に記載のデータ処理システム。
【請求項３０】
前記データ処理システムは、その合計厚みが１ミリメートル以下であるシートとして製造される請求項２５に記載のデータ処理システム。
【発明の詳細な説明】
技術分野
この発明はデータ処理システムの改良に関する。特に、この発明は性能のボトルネックを無くし、モノリシック領域に集積可能なメモリ能力、処理能力および入出力（Ｉ／Ｏ）能力を増大させることによりシステムのサイズとコストを低減することに向けられている。
背景技術
初期のコンピュータ回路はマクロスケール上に一緒に配線された別個の部品から構成されていた。この集積回路はすべての回路部品（抵抗、コンデンサ、トランジスタ、およびコンダクタ）を１枚の基板上に結合し、回路サイズおよび電力消費を大幅に減少させ、すでに一緒に配線された回路を大量に生産することを可能にした。この完成回路の大量生産により、過去数十年におけるコンピュータの性能、価格、電力および携帯性の改善は目を見張るものがある。しかし、リソグラフィー（描画）エラーにより、致命的な欠陥無しに１枚の基板に組み立て可能な回路の複雑さには限界がある。これらの欠陥を無くすために処理された基板の大きなウエハがチップに切り離されるので、欠陥のある領域が破棄可能である。リソグラフィーの改良により単一チップ上での集積度を連続的に増大させることを可能にしたが、より強力かつさらにポータブルなシステムの要望が依然として急速に高まっている。
シングルチッププロセッサを用いたポータブルコンピュータは今日単一回路ボード上に組み立てることができるが、リソグラフィーエラーにより今日のチップのサイズと複雑度が制限されているので、各システムは依然として多くの別個のチップを必要としている。プロセッサ、メモリおよび補助チップの別個のウエハが各部品のチップに切り分けられ、多くの部品チップがかさ張るセラミックパッケージに封止され、さらにかさ張るプリント基板に貼り付けられて互いに接続され、大きさのオーダが部品のチップより大きいシステムを作る。別個のチップを用いると、チップ外のデータフローのボトルネックを生じる。これはチップがミクロの尺度よりもむしろマクロの尺度で接続され、これにより相互接続の数が厳しく制限されるためである。マクロな相互接続はまた電力消費を増大させる。さらに、システムの入出力のために単一のボードシステムがそのボード外に別個の装置を採用した場合でもシステムサイズと電力消費をさらに増大させる。従って最も小型のシステムはバッテリ寿命、表示分解能、メモリ及び処理能力に厳しい制限を受ける。オフチップボトルネックでのデータ量を減少させ、プロセッサチップにメモリを付加してプロセッサとメモリの接続性を増大させることはこの分野で公知である。インテル社の新ペンティアム（登録商標）プロセッサ及びIBM／モトローラ／アップルのＰｏｗｅｒＰＣ（登録商標）６０１プロセッサは小容量のワンチップキャッシュメモリとの間に２５６ビット幅のデータ路を設けて、６４ビット幅のデータ路をそれぞれのシステムの外部チップメモリと接続する。（“RISCがＰｏｗｅｒＰＣを駆動する”、BYTE, 1993年８月）、”インテルはソケットにロケットを発射する”、BYTE, 1993年５月）。しかしながら、チップサイズの制限によりチップに搭載するメモリの量がシステム全体で使用するメモリの画分を超えるようなメモリ量をチップに搭載することはできない。
並列計算機システムはこの分野で公知である。例えば、IBM社の３０９０大型計算機はコモンメモリを共有する並列プロセッサを採用している。このような共有メモリ並列システムはフォンノイマン型のシングルプロセッサのボトルネックを無くすことが出来るが、すべてのプロセッサが１つのデータ路を介してアクセスするというファネリング現象により、さらにプロセッサを付加した場合の効率が急激に悪くなる。ローカルメモリを付加することによりこのボトルネックを解消した並列システムもこの分野では公知である。例えば、米国特許第5,056,000号はローカルメモリと共有メモリを使用したシステムを開示して

いる。また、米国特許第4,591,981号は、各“ローカルメモリプロセッサ”が“ローカルメモリ”を共有する多くの小型のプロセッサから構成されたローカルメモリシステムを開示している。しかしながら、これらのシステムでは、ローカルプロセッサ／メモリクラスタは多くの別個のチップを有し、各プロセッサはそれぞれ独自のローカルな入出力を有するが、その入出力は外部装置を介して行われる。このため、プロセッサと外部チップ及び外部装置との間に複雑なマクロの尺度（それゆえオフチップボトルネックが制限された）接続が必要となり、プロセッサの数が増大するにつれシステムのコストと複雑さが急激に増大する。

大規模並列コンピュータシステムもこの分野では公知である。例えば、米国特許第4,622,632号、第4,720,780号、第4,873,626号、及び第4,942,517号は各プロセッサが固有のメモリを有するプロセッサアレイから成るシステム例を開示している。これらのシステムはフォンノイマン型のシングルプロセッサのボトルネックおよび並列アプリケーションのためのマルチプロセッサメモリのボトルネックを解消するが、プロセッサ／メモリ接続及びプロセッサ間接続は依然としてチップ外のパスのボトルネックにより制限される。また、プロセッサの出力は依然として束ねられ、１つのパスを通って所定の外部出力に到達する。これは、このようなシステムを出力が集中するタスクへの利用を制限する出力ボトルネックを作る。外部入出力装置を利用することによりさらにシステム全体のサイズ、コスト及び複雑性が増大する。

米国特許第4,591,980号、第4,933,836号、及び第4,492,517号およびＴｈｉｎｋｉｎｇＭａｃｈｉｎｅｓ社のＣＭ－５ Connection Machine（登録商標）のような別個のプロセッサ群がそれぞれＩ／Ｏ装置に対して別個のパスを有する大規模並列コンピュータシステムであっても、入出力は外部装置への接続に依存している。（“過激派からのマシン（“Machines from the Lunatic Fringe”）, TIME, 1991年11月１１日号）. 各プロセッサセットを外部Ｉ／Ｏ装置に接続させると、プロセッサアレイと外部装置との間に多くの接続が必要となり、従ってシステム全体のサイズ、コスト、及び複雑さが増大する。さらに、光学ディスプレイのようなマルチプロセッサから１つの出力装置への出力は依然として束ねられ１つのデータ路を介してその装置に供給される。これはそのようなシステムの表示集約タスクへの利用を制限する出力ボトルネックを作る。

マルチプロセッサも従来技術で知られている。例えば、米国特許第5,239,654号は画像処理チップ上に“いくつかの”の並列プロセッサを必要とする。さらに多数のプロセッサでも可能である。例えば、Thinking Machines社のオリジナルＣＭ－１ Connection Machineは１チップ当たり３２個のプロセッサを使用してチップ数を低減するとともにシステム全体に必要なチップ外接続を低減している（それゆえシステムのサイズとコストを低減する）（米国特許第4,709,327号）。しかしながら、そのようなアーキテクチャではプロセッサの数とサイズの機能分担が厳しい。ＣＭ－１チップはその当時一般に使用されていた８ビット乃至３２ビットプロセッサの代わりに１ビットプロセッサを使用していた。しかし、大規模並列プロセッサの場合であっても１チップ当たり１つの３２ビットプロセッサを１チップ当たり３２個の１ビットプロセッサに交換することは所定のプロセッサにより１度にわずか数ビットしか処理できないタスクを除いて性能上の利点は無い。さらに、これらの非標準プロセッサは標準のソフトが走らない。従って、オペレーティングシステムから、コンパイラ、ユーティリティに至るまですべてを書き換えねばならず、そのようなシステムをプログラミングする費用は莫大なものとなる。ＣＭ－５ Connection Machineのような新型の並列システムはマルチプロセッサの代わりに標準の３２ビットマルチプロセッサを使用している。

入力アレイもこの分野では公知である。例えば、最新のビデオカメラは電荷結合素子（ＣＣＤ）アレイを用いて並列の光学入力を１つのデータ列に集約する。デジタルアレイプロセッサを用いて入力アレイを結合することは米国特許第4,908,751号に開示されている。この特許では、入力アレイとプロセッサアレイは別個の装置であり、アレイ間の通信は行配列接続として示され、これにより入力ボトルネックを救済はするが、無くなるわけではない。画像センサからプロセッサへの入力は代替入力手段として米国特許第4,709,327号

に示唆されている。しかし、この技術を実現する手段は示されていない。入力されたデータをアナログ的にフィルタリングするダイレクト入力アレイはCarver Mead他により開発された。（"The Silicon Retina", Scientific American, 1991年5月）。このダイレクト入力／アナログフィルタリングアレイはアレイへの入力ボトルネックを無くすことができるが、これらのアレイ素子は一般的なデータ処理には適さない。また、これらのアレイはすべてダイレクトに出力する手段が無く、それゆえ、出力ボトルネックを解消できない。これはほとんどの実世界の応用ではさらに厳しい制約となる。これらのアレイのサイズもまた、リソグラフィーエラーにより制限される。従って、このようなアレイに基づくシステムはチップ外データフローボトルネックの影響を受ける。外部出力装置への接続に依存することはまたシステム全体のサイズ、コスト、及び複雑さを増大させる。

各出力素子が独自のトランジスタを有する出力アレイもこの分野で公知でありフラットパネルに応用され商業化されている。ある種のカラーディスプレイは各色毎に１つのトランジスタを有した出力素子を使用している。出力素子はデータ並列を加算、減算あるいは編集／通過できないので、このような表示素子はデータの伸長あるいは他の処理を行うことが出来ず、従って出力アレイは１つの非圧縮データ列が必要となる。これはアレイサイズが増大するにつれ、帯域幅のボトルネックを作る。また、これらの出力アレイは欠陥許容誤差を有さないので、各画素は機能的すなわち明白な“穴”がアレイ中に顕示される。この完全性の必要性から歩留まりが悪く、このような表示装置はコストが高い。

外部装置との通信のためにワイヤレスリンクを用いたシステムも従来技術で公知である。キーボード、マウス、ハンドヘルドコンピュータからデスクトップコンピュータへのデータリンク、リモートコントロール回路及び携帯電話を含むコードレス転送装置の使用が日に日に増大している。しかしながら、このようなリンクの使用が増え、またリンクの範囲やデータ転送レートの増大により、帯域幅の要求が増大される。ある電磁周波数レンジはすでに混雑しており、この転送のボトルネックが制約ファクタを増加させることになる。電力の制限もまたこのようなシステムのレンジを制限し、信頼性のある転送を行うためにはしばしば送信機を受信機に向けなければならない。結晶シリコンに対して、アモルファスと多結晶シリコンから形成された集積回路もこの分野で公知である。しかし、これらの基板は整合性が悪く、電子移動度も低いため欠陥を伴わずに高速な回路を作るのは困難である。回路速度とリソグラフィーエラーは今日のコンピュータでは重大なボトルネックを生じるので、速度の遅いアモルファスと多結晶シリコンの集積回路は潜在的に製造コストが安いにもかかわらず結晶シリコンと競争できなかった。

フォールトトレラントアーキテクチャもこの分野で公知である。最も成功したフォールトトレラントアーキテクチャはメモリチップに使用される予備線方式である。例えば米国特許第3,860,831号および第4,791,319号はそのようなチップに適した予備線方式を開示する。実際には、例えば４メガビットチップは、表面上６４個のセルを有し、各セルは２５６×２５６ビットアレイ構成の６４Ｋアクティブビットのメモリから成るが、各セルは物理的には１セル当たり２乃至３ビットエラーを予備線により訂正可能にしてセルを救済できるように２６０×２６０ビットが接続されている。これによりさらに微細なリソグラフィーを使用することができ、チップのメモリ密度および速度を高めることができる。メモリチップ内の全ビットは同じ機能を有するので、そのような冗長度はメモリを実現するのに比較的容易である。しかしながら、プロセッサは固有の機能を有した多数の回路（この分野ではしばしばランダムロジック回路と呼ばれる）を有しており、ある種の回路を交換可能な予備回路は他の種類の回路を交換することは通常できない。従って、これらの汎用予備回路方式をプロセッサに適用することは実用的でない。

すべての回路を複製することによりランダムロジック回路を操作する冗長方式もこの分野で公知である。この方式は各回路の正しく機能するコピー出力を選択し、欠陥のあるコピー出力を無視あるいは消去する手段を有している。これらの複製方式のうち、米国特許第4,798,976号および第5、111、060号に例示される回路２重化方式は冗長に対して最も少ないリソースを使用しているが、欠陥に対する保護も最も小さい。これはある回路の２つの欠陥コピー（あるいは結合出力ラインの１つの欠陥）が依然として訂正不可能な欠陥を作

るからである。さらに、どの回路に欠陥があるかを判断する必要があり、それらの回路は非アクティブ状態になる。従って多くの方式では、各回路に第３のコピーを付加するので投票方式は自動的に１つの欠陥コピーの出力を消去することができる。しかし、これはジレンマに陥る。この投票が大きなブロックの回路群の出力に成されると、３つのコピーのうちの２つが欠陥を持つ場合があり、一方小さなブロックの回路に投票が成されると、多くの投票回路が必要となり、投票回路自体にエラーが起きやすくなる。３つの回路から２つの欠陥回路を取り出す方法（これは複製方式が直面する２つの問題から２つの欠陥を取り出す場合よりも頻繁に起こる）も公知である。１つの方法としては、米国特許第4,621,201号に例示されるように投票から欠陥回路を消去する方法を提供することである。別のやりかたではダイナ
ミック投票プロセスに診断ステップを付加するが、２つの欠陥部を有する３つの組みが依然として機能可能である。米国特許第3,543,048号および第4,849,657号に例示される他の方法としてはＮ倍複製を要求することである。この場合、Ｎは十分な冗長度を提供するのに必要なレベルの値を取り得る。Ｎの値を大きくすると空間の使用効率が悪くなり、投票回路自身の複雑度が増大する。このため、故障が起こりやすくなる。この問題は無くすことはできないが、多少低減することはできる。米国特許第4,617,475号が行っているように各回路の複製にアナログ差動トランジスタを付加して投票回路の複雑度を最小に抑え、回路の複製数に関係無く１つのアナログ差動トランジスタが投票を行えるようにすることである。さらに別の方法はゲートレベルで回路を複製することにより”投票”を消去し、冗長度をロジック回路自身に組み込むことである。例えば、米国特許第2,942,193号は各回路を４倍にし、信号発生元から２つのレベル内のエラー信号を消去する。この方式は集積回路に適用できるが、（この方式は集積回路よりもかなり先行するが）等価な非冗長ロジック回路に比べてゲート数は４倍、入力は２倍となり、回路面積が大きくなり、必要電力が大きくなり、実用的でない。このＮ倍冗長方式もまた、複製回路が物理的に離れていると、信号を集めるのに余計な配線が必要となり、伝播遅延を生じ、複製回路を近づけると、１つの大きなリソグラフィーエラーがすべての複製回路を全滅させ復旧不可能な故障を生じる。
セルベースのフォールトトレラントアーキテクチャもこの分野で知られている。例えば米国特許第3,913,072号および第5,203,005号はかなりの数の各セルに欠陥があってもすべてのウエハのセルを１つのエラーの無いセルチェーンに接続するフォールトトレラント方式を開示する。しかしながら、この結果生じる１次元のチェーンは高速メモリアレイに必要なダイレクトアドレッシング、Ｉ／Ｏアレイに必要なアレイセルの位置の規則性および最も並列的な処理タスクを効率的に取り扱う２次元以上の隣同士の通信機能が欠ける。これはこれらの回路構成の有用性を下位レベルあるいは中位レベルの性能のメモリシステムに制限するとともに、データのソートのような１次元あるいはより低い接続性により支配されるタスクに制限する。米国特許第4,800,302号はセル同士のダイレクト接続を全くサポートしない予備セル方式に基づいたグローバルアドレスバスを開示する。この場合にはすべてのセル間の通信をグローバルバス上で行う必要がある。グローバルバスを介してセルをアドレスすることは重大な欠点がある。すなわち、多重セルの並列アクセスができず、セルのアドレスをバス上のアドレスと比較することはセルをアクセスするのに遅延を生じる。さらに、セルの数が多い場合、電力の使用が効率的でない。Ｎ個のセルの場合に、アドレスされているか否かを判断するためには、それぞれについて最小ｌｏｇ２（Ｎ）のアドレスビット（バイナリシステムの場合）をチェックしなければならず、アドレス信号はＮ＊ｌｏｇ２（Ｎ）入力をドライブするのに十分な電力が必要となる。これはセル間信号がグローバルなシステムでは価格が高くなる。
２次元接続を支持するセルベースのフォールトトレラントアーキテクチャもこの分野で公知である。米国特許第5,065,308号は故障の無いリニアセルチェーンあるいは隣同士の接続を有する故障の無い２次元セルアレイに組織化することのできるセルアレイを開示する。しかしながら、いくつかの考察では大型の高性能アレイへの応用が制限され、最も低い欠陥密度に制限される。セルは行接続および列接続ＩＰＮ→ＯＰＳおよびＩＰＥ→ＯＰＷ

を介してアドレスできるが、このアドレッシングはダイレクトではない。すなわち、西から東に通過する信号は１セル当たり２つの３入力ゲートに遭遇する（プロセッサ自身を通過するのに遅延がゼロと仮定しても）。従って、大きなセルは故障率が高いが、小さなセルサイズはアレイを横切る信号の伝播に重大な遅延を生じる。

例えば１平方センチメートル当たり１つの欠陥を有するウエハを考える。これはリーディングエッジ生産技術では合理的である。５インチウエハに８０平方センチメートルの方形アレイを作ることができる。この場合にどのようなサイズのセルが適当であるかを考える。８×１０アレイの１センチメートルの方形アレイの場合（ペンティアムチップのサイズの１／２）行セルの歩留まりは約３０％であり、平均２４乃至２５の正常セルが得られる。各１つの列が少なくとも１つの正常のセルを有し、かつ隣接する各列のもっとも近い正常セルから高々１行離間している場合にのみ１つの１×８の欠陥の無いセル“アレイ”が製造可能である。これは全体で１％のアレイセルの歩留まりの場合にその時間の約１０％起こる。しかしながら、ウエハスケールの集積の場合には、セルとしては小さなサイズの方が、セルを切り分けて再接続する必要が無いので有効である。セルサイズが減少するにつれ歩留まりは急激に悪くなり、伝播遅延も大きくなる。５ミリ平方メートルのセルの場合、１６×２０の行セルアレイが適当であり、行セルの歩留まりは約７５％であり、ほとんどのアレイは約２４０の正常セルになる。平均的な列は１５の正常セルを有するので、最終アレイの行の数を決定する最も少ない正常のセルを有した列である。これは典型的には１０乃至１１行であり、１６×１０または１６×１１のアレイを作る。これは５０％乃至５５％のアレイセルの歩留まりであり、これは妥当な値である。しかし、アレイを伝播する行アドレス信号はシーケンシャルに３０のゲートを通過し高性能メモリシステムにとってはかなり長い遅延を生じる。

この相互接続方式もプロセッシングセルの使用のために考案されたにもかかわらずプロセッシングセルに使用するといくつかの問題を生じる。セルバイパス方式は２次元の隣同士の接続をサポートし、列毎に列配列されたバスをサポートすることも可能だが、１セル当たり２ゲートの遅延を伴わずに対応する行配列されたバスをサポートすることはできない。このバイパス方式を物理的に３次元アレイに拡張することによってのみ、３次元接続が可能となる。これは今日のリソグラフィー技術では作ることができず、ハイパーキューブ接続のような高次元接続は問題外である。２次元の隣同士の接続でもこの方式はある欠点を有する。行配列された隣同士の接続は１つの対角線上のセル－センタからセル－センタよりも大きな距離にはならないが、列配列された隣同士の接続はいくつかの欠陥のあるすなわち動作しないセルにまたがらざるを得ない。すべてのセル間タイミングおよび電力を考案する場合には、そのようなパスに遭遇する恐れのある最大容量および抵抗を考慮しなければならない。この方式はまたバイパスされる各欠陥セルに対して（その同じ論理行の隣接セルに対して）その列の残り全部の各セル位置をシフトする。これは各欠陥セルの影響をその欠陥セルの隣接セルを超えて伝播する。このマルチセルシフトはアレイセルの物理位置が重要であるダイレクト入力または出力セルアレイのようなアレイには有用である。

発明の開示

それゆえこの発明の目的は、大型のセルアレイをモノリシックに形成された単位から作ることができ、かなりの数の欠陥セルにもかかわらず欠陥の無いアレイの少なくとも妥当な歩留まりを有し、すべてのアレイセルがダイレクトアドレッシング可能であり、グローバルデータバスにアクセスでき、セルアレイを小型の高性能メモリシステムとして使用できる高冗長構成のネットワークセルを提供することである。

この発明の他の目的は大型のセルアレイをモノリシックに形成される単位から作ることができ、かなりの数の欠陥セルにもかかわらず、欠陥の無いアレイの少なくとも並みの歩留まりを有しすべてのセルアレイが少なくとも３つのトータル次元（そのうち少なくとも２つの次元は物理的）における隣接するアレイセルと双方向通信し、セルアレイを、３次元あるいはそれより高い次元の接続の大規模並列タスクに並列プロセッシングシステムとして有効に使用可能な高冗長構成のネットワークセルを提供することである。

この発明の他の目的は大型のセルアレイをモノリシックに形成される単位から作ることができ、かなりの数の欠陥セルにもかかわらず、欠陥の無いアレイの少なくとも並みの歩留まりを有しすべてのセルアレイが少なくとも３つのトータル次元（そのうち少なくとも２つの次元は物理的）における隣接するアレイセルと双方向通信し、欠陥セルを交換する予備セルが物理的に欠陥セルに隣接するセルであり、ビデオプレイヤや、ダイレクト入力イメージ処理アレイのような物理ロケーションが重要な場合にほとんど変位を伴わずにダイレクト交換できる高冗長構成のネットワークセルを提供することである。

この発明の他の目的は、RISC（Reduced Instruction Set Computer）およびCISC（Complex Instruction Set Computer）を有するのに十分な大きさのセルが得られるような十分な冗長度を有するセルベースフォルトトレラントアレイを提供することである。

この発明の目的はチップ外データボトルネックでのデータの衝突を低減する高度並列すなわち大規模並列データプロセッシングシステムを提供することである。

この発明の他の目的は、各セルが光学的なダイレクト出力手段を有し、及び圧縮データ列からデータを抽出しダイレクト出力手段を介してデータを転送するのに十分なメモリと処理手段を有し、今日のリソグラフィ技術による明白な光学的欠陥サイズよりもセルを小さくすることのできる、モノリシックアレイのセルを含む超高度表示分解能の表示を提供することである。

この発明の他の目的は、すべてのリソグラフィ部品を同じモノシリック領域に製造でき、すべてのリソグラフィ部品をすでに接続した状態で製造できさらにミクロスケールで相互接続することのできるシリアルまたはパラレルデータプロセッシングシステムを提供することである。

この発明の他の目的は、各セルが光学的ダイレクト出力手段を有し、およびセルがダイレクト出力を管理するのに必要な能力以上のメモリおよび／又は処理能力を有し、アレイが全体としてのそのシステムの他の機能を実行でき、それにより表示に専念できるモノリシックに形成されたシステムの断片を増大することのできるモリシックアレイセルを含む超高分解能表示を提供することである。

この発明の他の目的は、現在の並列処理システムにおける欠点を除去し、、各セルがダイレクト手段、入力手段、および汎用データ処理を行うために十分なメモリと処理能力を有し、アレイがプロセッサ、メモリ、オフチップあるいは出力ボトルネック無しに広範囲の並列処理タスクを実行できるアレイセルを含むモノリシックの高度並列又は大規模並列データ処理システムを提供することである。

この発明の他の目的は、各セルがダイレクト入力手段、ダイレクト出力手段、及び記憶と処理のための手段を有し、アレイが外部装置と物理的接続無しに通信可能なモノリシックのセルアレイを提供することである。

この発明の他の目的は、入力手段、出力手段、メモリ手段及び処理手段との間の距離を最小にし、電力消費を少なくし動作中の発熱量を抑える並列データプロセッシングアーキテクチャを提供することである。

この発明の他の目的は無線転送をダイナミックに外部装置に集中し、モノリシックに集積されたダイナミックフォーカスフェーズアレイを介して帯域の衝突と必要電力を最小にするデータプロセッシングシステムを提供することである。

この発明の他の目的はシステムデザインコストを低減し、すべての部品の少なくともリニアな複製を介する連続製造プロセスの実現を簡単化するデータプロセッシングアーキテクチャを提供することである。

この発明の他の目的は部品速度に対してシステム速度を最大にし、それによりローコストだが定速度の材料から形成される媒体性能を実用的なものにするデータプロセッシングアーキテクチャを提供することである。

この発明の他の目的はこの発明の上述した目的のいずれか及びすべてを１枚の薄板に実現する方法を提供することである。

この発明の第１の観点によれば、大型の欠陥の無いセルアレイを作ることのできるセルのモノリシック冗長構成のネットワークを含む装置が提供される。この場合、各アレイセル

は直接アドレスされグローバルデータバスを介してデータを受信及び送信でき、アレイセルの結合されたメモリを１つのモノリシック高性能、高容量メモリモジュールとして使用できる。

この発明の他の観点によれば、大型の欠陥の無いセルアレイを作ることのできるセルのモノリシック冗長構成のネットワークを含む装置が提供される。この場合、各アレイセルは少なくとも３つのトータル次元であってそのうち少なくとも２つが物理的な次元で最も隣接するセルとダイレクト双方向通信機能を有し、アレイを全体として３次元あるいはそれより高い次元の隣同士の接続から成る並列処理タスクを効率よく処理することができる。

この発明の他の観点によれば、欠陥の無いアレイを作るために欠陥セルを交換するすべての予備セルは予備セルが交換するセルの物理的隣接位置にあり、ダイレクト入力あるいはダイレクト出力画像処理アレイのような物理的位置が重要である場合にアレイを使用することのできる、大型の欠陥の無いセルアレイを作ることのできるセルのモノリシック冗長構成のネットワークを含む装置が提供される。

さらにこの発明の他の観点によれば、欠陥の無いアレイを組織する際に、少なくとも３つの予備セルが欠陥のあるセルの機能を交換でき、欠陥の無いアレイの少なくとも並みの全体の歩留まりを維持しつつRISCまたはCISCをサポートするのに十分なセルを使用することのできるようにセルが相互接続されたモノリシック冗長ネットワークを含むデータプロセッシングシステムが提供される。

さらにこの発明の他の観点によれば、すべての部品が全体としてその領域の妥当な歩留まりを有する同じモノリシック領域に集約でき、すべてのリソグラフィ部品をマクロスケールですでに相互接続して製造可能な高い歩留まりでシリアル又はパラレルデータプロセッシングシステムのすべてのリソグラフィ部品をモノリシックに製造できるフォールトトレラントアーキテクチャが提供される。

この発明のさらに他の観点によれば、各セルが表示機能を必要とする以上のダイレクト光学出力手段、メモリ、及び／または処理手段を有し、アレイがデータを表示することに加えて全体としてシステムの機能を実行可能な大型の欠陥の無いセルアレイを組織することのできるモノリシック冗長構成のネットワークを含む装置を提供できる。

この発明のさらに他の観点によれば、各アレイセルがグローバル入力にアクセスし、ダイレクト光学出力手段を有するとともに最小のメモリと処理手段を有し、アレイが、コンピュータ、ＴＶステーションあるいはＶＣＲのような別の装置から送られたデータを受信し、伸長し表示することができる、大型の欠陥の無いアレイセルを組織することのできるモノリシック冗長構成のセルネットワークを含む装置が提供される。

この発明の他の観点によれば、各セルが隣接するセルと通信する手段を有するとともにダイレクト光学出力手段、最小メモリ及び処理手段を有し、アレイがコンピュータやＶＣＲのような別の装置により送られた多数の並列入力列を受信し、伸長し表示することのできる、大型の欠陥の無いアレイセルを組織することのできるモノリシック冗長構成のセルネットワークを含む装置が提供される。

この発明の他の観点によれば、大型の欠陥の無いセルアレイを組織化できるモノリシック冗長構成のセルネットワークを含むデータ処理システムが提供される。この場合、各セルは固有のダイレクト入力手段、ダイレクト出力手段並びに記憶手段、隣接するセルと通信する手段を有し、各セルは（他に依存せずに）完全な小型データ処理システムであるとともに大型ネットワークの一部であり、並列プロセサの欠点であるＩ／Ｏ及びメモリのボトルネック並びにシングルプロセッサアーキテクチャのフォンノイマンボトルネックを解消し、プロセッサ／メモリアレイと外部入出力装置との間の物理的相互接続を消去した、高度並列又は大規模並列データプロセッシングシステムを提供する。

この発明のさらに他の観点によれば、大型の欠陥の無いセルアレイを組織化できるモノリシック冗長構成のセルネットワークを含むデータ処理システムが提供される。この場合、アレイセルはダイレクト入力及び／又はダイレクト出力を有し、予備セルは独自のＩ／Ｏを持たず欠陥セルのダイレクト入出力を使用し、ネットワーク表面が全体としてアレイセルにより使用中のダイレクト入力及び／または出力により実質的に被覆可能である。

この発明のさらに他の観点によれば、大型の欠陥の無いセルアレイを組織化できるモノリシック冗長構成のセルネットワークを含むデータ処理システムが提供される。この場合、アレイセルはフォールトトレラントダイレクト入力及び／またはダイレクト出力を有し、予備セルは独自のダイレクト入出力を使用し、ネットワーク表面が全体として、ダイレクト入力および／またはダイレクト出力の連続する重大な欠陥を伴わずに、アレイセルにより使用中のダイレクト入出力で実質的に被覆可能である。
この発明のさらに他の観点によれば、各ダイレクト入力手段およびダイレクト出力手段を有するとともに、メモリ手段、処理手段及び隣接するセルとの通信手段を有し、アレイが組織される全体のネットワークが少なくとも同一ユニットのリニアな複製により製造可能であり、連続的なリニアな製造法によりアレイの製造を簡単化する大型の欠陥の無いセルアレイを組織化できるモノリシック冗長構成のセルネットワークを含むデータ処理システムが提供される。
この発明のさらに他の観点によれば、部品速度に対してシステム速度を最大にし、それによりアモルファスあるいは多結晶シリコンのような低性能基板からシステムを受入可能な性能にすることができる並列データプロセッシングシステムを作るように欠陥の無い大型セルアレイを組織できるモノリシック冗長セルネットワークを使用するデータプロセッシングが提供される。
この発明のさらに他の観点によれば、全体のセルアレイが１枚の薄板として形成される上述のセルアレイを製造する方法が提供される。
ここで使用される“フォールトトレラント”という表現は１つ以上の欠陥部品にもかかわらず正しく機能する能力を意味する。
ここで使用される“データプロセッシングシステム”という表現は（人間のオペレータのような外部装置からの入力手段、メモリ手段、処理手段及び（人間の目のような）外部装置への出力手段を含むシステムを意味する。
ここで使用される“欠陥の無いアレイ”という表現はすべての欠陥のあるアレイセルが正しく機能する予備セルにより論理的に交換されたセルのアレイを意味する。
ここで使用される“高度並列”という表現は、少なくとも１６の並列エレメントを有する問題、タスクあるいはシステムを意味する。
ここで使用される“大規模並列”という表現は少なくとも２５６並列エレメントを有する問題、タスクあるいはシステムを意味する。
ここで利用される“予備線方式”は欠陥のユニットを含む１つ以上の行及び／または列のユニットを論理的に交換するために使用可能な１つ以上の予備の行及び／または列を使用するフォールトトレラントアーキテクチャを意味する。
“ダイレクト交換”という表現はあるユニットが欠陥ユニットを交換すると、欠陥ユニットが欠陥が無かった場合と論理的に同一の態様でそれが、そのユニットが一部であるシステムの残りの部分と相互作用することを意味する。
ここで使用される“アレイ”という表現は２または３の物理的次元の規則パターンに配列されたエレメント又は３次元形状の表面上の規則的な２次元パターンを意味する。
ここで使用される“大規模セルアレイ”は、それが形成されたリソグラフィでかつ予備セルを考慮しないで、平均的に複数の欠陥セルを含むセルアレイを意味する。
ここで使用される“妥当な歩留まり”という表現は５０％を超える歩留まりを意味する。
ここで使用されえる“高い歩留まり”という意味は９０％を超える歩留まりを意味する。
ここで使用される“極めて高い歩留まり”とは９９％を超える歩留まりを意味する。
ここで使用される“単一基板システム”という表現はすべての部品が１枚の基板に形成されるデータ処理システムを意味する。
ここで使用される“ダイレクト出力手段”という表現は与えられたセルに対して出力信号が隣接するセルを中継せずに、そのセル及び他のセル群に共有の物理的キャリアを介して、あるいは予備の外部出力装置を介して（人間のような）外部装置に出力信号を送ることを意味する。
ここで使用される“ダイレクト入力手段”は与えられたセルに対して、入力信号が隣接す

るセルを中継せず、そのセル及び他のセル群に共通の物理キャリアを介してあるいは別個の外部入出力装置を介してアレイ外の装置からの入力信号を受信する手段を意味する。
ここで使用される“グローバル入力”という表現は個々のセルに対して、グローバルデータバスのようなそのセル群に共通の物理キャリアから入力信号をピックアップする手段を意味する。
ここで使用される“外部出力装置”はセルアレイから別個の物理的存在として形成された出力装置を意味する。
ここで使用される“外部入力装置”はセルアレイから別個の物理的存在として形成された入力装置を意味する。
ここで使用される“補足ダイレクト入力手段及びダイレクト出力手段”は互いに通信することのできる２つの同一装置のダイレクト入力手段及びダイレクト出力手段を意味する。
ここで使用される“隣接するセルと通信する手段”という表現は少なくとも１つの隣接するセルからの信号を受信する入力手段と、その信号を他のアレイセルと共有されるキャリアを介して中継することなくあるいは外部装置を介して少なくとも１つの他の隣接セルに信号を送る出力手段を意味する。
ここで使用される“フルカラー”という表現は少なくとも５０、０００色の異なる色（補助を借りずに平均的な人間の目が識別可能な色あいのおよその数）を表示または識別する能力を意味する。
ここで使用される“フルモーションビデオ”という表現は１秒間に少なくとも５０フレーム（補助手段を用いない平均的な人がビデオ品質に何らの改善も認知しないレート以上のおおよそのレート）を表示する能力を意味する。
ここで使用される“マクロ”という表現は、平均的な補助手段を用いない人間の目の分解能力より大きい値あるいは５０ミクロンより大きい値を意味する。
ここで使用される“ミクロ”という表現は平均的な、補助手段を用いない人間の目の分解能より小さな値、あるいは５０ミクロンより小さな値を意味する。
ここで使用される“薄板”という表現はトータルの厚みが１センチメートル以下のシートを意味する。
ここで使用される“領域”という表現は全体のネットワークより小さいセルのネットワークの領域にある複製のセルに共通あるいは相関するものを意味する。
ここで使用される“ダイレクトにアドレス可能”という表現は、アドレス信号が他のセルを中継することなく各物理アレイの次元に対して１つのオフ／オン信号を介してセルがアドレス可能であることを意味する。
ここで使用される“トータル次元”という表現は、物理的な次元の数プラス論理的次元の数を意味する。
６５、５３６プロセッサCM-1 Connection Machineコンピュータは例えばプロセッサが１５のトータル次元のハイパーキューブに接続され、そのうち３つが物理次元で１２が論理次元である。
ここで使用される“物理接続”は物理的な接触あるいはサブミクロンの近接度を意味する。
ここで使用される“モノリシック”という表現は基板の連続領域を意味する。ここで使用される“フェーズアレイ”という表現は各エレメントが個々に、アレイが全体として受信または放射する信号の成分の位相またはタイミングを制御するアレイを意味する。
ここで使用される“ダイナミックフォーカス”という表現は焦点距離及び／または方向が予め決まっておらず装置に焦点を当てる操作中に調節される焦点処理を意味する。
ここで使用される“Ｎ倍複製”という表現はあるユニットのＮ個の機能的に同一のコピーがオペレーショナルシステムに必要なユニットの各コピーに対して形成されることを意味する。
ここで使用される“Ｎ対１冗長度”はエラーが無い場合に、Ｎユニットのいずれかが与えられたユニットの機能を充足することを意味する。
“物理的接続”という表現は２つのセル間の最小距離がその方向のセルの幅の２倍より小

さいことを意味する。
“同一のリソグラフパターンで製造可能である”という表現は単独に構造の類似性を述べており、この発明をリソグラフィ技術により作られた実施例に限定するものではない。
【図面の簡単な説明】
この発明の上述した目的、特徴、効果および他の目的、特徴、効果はこの発明の好適実施例の以下の記述からさらに容易に明白となる。
図１Ａは２つの予備セルのいずれかが欠陥のあるセルに取って代わる手段を有するプロセッシングセルの機能図；
図１Ｂは３つの予備セルのいずれかが欠陥のあるセルに取って代わる手段を有するプロセッシングセルの機能図；
図１Ｃは４つの予備セルのいずれかが欠陥のあるセルに取って代わる手段を有するプロセッシングセルの機能図；
図１Ｄは４つの予備セルが欠陥のあるセルに取って代わる手段を有する処理セルの別のアレイの機能図；
図１Ｅは８つの予備セルが欠陥のあるセルに取って代わる手段を有する処理セルの別のアレイの機能図；
図１Ｆは３つのアレイセル毎に１つの予備セルを有するとともに３つの予備セルのいずれかが欠陥のあるアレイセルに取って代わるプロセッシングセルのアレイの機能図；
図１Ｇは８つのアレイセル毎に１つの予備セルを有するとともに２つの予備セルのいずれかがいずれかの欠陥アレイセルに取って代わる手段を有するプロセッシングセルのアレイの機能図；
図１Ｈは４つのアレイセルの列毎に１つの予備セルの列を有するとともに３つの予備セルのいずれかが欠陥のあるアレイセルのいずれかと交換する手段を有するプロセッシングセルのアレイの機能図；
図２はアレイセルの１つを交換するために使用した場合には、最も隣接する４つのアレイセルのいずれか１つのアドレスに応答可能な予備セルの機能図；
図３はメモリアレイ及び“モノチップ”ＣＰＵ及び他のインターフェース“チップ”を有したウエハの幾何学図；
図４Ａはこの発明によるプロセッシング手段およびメモリ手段を有したアレイセルの機能図；
図４Ｂは２つの隣接するアレイセルのいずれかを交換できる予備セルからのパスを示すセルのアレイの機能図；
図４Ｃは３つの隣接するアレイセルのいずれかを交換できる予備セルからのパスを示すセルのアレイの機能図；
図４Ｄは４つの隣接するアレイセルのいずれかを交換できる予備セルからのパスを示すセルのアレイの機能図；
図４Ｅは配列－無感応コンタクト手段を示すセルのアレイの機能図；
図５Ａはこの発明によるダイレクト出力データ伸長セルのアレイの機能図；
図５Ｂは図５Ａのセルの１つの機能図；
図６Ａはセルがセルアドレス及びグローバル入力のかわりに隣同士の通信を使用するダイレクト出力データ伸長セルのアレイの機能図；
図６Ｂは図６Ａのセルの１つの機能図；
図７Ａは予備セルが交換するアレイセルのダイレクト出力を用いることのできる予備の機能図；
図７Ｂは交換することのできる予備セルがダイレクト出力を使用するときアレイセルのダイレクト出力により占有される領域の幾何学図；
図８Ａは古典的なシリアルデータ処理システムの物理的部分の機能図；
図８Ｂは古典的なシリアルデータプロセッシングシステムのデータフローの機能図；
図８Ｃは古典的な大規模並列データ処理システムのデータフローの機能図；
図９Ａはこの発明による集積化大規模並列データ処理システムの物理部分の機能図；

図９Ｂはこの発明による集積化大規模並列データ処理システムのデータフローの機能図；
図１０はダイレクト出力手段及びダイレクト入力手段を有するアレイセルの機能図；
図１１はダイレクト入力及び出力を使用して外部装置と通信する処理セルのアレイの幾何学図；
図１２は数種類のダイレクト入力及びダイレクト出力を有した１つのプロセッシングセルの機能図；
図１３はダイレクト出力手段をフェーズアレイとして用いて外部受信機に焦点を合わせるいくつかのセルの機能図；
図１４Ａは固有の電力吸収蓄積手段を有するダイレクトＩ／Ｏプロセッシングセルの幾何学図；
図１４Ｂは一連の薄膜層から成る薄板として形成されたダイレクトＩ／Ｏプロセッシングセルのアレイの幾何学図。

発明を実施するための裁量の形態

ダイレクト交換セルフォールトトレラントアーキテクチャリソグラフィエラーは伝統的なチップサイズを制限するので、チップベースコンピュータアーキテクチャは処理、記憶、及び入出力制御のための多くの独立したチップを用いる。

多くのこれらの独立したプロセッサ、メモリ、および補助チップはかさ張るセラミックパッケージに封止され、さらにかさ張るプリント基板に付けられて互いに接続される。

例えばIBM/Apple/MotorolaのPowerPC601のようなほっそりしたプロセッサチップは自身のサイズの２０倍のセラミックホルダを使用してさらに大きな回路基板に接続可能にしている。各チップはミクロスケール（１ミクロンオーダ）で形成された線を内部的に使用しているが、チップ間のボードレベルの相互接続はマクロスケール（１ミリのオーダ、すなわち１００倍の幅）で形成された線を使用する。このチップベースアーキテクチャのために、ウエハを切り分け次にパッケージングし、それらのチップを相互接続する費用及びこれを作る対応する容積の影響を受けるだけでなく、システムのあるチップと残りのチップとの間の接続数の制限の影響を受ける。一度チップサイズの制限を超えると、システムの残りのチップへの可能接続数は３次のオーダー以上落ちるとともに各接続を駆動するのに必要な電力が急激に上昇する。

このリソグラフチップサイズ制限を改善もしくは解消するいくつかの試みが、この分野で知られている。小型の高反復回路の場合、汎用の交換フォールトトレラント方式が有用である。このうち最も商業的に成功している方式が余分のビットラインおよびワードラインをメモリチップに作ることである。例えば４メガチップ、１セルが６４Ｋビットの６４セルで通常構成され、６４セルすべてを機能させる可能性を増大させるために各セルは物理的に６４Ｋビットに必要な２５６×２５６のかわりに２６０ビットラインと２６０ワードラインを有する。予備線は複雑なヒューズ群を介して標準線に接続されるので各故障線に対するダイレクト交換が可能である。このラインレベルの冗長構成によりセルを２乃至３のエラービットから回復することが出来、小さなリソグラフィエラーを起こしやすい。さらに微細なリソグラフィをチップサイズの制限を減少することなく用いることができる。しかし大きなリソグラフィエラーは多数のラインにまたがるので、この冗長構成はそのようなエラーをアドレスするのに何もせず、全体のチップサイズ制限はそれほど増大しない。さらにこのような汎用交換フォールトトレラント方式は２次元またはそれ以上の次元の隣接ユニット同士の接続をサポートせず、小型の高反復回路とのみ動作する。プロセッサは多数のランダムロジック回路を有し、１種類の欠陥回路を交換可能な予備回路は他の種類の欠陥回路を交換できず、そのような汎用予備回路方式はプロセッサには非実用的である。

各回路を複製することによりランダムロジック回路を制御する冗長構成方式もこの分野で知られている。この方式は各回路の正しく機能するコピーの出力を選択し故障のコピーの出力を無視または消去する手段を含む。これらの複製方式のうち回路２重化方式は冗長構成のための最小限のリソースを用いるが１つの回路の２つの欠陥コピーあるいは結合出力ラインの１つの欠陥によりディスエーブル可能である。それゆ多くの方式は各回路の第３

のコピーを付加しそれにより投票方式は自動的に１つの欠陥コピーの出力を消去する。しかし、これはジレンマに陥る：投票が大規模回路ブロックの出力に成されると３つのうちの２つのコピーが欠陥を有する確率が高くなるが、投票が小規模回路ブロックの出力に成されると、多くの投票回路が必要となり投票回路自身のエラーの可能性が高くなる。
３つの内２つの欠陥回路を持つことに対処する方法（これは複製方式が直面する２つの回路から２つの欠陥を生じる問題よりも頻繁に起こる）も知られている。１つの方法は投票から欠陥回路を消去することである。これは診断ステップを他のダイナミック投票プロセスに付加するが、２つの欠陥部材を有する３つの組みが依然として機能可能である。別の方法はＮ倍複製を要求することである。この場合Ｎは十分な冗長構成を作るのに必要ないかなるレベルにも増加できる。
大きなＮは空間の使用が非効率になるだけでなく投票回路自身を複雑化し、それゆえ故障が起こる確率が高くなる。
この問題は（例えばアナログ回路を介して）投票回路の複雑さを最小にすることにより多少低減でき、あるいは多大の費用をかけてゲートレベルのＮ倍冗長構成を通して回路面積及び電力を消去することができる。また、使用されるＮ値を低くするようにＮ倍方式が小型のユニットに使用すると問題が起きる。すなわち、複製が物理的にかけ離れていると、信号を束ねるのにかなりの余分の配線が必要となり伝播遅延を生じる。一方、複製を近づけすぎると１つの大きなリソグラフィエラーが複製全体を全滅させ回復不可能なエラーを生じる。
Ｎ倍複製以外のセルベースフォールトトレラントアーキテクチャもこの分野で知られている。しかし、汎用データ処理にとってもっとも重要な特徴のいくつかをサポートしていない。すなわち、高速メモリアレイに必要なダイレクトアクセス、Ｉ／Ｏアレイに必要なアレイセルの位置の規則性、及び多くの実世界の並列処理タスクを効率よく取り扱うのに必要な２次元以上の隣同士の通信をサポートしていない。
従ってこの発明の一実施例によるフォールトトレラントデータ処理アーキテクチャはチップサイズ制限のボトルネックを十分な冗長度を有するモノリシックセルのネットワークを用いて解消する。すなわち大規模なエラーの無いセルアレイを組織化でき、アレイセルはデータ処理に有用な多種の属性を有し、高速メモリアレイに必要なダイレクトアドレス、Ｉ／Ｏアレイに必要な位置の規則性、および多くの実世界の並列処理タスクを効率よく取り扱うのに必要な２次元以上の隣同士の通信を有し、複数の予備セルが、アレイセルが欠陥であると判別した場合に、そのアレイセルの機能をダイレクトに交換するように相互接続されたネットワーク内に予備セルを設ける。これは、予備セルの交換能力が重なるような状態で複数の潜在的に欠陥のある隣接するアレイセルの１つをダイレクトに交換するように作用する能力を予備セルに持たせることにより実現可能である。
このようにして例外的なレベルの冗長構成およびそれにより極めて高いフォールトトレランスを２、３の予備セルから相対的に提供可能である。予備セルをアレイセルのダイレクト交換として作用させる最も簡単な方法は予備セルが同一の内部機能、あるいはそのスーパーセットを持ち、通常の動作においてアレイセルが使用する接続毎にダイレクト交換機能を持つことである（“予備セル”と“アレイセル”を同一にすることは可能である。ただし、所定の予備セルが複数のアレイセルの１つを交換するとき、いくつかの接続は通常状態において、アレイセルとしてアイドル状態にする必要がある。図１Ａはそのような相互接続方式の例を示す。この場合、セルネットワーク１０は２列のアレイセル１００毎に１列の予備セル１００’を含む。予備セルの観点から各予備セル（アレイのエッジの予備セルを除く）は４つの最も隣接するアレイセルの１つを交換することができ、アレイセルの観点から欠陥セルと交換できる２つの予備セルがある。図１Ｂでは、３つの予備セルが欠陥セルアレイを交換できる；図１Ｃでは４つの隣接する予備セルが欠陥アレイセルを交換できる。（これは図１Ｄに示すようにアレイセルのチェッカーボードパターンと予備セルでもできる）。
この種の方式は際立ったエラートレラントシステムを作る。これは大型のセルアレイを単一ユニットとして製造可能にする点で非常に重要である。リソグラフィの制限を押しすす

めると、５インチウエハ当たり２００のエラーを平均化することは一般的でない。このような条件下で予備セルの１つを欠陥セルと交換可能に実現すると１平方インチあたり１００００セルを有するフルウエハネットワークの歩留まりをほぼゼロか99.99%まで高めることができる。RISCおよびCISCを含むような大型セルの場合図１Ｃおよび図１Ｄの５対１方式はエラーしやすいリーディングエッジリソグラフィ技術を用いた場合であっても１辺が数ミリメートルまでのウエハサイズセルアレイに対して同様の歩留まりを得るのに十分な冗長度を提供する。マクロレベルで相互接続されたセルの場合、セル間接続を制限するオフチップボトルネックは無い。従ってこの予備セル方式は、アレイセルの１つが欠陥を示した場合に各予備セルがより広い領域のアレイセルを交換する能力を提供することによりさらなる冗長構成を提供するように容易に拡張できる。しかしながら、行セルの歩留まりは落ちるので急速に割合が増加する予備セルをネットワークに付加して予備セルの減少を回避する必要がある。図１Ｅに示すようにわずか１／４がアレイセルであるような９対１予備セル方式は６４セルアレイで５０％の行セル歩留まりを有する少なくとも妥当なアレイ歩留まりを維持することができる。

セル間接続はすべてミクロレベルであり、交換セルは物理的に交換されるセルに近接しているので、セルはＮの値が非常に大きいＮ対１交換方式をサポートするための冗長構成に対して十分な相互接続を得ることに専念できる。所定の配列の予備セルおよびアレイセルの場合、２次元Ｎ対１交換方式におけるセルからそのセルを交換可能な予備セルまでの平均距離はおよそＮの平行根に比例する。行および列のダイレクトアドレッシングや行及び列のデータバス等の場合、予備セルがＮ対１交換方式において必要とするパスの数もＮの平行根に比例して増大する。これはＮの値が大きい場合、予備セルが交換できる以上のセルが行または列に配列されているからである。ダイレクトプロセッサ間通信機能を備えたアレイの場合、１予備セルあたりのパスの数はＮに比例する。これは各セルに専用のパスが使用されるためである。両方の種類の接続が使用された場合であっても、Ｎの値は非常に大きくなる。例えばペンティアムサイズのセルは６０、０００ミクロン以上の周長を有し、リーディングエッジ（0.5ミクロン、５金属層）生産ラインは２つの金属層を冗長構成に容易に振り向けることができる。これによりペンティアムサイズセルは冗長構成層に４８０の６４ビット幅パスを持つことができる。典型的なアレイセルは、行／列アドレッシングおよびバスに対して４個のそのような行／列パスを使用することができ、３次元（２つの物理次元と１つの論理次元）近傍－近傍ネットワークにおける近傍のための６個のセル間パスを使用することができる。予備セル接続は約４＊Ｎ　＋　６＊Ｎ＊√（Ｎ／２）の等価パスを使用する。Ｎの値は今日のリソグラフィ技術ではペンティアムサイズのセルの場合２０程度である。これは８対１の予備／アレイセル比の場合行セルの歩留まりは２０％となり、１５対１の予備／アレイセル比の場合にはさらに１０％になり、欠陥の無い合理的な歩留まりを有する。しかし、行セルの歩留まりが低いと正常なセルが使用するウエハ領域の割合が減少し、さらにモノリシックアーキテクチャは、切り分けおよび再接続が不要なためチップベースアーキテクチャより小さなセルを使用することができるので、実用的にはほとんどの場合行セルの歩留まりを９０％そして仮想的にすべての場合の歩留まりを５０％以上に維持するようにリソグラフィエラーレートに対するセルサイズが選択される。

セルは大きなリソグラフィエラーにより設定された実用的な低い制限値を持たせて非常に小さくできる。小さなセルは高い行セル歩留まりを有するので、Ｎの値が小さい冗長構成方式が最適である。そのような冗長構成の場合には、１セルより非常に大きなエラーが大破壊を引き起こすので、セル径に対する合理的な低いリミット値はある領域における最も長い欠陥、すなわち最終アレイサイズの平均長さである。（図１Ｅに示すような）Ｎの値が大きな方式において予備セルとアレイセルのパターンを反転させるとわずかな予備セルから過度のフォールトトレラントシステムを生じる。アレイセルの最大故障許容性および有用性を得るには多少の変更が有用である。例えば図１Ｆにおいて、いくつかのアレイセル（例えばａ’のマークが付けられたセル）は４つの隣接する予備セルを有し、一方他のアレイセル（例えばａ’’のマークが付されたセル）は隣接する予備セルは２つしかない

。これは図１Ｆに示すように各予備セルの交換能力の一部を隣接するセルから次に隣接するセルに移動することによりバランスを取ることが出来る。これにより各予備セルは交換可能な３つの予備セルを持つことになる。これによりネットワーク内のアレイセルの数のわずか１／３の予備セルを持つことにより４対１冗長構成が得られる。一方古典的な４倍複製冗長方式ではアレイセルの３倍の予備セルを必要とする。図１Ｇに示すような極めて高い行セル歩留まりを有するセルの場合、アレイセルのわずか１／８の予備セルで３対１冗長構成が得られる。しかしながら、このまばらな予備セル方式がメモリあるいはダイレクトディスプレイセルに適用された場合問題が起きる。すなわちアレイセルのパターンが規則的な方形アレイでなくなるということである。列（あるいは行）配列された図１Ｈに示すようなまばらな予備セル方式の場合図１Ｆの方式よりも同程度の数の予備セルで同じ冗長度が得られるが、アレイセルが、ダイレクトアドレス可能なメモリセルやダイレクトディスプレイセルに適した規則的な方形アレイとなるので、この方式がさらにまばらな予備セル方式に拡張されるにつれ、予備セルと予備セルが交換可能なアレイセルとの間の平均距離がわずかに長くなり、わずかに高速になるとしても望ましい。高い割合の小さなエラーを有するリソグラフィの場合、予備ビットやワードラインを標準のメモリチップの予備ラインと同じ方法でセルのメモリに付加するような実施例をセル間冗長構成を使用することができるので、予備セルを動作させなくても１セルは２、３の欠陥ビットを許容できる。

実施例はまたアレイが自己テストを行う手段を有する。１つの簡単な方法はすべてのセルにすべての命令を実行するテストルーチンを実行させ、各セルとそのセルの近傍のセルとを比較することにより欠陥セルをつきとめる方法である。ある領域における大多数のセルに同じエラーが起こらなければ各領域における最も一般的な結果は正しく機能しているセルからの結果となる。さらなる実施例はテスト結果が正常であるセルに対して欠陥のある近傍セルを電源を遮断することにより殺すように投票する手段を有する。欠陥のあるセルの電源を遮断することにより、その出力は零となるので、アレイおよび潜在的予備セルからのパスを結合するのにＯＲゲートを使用できる。セルの電力を遮断できるような別個の手段を持つことにより、１つのエラーが欠陥セルを生き残らせることを防止する冗長構成を提供できる。さらに、実施例はセルが、欠陥セルを交換するための予備セルを自動的に選択する手段を提供する。このアルゴリズムは簡単であり、一方のコーナから開始して他方のコーナに進み各欠陥アレイセル毎に元のコーナに戻り、欠陥アレイセルを交換できる最初の欠陥の無い予備セルを探せばよい。さらに高度の方式では、各セルを取り巻く欠陥セルの濃度マップを作り、周囲の欠陥濃度が最も高いセルから始めて欠陥アレイセルを交換し、その処理を最も低い濃度方向に進めていく。各欠陥アレイセル毎にそれを交換可能な予備セルの周囲の欠陥濃度をチェックし、最も低い周囲欠陥濃度を有する予備セルが選択される。この発明の高度の故障許容性により、複数のパターンのセル交換を調査するアルゴリズムは必要としないが、既存のフォールトトレラントアーキテクチャや回路ルーチンソフトウエアからの方式が適当である。

伝統的なチップベースアーキテクチャではチップ間をマクロに相互接続するのであるチップとシステムのその他の部分との接続数が制限され、オフチップデータフローボトルネックを生じる。プロセッサのクロック速度は増加し続けメモリチップ速度より高速であり、（New Memory Architectures to Boost Performance", BYTE,, July 1993）プロセッサチップが使用する処理パイプラインの数も増え続けており、オフチップメインメモリへのアクセスは性能上の制限ファクタになりつつある（"Fast Computer Memories", IEEE Spectrum, October 1992）。このボトルネック間での通信の必要性を減少させるために、新しいプロセッサチップ、例えば、IntelのPentium, Apple/IBM/MotorolaのPowerPC 601, MIPS' 4400, DigitalのAlpha AXP（登録商標）プロセッサはすべて大型のオンチップキャッシュメモリを有する（"A Tale of Two Alphas", BYTE, December, 1993）。これによりほとんどのメモリアクセスはオフチップメインメモリ（ＲＡＭ）への狭いデータバス（３２あるいは６４ビット幅）の代わりに広いオンチップデータパス（PowerPCおよびPentiumの場合２５６ビット幅）を介して行うことが出来る。しかし伝

統的なチップベースプロセッサに付加可能なオンチップメモリの量はそのようなシステムに使用されるメインメモリ全体に比べて小さい。これらのアーキテクチャにおいてもかさ張る、高価なマルチチップのパス幅が制限されたメインメモリが依然として必要である。メインメモリへのパスをさらに広げるためにプロセッサチップとシステムの他の部分との接続の自由度をさらに高めるためにデュアルポートメモリを用いてプロセッサとビデオサブシステムがそれぞれ独立してメモリをアクセスすることができる。これによりビデオサブシステムはディスプレイデータをプロセッサからではなくメモリから直接得ることができるので、プロセッサはビデオサブシステムへの接続だけを制御すればよい。したがって、プロセッサからビデオデータを転送するのに使用される接続手段を無くすことができる。したがって、これらの不要となるパスを用いてメインメモリへのパス幅を広げることができるならば、メモリアクセスボトルネックを一時的に救済できる。しかしながら、チップベースアーキテクチャの場合、プロセッサとビデオサブシステムがそれぞれ別個のメモリパスを持ち、さらにパス幅を広げた場合、各メモリチップへの接続数が大幅に増えメモリサブシステムのサイズとコストが膨大となる。各メモリチップをさらに大きくした場合、必要となるチップの数は少なくなり、メモリサブシステムのトータルサイズとコストが下がる一方パスの数と幅が増大する。しかし、大容量メモリチップはすでに製造可能であり、あるチップの歩留まりが５０％の場合、その２倍のサイズのチップの歩留まりは0.5×0.5すなわち２５％の歩留まりとなり、４倍のサイズのチップの場合0.5×0.5×0.5×0.5、すなわち６％の歩留まりになる。

従って、この発明の好適実施例におけるフォールトトレラントモノリシックデータプロセッシングアーキテクチャは、各アレイセルが直接アドレスされグローバルデータバスを介してデータを受信および送信できる、欠陥の無い大規模セルアアレイに組織可能な、メモリセルの高冗長構成のモノリシックネットワークによりメモリアクセスボトルネックを解消する。図２に示すように、アレイが形成される高冗長構成のネットワークにおいて、セルネットワーク２０は、あるアレイセルが欠陥を示す場合、少なくとも２つの予備セルがその機能を代行する（明瞭化のために１つの予備セルからの接続のみ図２に示される）ように相互接続されたダイクレトアドレス可能なアレイセル２００と予備セル２００’を含む。この実施例において所定の予備セルが所定のアレイセルを代行するために、予備セルはそれがあたかもアレイセルであるかのようにダイレクトにアドレス可能であり、かつその予備セルが交換可能である他のアレイセルの要求には応答しないようにしなければならない。さらに、この実施例は電力消費を最小にし、さらに使用していない接続のキャパシタンス効果を最小にする技術を用いている。例えばセルを複数のアドレスラインに接続し、フィールドプログラマブルゲートアレイをカスタマイズするのに使用する手段のような手段を用いて未使用ラインへの接続を利用する技術である。

各セルは理論的には１ビットメモリしか構成できないが、セル内のビットをアドレッシングするのに必要な電力は、アレイ内の行および列のセル数が増大するにつれリニアに増加し、各セルのビット数のｌｏｇ（２進法では基底２）値で表わされる。低電力高性能メモリシステムに使用する場合、実用的にはセルは少なくとも２５６ビットであり、ビット数がさらに多いほうが望ましい。サイズの上限はリソグラフィエラーレートにより設定される。実際にはこの発明のアーキテクチャによる記憶のみのセルは現在のメモリチップ上のセルに内部的に類似しており典型的には１セルあたり６４Ｋビットである。そのようなアレイセルのダイレクトアドレッシングを用いて、インダイクレトアドレッシングの性能損失あるいは他のセルを介してデータを送ることなく各セルのメモリをグローバルメモリの一部として使用可能である。従って、アレイは全体として小型の高性能モノリシックメモリシステムとして使用可能である。今日の１６メガビットチップに使用されるものと同じリソグラフィ技術を用いてこの実施例はギガビット、すなわち１００メガバイト以上を６インチウエハの製造可能な１つのモノリシック領域に集積可能である。

そのようなアレイは６０程度までの別個のメモリチップを使うものと比べてさらに小型で安価であるばかりでなく、システムの他の部分がサポートすると同じ幅と数のパスをモノリシックメモリモジュールに接続可能である。これにより、例えば、プロセッサとビデオ

サブシステムが同じメモリに対し独立した幅広のパスを持つことが出来る。この発明に開示されたアーキテクチャを用いたメモリセルとアレイはチップベースメモリアーキテクチャの最近の技術、例えば高速オンチップＳＲＡＭ技術、および外国の進歩技術、例えばIEEEのRamLink Architecture（"Fast Interfaces for DRAMs", "A New Era of Fast Dynamic RAMs", "A Fast Path to One Memory"および"A RAM Link for High speed", IEEE Spectrum, October,1992）

チップ配列アーキテクチャのオフチップボトルネックは引き続き悪くなる傾向がある。ミクロおよびマクロ製造技術によりほぼ同じ割合で改善されたが、それらの技術を２倍にすればチップ面積内の回路数は４倍にできるが、その周辺部に製造可能な接続数は２倍になるだけである。例えばMips R4400プロセッサチップの0.6ミクロンリソグラフィはそのような小型の回路を作ることができ、プロセッサコアの周辺に空き領域を有し、システムの他の部分へのマクロなすべての接続をサポートするように全体のチップを大きくしている。（"Mips processors to push Peformance and Price", Electronic Products, December, 1992）。今日のプロセッサに関連してこれらのオフチップデータパスの最大の消費者はオフチップメモリのアクセスである。

従って、この発明の他の実施例におけるフォールトトレラントモノリシックデータプロセッシングアーキテクチャは図３に示すように同じモノリシック基板上に形成された１つ以上の標準の”モノチップ”ＲＩＳＣあるいはＣＩＳＣプロセッサ３８０をこの発明の上記ダイクレトアクセスメモリ実施例で述べたメモリセル３００のモノリシックメモリアレイ３０と結合する。これは全体の歩留まりをアレイの歩留まり×プロセッサの歩留まりに低減するが、シングルモノリシック領域でのミクロスケールのすべてのプロセッサ／メモリ相互接続を維持する。これは領域全体の全周長を残し、これはシングルチップの周長よりかなり大きく、他のシステムへの接続が自在である。この実施例を用いることにより、（１６メガバイトメインメモリを有した４８６のような）アダバンストデスクトップシステムの全体のメモリおよびプロセッササブシステムを１枚のクレジットカードサイズのモジュールに縮小することができる。欠陥のあるプロセッサを有するアレイは、その欠陥プロセッサを無効にしてメモリアレイとして使用することが期待されるとともに、プロセッサに加えてあるいはプロセッサのかわりに他の機能、例えばＢＩＯＳチップ３８０、ビデオアクセラレータ３８０、あるいはＩ／Ｏコントローラ３８０を集積することが期待される。

複数のシングルプロセッサを使用するとボトルネックも増大する。今日の小型および中型のコンピュータのほとんどが数学者John von Neumannにより５０年前に公式化されたシングルプロセッサアーキテクチャに基づいている。いままでに部品の小型化やさらに高度のチップの開発により性能面では劇的な進歩を遂げたが、計算能力に対する改善要望は依然として高い。フォンノイマンアーキテクチャから最大性能を引き出すために種々の技術、例えばＲＩＳＣプロセッサ、命令のパイプライン化、キャッシュメモリおよび演算コプロセッサが組み込まれてきた。しかし、これらの技術はフォンノイマンのシングルプロセッサボトルネックを回避していない－単に限界となるポイントを遅らせているだけである。大型のコンピュータに取って代わって小型のコンピュータが、エンジニアリングシミュレーション、自然言語処理、画像認識、フルモーションビデオのようなタスクを実行するようになり性能の改善がなおざりにされてきた。しかし、さらに高速のプロセッサを開発することが、そのようなタスクを実行するための処理能力を高める唯一の方法ではない。１台のプロセッサを使用するかわりに、並列処理アーキテクチャにより多数のプロセッサを使用して同一タスクを同時に実行する方法がある。１つのメモリを共有する複数のプロセッサからなるマルチプロセッサシステムは長年にわたり大型コンピュータおよびスーパーコンピュータを支配してきた。そして、最近ではデスクトップコンピュータに導入されるようになった。これらの並列コンピュータシステムはフォンノイマンシングルプロセッサボトルネックを除去するが、１つのデータパスを介して複数のプロセッサがメモリをアクセスするファネリングによりさらにプロセッサを増やすと効率が落ち、特にパス幅がオフチップデータフローボトルネックにより制限されているときはそうである。ほとんどの

大規模並列アーキテクチャはこのマルチプロセッサメモリ衝突を、各プロセッサにローカルメモリを持たせることにより解決している。しかし、１つ以上のプロセッサチップを持つと、プロセッサ同士の通信がすでに混雑しているオフチップデータフローに付加されることになるので、オフチップボトルネックに一層圧力がかかる。
従ってこの発明の他の実施例によるフォールトトレラントモノリシックアーキテクチャは、規則的な欠陥の無いセルアレイに組織することができ、完全な高度並列あるい大規模並列処理アレイおよびそのローカルメモリを単一のモノリシック構成要素に集積する、メモリとプロセッサを含む高冗長構成のセルネットワークによりこのボトルネックを解消する。好適実施例はセルがグローバルデータバスを介して通信する手段と、セルが直接アドレスできる手段を有する。これにより、並列タスクを処理するとき、セルが結合されたメモリが全体としてプロセッサアレイの共有メインメモリとして動作可能になる。グローバルバスもSIMD（Single Instruction, Multiple Data）モードで動作するときのプロセッサとの命令のやりとりあるいはMISD（Multiple Instruction, Single Data）で動作するときのデータのやりとりには例外的に有用である。このような実施例は理想的には、並列処理グラフィックアクセラレータとして使用する場合に適している。さらに、実施例はアレイセルのレジスタおよび／またはローカルキャッシュメモリを、別のプロセッサがそのセルのメモリをアクセスするためのキャッシュとして使用する手段を有する。なお、現在は性能を高めるために高速ＤＲＡＭチップ上にＳＲＡＭキャッシュが使われている。
グローバルデータバスを介してもっぱら通信するセルラープロセッシングエレメントのアレイは、互いの星が重力で引っ張られる銀河系の進化のようなある距離にある行動を並列に計算する問題を解決するのに有効であるが、ほとんどの並列処理タスクはさらに高度の接続機能を有する。このため、殆どの並列データ処理システムはプロセッサ間により高度の接続機能を持たせている。プロセッサの数が少ない場合には、“星形”構成がもっとも効果的である。この場合には各プロセッサはその他のプロセッサとダイレクトに接続される。しかし、プロセッサの数が増えると接続数も増える。今日の技術では、１つのチップベースプロセッサは数百程度の接続しかできない。したがって３２ビット幅のパスの場合、オフチップボトルネックによりこの方式は高々１２個のプロセッサに制限されてしまう。この発明で開示したモノリシックアーキテクチャでも冗長なパスを要素に含めるとそのような構成では１００未満のプロセッサしかサポートできない。多くの大規模並列タスクは数千のプロセッサを使うので、殆どの大規模アーキテクチャは１本のグローバルバスと各プロセッサ間同士の接続との間の中間の接続方式を採用している。最も一般に用いられている方法はThinking Machines Corp. が"Connection Machine"コンピュータで採用した“ハイパーキューブ（超立方体）”接続である。しかし流体ダイナミクスのような殆どの大規模並列タスクはランダムなプロセッサ同士の接続ではなく、せいぜい３次元の近傍同士の相互作用を含むので、より簡単な相互接続方式を採用することができる。
図４Ａに示すこの発明のデータプロセッシングアーキテクチャの他の実施例によれば、グローバルデータバスへの入出力のための手段４０２に加えて隣接するセルと通信する手段を各セルが有したセルアレイ４００が提供される。この組み合わせはConnection Machineに使用されているハイパーキューブ接続より簡単で殆どの並列処理問題に有効である。
隣接するセルと通信する手段４１８は、ダイレクト接続手段あるいはメモリ手段を介して、セル間に配置され米国特許第4,720,780号および第4,855,903号の共有メモリと同様の態様によりセル間で共有される。
近傍同士の接続機能を使用できる最も簡単なシステムの１つはニューラルネットワークである。各セル４００はその隣接する各セルとの接続値を含むのに十分な処理能力とメモリしか必要とせず、その隣接するセルから信号を受信すると、これらの値を加算し、累積値がある値に到達すると、信号を隣接するセルに送る。このようなアレイは有効な作業を行う。２つの隣接するセルを有した双方向通信４１８の場合、１ビットを各セルの接続値に用い、２ビットレジスタを用いて接続値を加算するが、十分に大型のセルアレイにニューラルネットワークを作るには理論的に十分であるが、実用的には少なくとも３つのセルとの双方向通信、各セルに対して少なくとも２ビットの接続値のためのメモリが、および少

なくとも４ビットの蓄積メモリが要求される。さらに、メモリ４１６、処理能力４２０、および高次元相互接続を付加すればニューラルネットワークの実現が容易になるとともに、相互接続アレイが広範囲の他の並列処理タスクを取り扱うことができる。例えば、流体ダイナミックシミュレーションは１セル４００あたり６４バイトのメモリ４１６より少ないメモリで実現可能であるが、メモリをもっと増やせばジョブが極めて容易になる。直線的なセルアレイでは、４つの物理的近傍への双方向接続４１８はほとんどの場合最適である。論理次元を増やした場合の近傍との通信機能は多くのシステムの場合利点がある。

セル間接続が所定のアレイセルに付加されると、それに対応する接続を、そのアレイセルを直接交換可能なすべての予備セルに付加しなければならない。各予備セルが直接多数のアレイセルを交換できるとき、相互接続パターンは極めて複雑になる。図４Ｂは図１Ａに示す３対１予備セル方式を用いた場合に、各アレイセルが４つの物理的に近傍のアレイセルへの接続を有する場合のアレイセル４００と予備セル４００’のネットワークにおける１つのアレイセルと１つの予備セルに必要なセル間接続を示す。図４Ｃは図１Ｂの４対１予備セル方式が採用されたときの対応する相互接続を示す。図４Ｄは図１Ｃに示す５対１予備セル方式が採用されたときの対応する相互接続を示し、今日のリソグラフィ技術では一辺が数ミリメートルまでのＲＩＳＣプロセッシングセルに適している。（図４Ｄでは図面の簡単化のために１つの予備セルの上側と左側の接続のみが示されている；下側と右側の接続も同様である）図４Ｄはさらにいくつかのセルに対して複数の接続を含む。これは図示する予備セルが各セルの複数の隣接セルの１つを交換することができるためである。図４Ｂおよび図４Ｃのパターンでは隣接するアレイセルのどのセルを予備セルが交換したかを識別することはそのアレイセルにより内部的に行う。これらのパターンは、各アレイセルがそのアレイセルを交換することのできる各予備セルに対応する接続を有していれば、より高次元あるいはハイパーキューブアレイに拡張できる。アレイのモノリシックの性質によりチップベースアレイよりも、あるオーダの大きさで、各プロセッサへの接続をさらに増やすことができるので、さらなる実施例は、近傍同士およびグローバルデータバス接続機能に加えて行および／または列配列されたアドレッシングおよびデータバスを提供することができる。さらに完全なハイパーキューブ接続や回路が複雑になってもそれに見合う効率の改善が得られるような場合にも提供できる。

現在のリソグラフィ技術を用いて製造する場合、製造マスクの面積より大きいアレイ４０は図４Ｅに示すアラインメントインセンシティブコンタクト４２２を用いてマスク境界にまたがる隣接するセルを接続する（パスが複数であれば複数ビットの幅になるが図面の簡単のために１パスあたり１コンタクトのみ示している）。従って、アラインメントインセンシティブコンタクトは使用される小さな個々に配列されたマスクの行またはアレイを用いて、大きなアレイをシングルユニットとして作り出すことができる。リーディングエッジリソグラフィは一般的にはわずかに数十ミリメートルの距離でしかそのアラインメントを維持できないので、リソグラフィの制限を加味した場合にはアラインメントインセンシティブコンタクトも必要である。

連続性が支配的なソフトウエアをシステムが実行することが予想される場合の別の実施例によればセルネットワークと同じモノリシック基板上に形成された１つ以上の高速シリアルプロセッサを含む。（シリアルプロセッサは欠陥がある場合には無効にされる）。セルアレイはシリアルタスクを実行するシリアルプロセッサの高速メモリとして使うことができ、ソート、サーチ、およびグラフィックアクセラレーションのような並列タスクを処理する場合にはパラレルアクセラレータとして使うことができる。別の実施例は欠陥セルを交換する予備セルがその欠陥セルのメモリをコピーする手段を含み、製造後の欠陥に対してダイナミックに復旧することができる。

新しいアーキテクチャに基づいたシステムが既存のソフトウエアと互換性があれば、新しいデータプロセッシングアーキテクチャを受け入れるための商業的成長と速度が非常に大きくなる。この発明に開示されたアーキテクチャによれば、各セルがＣＩＳＣマイクロプロセッサアーキテクチャの数百の命令あるいはＲＩＳＣマイクロプロセッサアーキテクチャの数十の命令を実行できなくても互換性を得ることができる。あるセルが目標の命令群

の１つの命令を実行するだけのメモリと処理能力を有していれば、数十あるいは数百のセルは協動して全体の命令セットをエミュレーションできる。包含されるすべてのプロセッサはミクロレベルで接続されるので、十分幅広のパスを用いてそのようなエミュレーションを行うことにより妥当な性能が得られる。それゆえ、この発明の大規模並列データプロセッシングアーキテクチャのさらなる実施例は各セルがＲＩＳＣあるいはＣＩＳＣマイクロプロセッサアーキテクチャから１つの命令を実行するのに十分な処理能力を有し、アレイの固有の命令セットのソフトウエアに加えて既存のソフトウエアを実行するようにアレイのセクションをプログラム可能である。さらに、メモリは、もちろん利点を有し、１セルあたり１０２４バイト乃至４０９６バイトを有し、１セル１命令のエミュレーションを通して他のプロセッサをエミュレートするようにアレイを設計する際のセルサイズとセルメモリとの間のバランスが良くなる。

このような実施例において、さらに複雑なプロセッサをエミュレートするために使用されるセル群を接続する領域データバスを持つことは利点がある。領域データバスにより、各エミュレートされたプロセッサは、複数の近傍同士のパスのオーバヘッドや、グローバルデータバスにボトルネックを作ることなしにそのコンポーネントセルの結合されたメモリをアクセスすることができる。さらに、好適実施例によれば、領域データバスのサイズはあらかじめ決められていない。セルは領域データバスと結合したり切り離したりする能力を有し、プロセッシングタスクの変更に伴ってそのサイズを変更することができる。しかしながら、命令をエミュレートすることは、命令を直接サポートする場合に比べて実行速度が遅くなる。そのためさらなる実施例は通常使用される命令のすべてを（固有の命令群として）直接サポートするとともに、少なくとも１つの標準ＲＩＳＣあるいはＣＩＳＣプロセッサ命令セットからその命令のすべてを他のセルを含むことなくサポートできるプロセッサとメモリを有するのに十分な大きさのセルサイズを有する。これによりアレイセルはその命令セットに対する効率的なシリアルプロセッサとして動作可能となり、アレイは全体としてその命令セットに対する効率的な並列プロセッサとして動作する。今日の１セルあたり６４ＫバイトのＤＲＡＭ技術を用いることにより今日のＲＩＳＣ命令セットを取り扱うことが出来るプロセッサに対するメモリとプロセッササイズとのバランスを良くし、行セルの歩留まりをあるパーセントのポイント分低減し、各セルがかなり複雑なサブルーチンを実行するのに十分なローカルメモリを提供する（ＭＩＭＤモードではセルは命令とデータのための十分なメモリを必要とするがＳＩＭＤモードではデータのためのメモリだけである）。

既存の並列システムは独立したスレッドレベル以下でシリアルプログラムの処理をスピードアップするために複数のプロセッサを用いるための資源を持たない。しかし、この発明に開示されたアーキテクチャを用いた場合、大規模並列システムでも（大きさに合わせて高くなるのではなく）同じ処理速度のモノプロセッサシステムよりわずかに高くなるだけで済むのでシリアルタスクにもしばしば使用できる。プロセッサあたりのパイプラインを多段構成にしたり、飛び先予測子を設けたり、命令プリフェッチャおよびデコーダ等を設けることにより、今日のハイエンドプロセッサによる使用されるアプローチはセルサイズを非常に大きくし、歩留まりを下げるので、並列タスクに利用できるセルの数を減少させ、さらに高度のフォールトトレラントネットワークを要求する。しかし、各セルはその固有の命令セットのためのパイプライン等として動作するのに必要な特徴のスーパーセットを有する。それゆえさらなる実施例は１つのセルがその隣接するセルを独立したパイプラインあるいはそのシリアル命令スループットを高めるためのアクセラレータとして使用する能力を有する。

最も適した予備セル相互接続方式では、欠陥となる予備セルはごくわずかであり、すなわちごく一部の予備セルが欠陥のあるアレイセルを交換するのに使用されるので、正常な予備セルの大部分はエラーの無いセルアレイを構築した後そのまま取り残される。これらの予備セルは他の放置された予備セルとダイレクトに接続する接続子を多数有するとともに、アレイおよびアレイのバスと接続する接続子を有する。したがってシリアルタスクを実行するにはこの放置された予備セルが理想的である。これらの予備セルは、独立したパイ

プライン、飛び先予測子、推論実行子、命令プリフエッチャおよびデコーダ等のアクセラレータとして使用可能なセルへダイレクトに接続する多数の接続子を有する。これにより、同じクロック速度で動作する複雑なモノチッププロセッサのスループットにひとかたまりの小さなセルを合わせることができる。また、通常のアレイ全体を高性能メモリシステムとして使うこともできるし、“シリアル処理”するセルクラスタのためのパラレルグラフィックアクセラレータとして使うこともできる。したがって、シリアル処理タスクの場合であっても、全体のシステムスループットは一般的なシステムよりも高くなる。それゆえ、さらなる実施例は、複数のセルをシリアルタスクのアクセラレータとして使用することによりシリアルタスクを処理する場合に、一団のセルを協動させる手段を有する。

“放置”予備セルを別の方法で使用することもできる。これらの予備セルは規則的なアレイを構成しないが、ネットワークとして一緒に接続されている。これにより、１つのセルは中間セルを経由して他のデータと通信することができる。これはダイクレトアドレス機能を持たないが、１つの放置セルが、他の放置セルの結合メモリを、連続する中規模性能のアドレス空間にマッピングするには十分である。これにより無駄に浪費されるメモリをＲＡＭディスク、ディスクキャッシュ、Ｉ／Ｏバッファ、および／またはバーチャルメモリのスワップ空間として使用することが可能となる。今日のリソグラフィ技術では、これはクレジットカードサイズのシステムの場合約１２メガバイトに相当し、６インチウエハのシステムでは約５０メガバイトに相当する。中間セルを介して信号を通過させるかわりに、電力と熱が重要な要件でない領域データバス実施例を用いてＲＡＭディスク等の予備セルのための中間性能バスベースアドレッシングを使用することができる。

今日、コンピュータディスプレイをウエハ上に構築することができるが、これらのディスプレイは欠陥許容性が無い。このため、各画素及びそのサポート回路は機能性が無ければならない、すなわちアレイに明白な”穴”がある。欠陥の無い数百万画素のアレイを作ることができるが（歩留まりはいつも悪いが）、ウエハは画素数の数倍保持できる。しかし、完全性を要求されることからそのようなアレイの歩留まりは殆どゼロに減少する。人間の目は今日のディスプレイが使用する画素以上の画素を認識できるので、長年の間、リソグラフィ技術の進歩だけではこの問題を解決できそうになかった。いままでのフォールトトレラントアーキテクチャは出力アレイには適さない。すなわち、Ｎ倍複製方式はアレイ表面の画分が小さすぎてエレメントをアクティブにできない。さらに高度なセルベース方式は個々の欠陥に対処するために、アレイのエッジによってのみ制限される多数のシフトをアレイセルの位置（すなわち画素位置）に有する。

それゆえ、この発明の他の実施例によるフォールトトレラントモノリシックデータプロセッシングアーキテクチャは大型の規則性のある欠陥の無いセルアレイに組織化することのできるＮ対１冗長構成のモノリシックセルネットワークを用いて表示分解能の限界を解消する。この場合、各セルは少なくとも１つの光学サブピクセル（カラーディスプレイは１ピクセルあたり複数のサブピクセスを持つことが出来る）を有し、各アレイセルは、置換を他のセルに伝播することなく、かつアレイセルのＮ倍複製のオーバヘッドを伴わずに、その機能をダイレクトに交換可能な複数の物理的に隣接するピクセルを有する。図１Ａ，１Ｂ，１Ｃ，１Ｄおよび１Ｅに示すこの発明のフォールトトレラントアーキテクチャの実施例は各欠陥は単に１つのセルの機能を予備の隣接するセルに移動することにより高レベルの欠陥に対処可能な規則的なセルアレイを作ることが出来る。そのような移動が人間の目に知覚できない程セルが十分小さい場合、（通常の読み取り距離では約５０ミクロン）、その欠陥はバイパスされアレイは１つ以上の欠陥画素あるいはサブピクセルにもかかわらず訂正不可能な欠陥が無いものとみなすことが出来る。５０ミクロンという知覚可能な工学的欠陥サイズ以下にピクセルを製造するいくつかの技術がすでに知られている。SonyのVisortron(". . . and VisorTrons from Japan", PopularScience, March, 1993)は３０ミクロンのＬＣＤサブピクセルを使用し、Texas InstrumentのDigital Micromirror Device(Mirrors on a chip, IEEE Spectrum, November 1993)は１７ミクロンのピクセルを用いている。他の光学出力手段の潜在的に適当な種類としては、これには限定されないが、発光ダイオード、半導体レーザ、および超小型ＣＲＴ、マイクロス

コープミラー、および電解効果表示エレメントを含む。
伝統的なコンピュータシステムは記憶、処理および出力のための別個の基板上に形成された多くの集積回路領域を使用する。これにより、それらの領域が互いに接続される前に欠陥領域を交換することが可能である。その結果得られるマクロスケールの相互接続はシステムのサイズ、コストおよび使用電力を増大させ、相互接続ボトルネックを作る。しかし、欠陥領域を交換する能力が無ければ、伝統的なアーキテクチャの全体の歩留まりは、すべてのコンポーネントの歩留まりの積に依存するので致命的に低くなる。
それゆえ、この発明の他の実施例によるフォールトトレラントモノリシックデータプロセッシングアーキテクチャは、システムの記憶、処理、および表示のための各集積回路を１枚のモノリシック基板に集積する。この発明のアーキテクチャによれば、これらの集積回路を極めて高い歩留まりでモノリシックに実現できるので、集積されたシステムの全体の歩留まりは少なくとも妥当な高い値となる。（声のような）種々の入力を集積回路を追加することなく実現できるので、この実施例は結果的にシステム全体のすべての集積回路を１枚のモノリシック基板に載せることができる。多くの種類の入力手段、例えばアクセラレータ、位置検出器、方向検出器、ソニック検出器、赤外線および無線信号検出器、温度検出器、磁界検出器、化学結合検出器等を、電力吸収／蓄積手段と同様に、システムの他の基板と同じ基板に集積できるので、さらなる実施例は、入力し、処理し、記憶し、出力するまでのシステムの全体を１枚のモノリシック基板上に集積可能である。これにより、システムパーツ間の複雑なマクロレベルの相互接続の必要性が無くなる。これらの１枚基板システムはシステムサイズを大幅に縮小し、コストおよび消費電力も大幅に低減される。
この発明の他の実施例で提供されるフォールトトレラントアレイはほとんどのデータ処理システムで利点がある。しかしながら、ある種の有用な１枚基板システムはそのようなアレイを用いなくても構築できる；例えばフォールトトレラントを殆ど必要としないあるいは全く必要としないシステム、あるいは組織構成レベルでのフォールトトレラントを有するシステム、例えば、ニューラルネットワークのための専用システムがそれである。
従って、この発明の他の実施例におけるフォールトトレラントアーキテクチャはどのような種類のデータプロセッシングシステムでもその全体を１枚の基板に集積する。さらなる実施例では、そのようなデータプロセッシングシステムのすべての機能をミクロスケールで集積する。
しかしながら、多くのコンピュータディスプレイはクリスタルシリコンの代わりに、安価でウエハサイズより大きな領域に製造可能なアモルファスあるいはポリシリコン基板を使用している。これらの基板は今日の技術を用いた高性能メモリあるいはプロセッサには適さない。従って、システムの他の部分とは別個の基板に形成されるディスプレイはある場合には依然として利点がある。今日のハイエンドディスプレイは１画像あたり数メガバイトのデータを使い、写真画質の表示ではさらに数次のオーダが必要となる。表示分解能とスキャンレートが増大するにつれ、ＣＰＵ負荷およびその出力データパスに対する負荷が増大し（Fast DRAMs for Sharper TV, IEEE Spectrum、October 1992）、さらにその表示のための入力データパスの負荷が増大する。この発明のアーキテチャクによりディスプレイに提供されるフォールトトレランスにより、ディスプレイの画素数を大幅に増やすことができるとともに、この傾向を加速することができる。伝統的なディスプレイアーキテクチャは独自の処理能力を持たず、単に処理されたデータを送信する出力素子を用いている。これらの素子は、データ列を加算、減算、編集－通過させることはできないので、データの伸長はできない。従って出力アレイは非圧縮データ列が必要となる。圧縮データフォーマットをサポートする処理能力をディスプレイエレメントに付加すると、その複雑度を高め、歩留まりを下げることになる。伝統的なフォールトトレラントアーキテクチャでは、歩留まりが急激に悪くなる。１ピクセル当たり１色で１トランジスタのみの場合であっても、アクティブマトリクスＬＣＤディスプレイは製造技術の限界まできており、歩留まりの悪さに悩んでいる。
したがって、図５Ａおよび図５Ｂに示すこの発明の実施例によるフォールトトレラントア

ーキテクチャは、規則的な欠陥の無いセルアレイに組織化することのできる高冗長構成のセルネットワークを用いてプロセッサ出力およびディスプレイ入力のボトルネックを解消する。この場合、アレイセルは１つ以上のダイレクト出力素子と圧縮されたデータ列からダイレクト出力素子のために出力データを抽出するための十分なメモリと処理能力を有する。（図５Ａでは図面の簡単のために予備セルは示されていない）。

このアーキテクチャに開示されたフォールトトレラント方式は、アレイ全体の歩留まりをそれほと下げずに複雑なプロセッサーをサポートできるので、ダイレクト出力アレイはセルあたりの処理能力が殆ど無くても有用である。１辺が５０ミクロンという光学的に知覚できる欠陥サイズより小さなセルサイズで構築可能な極めて小さな実施例の場合には、各アレイセル５００はグローバル入力５００、光学ダイレクト出力手段５０４、カウントレジスタ５１０、負論理のセルアドレス５１２、５１２’、入力５１２からの数をカウントレジスタ５１０に換算し、レジスタオーバフローのためにその結果をチェックする処理能力を含む。種々の光学ダイレクト出力手段５０４は、発光ダイオード（ＬＥＤ）、液晶表示素子（ＬＣＤ）、半導体レーザおよび超小型ＣＲＴ（ＣＲＴ）、電解効果ディスプレイ（ＦＥＤ）、および多孔性シリコン（"Optical chips: Computer Innovation with a Bright Future", The Valley News, November 30, 1992）を含む。ただしこの実施例に限定されるものではない。多くの複雑なデータ圧縮方式がすでに知られているが、このアーキテクチャは簡単な方式にも同様に適用可能である。最小のデータ圧縮方式とそれを伸長するための十分な処理能力の一例は各セルに４命令デコーダ５０６を持たせることである。４つの異なる命令を表わすのに２ビットＯＰコードが使用される。－“このセルの出力は…（ＣＯＢ）になる”、“次のＮセルの出力は…（ＮＣＯＢ）になる”、“次のＮセルの出力は変わらない（ＮＣＲＵ）”、そして“リセット（ＲＥＳ）”である。デコーダ５０６がＲＥＳ（リセット）ＯＰコードを受け取ると、その負入力セルアドレス５１２、５１２’をカウントレジスタ５１０にコピーする。次に、各ＯＰコード毎に加算器５０８はその命令が制御するセルの数（ＮＣＯＢおよびＮＣＲＵの場合Ｎ、ＣＯＢの場合１）をカウントレジスタ５１０に加算する。カウントレジスタがオーバフローすると、セルはオーバフローを生じさせたＯＰコードを用いてダイレクト出力手段５０４のための新しい出力値を決定する。ＮＣＲＵの場合、セルのダイレクト出力は変わらない。ＣＯＢまたはＮＣＯＢの場合、新しい出力データのために命令のデータ部を取る。圧縮の原理はデータ送信のために現在のＦＡＸマシンが使用するものと同様であるが、圧縮ＯＰコードがディスプレイの変更および静止画表示をもカバーする点が異なる。セルが表示することのできるデータは、実現方法に依存するが、１ビットの白黒表示から多ビットグレイスケールおよびフルカラー出力までカバーする。代表的な実現方法では、データは２４ビットワードであり、各８ビットが赤、緑、青のダイレクト出力５１４、５１４、および５１４の相対輝度を表わす。

最小の処理能力を有する実現方法では、各セルは各色に対して８つのダイレクト出力を有し、その色の輝度ビットに対応して１、２、４、８、１６、３２、６４、１２８の相対輝度を有し、（これは輝度ビットを数として処理する代わりに直接フラッグとして使用する）あるいは近年のカラーＳＶＧＡディスプレイがそうであるように１ピクセル１カラー毎にアナログ輝度変更素子を使用する。現在（１９９３年１１月）製造に使用されている最善のリソグラフィ技術を用いると、１平方インチあたり、200,000画素以上の濃度が可能であり、アレイの表示分解能はグロッシー雑誌写真より数倍よく、色の再生もかなりよい。また、８インチウエハ上に形成される最高のＳＶＧＡディスプレイよりも８倍の画素を有した表示が可能となる。１セルあたりの処理能力をもう少し高めれば、８ビット輝度乗算器を各データに付加して３２ビットワードを作ることができる。これを実現する最小の方法はセルの処理能力を同じにすることである。ただし、画素の完全なダイレクト出カセットを少なくとも１秒間６０回の一定レートでオン、オフさせる。この場合、“オン”フェーズは８ビット輝度乗算器に比例する。これによりディスプレイの輝度レンジはかなり広くなり、周囲の光の強さの変化を補償するための出力輝度調整を簡単化する。さらにセルの機能性を高めることによりハミングコードあるいはその他のエラー訂正コードのよう

なより高度なデータエンコード方式をサポートすることができる。
データ圧縮の場合でも、ある種の出力集中型のタスクはセル、特に極めて大型のアレイへのグローバル入力にボトルネックを生じる。また、圧縮が困難なパターンを表示しているときや、圧縮されたデータ列が非圧縮列よりも少ない能力で転送および処理しているときもそうである。ＯＰコードごとにセルプロセスを持つことは電力消費と熱生成の観点から非効率である。それゆえ、図６Ａおよび６Ｂに示すこの発明の他の実施例はグローバル入力５０２を、隣接するセル６０２と通信する手段と交換することにより上述した実施例を拡張することができる。アレイ６０はダイレクト出力セル６００の行から成り、各セルはその“前”のセルからの情報を受け取り、受け取った情報を処理し、処理した情報を次のセルに送ることができる。加算器６０８およびカウントレジスタ６１０は上述した実施例の加算器５０８およびカウントレジスタ５１０と同一である。デコーダ６０６は伸長ＯＰコードを実行するデコーダ５０６を交換する。すべてのセルを同じにすることに利点がある場合には別個のイニシエータ６４を用いて情報を各行の第１のセルにパスすることができる。ある場合には１つのデータ列を高速イニシエータの列全体に入力し、イニシエータがそのデータ列から各行への入力を分配することが都合がよい。
上述した実施例のように、多くの圧縮方式が使用できる。上述した例で使用される方式を一致のためにここでも使用した。圧縮ＯＰコードは上述した実施例で使用したものと同じだがその処理は全く異なる。リセット（RES）ＯＰコードは常に次のセルにパスされる。リセットＯＰコードの後、各セル６００は最初に受け取るＯＰコードをみる。ＣＯＢとＮＣＯＢの場合、ダイレクト出力手段６０４の新しい値としてそれに続くデータを受け取る。ＣＯＢの場合には、セルコントロールカウント値Ｎを決定し、Ｎが零の場合にのみ、ＯＰコードとデータをその列から取り除く。ＮＣＲＵの場合、セルのダイレクト出力手段６０４は変わらず、セルはカウンタＮをディクリメントし、Ｎが零ならＯＰコードとデータをその列から取り除く。セルが受け取る出力データの処理は前の実施例と同じであるが、この実施例はいくつかの利点を有する。別個の入力６２および／またはイニシエータ６４が各セルの行毎に使用され潜在的な入力ボトルネックを取り除き、セルはアドレスを必要とせず、すべてのアレイセルを同じにすることが出来る。欠点はデータソースへの接続がさらに複雑となり、多くの別個の入力６２で構成され、あるいは別個の高速イニシエータが必要となりさらに複雑な製造プロセスが必要となる。
ディスプレイがシステムの他の部分と同じ基板上に形成されるときでも、ディスプレイはデータを集めて送る別個の装置である。ディスプレイと同じ基板上に非表示領域を持つと表示に使用できる基板領域の割合が少なくなる。すくなくとも、今までの製造技術は多層の複合回路をサポートする。（記憶および処理と異なり、ディスプレイの場合には物理的寸法が大きいほうが都合がよい場合が多い）。この発明のフォールトトレラントアーキテクチャは種々の有用な性質を有したセルをサポートでき、表示、記憶および処理機能をすべて同じ予備セル方式でサポート可能である。ディスプレイアレイを使ってシステムのメインメモリを集積すると一般的なシステムの回路のカウントの大部分をメモリで作ることができるので非常に利点がある。このメモリをディスプレイアレイと集積すればディスプレイはその基板面積の殆どをカバー可能である。
それゆえ、この発明の他の実施例によるフォールトトレラントモノリシックデータプロセッシングアーキテクチャはシステムのディスプレイとメインメモリを、規則的な欠陥の無いセルアレイに組織化することのできる高冗長構成のモノリシックセルネットワークに集積可能である。この場合、アレイセルは１つ以上のダイレクト出力エレメントと十分なメモリを有するので、アレイは全体としてシステムのアクティブな同じ基板メモリの少なくとも１／２を有する。これは５０ミクロンという知覚可能な光学的欠陥の限界値以下のセルサイズを使用することによりアレイの欠陥画素トレランスに影響を与えることなく実現できる。今日の１６メガビットＤＲＡＭの集積度では、１ピクセルあるいは３サブピクセルをサポートするための十分な回路と、図１Ａに示すような冗長方式を用いた場合、１セルあたり約２５６ビットが限界である。小さなセルサイズにより、行セルの欠陥の割合はリーディングエッジリソグラフィ技術を用いた場合でも、.025%である。図１Ａの予備セ

ル構成により提供される３対１冗長構成はこの低い行エラーレートで極めて高い歩留まりを得るには十分である。１セルあたり３カラーサブピクセルの場合６００万セルアレイはＳＶＧＡよりも８倍よいディスプレイと、４８メガバイトの高速メモリを１枚の８インチウエハ上に集積する。
より大きなセルアレイは５０ミクロンあるいはそれより小さいセルアレイよりもさらに効率がよい。これはフォールトトレランスおよびシステムの他の部分のためのセル間接続と比べてセルの内容により多くの領域を割くことが出来るからである。しかしながら、セルサイズが人間の目（あるいはその他の受信装置）に明白な欠陥のしきい値を超える出力アレイの場合、固有の画素を有する予備セルはアレイセルを交換するとき明らかに整然さを欠いた配列となる。この発明の上述の表示実施例のセルはそのような欠陥を隠すように十分小さく作ることが出来るが、キロバイトのメモリあるいはＲＩＳＣプロセッサを有するセルは、そのような方式の場合今日のリソグラフィ技術ではあまりに大きすぎる。
それゆえ、この発明のさらなる好適実施例によるフォールトトレラントアーキテクチャは規則的な欠陥の無いセルアレイに組織化することのできる高冗長構成のセルネットワークを提供する。この場合、アレイセルは１つ以上のダイレクトエレメントを有し、予備セル７００’は図７Ａに示すようにアレイセル７００を交換するときアレイセルの表示画素を制御する能力を有する。これにより、欠陥アレイセルを交換しても、予備セルの出力を通常その欠陥を生じたセルに整列させることにより目（あるいは他の受信装置）に均一に見えるようにする。これを実施するための１つの低電力の方法は電源を遮断することにより欠陥セルを無効にし、アレイセルのディスプレイコントロールライン上の多入力“ＯＲ”ゲートを用いる方法である。この場合、各ＯＲゲートはアレイセルからの入力と、アレイセルを交換可能な予備セルからの入力を有する。この実施例においける予備セル７００’は固有の画素を必要としないので、図７Ｂに示すように、アレイセル７００のダイレクト画素７０４はその周辺の予備セルと重ねあわせることが出来るのでアレイセルの結合画素が実質的にネットワーク全体の全表面をカバーすることができる。これはマイクロスコープミラーのような周囲の光を反射あるいは屈折させる低電力光学出力手段では、制御できる周囲光の割合を増大させることができるので、特に重要である。（"At TI,HDTV Is All Done With Mirrors", The Wall Street Journal June 10, 1993）。知覚できる光学的欠陥サイズより大きなセルは処理能力も大きいのでさらに高度の圧縮方式を使用することができる。例えば、どの画素が三角形の中に入るかをセルが計算する十分な処理能力を持つことにより、アレイはメインＣＰＵやグラフィックアクセラレータに処理させなくても影線入りの三角形を処理することができるとともに、テクスチャを処理するための十分な処理能力をセルに持たせればテクスチャ多角形等を処理することができる。
ＷＱ９５／２６００１　５４頁７行目～７３頁
しかしながら、それらがセルの画素を用いるスペアセルと置き換えられると、欠陥画素裕度が無くなる。幾つかの応用に対しては欠陥出力画素は欠陥プロセッサまたはメモリのように重大ではない。他の応用に対して欠陥を避ける必要性は欠陥画素裕度が存在することによってアレイサイズを制限することになる。これらの応用に対して、先の実施例は現在数百万画素までに表示器を制限する欠陥画素を伴わないで成し得る表示器に対して有効なだけである。故に、巨視的セルの欠陥画素裕度を再現することは非常に有益となる。
それ故に、この発明の他の実施例に従った欠陥裕度モノリシックデータ処理構成は、各セルがメモリ手段および／または処理手段だけでなくスペア画素を含む直接出力手段を有する場合に大きな規定の無欠陥セルアレイに系統だてできるセルの高い冗長性モノリシックネットワークによって巨視的セルアレイに出力アレイサイズを制限することを排除する。スペア画素を有効とするためにはスペアセルとそれが置き換えるセルとの間の最大距離が受信機に顕著な矛盾を生じさせないように十分小さくしなければならない。人間の目にとって程良い視覚距離でこれは１インチ（．０５ｍｍ）のほぼ１／５００である。しかしながら、ぼやけマスクを用いると、０．１ｍｍが受け入れられる。この発明に開示された構造は膨大な数の画素に出力することをサポートでき、１／５００インチよりも小さい画素用いた表示器がすでに生産されている。この発明の構造が与える欠陥裕度によって画素は

それらを制御するメモリと同様に小さくできることが期待されている。今日のリソグラフィを用いた代表的な遂行手段は６４×６４マトリックスに配置される公称的に４０９６画素を有するが、実際にはメモリチップのワードおよびビットラインと同様な方法で行および列画素ラインによってアドレスされる画素を用いると７２×７２画素を有するセルを使用することになる。通常の動作中では、各第９ラインを“特別”ラインであるとする。わずかに注目できる“点描化”効果を導く特別ラインはブランクとなるよう、スムーズな視覚表示を生成するため点ごとに隣接ラインの平均を表示するよう、または隣接ラインの値を相互間で交替するようにプログラムされる。欠陥画素を含むラインを置き換える時、欠陥ラインに達するまで隣接値を順次取り込むためにそのラインをフリーとしながら最も近いスペアラインがそれに隣接する値を取り込む。上記の例および０．０５ｍｍ画素によって、これは通常視覚距離から肉眼で認識できない３．６ｍｍ×０．０５～０．２ｍｍの領域の画素において０．０５ｍｍシフトさせる。これは今日の絶対完全要求表示器よりも大きなエラー裕度、多くの光度順位を持つ表示器を提供する。シフトされた領域の長さは丁度２側面における代わりに周辺の制御回路によってセル直接出力画素を１／４に分割することによって必要とするときに半分にできる。幾分多い不自然な画素レベル欠陥裕度方式を使用する事ができる。米国特許５，０６５，３０８の欠陥裕度方式は全体としてセルアレイに適していないが、それはセルの１つとして各画素を処理することによって個々のセル画素に対する欠陥裕度をえるために容易に適用できる。残念ながら、これは、０．５ミクロンのリソグラフィによって、セルの合計回路数のほぼ１／３を消費するが、リソグラフィの改良は減衰以下以内の許容フラクションまでこれを減少すべきである。これらのスペア画素方式は欠陥画素当たり多数の画素シフトを有するが、これらのシフトは全体セルの長さの代わりに単一画素の長さだけであり、これらシフトは最も近いスペアラインまたは可能性のあるさらに遠く離れた、全体アレイのエッジによるよりもむしろセルの比較的近いエッジによって境界付けられる。

伝統的なコンピュータ構成は処理及び出力のための分離装置を使用しているので、この発明の先の実施例のような出力解像度の増加は、特にフルカラー、フルモーチョンビデオのような厳しいタスクを出力するために、収集され、座標化され、出力装置に伝送されなければならない出力量を増加してしまう。分離出力装置の使用は情報を出力装置に送るために必要とする電力を劇的に増加する。図８Ａ及び８Ｂの示されるように代表的な今日のデスクトップまたはノートブックシステムは分離非切替え“ＶＲＡＭ”メモリ８１７に表示器のデータを記憶する。このメモリから数十万の画素の情報が収集され、直列化され、表示器に達するために数十センチの長さの伝送路を介して送られ、それから、そこで、情報は表示器の画素の間で拡張される。必要な特別の電力はメインフレームまたはデスクトップコンピュータ条件では小さいが、バッテリ給電ポータブルコンピュータにおいては重要である。並列に画素を発生し、それらをメモリに並列に記憶する今日の並列処理システムでさえ、図８Ｃに示されるように表示器８０５へ伝送するデータを直列化する。それから、一度、表示器でデータはその画面で拡張される。この方式は、単一または小型の高速高価プロセッサが直列処理タスクで計算増大動作を行っている時には絶えられるが、多数の並列処理タスクは出力増大および計算増大の両方を伴う。プロセッサの数が増加するので、分離出力装置へ伝送するためプロセッサの出力の収集および座標化は制限要因となる。人の目は一秒当たり１００兆ビット、即ち今日の最良のコンピュータ表示器より１００倍以上にほぼ等しい光学情報を処理できる。人の目の性質のビデオのようなタスクは圧縮データおよび表示器への多重入力でさえもあるときには分離表示器を凌駕する。

それゆえに、図９Ａおよび９Ｂに示されるようにこの発明の他の実施例に従った欠陥裕度モノリシックデータ処理構成は各セルがメモリ９１６のための手段、処理９２０のための手段および入力のための手段だけでなく直接出力手段９０４を有する場合にセル９００の大きな規定非欠陥アレイ９０に系統付けできるセルの高冗長性モノリシックネットワークによって任意のステージで出力データを直列化する必要性を解決する。プロセッサ９２０はＲＩＳＣマイクロプロセッサよりもより複雑であるかの知れないので、極端にシンプルなプロセッサがこの発明のアレイ構造に適している。アレイにニューラルネットワークプ

ログラムを取り扱わせるために、最少でも、各プロセッサ９２０はインストラクションデコーダ、演算／論理ユニット、少なくとも１つのレジスタおよびメモリ取り込み／記憶ユニットを含むべきである。メモリおよび処理電力の他の有利な水準はこの発明の先の実施例で述べたものに対応する。直接出力手段９０４の最高使用区分は光学出力手段であるが、直接音波および赤外線出力にも使用する。米国特許４，７２０，７８０および４，８５５，９０３の分割メモリと同様な方法でセル間に配置され、隣接セルによって分割される直接出力手段９０４持つ事ができる（これは非切替え“アレイ”セルを持たない事に相当し、故に“スペア”セルはアレイセル位置ごとに使用されねばならない）ので、各セルにそれ自身の直接出力手段９０４を持たせる事はより簡単なリソグラフィでより良い性能を出す事ができる。そのように設計されたプロセッサ／出力アレイは各プロセッサに他のプロセッサまたはグローバルバスを含める必要をなくして表示器のそれ自体の部分を管理させる。これはプロセッサアレイと外部出力装置との間で多くの電気的接続を持たせ、かつアレイを出力ボトルネックを伴わないで無制限に拡張させる複雑さを回避する。

伝統的なコンピュータ構成はその出力、処理およびメモリサブシステムから分離した入力装置を用いている。タッチ感知スクリーンのような若干の装置は入出力を結合し、その結果、システムサイズを減少し、便利さを増している。けれども、この結合Ｉ／Ｏ装置は、まだ、システムの残りの部分から分離している。標準型タッチスクリーンは、この発明に記載されている処理アレイの領域を同時発生入力が分離させないシステムに対するグローバルな入力である。さらに、入力は一般に今日のシステムの出力のようなデータ集中でないので、機械的視覚のようなタスクはそれを直ぐに比較可能な同じレベルに持っていくことができる。アナログフィルタリングを行う直接入力アレイはカバーミード（Carver Mead, et al.）によって開発されたが、これらのアレイは一般の画像処理のための外部装置に依存し、これらアレイのサイズはリソグラフックエラーによって制限され、そのようなアレイに基づいたシステムはオフチップダータフローボトルネック、コスト、サイズおよび巨視的接続の電力ペナルティーを受ける事になる。

図１０に示すようなこの発明に従った並列データ処理構造のさらの実施例では、各アレイセルは直接入力手段１０２４および直接出力手段１００４の両方だけでなくメモリ１０１６のための手段および処理のための手段１０２０を有する。グローバルデータバスへのアクセス１００２および隣接セルと通信するための手段１０１８はこの実施例に対する通常的に有効な付加要素である。直接入力手段１０２４の有効なタイプは光学、音波、赤外線およびタッチ／接近を含む（しかし、これらに限定される手段ではない）。直接入力手段および直接出力手段の両方を備えたセルを持つ事はアレイに入力ボトルネックに遭遇することなく入力増大タスクを処理させ、種々の方法で外部世界と対話する能力をセルに与える。例えば、光学出力的直接出力手段およびタッチ／接近直接入力手段を用いて、アレイの一部がそれ自身、任意の言語のキーボードとして表示でき、データが“キー”にタイプ入力することにより入力できる。その時、より多くの領域が出力のために必要な時、アレイのその部分が出力表示器の一部となることができる。これはグローバルタッチ入力では実際的でない。なぜならば、“キーボード”に置かれている静止状態の指からの入力が活動状態の“キー”からの入力に加えられるからである。しかしながら、多数の直接入力によって、“キーボード”は指がどれだけ動いたか、どのキーが選択されているかを決定する事ができる。直接タッチ入力は表示器の異なる領域をシステムのその他を含めないで独立的なタッチスクリーンとして作用させる。図１１に示すように直接入力手段および直接出力手段の両方を持つ事は、集団記憶システムまたはネットワークインタフェースのような分離装置１１２８とアレイ１１０との間の入出力をアレイに近接して配置され、セル直接入出力を介して通信する装置を介して行わせる。例えば、そのような装置１１２６は電話システムと交信するため電話ジャックによって結合されたアレイと交信するための光学的または赤外線入出力を持つ事ができる。これは外部入出力装置に対して物理的接続をしないで外部入出力装置をアレイに使用させ、それにより全体的なシステムの複雑さ、もろさおよびコストを下げる。

これらの実施例のさらに重要な利点はこれら実施例が単一の簡単なユニットの繰り返しに

よって全体のデータ処理システムまで作り上げる事である。これは今日の不自然なチップに対して数億ドルに達する設計コストを減少する時に特に重要である。冗長なサポートを含んでいても、この実施例の繰り返しユニットは今日のチップベースシステムより少ない特別な回路を２以上の位の量で持つ事ができ、それにより回路の量に比例する量（またはより大きな量）だけ設計コストを減少する。これらの実施例の他の重要な利点は、各アレイセルが、アレイの入出力の割り当て分を全体として含む全ての資源がセンチメータ内またはミリメータ内でさえあり、必要な電力およびその中でデータを移動するときに発生する熱を大幅に減少する場合のコンピュータシステムであると言う事である。相補的な直接入力手段および直接出力手段を結合する事は特に好ましい。これはアレイを対面配置されたときアレイを互いにかなり敏速に交信させる。相補手段として光学的直接入力手段および発光直接出力手段を用いる事は、これらの直接出力を介して光を放射し、これらの直接入力を介して反射光を受ける事によってアレイに原稿を走査させるので、さらに好ましい。各セルからの直接Ｉ／Ｏの利点は多くのタイプのＩ／Ｏに対して圧倒的なものであるので、このことは他のタイプのＩ／Ｏ、特に解像度が全体のアレイのスケールにあり、または各セルに対向するように全体としてセルネットワークに個々のセルよりも大きい解像度を有するタイプのＩ／Ｏのための付加手段を除外しない。円形ウエハに形成される矩形アレイの場合、これはアレイのエッジの周囲のかなりのスペースに対して良好な使用となり得る。これに適するタイプのＩ／Ｏは、加速、位置および方位検出器、音波検出器、赤外線または無線信号検出器、温度検出器、磁界検出器、化学的濃度検出器などを含むが、これらに限定されない。

図１２に示されるようなこの発明の並列データ処理構造のさらの実施例において、各アレイセル１２００は、グローバルデータバスへの入出力手段１２０２、少なくとも２次元で隣接するセルの各々との入出力交信のための手段１２１８、データ列を伸長し、ＲＩＳＣまたはＣＩＳＣマイクロプロセッサインストラクションセットから少なくとも任意の１つのインストラクションを模倣するためのメモリ１２１６および処理パワー１２２０、フルカラー１２０４直接出力手段、フルカラー１２２４直接入力手段、容量性タッチ／接近１２３０直接入力手段、グローバルおよび／または直接音波入力手段１２３４および出力手段１２３２、および局部データバスに接続する手段を備えている。このコンビネーションはネットワークインタフェース装置および（アレイに物理的に接続される必要のない）記憶装置と関連して、超高解像度ＴＶ、標準音波・フルカラー画像電話、原稿スキャナ・ファクシミリ装置、および現存シリアルソフトウエアと互換性のある音声・視覚・感触作動スーパコンピュータとしてアレイを機能させる。

外部システムと交信するためワイアレスリンクを使用するシステムは従来において知られている。キーボードおよびマウスを含むコードレスデータ伝送装置、デスクトップコンピュータデータリンクへの携帯コンピュータ、遠隔制御および携帯電話が毎日の使用に増加している。しかし、そのようなリンクの増加する使用およびリンクのレンジ並びにデータ伝送率の増加は全て帯域幅に対するそれらの要求を増加しつつある。幾つかの電磁周波数レンジはすでに込み合っており、この伝送ボトルネックが制限要素を増加させている。また、電力要求がそのようなシステムのレンジを制限し、そして信頼性ある送信を生じるために受信機に物理的に向けられる事を送信機にしばしば要求する。

この発明の他の実施例に従った欠陥裕度モノリシックデータ処理構造は各セルがグローバルデータバスに対する入出力手段および直接入力および／または出力手段並びにメモリのための手段および処理のための手段、さらにセル直接入力および／または出力の位相および／またはタイミングを他のアレイセルのそれと整合する手段を有する場合、大きな規定の非欠陥セルアレイに統一化し得る高い冗長性のモノリシックネットワークによって出力アレイサイズの制限を解決する。これはセル１３００のアレイを図１３に示されるように外部送信機または受信機１３５に集束するための“位相化アレイ”として機能させる。そのような構成にアレイセルを置き換えるスペアセルは、それらがそれらの自身のタイミング／位相制御手段を有するか、またはそれらが置き換えたアレイセルの送信または受信手段１３０４を使用すれば（またはスペアセルとそれと置き換えるセルとの最大距離が受信

または送信と干渉する矛盾を生じさせないように十分小さければ）、受信または送信時に有効となる。それらの特性によって位相化アレイは多くのセルを介して同じ信号を送信または受信する事を含むので、グローバルまたは局部データバスを介してセルに通信させる事は好都合である。

他の実施例は作動タイミング回路を介して外部装置に動的に集束する。信号伝播がグローバルデータバスの速度に比較して遅い直接出力、例えば電子バスからのデータを受信する音波直接出力素子に対して、作動タイミング回路を与える簡単な方法は以下の通りである。即ち、１つのセル（またはアレイと関連する装置）は集束される信号の目標または信号源である。このセルまたは装置はコントローラとして参照する。集束されるべき外部装置は個々に取込むためアレイセル毎に十分に強い短い基準信号を送信する。コントローラがこの信号を取込むと、それは全てのセルがそれを受信してしまうように十分長く待ち、それからグローバルデータバスにそれ自身の基準信号を送る。各セルは外部基準信号を受けたときとグローバルデータバスの信号を受けたときの遅延時間を測定する。全てのセルがグローバルデータバスから送信されるデータを受信すると、各セルはそのデータを送信する前にその遅延時間を表示する。外部基準信号を遅く受信したセルは短い遅延時間を有し、故にデータを早く送信する。これは全てのセルからの送信を外部装置に同時にかつ同相で到達させ、実線波形１３４３で示すように全体の送信をそこに効果的に集束させることになる。セル送信は構成的には追加しなく、故に破線波形１３４３′で示すように他の点１３５′に集束しない（１つのセルに対するセルタイミング遅延時間差は同一長さのセグメント１３４４によって示される）。

同じタイミングがセルがデータを受信したときにまた生じる。各セルは受信データをグローバルバスに乗せる前に（その遅延時間だけ）遅延し、後にそれらのデータを受信するセルは短時間遅延し、信号源からの全ての信号はバスにおいて共に加算される。集束される信号源以外の信号源からの信号によって、その信号は全て同相で到達しなく、故にそれらの効果は減じる。データを受信すると、一度、集束が行なわれ、この集束は外部装置が収集グローバル信号に対してタイミングをチェックする各セルによって動いたとしても維持される。この集束は、背景雑音から所定の音声を取り出す非常に困難な時間を現在受けているところのコンピュータに入力する音声のような領域において大きな改良をすべきである。サウンド入力を受ける動的集束アレイおよびそれを解釈するプロセッサアレイによって、コンピュータ音声認識が広く変化ある実世界の情勢において実用化されるものである。

この位相化アレイ技術は外部信号伝播速度が無線通信のようにグローバルバスの信号伝播速度に比較できるまたは同速度より大きい直接出力に適用できる。先ず、グローバルバスのタイミングは考慮されなければならない。同じセルまたは同じ装置がいつもコントローラであれば、所定のせるに到達するデータの時間は製造時間で制御できる定数であり、多分、最も早い方法は、グローバルデータバスまたは分離タイミング信号に対して各セルに等しい長さのパスを与える事である。グローバルバスタイミングは製造時間を補償できなければ、方位検出器を含むアレイは種々の方向に対する計算された遅延時間を比較する事によってセル毎にバスタイミングを計算できる（バスタイミングは方位に無関係な定数を残しており、他方、伝播タイミングは残していない）。しかしながら、電磁放射に対して、必要な遅延時間は現在のリソグラフィにとってあまりにも小さいが、その代わり出力の位相角は制御される。これは波長が単一のセルの幅の少なくとも２倍であるが、全体のアレイの幅の４倍未満である周波数に最も有効である。ウエハサイズまたはより大きなアレイおよび電磁放射に対して、これはＶＨＦおよびＵＨＦ帯域をカバーする。クレジットカードより小さいアレイはＶＨＦ信号の制限された集束だけを達成するが、ＵＨＦ帯域でまだ良好に作用する。特別に好ましい実施例はそのような信号のための直接位相化アレイ受信手段を十分な処理パワーと結合し、標準ＴＶまたはＨＤＴＶ信号および十分な光学出力を復号し、完全な標準ＴＶまたはＨＤＴＶ画像を表示する。これがコンパクトで、低コスト、低電力のモノリシックＴＶシステムを作り出す。

しかしながら、集束するための最も重要な種類のデータの１つは光学データであり、光学

信号の周波数は集束のための平面直接位相制御が現在実際的でないほど高い。しかしながら、光学信号の指向制御は実用的である。一定の集束を得るためには、ソニーのビゾフトロン（Visortron）で成されているように出力または入力アレイの表面を形成できるプラスチックシートに小さなレンズのパターンを形作ることは容易である。これは特にヘッド取り付けアレイに有効である。と言うのは、これらは予め決定された方位および観察者の目からの距離を一定に保持できる。そして、それらは各々一方の目だけで見ることのできるセル画素を有するので、異なる像を異なる目に向けるための単一のセルの必要性をなくする。非ヘッド取り付け表示器に対しては、表示器が各目に向く異なる画素を持つ事によってほぼ右距離および方位に保持されている限り像にある視深を持たせるために固定集束が使用できる。

しかしながら、ダイナミック集束は固定集束を越える多くの利点を有する。非ヘッド取り付け表示器に対して、セル光学出力に指向制御を付加する事が視角および距離に無関係にアレイに立体画像を現出させる。ヘッド取り付けまたは非ヘッド取り付けのいずれも受信側目の自然集束が目にこれらの画素を所定の距離にあるように見させ、それにより目が識別できる限り真の３次元画像を生成するように表示器に集束させるので、集束長の制御は最も有利である。故に、この発明のさらなる実施例は動的に集束される入力および／または出力のための手段と共に各セルに光学的入力および／または出力手段を含めている。これは３次元光学記憶システムのために開発されたホログラフレンズ（“光速を有するテラバイトメモリ（Terabyte Memories with the Speed of Light）”ＢＹＴＷ，１９９２年３月）によって達成できる。各セルは所定のポイントに集束するためにホログラフレンズを制御するための十分なパワーを持つ事ができるので、全体としてのアレイはそのポイントに集束できる。各セルは独立的に集束できるので、アレイの分離領域は異なるポイントに集束もできる。ホログラフレンズは短距離で最高の実用性を立証するので、他の集束方法が適用できる。例えば、フライアイ（fly's eye）は各セルをフライに対する関心ポイントに集束するためにゼラチンレンズの物理的変形を使用し、そしてウエハに同様な方式がカンチレバーシリコン張りまたは電気的力によって変形される圧電物質を用いる事ができる。

現在のコンピュータシステムは共に接続される分離して作られる多数のコンポーネントによって作られ、保護のためのプラスチックまたは金属箱に収納される。これはシステムをコンポーネント自体よりも数倍大きくしてします。この構造は入出力からメモリおよびプロセッサまでリソグラフィに組み立てられたコンポーネントを単一の基板に集積され、電源および群集記憶システムだけを分離装置として残している。この構造は消費電力を減少するので、この構造に基づいたシステムにバッテリおよび／または光電池手段によって給電する事が可能となる。薄膜光電池および薄い高性能リチウムバッテリがウエハ生産ラインで生産できる（“マイクロエレクトロニクスの世界での薄膜リチウムバッテリ目標（Thin-film Lithium Battery Aims at World of Microelectronics”、エレクトロニックプロダクト、１９９２年１２月）、従って、今日の技術で現発明の構造への集積化を可能にする。全てのシステムコンポーネントが少なくとも同じセルレベル冗長性を持ち、直接交換で切る若干のセル以上の適当な動作と干渉する欠陥がないように個々のバッテリ（または他のパワー記憶手段）および／またはセル毎の光電地手段をリソグラフィックに組み立てる事が可能である。そのような実施例において、それは局部パワー分割バスにおいて非欠陥隣接セルと結合し得ることはセルにとって有利である。理想的な実施例では、直接出力の一部として反映されなかった周辺光は光電地によって吸収され、所定時間、遊び状態となっているとき、システムはパワー吸収待機モードとなっている。十分な光電地受光領域を有していれば、細心に設計されたアレイは周辺光によって完全に給電され、外部電力の供給を必要としなくなり、実際には、外部電源のための付加的なグローバル接続が多くの場合有効であると期待されているけれども、完全な自己内蔵モノリシックシステムを作り出す。

この発明の先の実施例に基づいたシステムは入力、処理、メモリおよび出力において重要な進歩を示しているが、半導体ウエハは壊れやすく、サイズに制限がある。しかしながら

、完全な回路を含む単結晶シリコンの薄い層をウエハの表面から、タッチプラスチック（“プロとタイプ生産低コスト、高性能ＡＭＬＣＤ（Prototype Yields Lower-Cost, Higher Performance AMKCDs”エレクトロニックプロダクト、１９９３年７月、および“ＬＤＣテクノロジの日本の歯止めを打破（Breaking Japan's Lock on LCD Technology）”ウオールストリートジャーナル、１９９３年６月）のような柔軟体を含む他の基板に移す事ができる。複数のそのような転移物体を大きな半剛性基板に連続して配置し、最終金属層で（図４Ｅに示される物のような）整合無感性接点によって転移物体を相互接続する事によって、必要とする任意のサイズのシステムが生産できる。そのようなシステムが保護プラスチック層によって覆われれば、全システムが非常に頑丈になり耐久性を持つようになる。この発明はウエハの表面に全体のシステムを一体化する事を提供しているので、クレジットカードのような厚く固いシートは殆どの用途に対して理想的であるけれども、回路転移物体この発明に従った全システムを頑丈な耐久性のあるミリメータの分数のような軽量シートにまで減少させる。

故に、この発明の欠陥裕度モノリシックデータ処理構造のさらの実施例は各セルがメモリおよび処理のための手段だけでなく直接光学的出力手段を有する場合およびモノリシックネットワークが基板において互いに近接して添付され、かつインターセル接続パターンをインターネットワーク境界を横切って延のべいていくためネットワークが実質的に互いに接続される場合にセルの大きな規定の非欠陥セルアレイに各々が系統付ける事ができるセルの複数の高い冗長性のモノリシックネットワークによってウエハサイズの制限を解決している。さらに好ましい実施例は脆くない基板を用いる。インタートランスファ接続は所定の転移内で現在実用的である最大５つの金属層の代わりに１つの金属層だけに形成できるけれども、オフチップ接続が標準構造１５ｍｍチップの全周に成し得るのでより多くの接続が３ｍｍセルの一方側に成し得る。この発明に基づいたアレイはそのような転移の理想的な候補であるべきであり、なぜならばそれらの欠陥裕度は伝統的回路のより荒い処理にもかかわらず存在させているからである。回路転移は付加的な薄いメモリまたは処理層をこの発明の構造に従って構成されるシステムに追加するときに有効である。これは多重低電力メモリ層をコンパクトデイスクレスシステムに付加するときに特に有効であると期待されている。

現在のウエハベース生産システムはウエハより大きくないモノリシック領域を形成するためには効率的であるが、この発明に記載された構造はウエハよりもはるかに大きいネットワークを効率的に処理できる。しかし、回路転移技術は完全な回路だけでなく未加工シリコンに使用でき、故に基板の大きい領域が転移間で不一致の薄いラインだけを持った結晶シリコンのモノリシック転移によって覆うことができる。１／５００インチ（５０ミクロン）精度（人間の目の視覚可能な欠陥限度）まで転移をトリミングし、整え、組み立て処理中に金属層によってインタートランスファギャップをつなぐことによって、これらの継ぎ目はセル間に隠れる。この発明に開示された構造はセルまたはセルの領域に整合非感知接点を介して接続させ、多重低コストマスクを順次または同時に適用させる。この発明の構造に基づいたシステムに対して全ての生産ステップを行うことができる。これらステップは個々のウエハにおけるよりも基板の大きなまたは連続するシートに基づいた生産ラインでのリソグラフィを含んでいる。同様な生産ラインは、転移結晶シリコンによってではないが、薄膜ソーラセルの連続シートを製造するときに現在使用されている。

この発明の欠陥裕度モノリシックデータ処理構造さらの実施例は、各セルが少なくとも圧縮データを伸長するに十分な直接光学的出力手段およびメモリおよび処理手段を有する場合およびモノリシック製造マスクより大きなネットワークが整合非感知接点手段によって相互接続される複数のマスクサイズ領域を用いて作られ、それによりネットワークをリニア生産手段によって形成させる場合に大きな規定のセルアレイに系統化できるセルの高い冗長性のネットワークによって高いウエハベース生産コストを解決する。ある場合に、この実施例はポストリニア生産注文によって価値を高められる。例えば、図５Ａおよび５Ｂに示されるような最小限度の出力アレイに対して、各セル列はセルアドレスを除いて同じリソグラフィックパターンを使用して組み立てることができる。各セルは１２ビットのア

ドレス領域を含んでおり、各ビットはＸおよびＹアレイ座標５１２および５１２′に対するものである。これはアドレスパターン５１２（生産方向）を所定の欄（コラム）５２において各セルに対して一定であり、故に、これらアドレスは連続する生産プロセスの一部として一定パターンによって形成できる。他のアドレスパターンは直交方向に所定のセル列５４において各セルに対して一定であるので、アドレスパターン５１２′は生産の現方向に直交する一定パターンを用いて分離ポスト連続生産仕上げステップでカスタマイズされる一定の組のアドレスラインとして形成される。カスタマイズは、例えば、アドレス領域５１２′のアドレスラインを選択的に切断するためにリニアアレイレーザまたはイオンビームを用いてまたはフイールドプログラマブルゲートアレイをカスタマイズするために使用される技術によって行なわれる。

現在の回路生産技術は、回路がウエハまたはそこから転移されたシリコンの薄い層に形成される前に純粋シリコンの大きな結晶を成長し、その結晶を薄いウエハにスライスし、これらウエハを研磨および洗浄することを含む。集積回路は単結晶シリコンに対抗するようにアモルファスおよび多結晶シリコンから形成される。これら両方の形成はガラスまたは柔軟性プラスチックのような種々の基板に仮想的に任意のサイズの連続する薄い層として安価に蒸着できる。この技術は現在、安価な薄膜ソーラセルの基板を製造するためおよびフラッとパネルコンピュータ表示器を製造するときに用いられる。しかしながら、プロセッサまたはメモリでの使用は見られない。なぜならば、これら基板は殆ど均一性に乏しく、より高価な単結晶シリコンよりも低い電子モビリテイを有し、小さくまたは早く回路を作ることを困難にしているからである。回路速度およびチップサイズは今日のコンピュータの主要なボトルネックとなっているので、遅いアモルファスおよび多結晶シリコン集積回路は低製造コストにもかかわらず結晶シリコンと競争にならない。しかし、高並列および集団並列処理、広データパス、集積メモリ、直接入出力、および入力、プロセッサ、メモリおよび出力間の最小距離の使用によって、この発明に記載された構造は回路速度に対して全体のシステム速度を最大にする。現発明の構造は基板における不均一を解決するため十分な欠陥裕度を保持し、単一基板の大きな部分集積化され、個々の回路自体が大きくなっても大多数の回路を集積化する。これらの品質は安価な中間性能コンピュータシステムをアモルファスまたは多結晶シリコンに製造させる。今日のリソグラフィックによって組み立てられるアモルファスまたは多結晶シリコンシステムは低メモリ密度によって白黒または低解像度カラーに限定され、遅い回路速度によりシリアルタスクの中間性能に制限されるが、原理は同じであり、リソグラフィの改良は数年以内にこれらの基板へのフルカラー処理を可能にする。結晶半導体基板は速度、解像度および／またはコンパクト化が最も重要である場合に支配的となり、アモルファスまたは多結晶シリコンは大きな表示面サイズが最も重要なときに支配的となる。

携帯性はコンピュータシステムにおいてますます重要な問題となる。顕微鏡的相互接続領域において全体のデータ処理システムを集積化することによって、この発明はサイズ、コストおよびシステムのパワー要求を大きく減ずる。そのような領域は柔軟性基板に形成され、転移され、それにより完全な１石コンピュータシステムを脆くない基板に組み込ませる。薄い透明保護表面層を形成すると、そのようなシステムは頑丈になり、実質的に耐衝撃、耐水性並びにコンパクトとなる。

この発明の抜粋的実施例においては、先に説明した実施例のどれかのセルの全体ネットワークが単一の薄い柔軟性シートに組み込まれる。これは薄い半導体および他の層が蒸着され、または転移される薄いプラスチック基板にアレイを組み込むことによって達成できる。図１４Ａおよび１４Ｂに示された例では、データ処理システム１４０は次のように組み込まれる。即ち、層１４６０はほぼ１５０ミクロン（６ミル）のかなり硬質のプラスチック（例えば、ＬＥＸＡＮ）の平滑なシートである。４００ミクロンの厚みの薄箔リチウムバッテリ層が次に蒸着され、その後、プラスチックまたは他の絶縁体、例えば吹き付け水晶物質の数ミクロンの層を形成する。単一セル１４００のバッテリが図１４Ａにバッテリとして示されている。数ミクロンのアルミニユウムパワー分配層１４６２が次に形成され、その後、他の絶縁層を形成する。各セルの小さな孔はパワー層にエッチング（または孔

開け、など）され、垂直“線”はパワー層にセルアクセスを与えるために内側に蒸着される。次に、プロセッサ／メモリ層１４６３が組み込まれる。５０ミクロンの厚みの半導体物質層が蒸着または転移され、標準集積回路の組み立てと同様に低温ドーピングシステム（イオン注入）によってドプされる。金属化層が（電源および接地への接続を除いて）標準集積回路チップ方法でプロセッサ／メモリ層の素子を接続するために使用される。この層は、グローバルデータバスに対する入出力手段１４０２、隣接セルと通信を行うための手段１４１８、メモリ１４１６およびプロセッサ１４２０並びに局部データバスを接続するためのオプショナル手段１４３６を含むセル回路の大きさを持っている。次に、絶縁層が接地層への接続が行なわれる箇所を除いた箇所に蒸着される。接地層１４６４はパワー層１４６２と同様に形成される。孔はプロセッサ／メモリ層のコンタクトを取るために開けられ、絶縁垂直“線”はプロセッサ／メモリ層１４６３が直接Ｉ／Ｏ層１４６５にアクセスするためにこれら孔の中に蒸着される。

この直接Ｉ／Ｏ層１４６５はフラットパネルコンピュータディスプレイに画素を形成する時に使用する直接光学的出力のいくつかと同様な方法で組み込まれる直接光学的出力と、ＣＣＤ入力チップを作るときに使用する直接光学的入力と同様な方法で組み込まれる直接光学的入力１４２４と、小型化標準容量性タッチ／接近検出器として組み込まれるタッチ／接近直接入力１４３０を付加している。トップ層１４６６はクリア保護層であり、１００ミクロンのＬＥＸＡＮ（ポリカーボナイト）スクラッチ抵抗を持ち、合計厚みをほぼ８００ミクロン、すなわち０．８ｍｍにする。故に、この実施において全体のシステム１４０は堅いが、ミリメータの厚みで脆いシートではない。連続生産技術を用いると、この発明に従ってつくられる大きなシートは例外的に有効となることが期待されるクレジットカードサイズシステムおよび８－１／２”×１１”システムによって一連の小さなシートにさいの目に分割される。

この方法を用いた小さなシステムは仮想現実グラスにとって完ぺきとなるべきである。ＭＳウインドウ、ＯＳ／２、システム７などのデスクトップ比喩ソフトウエアを持った現在のコンピュータを考える。“デスクトップ”スペースはモニタのサイズによって実際のデスクトップよりもはるかに小さく制限される。この発明の構造のこの実施例で、そのようなグラスはよりい多いメモリ、より良い解像度、現在のデスクトップシステムより多くの処理パワーを持つ。差らに、左右“レンズ”は立体像を表示でき、グラスが加速または方位検出手段を含んでいれば、全体の像は着用者のヘッドが回転するようにシフトできるこれは今日のコンピュータシステムの“仮想デスクトップ”比喩よりもはるかに有効である全体“仮想オフイス”比喩を作り出す。また、ガラスは（データグローブ、キーボードなどの）他の電子装置と通信する（赤外線受信器のような）手段または外部電源への物理的接続を含めることができる。この実施例にし違って構成されるシステムはすべての素子を最小消費電力用（即ちＤＲＡＭＳの代わりに不揮発性ＳＲＡＭＳ）に設計される。層の異なる順位が使用できるが、この例に選ばれた順位はある重要な利点を有する。プロセッサ／メモリ層は処理を高速化し、電力要求を減ずる電源へ早く容易にアクセスするため電源と接地との間に直接挟まれている。

また、接地層と電源層は感知プロセッサ／メモリ層を外部電磁干渉からシールドする。

この特許出願に使用されるすべての例は説明としてとらえられるべきで限定するものではない。当業者から明らかなように上述された例の多数の変形例がこの発明の範囲と精神の範囲内で梨える。フラットレクチリニアアレイ（平坦直線アレイ）は簡単に示されているが、セルは（メモリアレイには不向きではあるが）３角形、６角形、８角形または他の矩形形状に接続できる。そのような構造は平坦である必要がなく、例えば、球体の内面はアレイの残り部分と干渉しないで球体を横切って任意の他のセルと光学的に通信できるセルによってカバーできる。表面での入力および出力素子への直接接続を持ったセルの層を使用することおよび表面セルだけが直接出力能力を持った場合に三次元セルアレイを用いることが可能となる。プラナアレイでこの効果を達成する方法は、分離アレイが途方もない速度の三次元アレイプロセッサに積層できるようにアレイの両面に相補直接入出力を持たせることである。

今日のシリコンリソグラフィはこの例で容易に理解できるけれども、この発明の素子および原理は今日のリソグラフィに制限されなく、シリコン、一般の半導体またはエレクトロニクスに限定されない。光学プロセッサ及びメモリアレイは例えば直接光学入出力に非常に簡便に接続できる。セル素子は２進または偶数デジタルシステムに限定されない。各セルがディジタル処理、メモリおよび直接入力に加えてアナログ入力および隣接セルへのアナログ接続を有する場合のハイブリッドシステムはリアルタイム視覚認識システムに非常に有望であるようである。分離メッセージ通過プロセッサを持つセルに基づくトランスピュータのようなセル当たり１プロセッサ以上持たせることができる。

明確に述べている場合をのぞき前記例に使用されているサイズおよび質は最大または最小として扱われているべきでない。例えば、開示された構造は集団的並列コンピュータをコンタクトレンズに重ね、マルチビリオンセルアレイ（数十億アレイ）を映画劇場スクリーンのサイズに保つ。

【図１Ａ】

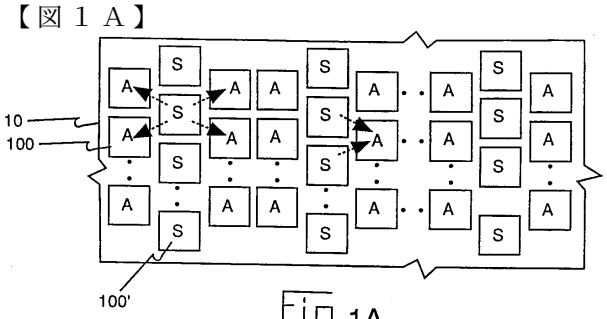

Fig 1A

【図１Ｂ】

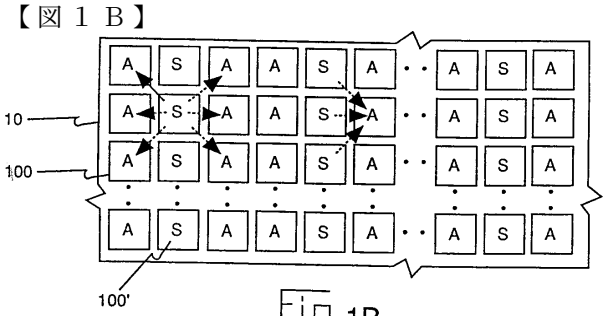

Fig 1B

【図１Ｃ】

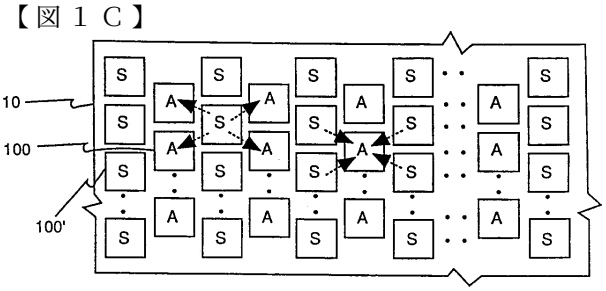

Fig 1C

【図１Ｄ】

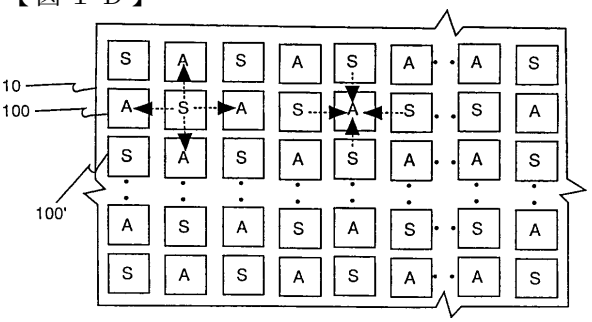

Fig 1D

【図１Ｅ】

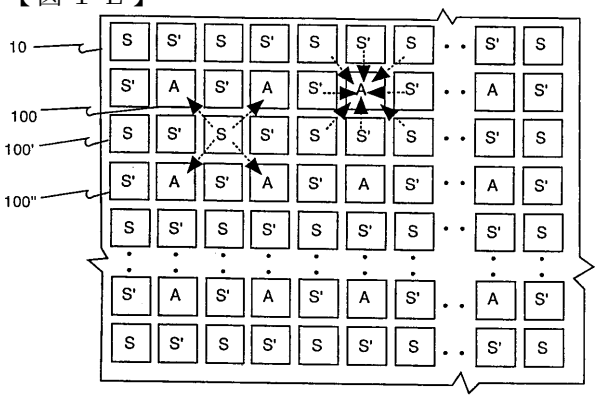

Fig 1E

【図１Ｆ】

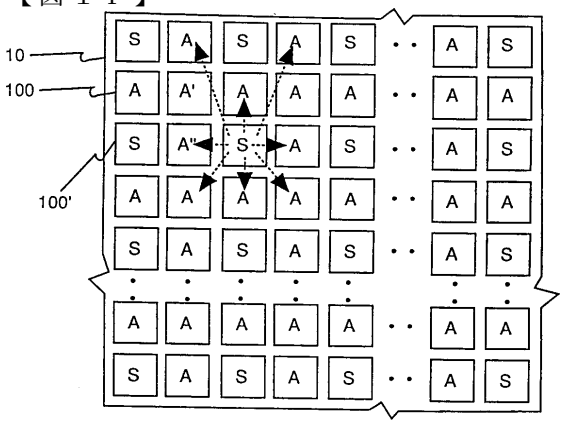

Fig 1F

【図１Ｇ】

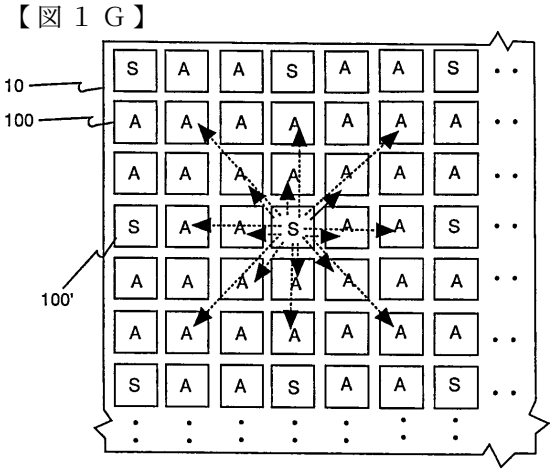

Fig 1G

【図１Ｈ】

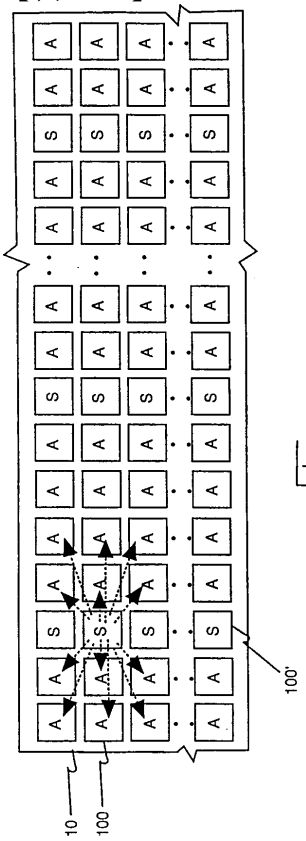

Fig 1H

【図２】

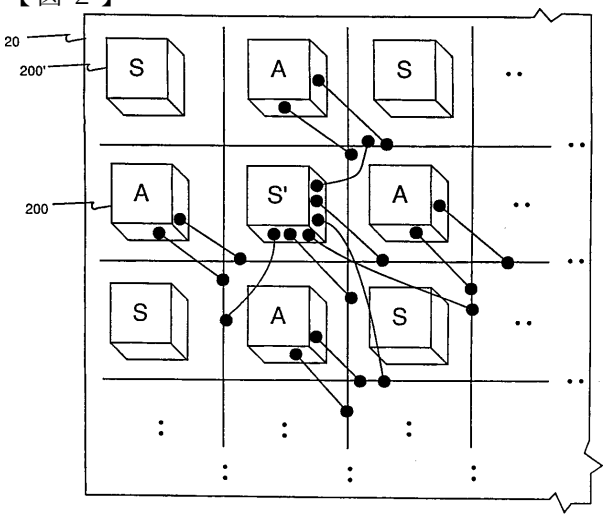

Fig 2

【図３】

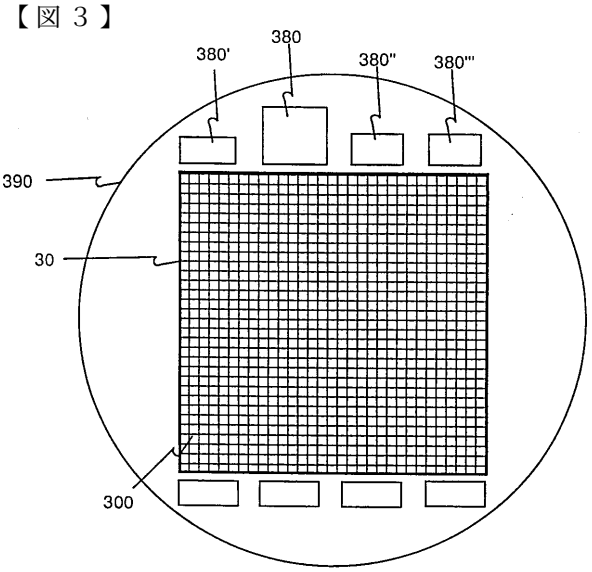

Fig 3

【図４Ａ】

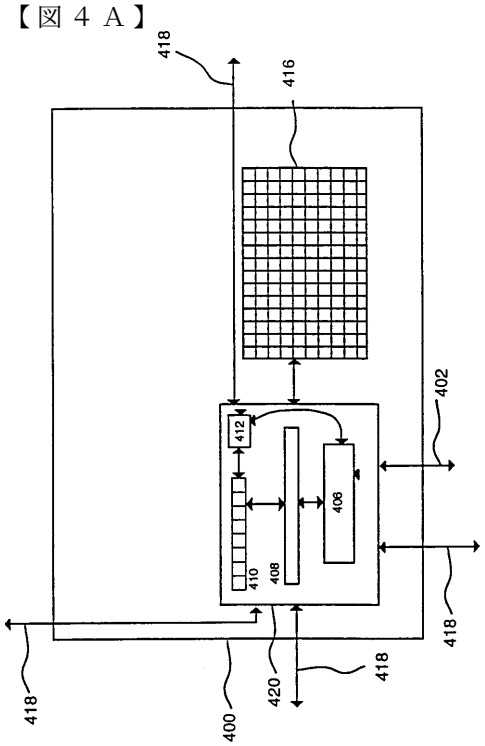

Fig. 4A

【図４Ｂ】

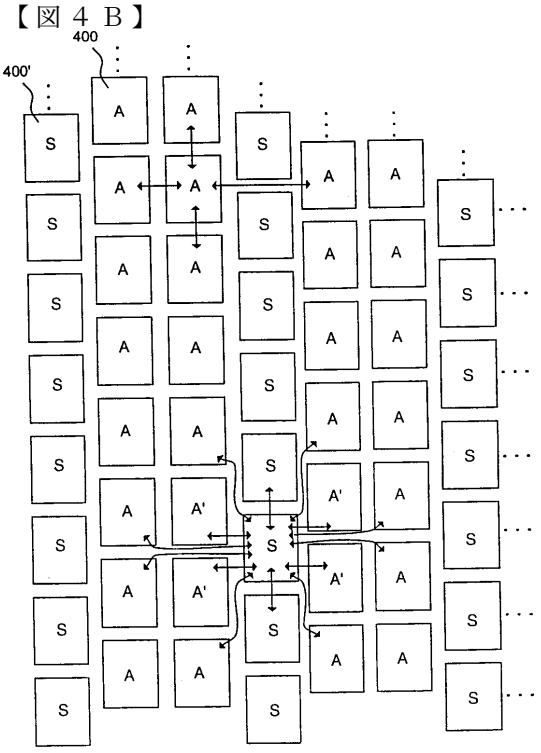

Fig. 4B

【図４Ｃ】

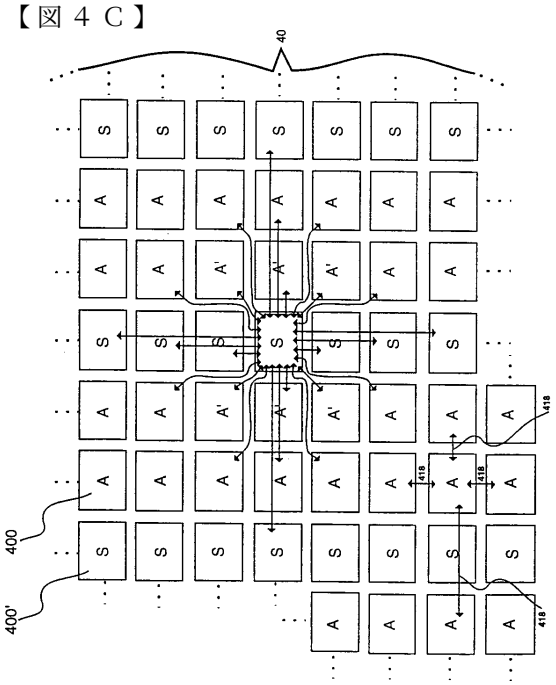

Fig. 4C

【図４Ｄ】

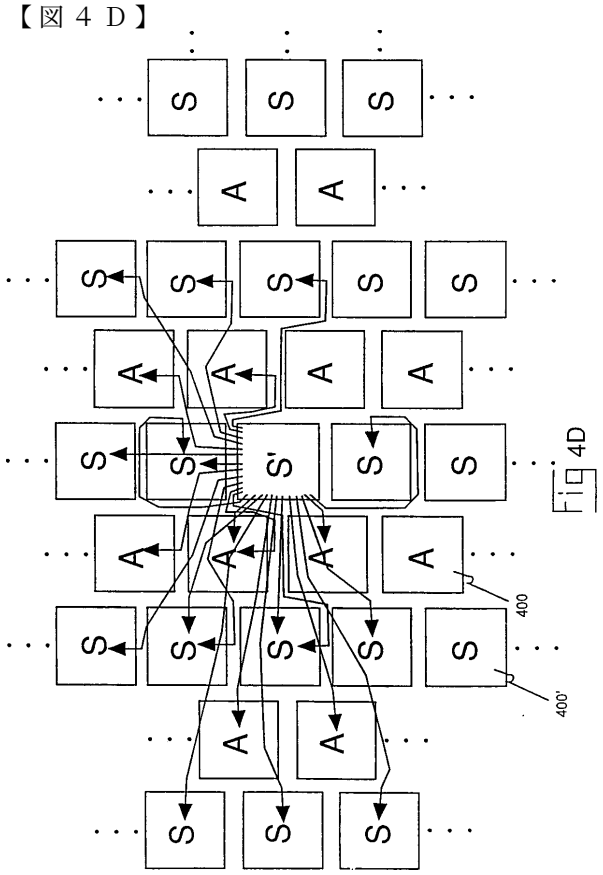

Fig 4D

【図４Ｅ】

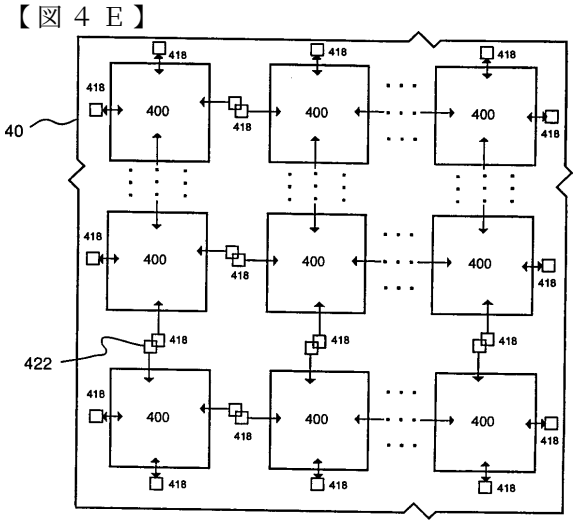

Fig. 4E

【図５Ａ】

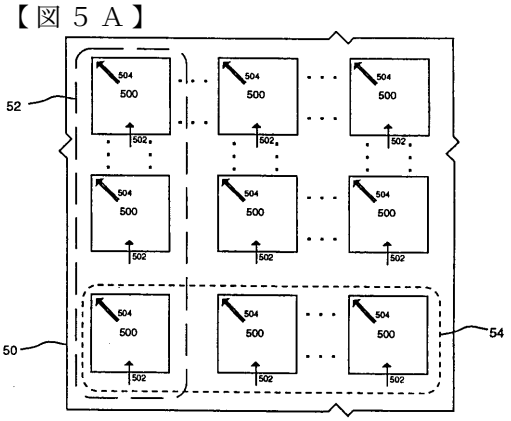

Fig. 5A

【図５Ｂ】

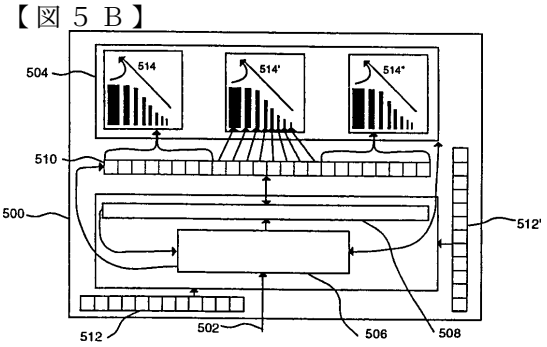

Fig. 5B

【図６Ａ】

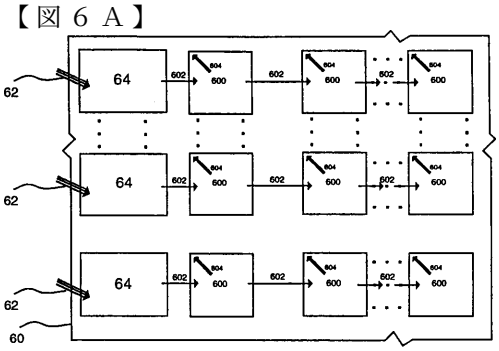

FIG. 6A

【図６Ｂ】

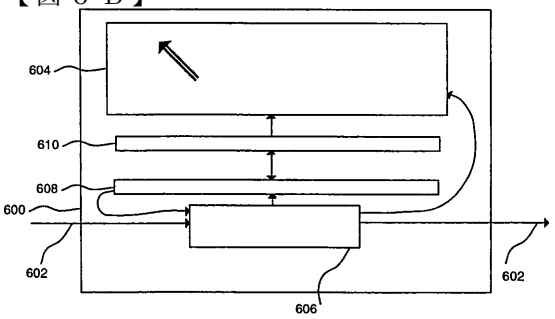

FIG. 6B

【図７Ａ】

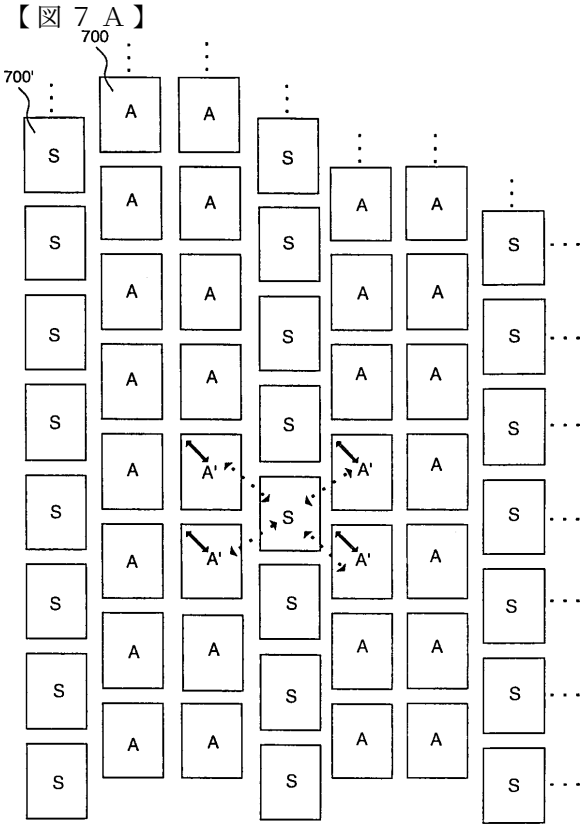

FIG. 7A

【図７Ｂ】

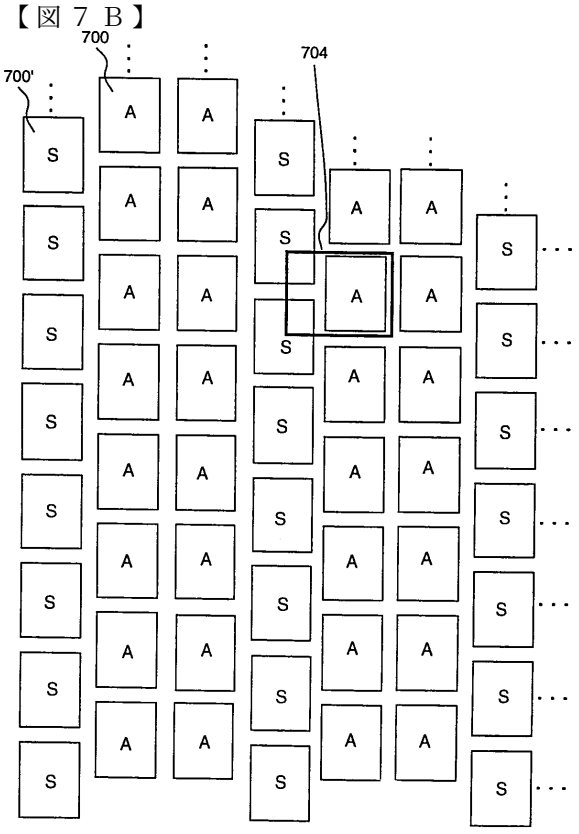

FIG. 7B

【図８Ａ】

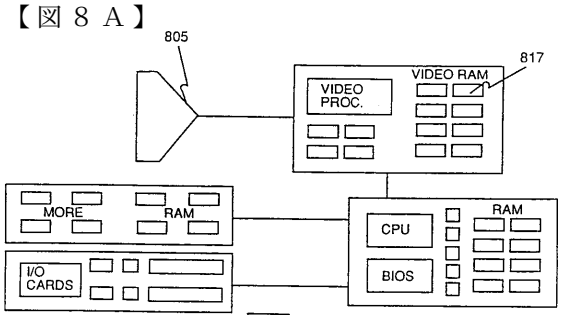

FIG 8A

【図８Ｂ】

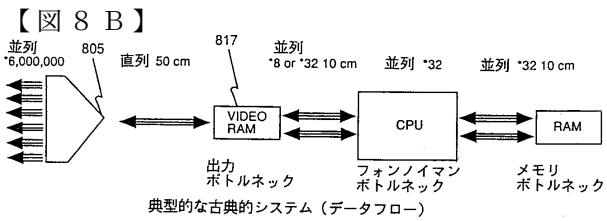

FIG 8B

【図８Ｃ】

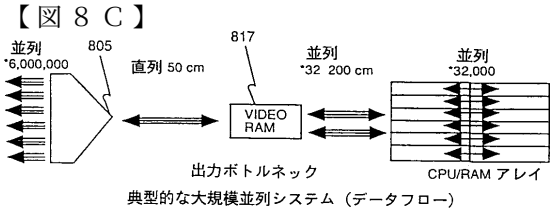

FIG 8C

【図９Ａ】

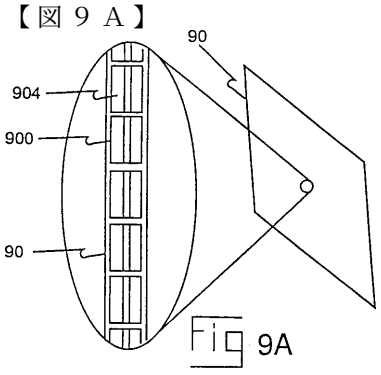

Fig 9A

アーキテクチャシステム
（物理的）

数千の同一のセルを有する単一の薄いシート

【図９Ｂ】

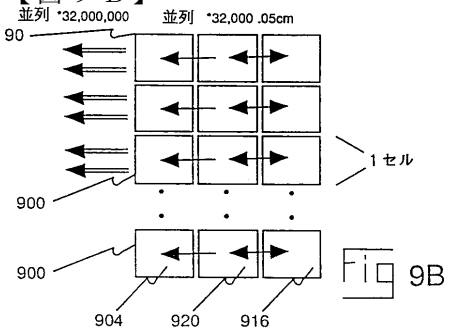

Fig 9B

アーキテクチャシステム
（データフロー）

データフローボトルネックなし
及び極端に短いデータパース

【図１０】

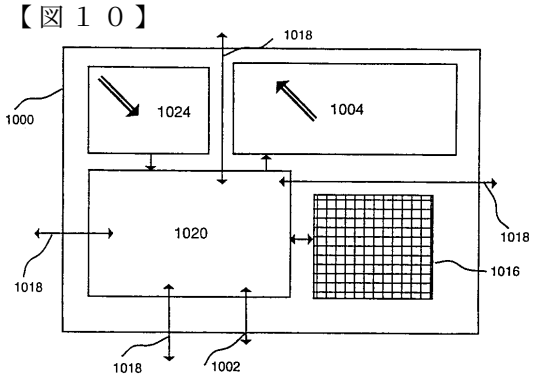

FIG. 10

【図１１】

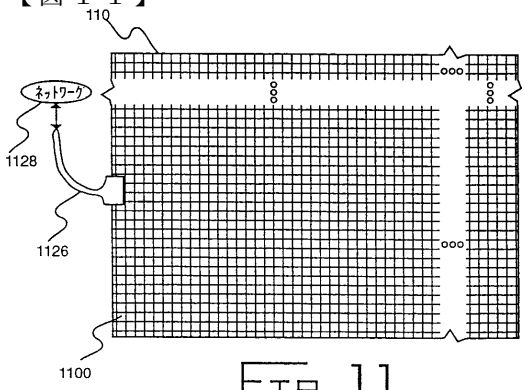

FIG. 11

【図１２】

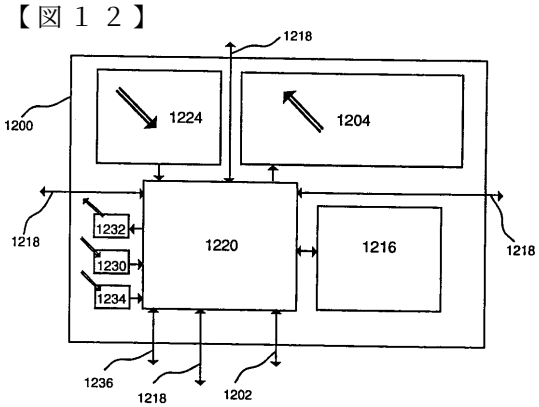

FIG. 12

【図１４Ａ】

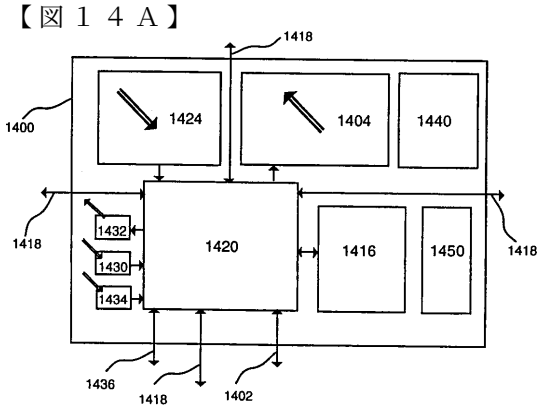

FIG. 14A

【図１３】

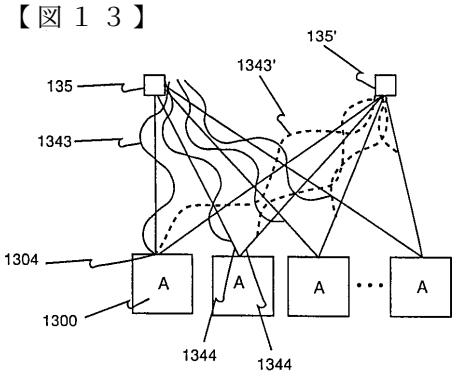

Fig 13

【図１４Ｂ】

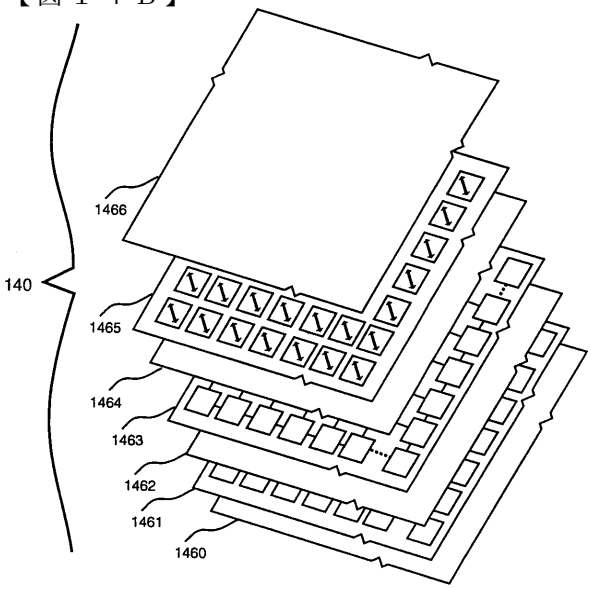

FIG. 14B

フロントページの続き

(74)代理人
弁理士　今城　俊夫
(74)代理人
弁理士　小川　信夫
(74)代理人
弁理士　村社　厚夫
(72)発明者　ノーマン　リチャード　エス
カナダ　ケベック　ジェイ０イー　２ケイ０　サットン　ポワザン　ロード　１８７７

審査官　久保　正典

(56)参考文献　国際公開第９３／１１５０３（WO，Ａ１）
国際公開第９０／０４８３５（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
G06F 11/16 - 11/20
G06F 15/80
G06F 15/16 - 15/177
H01L 21/82