(19) 대한민국특허청(KR)
(12) 등록실용신안공보(Y1)

(45) 공고일자 2019년04월12일
(11) 등록번호 20-0488995
(24) 등록일자 2019년04월08일

(51) 국제특허분류(Int. Cl.)
H01F 7/02 (2006.01)
(52) CPC특허분류
H01F 7/0231 (2013.01)
H01F 7/0278 (2013.01)
(21) 출원번호 20-2017-7000028
(22) 출원일자(국제) 2014년09월19일
심사청구일자 2017년03월17일
(85) 번역문제출일자 2017년03월17일
(65) 공개번호 20-2017-0001483
(43) 공개일자 2017년04월26일
(86) 국제출원번호 PCT/US2014/056462
(87) 국제공개번호 WO 2016/043765
국제공개일자 2016년03월24일
(56) 선행기술조사문헌
JP05326197 A*
US05471140 A*
US20130140203 A1*
*는 심사관에 의하여 인용된 문헌

(73) 실용신안권자
애플 인크.
미국 캘리포니아 (우편번호 95014) 쿠퍼티노 원 애플 파크 웨이
(72) 고안자
코빈, 션 에스.
미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프 1
스미스, 사무엘 길키슨
미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프 1
(뒷면에 계속)
(74) 대리인
장덕순, 백만기

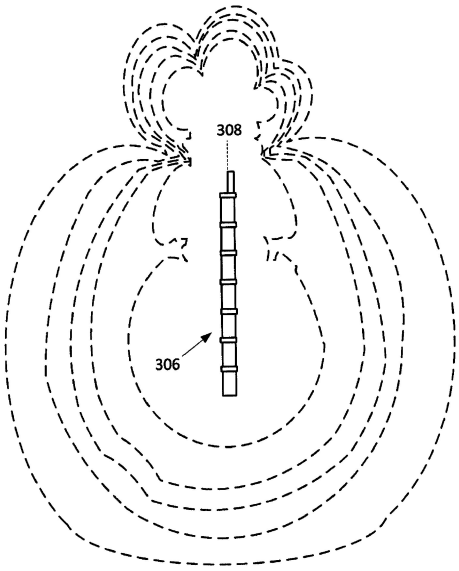
전체 청구항 수 : 총 15 항 심사관 : 전한철

(54) 고안의 명칭 **밸런싱된 자석 어레이**

(57) 요 약

밸런싱된 자석 스트링 및 이를 형성하기 위한 방법들이 기술된다. 밸런싱된 자석 스트링은, 적어도, 교번 자기 극성 패턴으로 선형으로 배열되고 각각이 제1 자석 부피를 포함하는 복수의 자석 요소들, 및 제1 자석 부피와는 상이한 제2 자석 부피를 갖는 보상용 자석 요소를 포함한다. 복수의 자석 요소들과 보상용 자석 요소는 자기적으로 상호작용하여 관심 지점에서의 원하는 자기장 강도를 갖는 합성 자기장을 제공한다.

대 표 도 - 도3c



(72) 고안자

코소글로우, 리차드 디.

미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프 1

스트라이커, 제임스 에이.

미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프 1

주, 하오

미국 95014 캘리포니아주 쿠퍼티노 인피니트 루프 1

명 세 서

청구범위

청구항 1

자석 스트링을 형성하도록 선형 어레이로 배열된 *m*개의 자석 요소들을 갖는 밸런싱된 자석 어레이로서,

상기 *m*개의 자석 요소들은,

교번 자석 패턴으로 배열되고, 각각이 자석 부피 Vi를 포함하고, 각각이 관심 지점으로부터 대응하는 거리 x_i에 위치되는 *m-1*개의 자석 요소들, 및

*m*번째 자석 요소를 포함하고,

상기 *m*번째 자석 요소는 상기 *m*번째 자석 요소와 상기 자석 스트링 내의 상기 *m-1*개의 다른 자석 요소들 사이의 자기적 상호작용이 상기 관심 지점에서 원하는 자기장 강도 H를 갖는 합성 자기장을 제공하도록 하는 자기 특성을 포함하고, 상기 *m*번째 자석 요소는 상기 관심 지점까지의 최단 거리 x_m에 대응하는 상기 자석 스트링 내의 위치에 위치되는 보상용 자석 요소이고, 상기 원하는 자기장 강도가 $H = V_m/x^3_m + \sum_1^{m-1} \pm V_i/x_i^3$ 이 되게 하는 부피 V*m*을 갖는, 밸런싱된 자석 어레이.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 원하는 자기장 강도 H가 널 상태(null)인 경우, 상기 보상용 자석 요소의 부피 V*m*은 $V_m = \sum_1^{m-1} \pm V_i\, x^3{}_m/x_i^3$ ($x_m < x_i$임)에 따르는, 밸런싱된 자석 어레이.

청구항 5

제4항에 있어서, 상기 밸런싱된 자석 어레이는 자기 감지 컴포넌트를 포함하는 전자 디바이스에 부착되는 플랩(flap) 내에 배치되는, 밸런싱된 자석 어레이.

청구항 6

제5항에 있어서, 상기 관심 지점은 상기 플랩이 폐쇄형 구성에서 상기 전자 디바이스와 전체적으로 접촉하고 있는 경우에 상기 전자 디바이스가 갖는 상기 자기 감지 컴포넌트에 근접한 위치에 대응하는, 밸런싱된 자석 어레이.

청구항 7

밸런싱된 자석 시스템으로서,

자석 요소들의 배열물을 포함하고, 상기 자석 요소들은 서로 자기적으로 상호작용하여, 상기 자석 요소들 사이의 자기적 상호작용에 따라 유지되는 자기장을 관심 지점에서 생성하고, 상기 자석 요소들의 배열물은 m개의 자석 요소들을 포함하고, 상기 m개의 자석 요소들은,

교번 자석 패턴으로 배열되고, 각각이 자석 부피 Vi를 포함하고, 각각이 관심 지점으로부터 거리 x_i에 위치되는 *m-1*개의 자석 요소들, 및

*m*번째 자석 요소를 포함하고,

상기 *m*번째 자석 요소는 상기 *m*번째 자석 요소와 상기 *m-1*개의 다른 자석 요소들 사이의 자기적 상호작용이 상기 관심 지점에서 원하는 자기장 강도 H를 갖는 합성 자기장을 제공하도록 하는 자기 특성을 포함하고, 상기 *m*번째 자석 요소는 상기 관심 지점까지의 최단 거리 x_m에 대응하는 위치에 위치되는 보상용 자석 요소이고, 상기 원하는 자기장 강도가 $H = V_m/x^3_m + \sum_1^{m-1} \pm V_i/x_i^3$ 이 되게 하는 부피 V*m*을 갖는, 밸런싱된 자석 시스템.

청구항 8

제7항에 있어서, 상기 원하는 자기장 강도는 상기 자석 요소들 사이의 상기 자기적 상호작용이 서로 상쇄될 때 널 상태인, 밸런싱된 자석 시스템.

청구항 9

삭제

청구항 10

삭제

청구항 11

제8항에 있어서, 상기 보상용 자석 요소의 부피가 $V_m = \sum_1^{m-1} \pm V_i\, x^3_m/x_i^3$ ($X_m < X_i$임)에 따르는 경우에, 상기 원하는 자기장 강도는 널 상태인, 밸런싱된 자석 시스템.

청구항 12

제8항에 있어서, 상기 밸런싱된 자석 시스템은 자기 감지 회로를 지니도록 배열된 전자 디바이스에 부착가능한 플랩 내에 배치되는, 밸런싱된 자석 시스템.

청구항 13

제12항에 있어서, 상기 관심 지점은 상기 플랩이 폐쇄형 구성에 있음에 따라 상기 자기 감지 회로에 근접한 상기 플랩 상의 위치가 상기 전자 디바이스와 전체적으로 접촉하고 있는 경우에 상기 위치에 대응하는, 밸런싱된 자석 시스템.

청구항 14

제8항에 있어서, 상기 m개의 자석 요소는 자석 요소들의 선형 어레이를 포함하는 자석 스트링을 형성하는, 밸런싱된 자석 시스템.

청구항 15

제14항에 있어서, 자석 요소들은 교번 자석 패턴으로 배열되는, 밸런싱된 자석 시스템.

청구항 16

자기 감지 컴포넌트를 갖는 전자 디바이스의 외면(aspect)에 대한 부착 및 그의 보호를 위한 보호 커버로서,

상기 전자 디바이스의 외면에 따른 크기 및 형상을 갖는 플랩을 포함하고,

상기 플랩은,

상기 플랩 내에 배치되고, 관심 지점에서 자기장을 생성하도록 배열되는 밸런싱된 자석 어레이를 포함하고;

상기 밸런싱된 자석 어레이는

교번 자석 패턴으로 배열되고, 각각이 자석 부피 Vi를 포함하고, 관심 지점으로부터 대응하는 거리 x_i에 위치되는 *m-1*개의 자석 요소들, 및

*m*번째 자석 요소를 포함하고,

상기 *m*번째 자석 요소는 상기 *m*번째 자석 요소와 상기 *m-1*개의 다른 자석 요소들 사이의 자기적 상호작용이 상기 관심 지점에서 합성 자기장 강도를 제공하도록 하는 자기 특성을 포함하고, 상기 *m*번째 자석 요소는 상기 관심 지점까지의 최단 거리 X_m에 대응하는 위치에 위치되는 보상용 자석 요소이고, 상기 합성 자기장 강도가 $H = V_m/x^3_m + \sum_1^{m-1} \pm V_i/x_i^3$ 이 되게 하는 부피 V*m*을 갖는, 보호 커버.

청구항 17

제16항에 있어서, 상기 자석 어레이는 자석 스트링을 포함하는 자석 요소들의 선형 어레이를 포함하는, 보호 커버.

청구항 18

삭제

청구항 19

제17항에 있어서, 상기 보상용 자석 요소의 부피 V*m*이 $V_m = \sum_1^{m-1} \pm V_i\, x^3_m/x_i^3$ ($X_m < X_i$임)에 따르는 경우에 상기 합성 자기장 강도는 널 상태인, 보호 커버.

청구항 20

제17항에 있어서, 상기 관심 지점은 상기 플랩이 폐쇄형 구성에서 상기 전자 디바이스와 전체적으로 접촉하고 있는 경우에 상기 자기 감지 컴포넌트에 근접한 상기 플랩 상의 위치에 대응하는, 보호 커버.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

고안의 설명

기 술 분 야

[0001] 기술되는 실시예들은 일반적으로 자석 어레이들에 관한 것이다. 더 구체적으로는, 선택된 자기장 분포를 갖는 자석 어레이들에 관한 것이다.

배 경 기 술

[0002] 기계식 체결구들, 걸쇠(clasp)들 등과 같은 종래의 부착 기구들은 전형적으로 액세서리 디바이스 상의 대응하는 부착 특징부와 정합하도록 전자 디바이스 상의 외부적으로 접근가능한 부착 특징부를 필요로 한다. 이러한 배열물은 원치 않는 무게 및 복잡도를 더하고 핸드헬드 컴퓨팅 디바이스의 외양을 열화시킬 뿐만 아니라 핸드헬드 컴퓨팅 디바이스의 전체적인 모습과 느낌을 손상시킬 수 있다.

고안의 내용

[0003] 본 명세서는 액세서리를 전자 디바이스에 해제가능하게 부착하기 위한 시스템, 방법 및 장치에 관한 다양한 실시예들을 기술한다.

[0004] *m*개의 자석 요소들을 가져서 밸런싱된 자석 어레이가 관심 지점 P에 대해 (자기장 강도와 같은) 원하는 자기장 특성을 갖는 합성 자기장(resultant magnetic field)을 제공하도록 하는 밸런싱된 자석 어레이를 형성하기 위한 방법이 기술된다. 방법은, 보상용 자석 요소에 대응하는 자석 어레이 내의 위치를 식별하는 단계, 보상용 자석 요소의 자기 특성을 판정하여 보상용 자석 요소와 자석 어레이 내의 *m-1*개의 다른 자석 요소들 사이의 자기적 상호작용이 합성 자기장을 제공하게 하는 단계, 및 식별된 위치를 보상용 자석 요소로 파퓰레이트(populate)하는 단계를 포함한다.

[0005] 밸런싱된 자석 어레이는 *m*개의 자석 요소들을 가지며, 그 중 *m-1*개의 자석 요소들 각각은 자석 부피 V*m*을 갖고, *m*번째 자석 요소는 *m*번째 자석 요소와 자석 어레이 내의 *m-1*개의 다른 자석 요소들 사이의 자기적 상호작용이 관심 지점에서의 원하는 자기 특성을 갖는 합성 자기장을 제공하도록 하는 대응하는 자기 특성을 갖는다.

[0006] *m*개의 자석 요소들을 가져서 밸런싱된 자석 어레이가 관심 지점 P에 대해 원하는 자기장 강도 *H*를 갖는 합성 자기장을 제공하도록 하는 밸런싱된 자석 어레이를 형성하기 위한 비일시적 컴퓨터 판독가능 매체는, 적어도, 보상용 자석 요소에 대응하는 자석 어레이 내의 위치를 식별하기 위한 컴퓨터 코드; 보상용 자석 요소의 자기 특성을 판정하여 보상용 자석 요소와 자석 어레이 내의 *m-1*개의 다른 자석 요소들 사이의 자기적 상호작용이 합성 자기장을 제공하게 하기 위한 컴퓨터 코드; 및 식별된 위치가 보상용 자석 요소로 파퓰레이트되게 하기 위한 컴퓨터 코드를 포함한다.

[0007] 밸런싱된 자석 스트링은, 적어도, 교번 자기 극성 패턴으로 선형으로 배열되고 각각이 제1 자석 부피를 갖는 복수의 자석 요소들을 포함한다. 자석 스트링은, 또한, 제1 자석 부피와는 상이한 제2 자석 부피를 갖는 보상용 자석 요소를 포함한다. 복수의 자석 요소들과 보상용 자석 요소는 자기적으로 상호작용하여 관심 지점에서의 원하는 자기장 강도를 갖는 합성 자기장을 제공한다. 일 실시예에서, 밸런싱된 자석 스트링은 전자 디바이스가 지니고 있는 외부 보호 층을 보호하는 데 사용되는 플랩(flap) 내에 배치된다.

[0008] 밸런싱된 자석 시스템은 적어도 제1 자석 요소들 및 제2 자석 요소들을 포함하고, 제1 및 제2 자석 요소들은 공통 관심 지점에서의 합성 자기장이 널 상태(null) 자기장 값을 포함하도록 하는 방식으로 제1 및 제2 자석 요소들이 상호작용하도록 서로에 대해 배열되고, 널 상태 자기장 값은 자기적 상호작용으로부터 비롯된 감쇠 및/또는 이득이 서로를 상쇄시킬 때 유지된다.

[0009] 자기 감지 컴포넌트를 갖는 전자 디바이스의 외면(aspect)에 대한 부착 및 그의 보호에 적합하고, 전자 디바이스의 외면에 따른 크기 및 형상을 갖는 플랩을 포함하는 보호 커버가 기술된다. 밸런싱된 자석 어레이는 플랩 내에 배치되고, 관심 지점에서의 사전결정된 자기장 강도를 갖는 자기장을 생성하도록 배열된다.

[0010] *m*개의 자석 요소들을 가져서 밸런싱된 자석 어레이가 관심 지점 P에 대해 원하는 자기장 강도 *H*를 갖는 합성 자기장을 제공하도록 하는 밸런싱된 자석 어레이가 기술된다. 밸런싱된 자석 어레이는 자석 어레이 내의 식별된 위치에 있는 보상용 자석 요소 - 보상용 자석 요소는 보상용 자석 요소와 자석 어레이 내의 *m-1*개의 다른 자석 요소들 사이의 자기적 상호작용이 합성 자기장을 제공하도록 하는 자기 특성을 포함함 - 를 포함한다.

[0011] 본 고안의 다른 태양들 및 이점들은 기술되는 실시예들의 원리들을 예로서 도시하는 첨부 도면들과 함께 취해지는 하기의 상세한 설명으로부터 명백하게 될 것이다.

도면의 간단한 설명

[0012] 본 고안은 유사한 도면 부호가 유사한 구조적 요소들을 지시하는 첨부 도면과 관련하여 하기의 상세한 설명에 의해 쉽게 이해될 것이다.

도 1은 기술되는 실시예들에 따른 자석 쌍을 도시한다.

도 2는 기술되는 실시예들에 따른 자석 스트링을 도시한다.

도 3a 내지 도 3c는 밸런싱된 자석 스트링의 다양한 실시예들에 대한 자기장의 등고선(iso-contour line)들의 분포의 시뮬레이션을 도시한다.

도 4는 태블릿 디바이스에 대한 액세서리로서 사용되는 플랩을 갖는 보호 커버의 일 구현예를 도시한다.

도 5는 기술되는 실시예들에 따른, 자석 어레이를 밸런싱하기 위한 프로세스를 상세히 설명하는 흐름도를 도시한다.

도 6은 기술되는 실시예들에 따른 컴퓨팅 시스템의 블록 다이어그램을 도시한다.

고안을 실시하기 위한 구체적인 내용

[0013] 이제, 첨부 도면들에 도시된 대표적인 실시예들에 대한 상세사항을 참조할 것이다. 하기의 설명이 실시예들을 하나의 바람직한 실시예로 한정하고자 하는 것이 아님을 이해하여야 한다. 반대로, 첨부된 청구범위에 의해 한정된 바와 같은 기술된 실시예들의 사상 및 범주 내에 포함될 수 있는 대안예들, 수정예들 및 등가물들을 포함하고자 한다.

[0014] 하기의 설명은 일반적으로 적어도 2개의 적합하게 구성된 물체들을 함께 부착하는 데 사용될 수 있는 기구에 관한 것이다. 일 실시예에서, 이는 종래의 체결구들을 사용하지 않고 달성될 수 있다. 물체들 각각은 적절한 특성들을 갖는 자기장을 제공하도록 배열된 부착 특징부를 포함할 수 있다. 부착 특징부들이 서로에 근접하게 된 때, 그들 각자의 특성들에 기초하여 자기장들이 공동작용식으로 상호작용하여, 물체들이 원하는 그리고 반복적인 방식으로 서로에게 자기적으로 부착하게 할 수 있다. 예를 들어, 자기장들의 상호작용의 공동작용 특성에 적어도 부분적으로 기인하여, 물체들은 외부 개입 없이 사전결정된 위치 및 상대적 배향으로 서로에게 부착될 수 있다. 예를 들어, 공동작용식 자기적 상호작용은 물체들이 원하는 배향으로 자가-정렬(self-aligning)되고 자가-중심위치설정(self-centering)되게 할 수 있다.

[0015] 물체들은 많은 형태들을 취할 수 있고 많은 기능들을 수행할 수 있다. 일 실시예에서, 적어도 하나의 물체가 액세서리 디바이스로서 사용될 수 있다. 액세서리 디바이스는 적어도 하나의 전자 디바이스에 자기적으로 부착될 수 있는데, 전자 디바이스는 전자 디바이스의 전체 크기에 비례하여 비교적 큰 디스플레이를 갖는다(태블릿 디바이스가 일례이다). 액세서리 디바이스는 전자 디바이스의 동작성을 향상시키는 데 사용될 수 있는 서비스들 및 기능들을 제공할 수 있다. 예를 들어, 액세서리 디바이스는 전자 디바이스에 자기적으로 부착될 수 있는 보호 커버의 형태를 취할 수 있다. 보호 커버는 전자 디바이스의 전체적인 모습과 느낌을 향상시키면서 전자 디바이스의 (디스플레이와 같은) 소정의 외면들에 대한 보호를 제공할 수 있다.

[0016] 일부 실시예들에서, 자석들은 액세서리 디바이스와, 예를 들어 태블릿 디바이스와 같은 소비자 전자 제품 사이의 해제가능한 부착을 형성하기 위한 기초로서 사용될 수 있다. 그러나, 소비자 전자 제품들 내에 자석들을 사용하는 경우, 설계자는, 종종, 식별용 자기 스트라이프를 사용하는 신용 카드와 같은 자기 감지 회로들 또는 디바이스들에 대해 원치 않는 효과들을 야기할 수 있는 관심 지점에서 자기장(들)을 제한하면서 자기 인력을 최대화하는 것으로 과제를 부여받는다. 또한, 예를 들어 자기 나침반으로서 사용될 수 있는 자력계와 같은 자기 감지 회로들에 관해, 일정하고 명확한 자기장을 유지하는 것이 중요할 수 있다. 그러나, 자석 표면 강도를 제한하는 것은 안전한 자기 부착을 유지하도록 하는 자석들의 전체적인 능력을 감소시키는 반갑지 않은 효과를 가질 수 있는 자석들의 자기장 강도를 감소시킬 수 있다. 또한, 표면 자기장을 제한하는 것은, 일반적으로, 임의의 주어진 지점에서의 자기 강도의 최대 세기를 제한하여, 설계자가 자기 재료의 더 큰 표면적을 사용하게 밀어붙인다. 또한, (예를 들어, 자기 나침반에 대응하는) 관심 지점에서의 표면 자기장을 제한하는 것은 자석들의 변위를 관심 지점으로부터 더 멀어지게 강제하여, 설계자가 이용가능하게 되는 표면을 감소시키는 결과를 갖는다.

[0017] 다음은, (자기 나침반과 같은 자기 감지 컴포넌트의 것에 대응할 수 있는) 원하는 위치에서의 자기장이 원하는 값으로 설정될 수 있도록 하는 방식으로 밸런싱된 자석들의 어레이로부터 자기 인력을 최대화하기 위한 기법들, 장치, 및 시스템을 기술한다. 일부 경우들에 있어서, 그 위치에서의 자기장은 본질적으로 널 상태 자기장일 수 있는데, 이는 그 위치에서의 자기장들이 밸런싱되어 순(net) 자기장이 약 0이 되도록 한 것을 의미한다. 이러한 방식으로, 기술되는 자기 밸런싱 기법들 및 장치들을 이용함으로써, 설계자는 자기 나침반과 같은 자기 감지 컴포넌트들의 장애와 관련된 문제들로 인해 지금까지 이용불가능했던 표면들을 사용할 수 있다.

[0018] 자석 요소의 자기장 강도는 일반적으로 자기 재료의 (부피 또는 질량에 대응하는) 양 및 대응하는 자기 재료 강도(자기 쌍극자 모멘트로도 지칭됨) 및 N극 또는 S극으로 지칭될 수 있는 자기 극성에 비례한다. 자극 모델을 사용하면, 예를 들어, N극 근처에서, 모든 자기장선들은 (자석 내측에서든 외측에서든) N극에서 멀어지는 반면, S극 근처에서, 모든 자기장선들은 (자석 내측에서든 외측에서든) S극을 향하게 된다. 이어서, N극은 자기장의 방향으로의 힘을 느끼는 반면, S극 상에서의 힘은 자기장에 반대 방향이 된다. 자극 모델에서, 기초 자기 쌍극자는 매우 작은 거리 벡터 d만큼 이격된, 극 강도 q_m의 2개의 반대되는 자극들에 의해 형성되어, $m = q_m d$가 된다. 이러한 모델을 사용하여, 자극들은 떨어져서 존재할 수 없고 항상 N/S 쌍들 내에 오며; 자화된 물체가 이등분되는 경우, 새로운 극이 각각의 조각의 표면 상에 나타나서 각각이 상보적인 극들의 쌍을 갖게 될 것이다.

[0019] 더욱이, 자석 요소는 질량 중심을 갖는 자석 요소로서 수학적으로 유추될 수 있으며, 일반적으로 자석 요소로부터의 거리의 역의 세제곱 및 자기장 강도를 증가시키는 것으로 (관례상) 정의되는 방향 성분에 따라 변화하는 자기장 강도 성분을 갖는 자화 벡터를 갖는 것을 특징으로 할 수 있다. 따라서, 특정 위치에서의 순 자기장은 각각의 관련 구성 자석 요소의 다양한 자화 벡터들의 선형 가법(중첩으로도 지칭됨)으로 간략화될 수 있는 벡터 가법을 이용하여 계산될 수 있다. 이러한 방식으로, 다양한 자화 벡터들을 중첩시킴으로써, 특정 지점에서의 원하는 순 자기장이 계산될 수 있다. 또한, 극성(들), 구성 자석 요소들의 자기 강도들, 및 특정 위치에 대한 그들의 상대 위치들을 변화시킴으로써, 그 위치에서의 원하는 자기장이 달성될 수 있다. 특정 실시예에서, 자석 요소들은 실질적으로 동일한 크기 및 구성을 각각 갖는 자석들의 어레이로서 배열될 수 있다.

[0020] 하나의 배열물에서, 자석들의 어레이는 개별 자석 요소들이 교번 자기 극성 패턴(P1, P2, P1, P2...; 여기서, P1은 N과 같은 제1 극성을 나타내고, P2는 S와 같은 P1의 것에 반대되는 제2 극성을 나타냄)으로 배열될 수 있도록 하는 방식으로 배열될 수 있다. 특정 실시예에서, 자석 어레이는 개별 자석 요소들이 선형 방식으로 배열되게 되는 1차원 어레이 또는 스트링의 형태를 취할 수 있다. 일부 경우들에 있어서, 개별 자석 요소들은 거의 동일하게 이격될 수 있다. 그러나, 다른 경우들에 있어서, 개별 자석 요소들 사이의 간격은 변화할 수 있다. 일부 경우들에 있어서, 개별 자석 요소들은 거의 동일한 크기, 형상, 및 질량을 갖는 것을 특징으로 할 수 있다. 다른 경우들에 있어서, 개별 자석 요소들은 크기, 형상, 및 질량, 또는 이들의 임의의 조합이 변화할 수 있다.

[0021] 보편성을 잃지 않고서, 다음은 특정 위치에서의 예측되는 순 자기장을 제공하도록 하는 방식으로 자기적으로 밸런싱될 수 있는 선형 자석 어레이 또는 스트링을 기술한다. 분석적으로, 자석 스트링의 밸런싱은 자석 스트링의 자석 요소들 각각의 자화 벡터들의 전술된 중첩을 이용하여 달성될 수 있다. 일 실시예에서, 기하학적 관계(즉, 예를 들어 소비자 전자 제품 내의 자기 나침반으로서 사용되는 자력계에 대응하는 위치와 구성 자석 요소들 사이의 거리들 및 방향들)는 설계 고려사항들에 의해 판정될 수 있고, 그에 따라 분석으로부터 배제될 수 있는데, 이는 그들이 원하는 위치에 대해 본질적으로 일정하기 때문이다. 따라서, 원하는 위치에서의 순 자기장은 단일(필요한 경우에는 더 많은) 자석 요소의 자기장 강도의 자기 특성만을 이용하여 자석 요소들의 중첩에 의해 판정될 수 있다. 자석 요소의 자기장 강도가 자기 재료의 양 및 자기 재료의 고유 자기 강도에 관련되므로, 원하는 위치에서의 자기장은 개별 자석 요소와 연관된 자기 재료의 부피에 직접적으로 관련될 수 있다. 이러한 방식으로, 원하는 위치에서의 자기장은 자기 재료의 상대적 양(또는 부피 또는 형상) 및 자석 스트링에서의 다른 자석 요소들에 대한 개별 자석 요소의 자기 극성에 따라 변화(또는 조정)될 수 있다.

[0022] 그러나, 자기적 상호작용의 각각의 측면이 관심 지점에서의 정적 자기장을 초래한다고 하더라도, 자석 스트링들 사이의 자기적 상호작용은 그 관심 지점에서의 자기장을 변조(변화)시키게 될 수 있다는 것에 주목해야 한다. 그러나, 전술된 방식으로 상호작용하는 자석 스트링들의 양쪽 측면들 모두를 관심 지점에서의 널 상태 자기장으로 밸런싱함으로써, 2개의 자석 스트링들의 자기장들 사이의 임의의 이득 또는 감쇠가 서로 상쇄되므로, 원하는 특성들을 갖는 (널 상태 자기장과 같은) 자기장이 유지될 수 있는데, 그 이유는 임의의 감쇠 또는 이득이 "0"(널 상태)으로 승산되어 "0"과 동일하게 유지될 것이기 때문이다. 이러한 접근법은, 또한, 자화 영역들의 크기

들의 변조에 의해 다수의 자석들로 적용될 수 있다.

[0023] 또한, 이들 기법들은 제1 관심 지점에 가장 가까이 위치된 자석 요소를 사용하여 하나의 지점에 대해 자석 스트링을 밸런싱함으로써 다수의 지점들에서 자석 스트링을 동시에 밸런싱하기 위해 그리고 제2 관심 지점에 가장 가까운 자석 요소를 사용하여 제2 관심 지점에 대해 스트링을 밸런싱하기 위해 이용될 수 있다. 이러한 프로세스는 원하는 최소 에러가 달성될 때까지 자연적으로 반복될 수 있는데, 에러는 원하는 관심 지점들에서 자석 요소들 각각의 원하는 자기 특성 간의 차이이다.

[0024] 다른 접근법은 단일의 자석 요소 접근법을 이용하여 다루어질 수 있는 것보다 더 많은 자석 요소들을 포함하는 자석 스트링을 밸런싱하는 데 이용될 수 있다. 그러한 (긴) 자석 스트링에 직면하는 경우, 긴 자석 스트링은 스트링을 따르는 다수의 지점들에서 단편적인 양식으로 밸런싱될 수 있다. 이러한 방식으로, 밸런싱에 대한 공차들의 효과가 실질적으로 감소될 수 있다. 이러한 기법은, 또한, 비선형(만곡형) 또는 3차원 자석 구조물들에 적용될 수 있다.

[0025] 자기 감지 회로들(홀 효과 센서, 자력계 등)을 갖는 디바이스들에 대해, 이러한 접근법은 자석 스트링들이 서로와 실질적으로 상호작용하지 않아서 크로스토크에 관련된 임의의 문제들을 제거하도록 하는 방식으로 (자석 스트링과 같은) 자석 구조물을 밸런싱하는 데 이용될 수 있다. 이러한 방식으로, 크로스토크를 더 작게 하면, 회로들은, 다른 방식으로 가능하게 되는 것보다 더 큰 자기 감지 분해능으로 동작할 수 있거나, 또는 회로들은 동일한 감지 분해능으로 서로에게 더 많이 근접하게 놓일 수 있다.

[0026] 일반적으로, 기술된 실시예들은, 유리하게는, 자기 감지 컴포넌트에 더 가깝게 근접하여 그와의 원치 않는 자기적 상호작용 없이 더 많은 자기 재료의 사용을 제공한다. 더욱이, 유해 효과 없이 이들 자기 재료들을 자기 감지 컴포넌트들에 더 가깝게 근접하여 위치시키는 능력이 부가된 더 많은 양의 자기 재료(또는 고유하게 더 강한 자기 재료의 사용)는 더 큰 자기적 상호작용력들 및/또는 감지 분해능을 허용한다.

[0027] 영구 자석과 같은 자석 요소는, 자석 요소와 연관되는 자기 재료의 양에 일반적으로 비례하는 자기장 강도 H를 갖는 자기장을 제공할 수 있는 자기 재료로 형성될 수 있다. 질량(M) 대 부피(V)의 비가 수학식 1에 따른 밀도(ρ)와 동일하므로,

[0028] [수학식 1]

[0029] $$\rho = M/V,$$

[0030] 부피 V는 수학식 2에 의해 나타낸 바와 같이 자석 요소의 질량에 대한 대용물(proxy)로서 이용될 수 있다:

[0031] [수학식 2]

[0032] $$V \propto M.$$

[0033] 수학식 2와 조합하여 자석 요소로부터의 거리 x의 역의 세제곱에 따라 자기 강도 $H(x)$가 변화한다는 사실을 이용하면, 수학식 3을 가져오게 되는데, 이는 자석 부피(V)와 자기 강도(S)와 3차원 자기 방향 벡터(D) 사이의 일반적인 관계를 기술한다:

[0034] [수학식 3]

[0035] $$H(x) \propto V \times S \times D/x^3.$$

[0036] 수학식 4 내지 수학식 8은 자석 요소들이 교번 자석 패턴으로 배열되고 단일의 자기 재료로 형성되는 시스템들을 기술했다는 것에 주목해야 한다. 다시, 중첩의 원리를 이용하여 1개 초과의 자기 재료의 자석 요소들 및 비-교번(non-alternating) 극성 패턴들에 대해 더 일반적인 관계가 도출될 수 있다.

[0037] 임의의 지점 P_0으로부터의 거리 x_1 및 x_2에 각각 위치되는 2개의 자석 요소들로 형성된 단일 자석 쌍의 경우에, 그리고 수학식 3을 이용하여, 각각의 자석 요소와 연관된 자기장 강도 $H_1(x)$ 및 $H_2(x)$는 수학식 4 및 수학식 5에 의해 각각 기술된다:

[0038] [수학식 4]

[0039] $$H_1(x) \propto V_1/x_1^3$$

[0040] [수학식 5]

[0041] $$H_2(x) \propto V_2/x_2^3$$

[0042] 2개의 자석 요소들로부터의 순 자기 강도 H(P_0)는 수학식 6에 따라 중첩의 원리를 이용하여 H_1 및 H_2를 합산함으로써 도출될 수 있다:

[0043] [수학식 6]

[0044] $$H(P_0) = (H_1(x) + H_2(x)) \propto (V_1/x_1^3 + V_2/x_2^3)$$

[0045] 임의의 지점 P_0에서의 원하는 순 자기 강도가 널 상태(즉, H(P_0) = 0)인 그러한 상황들에 있어서, $H_1 = -H_2$이고, 이는 수학식 7을 가져온다:

[0046] [수학식 7]

[0047] $$V_2 = V_1(x_2^3/x_1^3)$$

[0048] 수학식 6 및 수학식 7은 *m*개의 자석 요소들을 포함하는 임의의 길이의 자석 스트링에 대해 일반화될 수 있다는 것에 주목해야 한다. 따라서, 교번 자기 극성 패턴으로 배열된 *m*개의 자석 요소들을 갖는 자석 스트링의 경우, 수학식 6은 수학식 8이 된다:

[0049] [수학식 8]

[0050] $$H_0 = V_m/D_m^3 + \sum_1^{m-1} \pm V_i/D_i^3$$

[0051] 여기서:

[0052] V_i는 자석 스트링의 m-1개의 자석 요소들에 대한 부피 V를 나타내고,

[0053] x_i는 자석 스트링의 m-1번째 자석 요소들 각각과 임의의 지점 P_0 사이의 거리를 나타내고,

[0054] V_m은, 이 경우에 자석 스트링의 마지막(*m*번째) 자석 요소인 보상용 자석 요소에 대한 부피 V를 나타내고,

[0055] x_m은 자석 스트링의 (P_0에 가장 가까운) *m*번째 자석 요소와 임의의 지점 P_0 사이의 거리를 나타낸다.

[0056] H_0을 0으로 설정함으로써, 수학식 8은 자석 스트링 조정 수학식 또는 관계식으로 지칭될 수 있는 하기의 것으로 감소한다:

[0057] [수학식 9]

[0058] $$0 = V_m/x_m^3 + \sum_1^{m-1} \pm V_i/x_i^3$$

[0059] 상기와 같이, 1개 초과의 자기 재료의 자석 요소들 및 비-교번 극성 패턴들에 대한 더 일반적인 관계가 수학식 10에 따라 중첩의 원리를 이용하여 도출될 수 있다:

[0060] [수학식 10]

[0061] $$H_0 = V_m S_m D_m/x_m^3 + \sum_1^{m-1} V_m S_m D_m/x_i^3$$

[0062] 따라서, 일 실시예에서, 스트링 내의 보상용 자석 요소(예를 들어, 관심 지점에 가장 가까운 요소일 수 있음)의 크기를 수정함으로써, 스트링 요소들 1..(*m-1*)의 자기 효과가 밸런싱될 수 있다. 이러한 방식으로, 위치 P(0)에서의 자기장은 보상용 자석 요소의 자기 특성에 따라 변화(또는 조정)될 수 있다. 일 실시예에서, 자기 특성은 자기 재료의 상대적 양 및/또는 자석 스트링 내의 다른 자석 요소들에 대한 보상용 자석 요소의 자기 극성일 수 있다.

[0063] 도 1은 기술된 실시예들, 및 더 구체적으로, 수학식 7에 기초한 자기 밸런싱에 대한 분석 접근법에 따른 자석 쌍(100)을 도시한다. 자석 쌍(100)은 지점 P로부터의 거리 x_{102}에 위치된 자석 부피 V_{102} 및 자기 극성 P_1을 갖는 자석 요소(102)를 포함할 수 있다. 자석 쌍(102)은, 또한, 지점 P로부터의 거리 x_{104}에 위치된 자석 부피

V_{104}를 갖고 자석 요소(102)의 것에 반대되는 자기 극성 P_2를 갖는 자석 요소(104)를 포함할 수 있다. 전술된 바와 같이, 지점 P에서의 자기장 강도 $H_1(P)$는 수학식 7에 따라 그리고 더 구체적으로 수학식 11로서의 자석 쌍(100)에 대해 자석 부피 V_{102}와 자석 부피 V_{104} 사이의 관계를 조절함으로써 널 상태(즉, $H_1(P) = 0$)로 설정될 수 있다:

[0064] [수학식 11]

[0065] $$V_{104} = V_{102}(x_{104}^3/x_{102}^3)$$.

[0066] 이들 기법들은 관심 지점에 가장 가까운 자석이 더 가까워질 수 있게 하여, 그것이 자기 재료를 제거하는 대신에 이중 소스 밸런싱 및 끌어당기는 자석들을 추가하는 것으로 간주될 수 있다는 것에 주목해야 한다.

[0067] 수학식 11에 의해 설명되는 관계는 자석 요소들(102, 104)이 자기적으로 동일하게 상호작용하고 반대되는 자기 극성들의 것이라는 것을 전제로 한다는 것에 주목해야 한다. 따라서, x_{104}가 x_{102}보다 작으므로, 자석 부피 V_{104}는 다른 자석 요소들에 비해 그리고 수학식 1에 따른 자기 재료 M에서의 감소에 대응하는 양 ΔV_{104}만큼 감소된다. 이러한 방식으로, 자석 요소(104)와 연관된 자기 재료의 양을 조절함으로써, 지점 P에서의 자기장 강도 $H_1(P)$가 널 상태 자기장으로 설정될 수 있다.

[0068] 이러한 동일한 접근법은, 교번 자석 패턴(즉, P1, P2, P1 등)으로 배열된 n개의 자석 요소들(202-1 내지 202-*n*)을 갖는, 도 2에 도시된 자석 스트링(200)에 대해 일반화될 수 있다. 수학식 9를 이용하여, 자석 스트링(200)은 지점 P에 가장 가까운 자석 요소의 부피를 조절함으로써 널 상태와 동일한 순 자기장 강도 $H_1(P)$을 갖는 지점 P에서의 자기장을 제공하도록 하는 방식으로 밸런싱될 수 있다. 이러한 예에서, 자석 요소(202-n)는 수학식 12에 따르는 자석 부피를 갖는다;

[0069] [수학식 12]

[0070] $$0 = V_m/x_m^3 + \sum_1^{m-1} \pm V_i/x_i^3$$;

[0071] [수학식 13]

[0072] $$V_m^* = \sum_1^{m-1} \pm V_i\, x_m^3/x_i^3$$.

[0073] x_m이 x_i의 임의의 것보다 작으므로, 자석 쌍(100)에서와 같이, 자석 스트링(200)은 부피 V_m을 ΔV_m에 의해 V_m*으로 감소시킴으로써 지점 P에 대해 밸런싱될 수 있다.

[0074] 도 3a는 등고선들의 형태로 언밸런싱된 자석 스트링(300)에 의해 제공되는 자기장의 시뮬레이션을 도시한다. 도시된 바와 같이, 각각의 등고선은 테슬라(T) 또는 이러한 경우에 있어서 마이크로테슬라(μT)의 관점에서 일반적으로 설명되는 자기장 강도를 나타낼 수 있다. 더 구체적으로, 도 3a에 도시된 자석 스트링(300)은 8개의 자석 요소들(즉, 302-1 내지 302-8)을 가지며, 지점 P(1)에서의 자기장 강도 H(p)는 약 25 μT 정도일 수 있는 반면에 지점 P에서의 자기장 강도는 20 μT 정도일 수 있다. 그러나, 자석 스트링(300)을 밸런싱함으로써, 그리고 이러한 실시예에서는, 지점 P에 가장 가까운 자석 요소(302-8)의 부피 V를 감소시킴으로써(이에 의해 지점 P와 연관된 로컬 자기 특성들에 대한 최대 효과를 가짐으로써) 형성되는 밸런싱된 자석 스트링(304)을 도시하는 도 3b에 도시된 바와 같이, 지점 P에서의 자기장 강도 H(P)는 0(0 μT)에 가깝게 실질적으로 감소될 수 있다. 또한, 도 3c는 8개의 자석 요소들을 갖는 자석 스트링(306)을 도시하는데, 여기서 자석 요소(306-8)의 부피의 수정이 지점 P에 가장 가까운 자기 재료를 제거함으로써 실행될 수 있다(즉, 자석 요소(306-8)의 중심선(308)의 측면 상의 재료가 제거된다).

[0075] 도 4는 기술된 실시예들에 따른, 태블릿과 같은 전자 디바이스가 지니고 있는 디스플레이를 보호하기 위해 사용되는 커버 유리를 보호하는 데 사용되는 보호 플랩(400)의 특정 실시예의 평면도를 도시한다. 플랩(400)은 커버 유리에 따른 크기 및 형상을 갖는 본체(402)를 포함할 수 있다. 본체(402)는 절첩가능한 또는 휘기 쉬운 재료의 단일편으로부터 형성될 수 있다. 본체(402)는 또한 절첩 영역에 의해 서로로부터 분리되는 세그먼트들로 분할될 수 있다. 이러한 방식으로, 세그먼트들은 절첩 영역들에서 서로에 대해 절첩될 수 있다. 일 실시예에서, 본체(402)는 선형 방식으로 배열되어 자석 스트링(404)을 형성하는 다수의 자석들을 포함할 수 있다. 일 실시예에서, 자석 스트링(404)은 보상용 자석(406)의 존재에 의해 밸런싱될 수 있다. 일 실시예에서, 보상용

자석(406)은 지점 P에 관하여 가장 가까운 위치(예컨대, 최단 거리)에 위치될 수 있다. 보상용 자석(406)이 이중 목적이고 또한 추가적인 인력을 제공한다는 것에 주목해야 한다.

[0076] 기술된 실시예에서, 지점 P는 플랩(400)이 커버 유리와 전체적으로 접촉하고 있는 경우(폐쇄형 구성으로 지칭될 수 있음) 태블릿 디바이스 내에 배치되고 그가 지니고 있는 자기 감지 컴포넌트(예컨대, 자력계)의 위치와 연관될 수 있다. 따라서, 보상용 자석(406)은, (자기장 강도와 같은) 원하는 자기 특성을 갖는 지점 P에서의 합성 자기장을 제공하도록 하는 방식으로 자석 스트링(404)의 자기 효과들과 효과적으로 반응(또는 밸런싱)할 수 있다. 일부 경우들에 있어서, 원하는 자기장 강도는 자석 스트링(404)의 모든 자기 효과들이 본질적으로 보상용 자석 요소(406)에 의해 밸런싱될 수 있다는 점에서 널 상태일 수 있다.

[0077] 일 실시예에서, 자석 스트링(404)은 본체(402)의 제1 에지(408)를 따라서 선형으로 배열되는 에지 부착 자석들의 형태를 취할 수 있다. 플랩(402)은, 또한, 제1 에지(408)에 반대되는 제2 에지(414)를 따라서 선형으로 배열되는 제2 에지 부착 자석들의 형태로 보상용 자석(412)을 갖는 제2 자석 스트링(410)을 포함할 수 있다. 이러한 실시예에서, 제1 에지 부착 자석들(404) 및 제2 에지 부착 자석들(410)은, 각각의 제1 에지 부착 자석(404)이 제2 에지 부착 자석들(410) 중 대응하는 하나와 연관될 수 있게 되는 일대일 대응을 가질 수 있다. 또한, 제1 에지 부착 자석들(404)과 제2 에지 부착 자석들(410) 사이의 최대 자기 인력을 생성하기 위해, 각각의 자석 쌍이 반대 자기 극성들을 나타낼 수 있다. 예를 들어, 제1 에지 부착 자석들(404)이 제1 극성 패턴(교번함) M_1{P1, P2, P1, P2, P1, P2, P1, P2}로 배열될 때, 제2 에지 부착 자석들(410)은 상보적인 극성 패턴 M_2{P2, P1, P2, P1, P2, P1, P2, P1}로 배열될 수 있다. 이러한 방식으로, 자석 어레이들의 단부들에서의 자기 프린지(fringe) 효과를 최소화하면서 2개의 자석 어레이들 사이에 최대 자기 부착력이 실현될 수 있다. 또한, 기술된 기법들을 이용하여 제1 및 제2 에지 부착 자석들을 밸런싱함으로써, 제1 및 제2 에지 부착 자석들에 의해 생성되는 자기장에 대한 원치 않는 효과들이 최소화될 수 있다. 기술된 기법들이 자기 척력들/반발력들에 동일하게 적용된다는 것에 주목해야 한다.

[0078] 도 5는 m개의 자석 요소들을 가져서 밸런싱된 자석 어레이가 관심 지점에 대해 원하는 자기장 강도 H를 갖는 합성 자기장을 제공하도록 하는 밸런싱된 자석 어레이를 형성하기 위한 프로세스(500)를 상세히 설명하는 흐름도를 도시한다. 프로세스(500)는 보상용 자석 요소에 대응하는 자석 어레이 내의 위치를 식별하는 것으로 502에서 시작할 수 있다. 504에서, 보상용 자석 요소의 자기 특성을 판정하여, 보상용 자석 요소와 자석 어레이 내의 $m-1$개의 다른 자석 요소들 사이의 자기적 상호작용이 관심 지점에서 원하는 자기 특성을 갖는 합성 자기장을 제공하도록 한다. 506에서, 식별된 위치를 보상용 자석 요소로 파퓰레이트한다.

[0079] 도 6은 기술된 실시예에서 프로세스들 중 일부를 제어하는 데 적합한 전자 디바이스의 블록 다이어그램이다. 전자 디바이스(600)는 대표적인 컴퓨팅 디바이스의 회로를 예시할 수 있다. 전자 디바이스(600)는 전자 디바이스(600)의 전체 동작을 제어하기 위한 마이크로프로세서 또는 제어기에 관련되는 프로세서(602)를 포함할 수 있다. 전자 디바이스(600)는 파일 시스템(604) 및 캐시(606)에 제조 명령어들에 관련된 명령어 데이터를 포함할 수 있다. 파일 시스템(604)은 저장 디스크 또는 복수의 디스크들일 수 있다. 일부 실시예들에서, 파일 시스템(604)은 플래시 메모리, 반도체 (솔리드 스테이트) 메모리 등일 수 있다. 파일 시스템(604)은 전형적으로 전자 디바이스(600)에 고용량 저장 능력을 제공할 수 있다. 그러나, 파일 시스템(604)에 대한 액세스 시간이 상대적으로 느릴 수 있기 때문에(파일 시스템(604)이 기계식 디스크 드라이브를 포함하는 경우에 특히 그러함), 전자 디바이스(600)는 또한 캐시(606)를 포함할 수 있다. 캐시(606)는, 예를 들어, 반도체 메모리에 의해 제공되는 랜덤 액세스 메모리(RAM)를 포함할 수 있다. 캐시(606)에 대한 상대적인 액세스 시간은 파일 시스템(604)에 대한 것보다 실질적으로 더 짧을 수 있다. 그러나, 캐시(606)는 파일 시스템(604)의 큰 저장 용량을 갖지 않을 수 있다. 게다가, 파일 시스템(604)은, 활성일 때, 캐시(606)보다 더 많은 전력을 소모할 수 있다. 전자 디바이스(600)가 배터리(624)에 의해 전원을 공급받는 휴대용 디바이스일 때, 전력 소모가 종종 관심사일 수 있다. 전자 디바이스(600)는 또한 RAM(620) 및 판독 전용 메모리(ROM)(622)를 포함할 수 있다. ROM(622)은 실행될 프로그램들, 유틸리티들 또는 프로세스들을 비휘발성 방식으로 저장할 수 있다. RAM(620)은, 캐시(606)에 대해서와 같이, 휘발성 데이터 저장을 제공할 수 있다.

[0080] 전자 디바이스(600)는 또한 전자 디바이스(600)의 사용자가 전자 디바이스(600)와 상호작용할 수 있게 하는 사용자 입력 디바이스(608)를 포함할 수 있다. 예를 들어, 사용자 입력 디바이스(608)는 버튼, 키패드, 다이얼, 터치 스크린, 오디오 입력 인터페이스, 시각/이미지 캡처 입력 인터페이스, 센서 데이터 형태의 입력 등과 같은 다양한 형태들을 취할 수 있다. 더욱이, 전자 디바이스(600)는 정보를 사용자에게 디스플레이하기 위해 프로세서(602)에 의해 제어될 수 있는 디스플레이(610)(스크린 디스플레이)를 포함할 수 있다. 데이터 버스(616)는

적어도 파일 시스템(604), 캐시(606), 프로세서(602), 및 제어기(613) 사이의 데이터 전달을 용이하게 할 수 있다. 제어기(613)는 장비 제어 버스(614)를 통해 상이한 제조 장비와 인터페이싱하고 이를 제어하는 데 사용될 수 있다. 예를 들어, 제어 버스(614)는 CNC(computer numerical control) 밀, 프레스, 또는 다른 디스플레이 디바이스들을 제어하는 데 사용될 수 있다. 예를 들어, 프로세서(602)는, 소정 제조 이벤트 발생 시, 제어기(613) 및 제어 버스(614)를 통해 대안의 디스플레이를 제어하도록 하는 명령어들을 공급할 수 있다. 그와 같은 명령어들은 파일 시스템(604), RAM(620), ROM(622) 또는 캐시(606)에 저장될 수 있다.

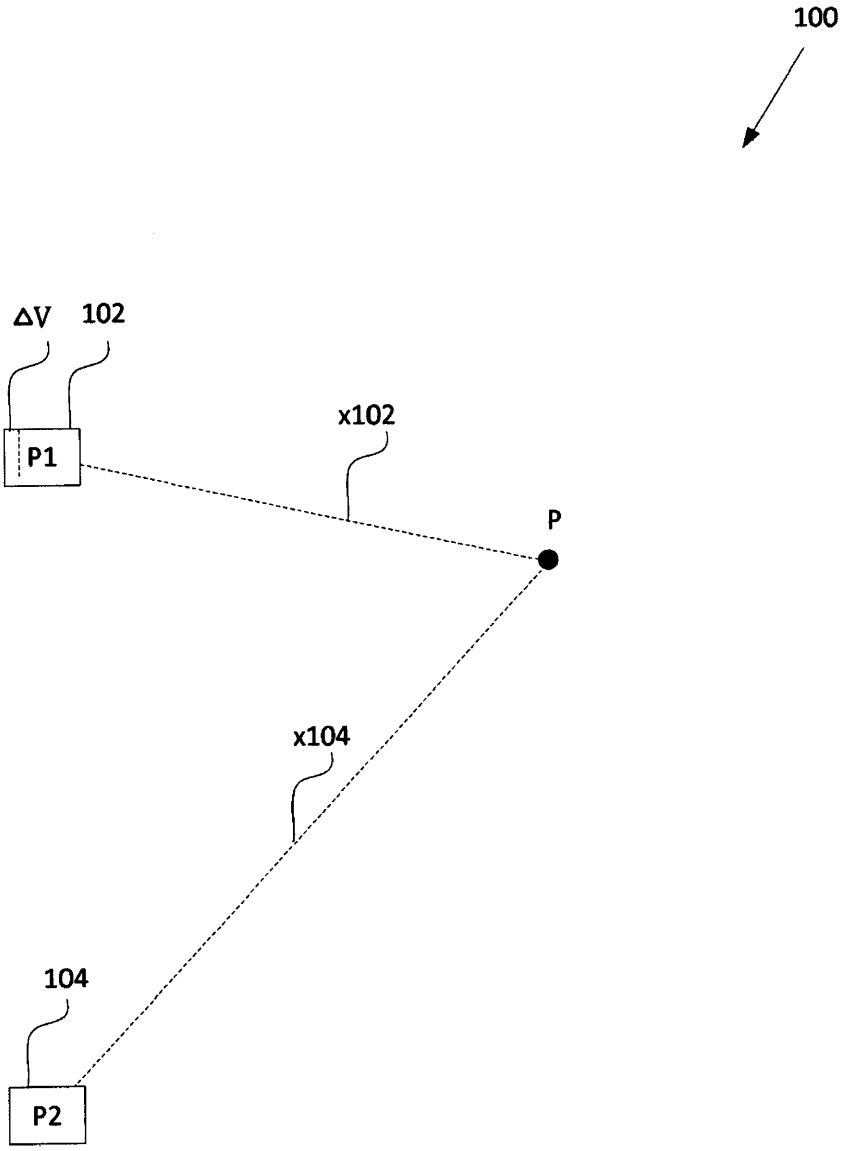
[0081] 전자 디바이스(600)는 또한 데이터 링크(612)에 커플링되는 네트워크/버스 인터페이스(611)를 포함할 수 있다. 데이터 링크(612)는 전자 디바이스(600)가 호스트 컴퓨터 또는 액세서리 디바이스들에 커플링되도록 할 수 있다. 데이터 링크(612)는 유선 접속 또는 무선 접속을 통해 제공될 수 있다. 무선 접속의 경우, 네트워크/버스 인터페이스(611)는 무선 송수신기를 포함할 수 있다. 센서(626)는 임의의 개수의 자극들을 검출하기 위한 회로의 형태를 취할 수 있다. 예를 들어, 센서(626)는, 예를 들어, 외부 자기장에 응답하는 홀 효과 센서, 오디오 센서, 광도계(photometer)와 같은 광 센서, 투명도를 검출하는 컴퓨터 비전 센서(computer vision sensor), 성형 프로세스를 모니터링하기 위한 온도 센서 등과 같은 임의의 개수의 모니터링용 센서들을 포함할 수 있다.

[0082] 전술한 설명은, 설명의 목적을 위해, 기술된 실시예들의 충분한 이해를 제공하도록 특정 명명법을 사용하였다. 그러나, 특정 상세 사항들이 기재된 실시예들을 실시하는 데 필수적이지는 않다는 것이 당업자들에게 명백할 것이다. 따라서, 본 명세서에 기재된 특정 실시예들의 전술한 설명은 예시 및 설명의 목적을 위해 제공된다. 이들은 망라하고자 하거나 실시예들을 개시된 정확한 형태들로 제한하려고 하는 것은 아니다. 많은 수정들 및 변형들이 상기 교시 내용들에 비추어 가능하다는 것이 당업자에게는 명백할 것이다.

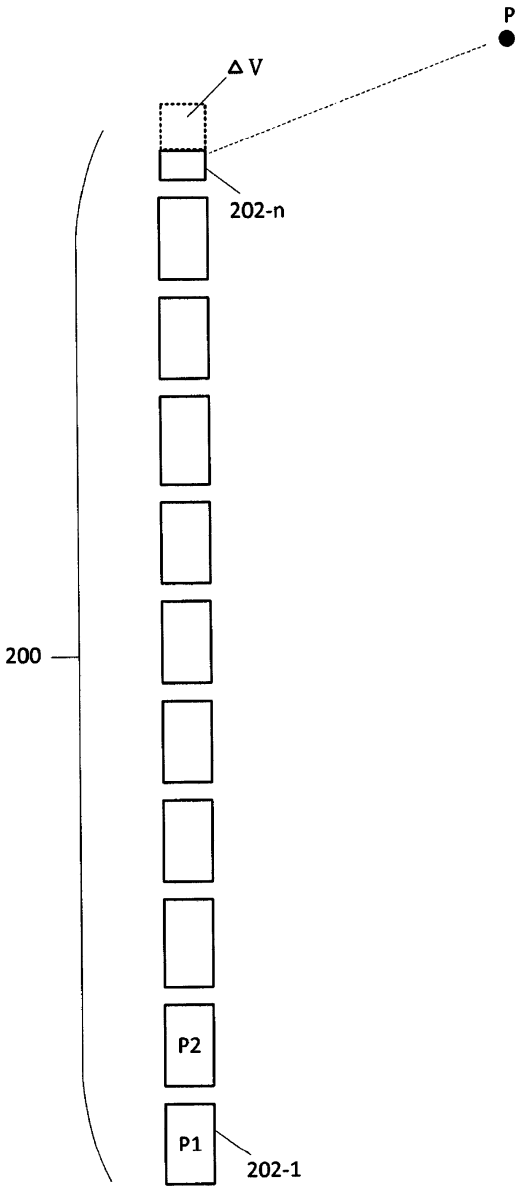
[0083] 기술된 실시예들의 이점은 많다. 상이한 태양들, 실시예들 또는 구현예들이 하기의 이점들 중 하나 이상을 산출할 수 있다. 본 실시예들의 많은 특징 및 이점은 기재된 설명으로부터 명백하며, 따라서 첨부된 청구범위는 본 고안의 모든 그러한 특징들 및 이점들을 커버하는 것을 의도한다. 또한, 다수의 수정들 및 변화들이 당업자들에 의해 쉽게 일어날 것이므로, 실시예들은 예시되고 설명된 바와 같은 정확한 구성 및 동작으로 제한되지 않아야 한다. 따라서, 모든 적합한 수정들 및 등가물들이 본 고안의 범주에 속하는 것으로서 재분류될 수 있다.

도면

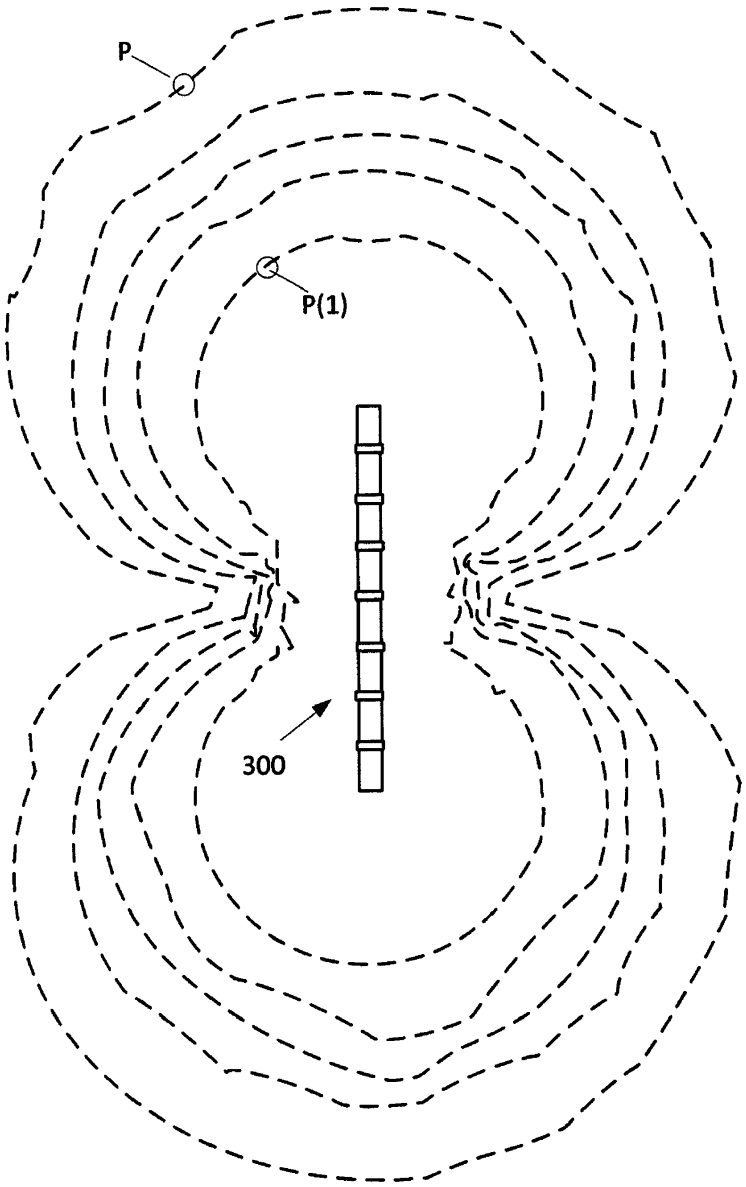
도면1



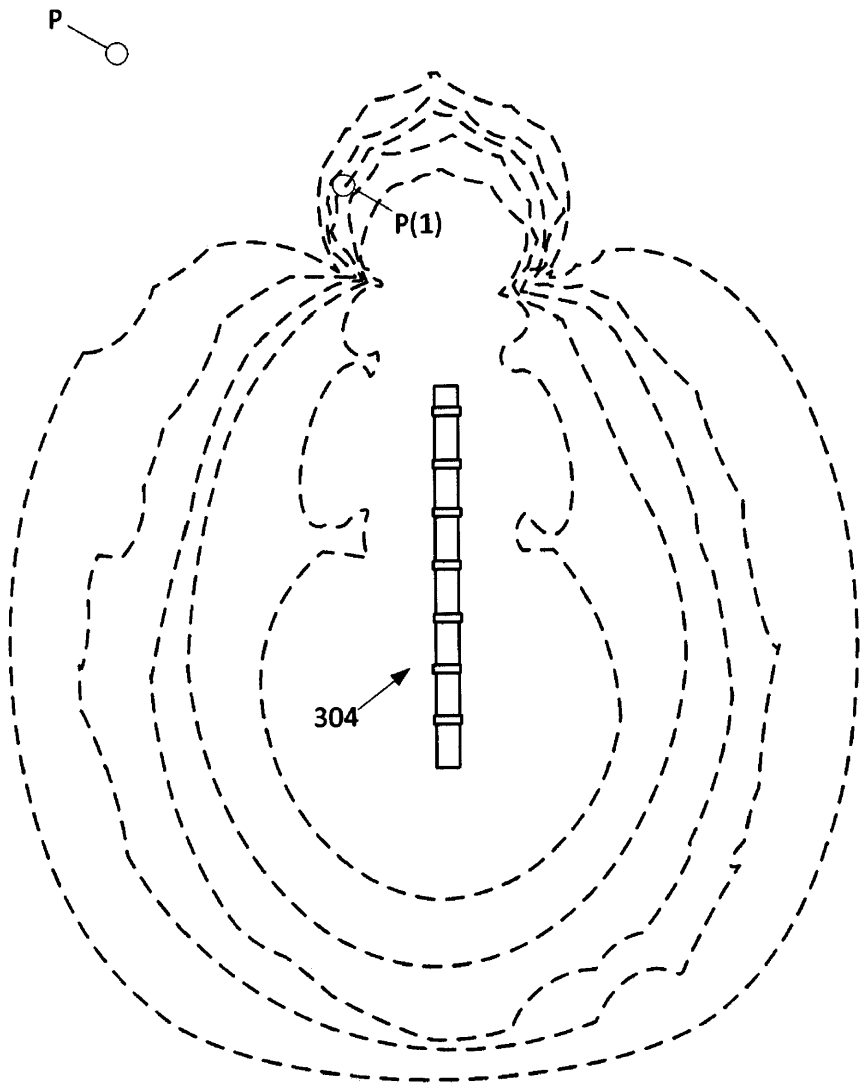
도면2



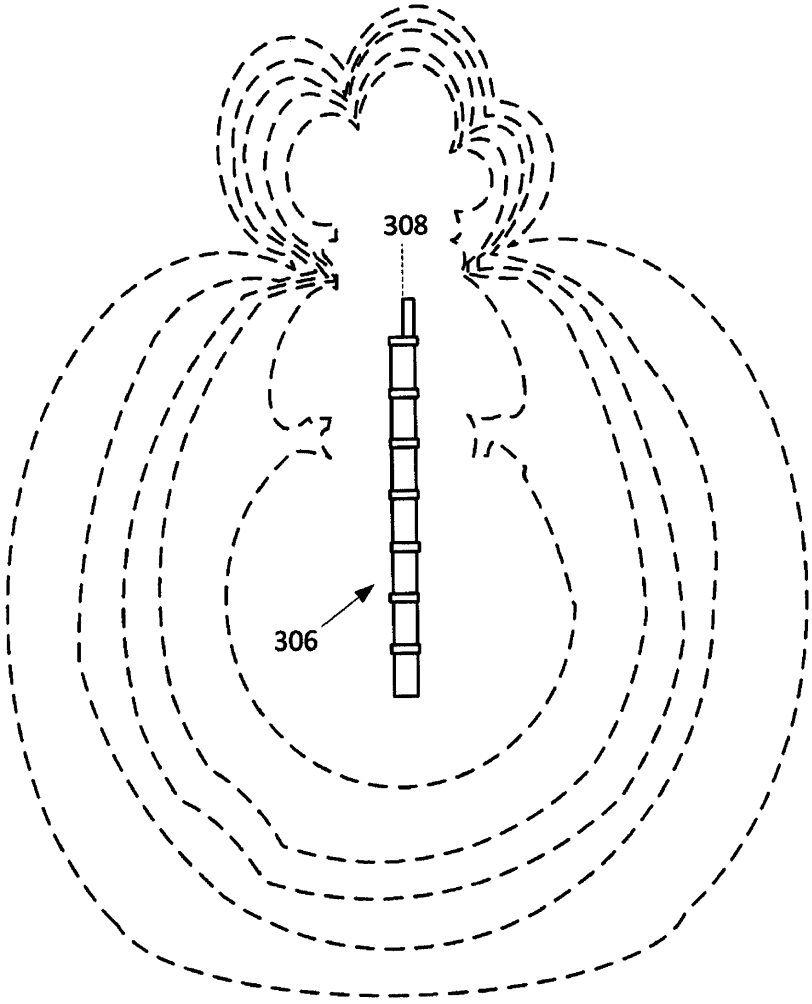
도면3a



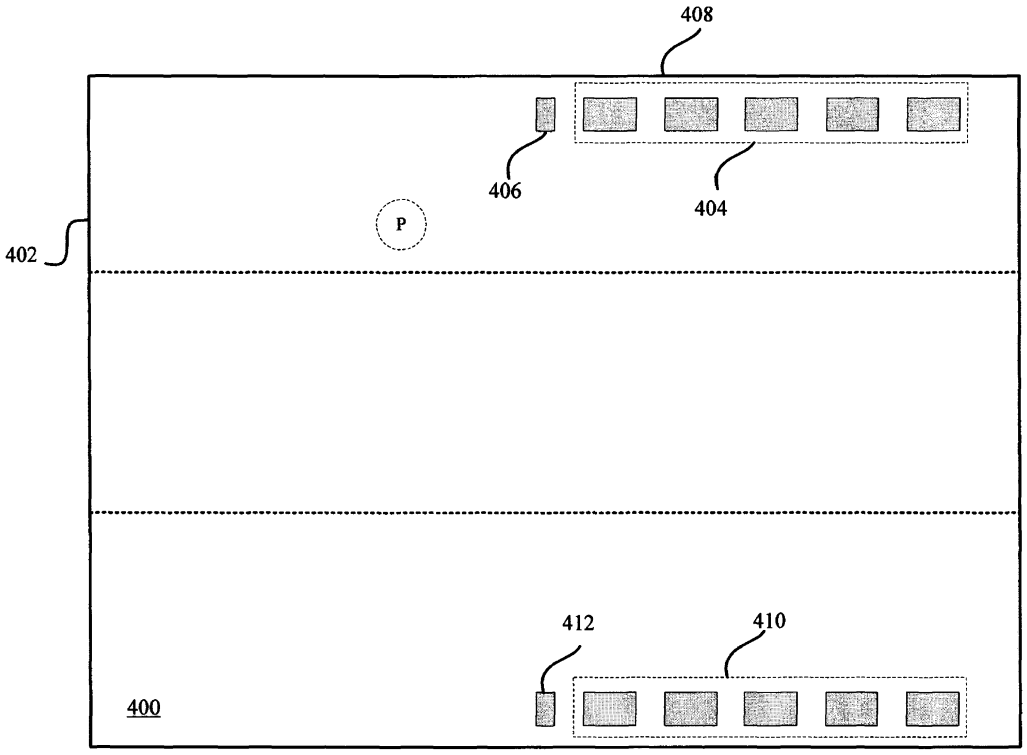
도면3b



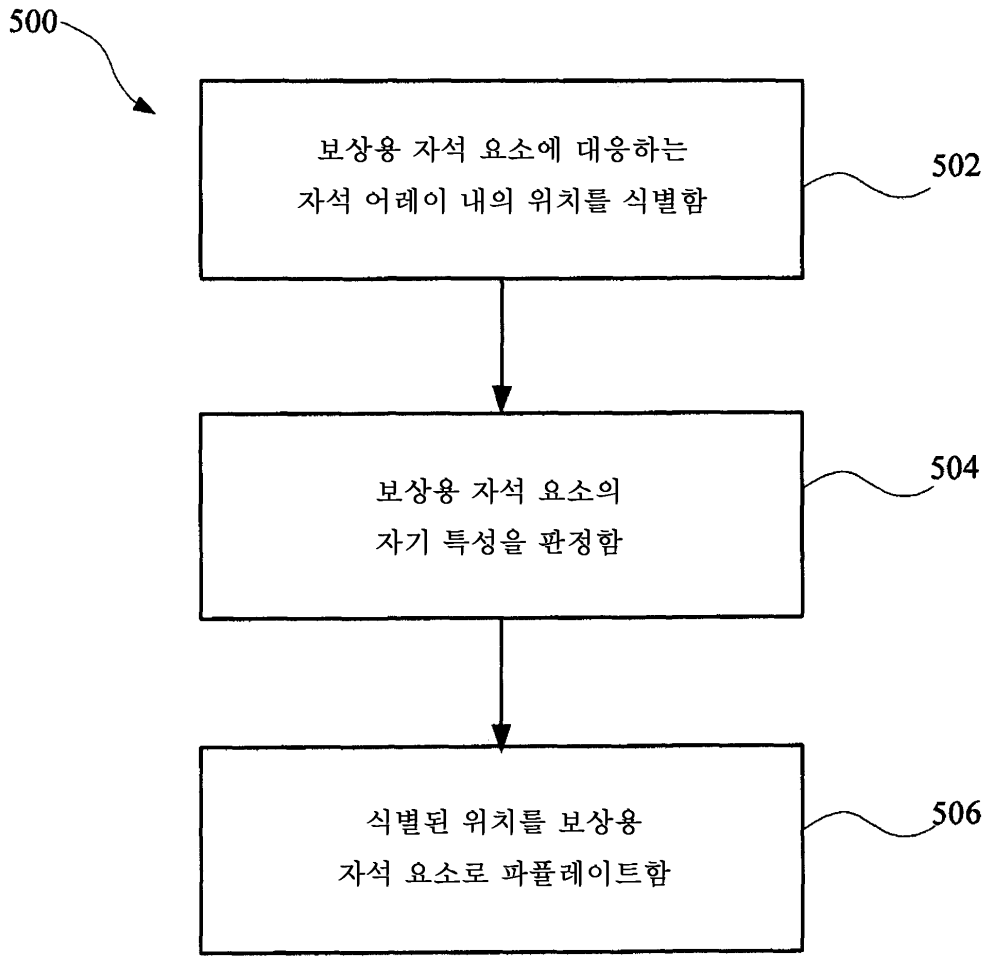
도면3c



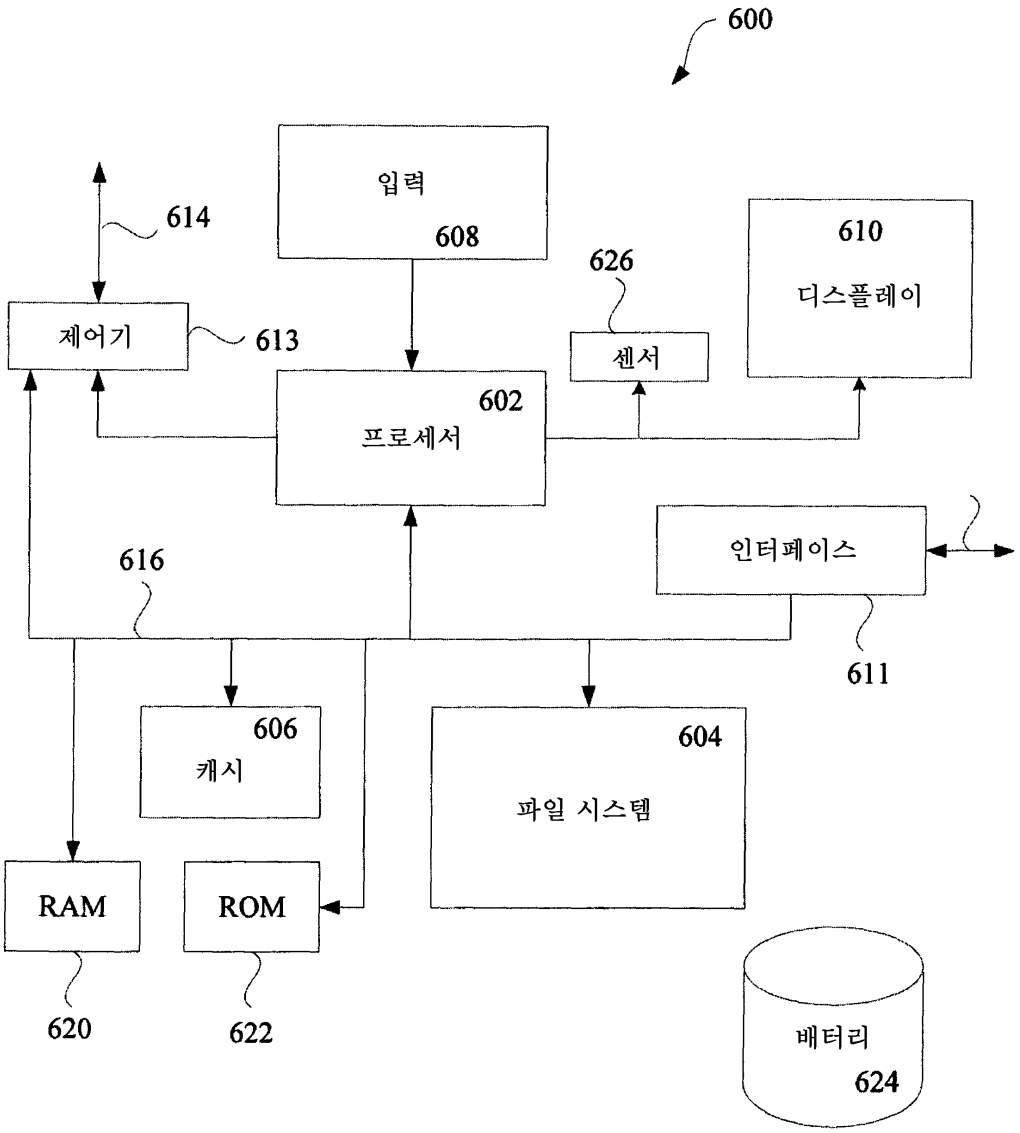
도면4



도면5


500
보상용 자석 요소에 대응하는
자석 어레이 내의 위치를 식별함
502
보상용 자석 요소의
자기 특성을 판정함
504
식별된 위치를 보상용
자석 요소로 파퓰레이트함
506

도면6


600
입력
608
614
제어기
613
626
센서
610
디스플레이
602
프로세서
인터페이스
616
611
606
캐시
604
파일 시스템
RAM
ROM
620
622
배터리
624