

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2012-169502
(P2012-169502A)

(43) 公開日 平成24年9月6日(2012.9.6)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 V	5 F 1 1 O
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 7 Z	
	HO 1 L 29/78 6 1 7 T	

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号	特願2011-30237 (P2011-30237)	(71) 出願人	000005496
(22) 出願日	平成23年2月15日 (2011.2.15)		富士ゼロックス株式会社
			東京都港区赤坂九丁目7番3号
		(74) 代理人	100079049
			弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	三井 実
			神奈川県足柄上郡中井町境430 グリー
			ンテクなかい 富士ゼロックス株式会社内

最終頁に続く

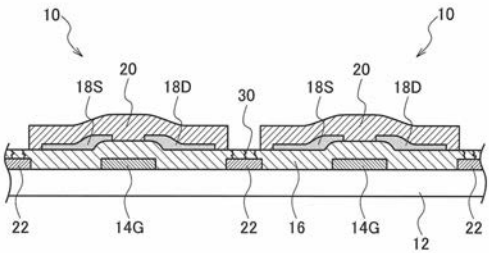
(54) 【発明の名称】 電子素子及びその製造方法

(57) 【要約】

【課題】素子性能の低下が抑制される電子素子を提供する。

【解決手段】基板12と、前記基板上の動作領域に配置された第1導電層14Gと、前記第1導電層上に該第1導電層と接して配置された絶縁層16と、前記基板上の非動作領域で前記絶縁層下に該絶縁層と接して配置され、前記絶縁層の亀裂30の発生を誘導する亀裂誘導部22と、を有する電子素子10。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

基板と、
前記基板上の動作領域に配置された第 1 導電層と、
前記第 1 導電層上に該第 1 導電層と接して配置された絶縁層と、
前記基板上の非動作領域で前記絶縁層下に該絶縁層と接して配置され、前記絶縁層の亀裂の発生を誘導する亀裂誘導部であって、前記第 1 導電層上の前記絶縁層よりも該亀裂誘導部上の前記絶縁層に亀裂を優先的に発生させる亀裂誘導部と、
を有する電子素子。

【請求項 2】

10

前記第 1 導電層が配置された動作領域の前記絶縁層上に該絶縁層と接して配置された第 2 導電層を有する請求項 1 に記載の電子素子。

【請求項 3】

前記基板上に、ゲート電極と、ゲート絶縁層と、ソース電極と、ドレイン電極と、半導体層と、を備え、前記第 1 導電層及び前記第 2 導電層の一方が前記ゲート電極であり、他方が前記ソース電極及び前記ドレイン電極であり、前記絶縁層が前記ゲート絶縁層である請求項 2 に記載の電子素子。

【請求項 4】

前記亀裂誘導部が、下記 (1) ~ (4) の少なくとも 1 つを満たす請求項 1 ~ 請求項 3 のいずれか一項に記載の電子素子。

20

- (1) 前記亀裂誘導部の面積が、前記第 1 導電層の面積よりも大きい。
- (2) 前記亀裂誘導部の表面が、前記第 1 導電層の表面よりも疎水性である。
- (3) 前記亀裂誘導部の表面粗さが、前記第 1 導電層の表面粗さよりも大きい。
- (4) 前記亀裂誘導部の厚みが、前記第 1 導電層の厚みよりも大きい。

【請求項 5】

前記絶縁層がポリシラザンから形成されたものである請求項 1 ~ 請求項 4 のいずれか一項に記載の電子素子。

【請求項 6】

基板上の動作領域に第 1 導電層を形成する第 1 導電層形成工程と、
前記基板上の非動作領域に配置される亀裂誘導部であって、該亀裂誘導部と前記第 1 導電層上に絶縁層を形成したときに、該亀裂誘導部上の前記絶縁層に前記第 1 導電層上の前記絶縁層よりも優先的に亀裂を生じさせる亀裂誘導部を形成する亀裂誘導部形成工程と、
前記第 1 導電層と前記亀裂誘導部上に前記絶縁層を形成するための塗布液を付与して塗膜を形成した後、該塗膜を乾燥させて前記絶縁層を形成する絶縁層形成工程と、
を有する電子素子の製造方法。

30

【請求項 7】

前記絶縁層形成工程は、前記塗布液としてポリシラザンを含む溶液を用いる請求項 6 に記載の電子素子の製造方法。

【請求項 8】

前記絶縁層形成工程の後に、前記絶縁層を緻密化する処理を施す緻密化処理工程を有する請求項 6 又は請求項 7 に記載の電子素子の製造方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電子素子及びその製造方法に関するものである。

【背景技術】**【0002】**

従来、シリコンに代表される無機材料が広くデバイスに応用されてきたが、有機材料を用いた薄膜トランジスタ等を含む電子素子はフレキシブルディスプレイや電子ペーパー等への応用から注目され、盛んに研究がされている。

50

【 0 0 0 3 】

特許文献 1 には、半導体基板の表面にアイソレーション溝を形成する第 1 工程と、スピ
ンコーティング法により過水素化シラザン重合体溶液を前記半導体基板の表面に直接また
は他の膜を介して塗布し、前記アイソレーション溝の内部を埋設する過水素化シラザン重
合体溶液の塗膜を形成する第 2 工程と、前記過水素化シラザン重合体の塗膜を化学反応さ
せて酸化シリコン膜を形成する第 3 工程と、前記酸化シリコン膜を選択的に除去してその
酸化シリコン膜の前記アイソレーション溝の内部に埋設された部分を残す第 4 工程とを備
え、前記酸化シリコン膜の前記アイソレーション溝の内部に埋設された部分が、トレンチ
・アイソレーション構造のアイソレーション用絶縁物として機能するようにしたことを特
徴とするトレンチ・アイソレーション構造の形成方法が開示されている。

10

【 0 0 0 4 】

非特許文献 1 には、ペンタセンを半導体層とし、ポリシラザン膜をゲート絶縁層として
用いた薄膜トランジスタが開示されている。

非特許文献 2 には、薄膜トランジスタ (T F T) のゲート絶縁層に用いる酸化シリコン
膜として、シラザンを含む溶液をスピコーティング法によって塗布した後、シラザン薄
膜とオゾンとを反応させることにより 1 0 0 以下で酸化シリコン膜を得る技術が開示され
ている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

20

【 特許文献 1 】 特開平 1 1 - 3 0 7 6 2 6 号公報

【 非特許文献 】

【 0 0 0 6 】

【 非特許文献 1 】 M . K a w a s a k i ら、 S I D 0 6 D I G E S T 第 2 0 0 頁 ~
第 2 0 3 頁

【 非特許文献 2 】 産業技術総合研究所 プレスリリース 「高品質 S i O 2 絶縁膜を塗布
法により 1 0 0 以下で作製する技術を開発」 2 0 0 4 年 8 月 3 0 日発表、インターネ
ット < [http://www.aist.go.jp/aist_j/press_release/pr2004/pr20040830/pr20040830.ht
ml](http://www.aist.go.jp/aist_j/press_release/pr2004/pr20040830/pr20040830.html) >

【 発明の概要 】

30

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本発明は、素子性能の低下が抑制される電子素子を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 8 】

上記課題は、以下の手段により解決される。

請求項 1 に係る発明は、

基板と、

前記基板上の動作領域に配置された第 1 導電層と、

前記第 1 導電層上に該第 1 導電層と接して配置された絶縁層と、

40

前記基板上の非動作領域で前記絶縁層下に該絶縁層と接して配置され、前記絶縁層の亀
裂の発生を誘導する亀裂誘導部であって、前記第 1 導電層上の前記絶縁層よりも該亀裂誘
導部上の前記絶縁層に亀裂を優先的に発生させる亀裂誘導部と、
を有する電子素子である。

請求項 2 に係る発明は、

前記第 1 導電層が配置された動作領域の前記絶縁層上に該絶縁層と接して配置された第
2 導電層を有する請求項 1 に記載の電子素子である。

請求項 3 に係る発明は、

前記基板上に、ゲート電極と、ゲート絶縁層と、ソース電極と、ドレイン電極と、半導
体層と、を備え、前記第 1 導電層及び前記第 2 導電層の一方が前記ゲート電極であり、他

50

方が前記ソース電極及び前記ドレイン電極であり、前記絶縁層が前記ゲート絶縁層である請求項 2 に記載の電子素子である。

請求項 4 に係る発明は、

前記亀裂誘導部が、下記 (1) ~ (4) の少なくとも 1 つを満たす請求項 1 ~ 請求項 3 のいずれか一項に記載の電子素子である。

(1) 前記亀裂誘導部の面積が、前記第 1 導電層の面積よりも大きい。

(2) 前記亀裂誘導部の表面が、前記第 1 導電層の表面よりも疎水性である。

(3) 前記亀裂誘導部の表面粗さが、前記第 1 導電層の表面粗さよりも大きい。

(4) 前記亀裂誘導部の厚みが、前記第 1 導電層の厚みよりも大きい。

請求項 5 に係る発明は、

前記絶縁層がポリシラザンから形成されたものである請求項 1 ~ 請求項 4 のいずれか一項に記載の電子素子である。

請求項 6 に係る発明は、

基板上の動作領域に第 1 導電層を形成する第 1 導電層形成工程と、

前記基板上の非動作領域に配置される亀裂誘導部であって、該亀裂誘導部と前記第 1 導電層上に絶縁層を形成したときに、該亀裂誘導部上の前記絶縁層に前記第 1 導電層上の前記絶縁層よりも優先的に亀裂を生じさせる亀裂誘導部を形成する亀裂誘導部形成工程と、

前記第 1 導電層と前記亀裂誘導部上に前記絶縁層を形成するための塗布液を付与して塗膜を形成した後、該塗膜を乾燥させて前記絶縁層を形成する絶縁層形成工程と、
を有する電子素子の製造方法である。

請求項 7 に係る発明は、

前記絶縁層形成工程は、前記塗布液としてポリシラザンを含む溶液を用いる請求項 6 に記載の電子素子の製造方法である。

請求項 8 に係る発明は、

前記絶縁層形成工程の後に、前記絶縁層を緻密化する処理を施す緻密化処理工程を有する請求項 6 又は請求項 7 に記載の電子素子の製造方法である。

【発明の効果】

【 0 0 0 9 】

請求項 1 ~ 5 に係る発明によれば、本構成を有さない場合に比べ、素子性能の低下が抑制される電子素子が提供される。

請求項 6 ~ 8 に係る発明によれば、本構成を有さない場合に比べ、素子性能の低下が抑制される電子素子の製造方法が提供される。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】本実施形態に係る電子素子の一例（薄膜トランジスタ）を模式的に示す概略図である。

【図 2】本実施形態に係る電子素子の他の例（薄膜トランジスタ）を模式的に示す概略図である。

【図 3】実施例で形成した第 1 導電層と亀裂誘導部の配置と導電層に生じた亀裂の方向を概略的に示す図である。

【図 4】実施例で亀裂誘導部の表面を観察した顕微鏡写真である。

【図 5】実施例で第 1 導電層の表面を観察した顕微鏡写真である。

【図 6】従来の薄膜トランジスタのゲート絶縁層に生じる亀裂を模式的に示す概略図である。

【発明を実施するための形態】

【 0 0 1 1 】

本実施形態について図面を参照しつつ詳細に説明する。なお、同一の機能を有する部材には、全図面を通して同じ符号を付与し、重複する説明は省略する場合がある。

【 0 0 1 2 】

本実施形態に係る電子素子は、基板と、前記基板上の動作領域に配置された第 1 導電層

10

20

30

40

50

と、前記第 1 導電層上に該第 1 導電層と接して配置された絶縁層と、前記基板上の非動作領域で前記絶縁層下に該絶縁層と接して配置され、前記絶縁層の亀裂の発生を誘導する亀裂誘導部であって、前記第 1 導電層上の前記絶縁層よりも該亀裂誘導部上の前記絶縁層に亀裂を優先的に発生させる亀裂誘導部と、を有する。

【0013】

図 1 は、本実施形態の電子素子の一例として、薄膜トランジスタ (TFT) を概略的に示している。本実施形態に係る TFT 10 は、いわゆるボトムゲート型であり、基板 12 上の動作領域には、第 1 導電層としてゲート電極 14G、絶縁層としてゲート絶縁層 16、第 2 導電層としてソース電極 18S 及びドレイン電極 18D、及び半導体層 20 がこの順に設けられている。

10

【0014】

一方、TFT 10 の非動作領域には、絶縁層 16 に亀裂 (「クラック」とも呼ばれる場合がある) を発生させる亀裂誘導部 22 が配置されている。亀裂誘導部 22 は、TFT 10 と接触せずに、ゲート電極 14G とともに基板 12 上に形成されている。ゲート絶縁層 16 はゲート電極 14G と亀裂誘導部 22 に接し、ゲート電極 14G と亀裂誘導部 22 を覆い、さらにこれらの層 14G, 22 が形成されていない領域では基板 12 と接するように一体的に形成されている。

【0015】

なお、本実施形態において、「動作領域」とは、基板上の領域のうち、TFT 10 のほか、キャパシタ、ゲートラインなど、装置の駆動に寄与する素子が基板上に形成されている領域を意味し、「非動作領域」とは、動作領域以外の領域を意味する。

20

【0016】

上記のような亀裂誘導部 22 が存在しない場合、図 6 に示すように、ゲート絶縁層 16 にランダムに亀裂 30 が生じ易く、ゲート電極 14G 表面と基板 12 表面との濡れ性の違いからゲート電極 14G 上の絶縁層 16 に亀裂 30 が生じ易い場合もある。ゲート電極 14G 上のゲート絶縁層 16 に亀裂 30 が生じると、ゲート電極 14G とソース電極 18S 及びドレイン電極 18D との間で絶縁性が低下し、リーク電流が発生するなど素子性能が低下してしまう。また、ゲート絶縁層 16 にランダムに亀裂 30 が生じるため、TFT 間の素子性能のばらつきも大きくなりやすい。

【0017】

一方、本実施形態に係る TFT 10 では、非動作領域でゲート絶縁層 16 下に亀裂誘導部 22 がゲート絶縁層 16 と接して配置されていることで、ゲート絶縁層 16 におけるランダムな亀裂 30 の発生が抑制され、亀裂誘導部 22 上のゲート絶縁層 16 に優先的に亀裂が生じる。これにより、ゲート絶縁層全体としての歪みが解消されるため、ゲート電極 14G 上のゲート絶縁層 16 に亀裂 30 が生じることが抑制され、結果的に素子性能の低下が抑制されると考えられる。

30

【0018】

以下、本実施形態に係る電子素子の各構成について、製造方法とともに説明する。

本実施形態に係る電子素子を製造する方法は限定されないが、有機トランジスタを作製する場合は、例えば、第 1 導電層から絶縁層までは、以下の工程、すなわち、

40

基板上の動作領域に第 1 導電層を形成する第 1 導電層形成工程と、

前記基板上の非動作領域に配置される亀裂誘導部であって、該亀裂誘導部と前記第 1 導電層上に絶縁層を形成したときに、該亀裂誘導部上の前記絶縁層に前記第 1 導電層上の前記絶縁層よりも優先的に亀裂を生じさせる亀裂誘導部を形成する亀裂誘導部形成工程と、

前記第 1 導電層と前記亀裂誘導部上に前記絶縁層を形成するための塗布液を付与して塗膜を形成した後、該塗膜を乾燥させて前記絶縁層を形成する絶縁層形成工程と、によって好適に形成される。

また、絶縁層形成工程の後に、前記絶縁層を緻密化する処理を施す緻密化処理工程を行ってもよい。

【0019】

50

< 第 1 導電層形成工程 >

まず、基板 1 2 上の動作領域に第 1 導電層を形成する。本実施形態では第 1 導電層としてゲート電極 1 4 G を形成する。

【 0 0 2 0 】

- 基板 -

基板 1 2 としては、シリコン単結晶基板（例えばリン等を高濃度にドーピングしたシリコン単結晶基板等）、ガラス基板、プラスチック基板（例えばポリカーボネート樹脂、ポリエステル樹脂、メタクリル樹脂、アクリル樹脂、ポリ塩化ビニル樹脂、セルロース樹脂、ウレタン樹脂、エポキシ樹脂、ポリスチレン樹脂、ポリビニルアセテート樹脂、スチレンブタジエン共重合体、塩化ビニルデン - アクリロニトリル共重合体、塩化ビニル - 酢酸ビニル - 無水マレイン酸共重合体、又はシリコン樹脂等）等が挙げられるが、これに限定されるものではない。

10

【 0 0 2 1 】

- ゲート電極 -

ゲート電極 1 4 G を構成する材料としては、金（Au）等の金属、金属酸化物、導電性高分子等が挙げられる。ゲート電極 1 4 G の形成方法としては、真空蒸着法やスパッタリング法に例示される物理的气相成長法（PVD）法；有機金属化合物化学気相成長法（MOCVD）法を含む各種の化学気相成長法（CVD）法；リフトオフ法；シャドウマスク法；電解メッキ法や無電解メッキ法若しくはこれらの組み合わせとったメッキ法；又は塗布液（液体材料）を塗布する方法として、スピンコーティング法、インクジェット法、スプレー法、エレクトロスプレー法などのうちいずれかと、必要に応じたパターニング技術との組み合わせが挙げられる。

20

【 0 0 2 2 】

< 亀裂誘導部形成工程 >

電子素子の非動作領域に該当する基板 1 2 上に、第 1 導電層（ゲート電極 1 4 G）とは別に亀裂誘導部 2 2 を形成する。

【 0 0 2 3 】

- 亀裂誘導部 -

亀裂誘導部 2 2 は、電子素子の非動作領域で、後工程で形成するゲート絶縁層 1 6 下にゲート絶縁層 1 6 と接して形成され、ゲート電極 1 4 G 上のゲート絶縁層 1 6 よりも亀裂誘導部 2 2 上のゲート絶縁層 1 6 に優先的に亀裂を生じさせるように形成する。すなわち、亀裂誘導部 2 2 は、後工程でゲート絶縁層 1 6 を形成したときに、ゲート電極 1 4 G 上の絶縁層 1 6 よりも亀裂誘導部 2 2 上の絶縁層 1 6 に亀裂 3 0 を生じさせ易い構成とすればよい。なおこのような構成である限り、亀裂誘導部 2 2 の配置形態は特に限定されず、ゲート電極 1 4 G と接触して設けられていても、離間して設けられていてもよい。

30

【 0 0 2 4 】

亀裂誘導部 2 2 は、例えば、下記（１）～（４）の少なくとも１つを満たすように構成される。なお、ゲート電極 1 4 G と同じ材料で同時に形成してもよいし、ゲート電極 1 4 G を形成する前又は後に、ゲート電極 1 4 G と同じ材料又は異なる材料で形成してもよい。

40

（１）亀裂誘導部 2 2 の面積が、第 1 導電層（例えば、ゲート電極 1 4 G）の面積よりも大きい。

（２）亀裂誘導部 2 2 の表面が、第 1 導電層（例えば、ゲート電極 1 4 G）の表面よりも疎水性である。

（３）亀裂誘導部 2 2 の表面粗さが、第 1 導電層（例えば、ゲート電極 1 4 G）の表面粗さよりも大きい。

（４）亀裂誘導部 2 2 の厚みが、第 1 導電層（例えば、ゲート電極 1 4 G）の厚みよりも大きい。

【 0 0 2 5 】

亀裂誘導部 2 2 として使用される材料としては、金属、金属酸化物、導電性高分子、無

50

機絶縁物、有機絶縁物、無機半導体、有機半導体等が挙げられる。

亀裂誘導部 22 の形成方法としては、真空蒸着法やスパッタリング法に例示される物理的气相成長法 (PVD) 法、有機金属化合物化学気相成長法 (MOCVD) 法を含む各種の化学気相成長法 (CVD) 法、リフトオフ法、シャドウマスク法、電解メッキ法や無電解メッキ法若しくはこれらを組み合わせたメッキ法、又は塗布液 (液体材料) を塗布する方法として、スピンコーティング法、インクジェット法、スプレー法、エレクトロスプレー法などのうちいずれかと、必要に応じたパターニング技術との組み合わせが挙げられる。

【0026】

上記 (1) の方法では、亀裂誘導部 22 の面積がゲート電極 14 G よりも面積が大きければ良い。望ましくは亀裂誘導部の面積がゲート電極 14 G の 3 倍以上の面積があることが良い。

上記 (2) の方法では、ゲート電極 14 G よりも亀裂誘導部 22 が疎水性となるように形成する。方法としては、材料の違いや表面処理による疎水性の違いを利用する。

上記 (3) の方法では、ゲート電極 14 G よりも亀裂誘導部 22 の表面粗さが粗くなるようにする。方法としては、作製方法の違いや表面処理による表面粗さの違いを利用する。

上記 (4) の方法では、ゲート電極 14 G よりも亀裂誘導部 22 が厚くなるように形成する。

実際の有効性を考慮すると、最も有効な方法から順に (3)、(2)、(1)、(4) の順となる。

【0027】

亀裂誘導部 22 の配置は、動作領域のゲート絶縁層 16 に亀裂が入らないように配置すれば、どのような配置でも構わない。例えば、動作領域を囲むような形であっても良い。

亀裂誘導部 22 の形状はいかなる形状でも良い。

亀裂誘導部 22 の厚みは特に限定されないが、例えば、10 nm 以上 1 μ m 以下が望ましい。

【0028】

< 絶縁層形成工程 >

第 1 導電層 (ゲート電極 14 G) と亀裂誘導部 22 上に絶縁層 16 を形成するための塗布液を付与して塗膜を形成した後、該塗膜を乾燥させて絶縁層 16 を形成する。

【0029】

- ゲート絶縁層 -

ゲート絶縁層 16 としては、酸化シリコン膜や、窒化シリコン膜や、ポリイミドのような有機系絶縁膜等が挙げられるが、これに限定されるものではない。

ゲート絶縁層 16 を形成する方法としては、スピンコーティング法、インクジェット法、スプレー法、エレクトロスプレー法等が挙げられるが、これらに限定されない。

【0030】

半導体素子などの電子素子を作製する際、基板のガラス転移温度以下で行う必要があるが、プラスチック基板のような低ガラス転移温度基板を用いるには、CVD 法など基板が高温に曝される方法で酸化シリコン膜等の絶縁膜を作製することが困難であり、低温で形成される酸化シリコン膜が必要とされる。

【0031】

酸化シリコン膜を、溶液法で且つ低温で形成する方法として、ポリシラザンを含む溶液を基板上に塗布し、硬化させる方法があり、さらに絶縁膜としての機能を向上させる手段として、UV オゾン処理を施す方法がある。しかし、ポリシラザンから酸化シリコンに構造が変化する際に、密度変化が大きく、結果的に亀裂が発生してしまう。この亀裂が薄膜トランジスタ (TFT) のチャネル直下にあるときゲートリーク電流の原因となり素子性能を低下させる。

【0032】

10

20

30

40

50

しかし、本実施形態では、亀裂誘導部 22 を設けてあるため、亀裂誘導部 22 上の絶縁層 16 に優先的に亀裂 30 が生じ、絶縁層 16 にランダムに亀裂 30 が生じることが抑制され、それによりゲート電極 14 G 上の絶縁層 16 に亀裂 30 が生じることが抑制される。本実施形態に係る TFT 10 では、亀裂誘導部 22 上の絶縁層 16 よりもゲート電極 14 G 上の絶縁層 16 に生じる単位面積あたりの亀裂 30 の数 (本/mm²) が少なく、亀裂誘導部 22 を形成しない場合に比べ、ゲート電極 14 G 上の絶縁層 16 における亀裂 30 の密度が少なく抑えられ、ゲートリーク電流の発生が抑制される。

【0033】

なお、ゲート絶縁層 16 としての酸化シリコン膜は、CVD 法などの気相法によって成膜する方法もあるが、上記のようにポリシラザンを含む溶液を用いて絶縁層を形成した場合は、絶縁層に含まれる未反応のポリシラザン又は残留溶媒を分析することで、気相法によって成膜した酸化シリコン膜から区別される。

10

【0034】

< 緻密化処理工程 >

本実施形態では、絶縁層形成工程の後に、前記絶縁層を緻密化する処理を施す緻密化処理工程を有していてもよい。

緻密化処理としては、UV オゾン処理、加熱処理等が挙げられる。緻密化処理を行うことで、ゲート絶縁層 16 全体が緻密化される。その影響で、一般的にはゲート絶縁層 16 には亀裂が発生しやすい状態となる。本実施形態では、より亀裂の入りやすい状態となる緻密化処理を行っても、動作領域のゲート絶縁層 16 に亀裂が入ることが抑制される。

20

【0035】

< 第 2 導電層形成工程 >

ゲート絶縁層 16 を形成した後、第 2 導電層として、ソース電極 18 S 及びドレイン電極 18 D (ソース・ドレイン電極 18 S, 18 D) を形成する。

【0036】

- ソース電極及びドレイン電極 -

ソース電極 18 S 及びドレイン電極 18 D を構成する材料としては、上述したゲート電極 14 G を構成する材料が挙げられる。また、このソース電極 18 S 及びドレイン電極 18 D の形成方法についても上述したゲート電極 14 G の形成方法として挙げた方法が用いられる。

30

【0037】

< 半導体層形成工程 >

次いで、ソース・ドレイン電極 18 S, 18 D 上のチャネル領域に半導体層 20 を形成する。

【0038】

- 半導体層 -

半導体層 20 の構成材料としては、公知の半導体材料が挙げられる。具体的には、トリエチルシリルエチニルアントラジチオフエン (TESADT)、ペンタセン、テトラセン、アントラセン、ナフタレン、 α -6-チオフエン、ペリレン及びその誘導体、ルブレノ及びその誘導体、コロネン及びその誘導体、ペリレンテトラカルボン酸ジイミド及びその誘導体、ペリレンテトラカルボン酸二無水物及びその誘導体、ポリチオフエン及びその誘導体、ポリパラフェニレンビニレン及びその誘導体、ポリパラフェニレン及びその誘導体、ポリフロレン及びその誘導体、ポリフロレン-オリゴチオフエンの共重合体及びその誘導体、ポリチオフエンビニレン及びその誘導体、ポリチオフエン-複素環芳香族共重合体及びその誘導体、ナフタレンのオリゴアセン及びその誘導体、 α -5-チオフエンのオリゴチオフエン及びその誘導体、含金属または非含金属のフタロシアニン及びその誘導体、ピロメリト酸二無水物及びその誘導体、ピロメリト酸ジイミド及びその誘導体、ペリレンテトラカルボン酸二無水物及びその誘導体、ペリレンテトラカルボン酸ジイミド及びその誘導体、ナフタレンテトラカルボン酸二無水物及びその誘導体、ならびにナフタレンテトラカルボン酸二無水物及びその誘導体等が挙げられる。

40

50

これらの中でも、結晶性の理由から、T E S - A D Tを用いることが好ましい。

【 0 0 3 9 】

半導体材料を含む塗布液を用いて半導体層 2 0 を形成する場合には、この塗布液としては、半導体層 2 0 の構成材料として選択した半導体材料と、該半導体材料を溶解する溶媒と、を含む塗布液を用いればよい。

この塗布液に含まれる溶媒としては、半導体材料を溶解する液体を用いればよく、半導体層 2 0 の構成材料として選択した半導体材料に応じて選択すればよいが、例えば、トルエン、無機溶媒（硝酸、硫酸、アンモニア、過酸化水素、二硫化炭素、四塩化炭素、又はエチレンカーボネート等）、ケトン系溶媒（メチルエチルケトン、アセトン、ジエチルケトン、メチルイソブチルケトン、メチルイソプロピルケトン、又はジクロロヘキサノン等）、アルコール系溶媒（メタノール、エタノール、イソプロパノール、エチレングリコール、ジエチレングリコール、又はグリセリン等）、エーテル系溶媒（ジエチルエーテル、ジイソプロピルエーテル、テトラヒドロフラン、ジオキサン、アニソール、ジエチレングリコールジメチルエーテル、又はジエチレングリコールエチルエーテル等）、セロソルブ系溶媒（メリルセロソブル、エチルセロソルブ、又はフェニルセロソルブ等）、脂肪族炭化水素系溶媒（ヘキサン、ヘプタン、ペンタン、ヘプタン、又はシクロヘキサン等）、芳香族炭化水素系溶媒（トルエン、キシレン、又はベンゼン等）、アミド系溶媒（ピリジン、ピラジン、フラン、ピロール、又はアミド等）、ハロゲン化合物系溶媒（モノクロロベンゼン、ジクロロメタン、クロロホルム、又は 1 , 2 - ジクロロエタン等）、エステル系溶媒（酢酸エチル、酢酸メチル、又はギ酸エチル等）、硫黄化合物系溶媒（ジメチルスルホキシド、又はスルホラン等）、ニトリル系溶媒（アセトニトリル、プロピオニトリル、又はアクリロニトリル等）、有機酸系溶媒（ギ酸、酢酸、トリクロロ酢酸、又はトリフルオロ酢酸等）の如く各種有機溶媒、又は、これらを含む混合溶媒などが挙げられるが、これに限るものではない。

【 0 0 4 0 】

そして、半導体材料を含む塗布液を塗布することによって、半導体層 2 0 を形成する。この塗布法としては、例えば、スピンコーティング法、インクジェット法、スプレー法、エレクトロスプレー法などが挙げられる。

半導体層 2 0 を形成することで、T F T 1 0 が完成する。

【 0 0 4 1 】

例えば、図 1 に示す例では、ソース電極 1 8 S 及びドレイン電極 1 8 D が、ソース電極 1 8 S 及びドレイン電極 1 8 D の基板 1 2 とは反対側の面で半導体層 2 0 に接する構成である場合を説明したが、本実施形態では、ソース電極 1 8 S 及びドレイン電極 1 8 D が、ソース電極 1 8 S 及びドレイン電極 1 8 D の基板 1 2 側の面で半導体層 2 0 に接する構成であってもよい。

この場合には、基板 1 2 上に、ゲート電極 1 4 G と、ゲート絶縁層 1 6 と、半導体層 2 0 と、ソース電極 1 8 S 及びドレイン電極 1 8 D と、がこの順に設けられた構成とすればよい。

【 0 0 4 2 】

また、図 1 に示す例では、ゲート電極 1 4 G がソース電極 1 8 S 及びドレイン電極 1 8 D より基板 1 2 側に設けられた構成、所謂、ボトムゲート構造の T F T について説明したが、ソース電極 1 8 S 及びドレイン電極 1 8 D がゲート電極 1 4 G より基板 1 2 側に設けられた構成（所謂、トップゲート構造）であってもよい。

例えば、図 2 に示すように、基板 1 2 上に、半導体層 2 0 と、ソース電極 1 8 S 及びドレイン電極 1 8 D と、ゲート絶縁層 1 6 と、ゲート電極 1 4 G と、をこの順に設けた構成の T F T 1 1 とした場合、ソース電極 1 8 S 及びドレイン電極 1 8 D が第 1 導電層、ゲート電極 1 4 G が第 2 導電層となる。そして、ソース・ドレイン電極 1 8 S , 1 8 D とは別に基板 1 2 上の非動作領域に亀裂誘導部 2 2 を設けることで、ソース・ドレイン電極 1 8 S , 1 8 D 上のゲート絶縁層 1 6 に亀裂 3 0 が発生することが抑制される。

なお、トップゲート構造の場合、ソース電極 1 8 S 及びドレイン電極 1 8 D が、ソース

電極 18S 及びドレイン電極 18D の基板 12 側とは反対側の面で半導体層 20 に接する構成であってもよい。

【0043】

また、本実施形態の TFT10 又は TFT11 を用いて、何らかの電子装置を作製する場合には、さらに他の素子や回路等を組み合わせてもよい。

【0044】

また、上記実施形態では、電子素子として TFT を形成する場合について説明したが、本実施形態の亀裂誘導部 22 は、キャパシタを形成する場合にも適用される。例えば、キャパシタの下部電極を形成する際、非動作領域に亀裂誘導部 22 を形成し、その後、絶縁層（誘電層）、上部電極を形成する。これにより、キャパシタの上下電極間の絶縁層に亀裂が生じることが抑制される。

10

【0045】

また、本実施形態における亀裂誘導部 22 は、層間絶縁膜を形成する場合にも適用される。例えば、図 2 に示す形態の TFT11 を形成した後、ゲート絶縁層 16 上の動作領域にゲート電極 14G を、非動作領域に亀裂誘導部 22 を形成する。次いで、層間絶縁膜を形成した後、層間絶縁膜に設けたコンタクトホールを通じて画素電極とソース・ドレイン電極を配線により電氣的に接続する。これにより、亀裂誘導部上の層間絶縁膜に優先的に亀裂を生じさせ、層間絶縁膜上に形成された配線（図示せず）下の層間絶縁膜に亀裂が発生することが抑制されることになる。

20

【実施例】

【0046】

以下実施例によって本発明を説明する。なお、本発明はこれらの実施例によってのみ限定されるものではない。

【0047】

以下に示す如く、有機トランジスタを作製した。

【0048】

（実施例 1）

図 1 に示す構成の有機トランジスタを作製した。

- ゲート電極及び亀裂誘導部の形成 -

まず、ガラス基板の片面上に、スパッタリング装置（昭和真空製イオンビームスパッタリング装置）を用いて Au の蒸着膜を形成し、フォトリソグラフィー法によって、図 3 に示す位置関係で、ゲート電極 14G（厚さ：200nm）と、亀裂誘導部 22（厚さ：500nm）をそれぞれ形成した。ゲート電極と亀裂誘導部との間の距離は 500nm とした。

30

【0049】

- ゲート絶縁層の形成 -

次いで、ガラス基板のゲート電極と亀裂誘導部を形成した側の面に、ポリシラザン溶液をスピンコート法により塗布した後、ホットプレートによって 100、30 分間のアニールを施した。これにより酸化シリコン膜 16 を形成した。

さらに酸化シリコン膜の緻密化のため、UV オゾン処理装置を用い、100 で UV オゾン処理を行なった。

40

【0050】

- ソース電極及びドレイン電極の形成 -

フォトリソグラフィー法により、酸化シリコン膜上にソース・ドレイン電極 18S、18D を形成した。具体的には、Au を電極材料として用い、膜厚は 100nm とした。また、ソース電極及びドレイン電極の電極間の距離（チャネル幅）は 1000μm とし、チャネル長は 20μm とした。ソース・ドレイン電極の形成にはスパッタリング装置（昭和真空製イオンビームスパッタリング装置）により、メタルマスクを用いた。

【0051】

- 半導体層の形成 -

50

ソース・ドレイン電極を形成した後、半導体層を形成した。具体的には、ガラス基板のソース・ドレイン電極を形成した面上に、T E S - D T A をトルエン溶媒中に 2 質量 % の濃度で溶かした溶液を滴下し、スピコート塗布することによって、有機半導体膜（厚み $0.1 \mu\text{m}$ ）を形成した。

以上の工程を経て、ボトムゲート型の有機薄膜トランジスタを製造した。

【0052】

上記工程において、ゲート絶縁層を形成し、緻密化した後のゲート電極上の酸化シリコン膜と亀裂誘導部上の酸化シリコン膜をそれぞれ光学顕微鏡で観察した。

図 4 に示すように、亀裂誘導部上の酸化シリコン膜には複数の亀裂が確認された。一方、図 5 に示すように、ゲート電極上の酸化シリコン膜には亀裂は確認されなかった。

10

【0053】

（実施例 2）

実施例 1 においてゲート電極を形成した後、亀裂誘導部を形成したこと以外は実施例 1 と同様にして T F T を形成した。

上記工程において、ゲート絶縁層を形成し、緻密化した後のゲート電極上の酸化シリコン膜と亀裂誘導部上の酸化シリコン膜をそれぞれ電子顕微鏡で観察したところ、亀裂誘導部上の絶縁層には複数の亀裂が確認されたが、ゲート電極上の絶縁層には亀裂は確認されなかった。

【0054】

（比較例 1）

20

実施例 1 において亀裂誘導部を形成しなかったこと以外は実施例 1 と同様にして T F T を形成した。

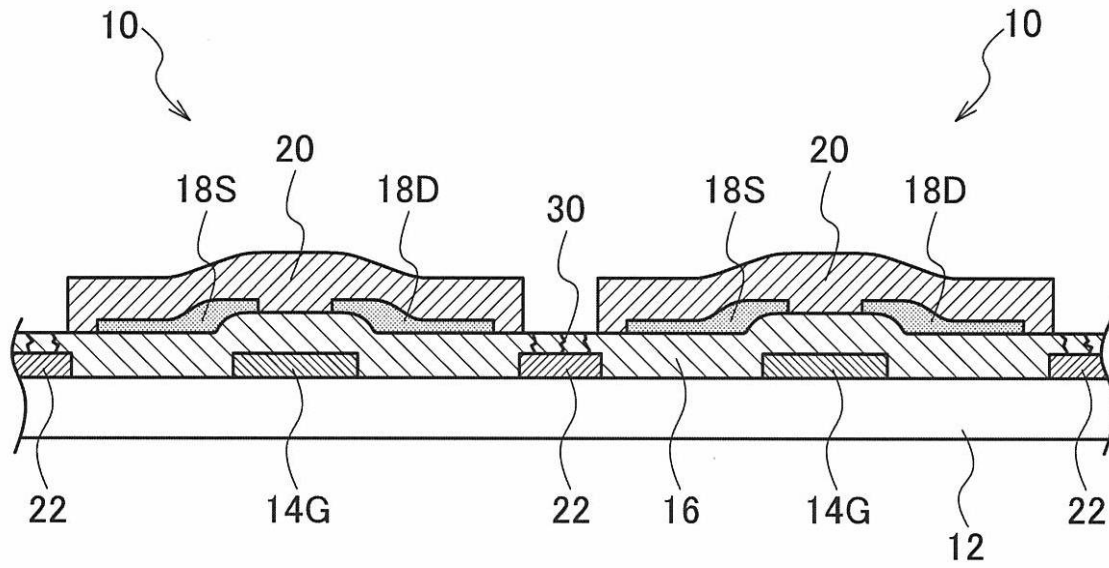
上記工程において、ゲート絶縁層を形成し、緻密化した後のゲート電極上の酸化シリコン膜を電子顕微鏡で観察したところ、ゲート電極上の絶縁層に複数の亀裂が確認された。

【符号の説明】

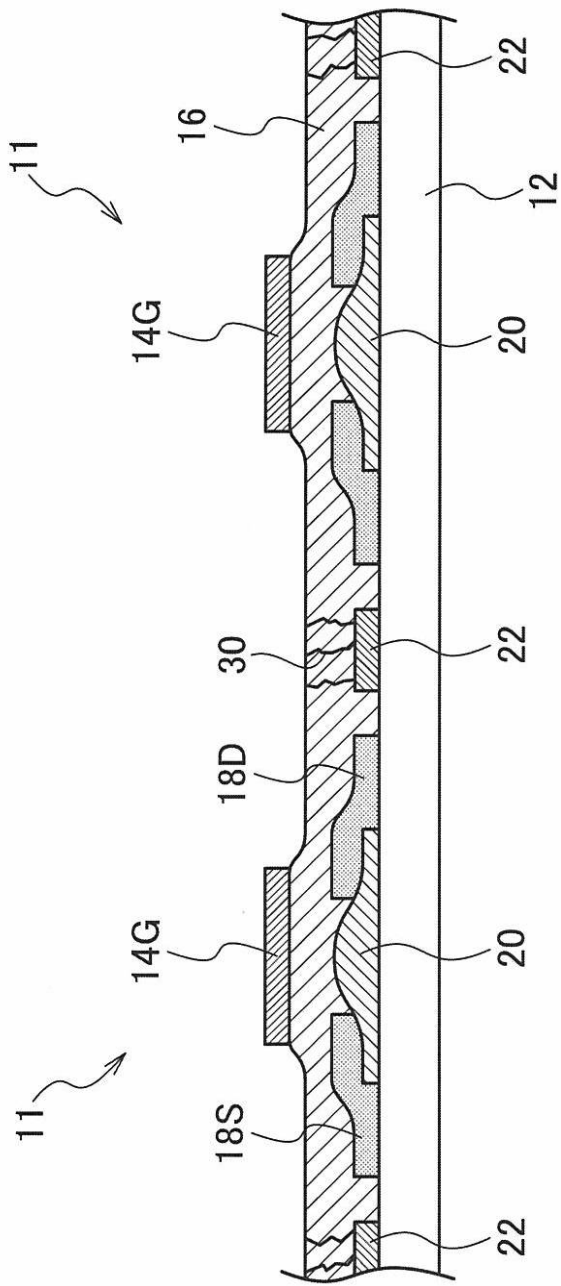
【0055】

10、11 薄膜トランジスタ，12 基板，14 G ゲート電極，18 S ソース電極，18 D ドレイン電極，20 半導体層，22 亀裂誘導部

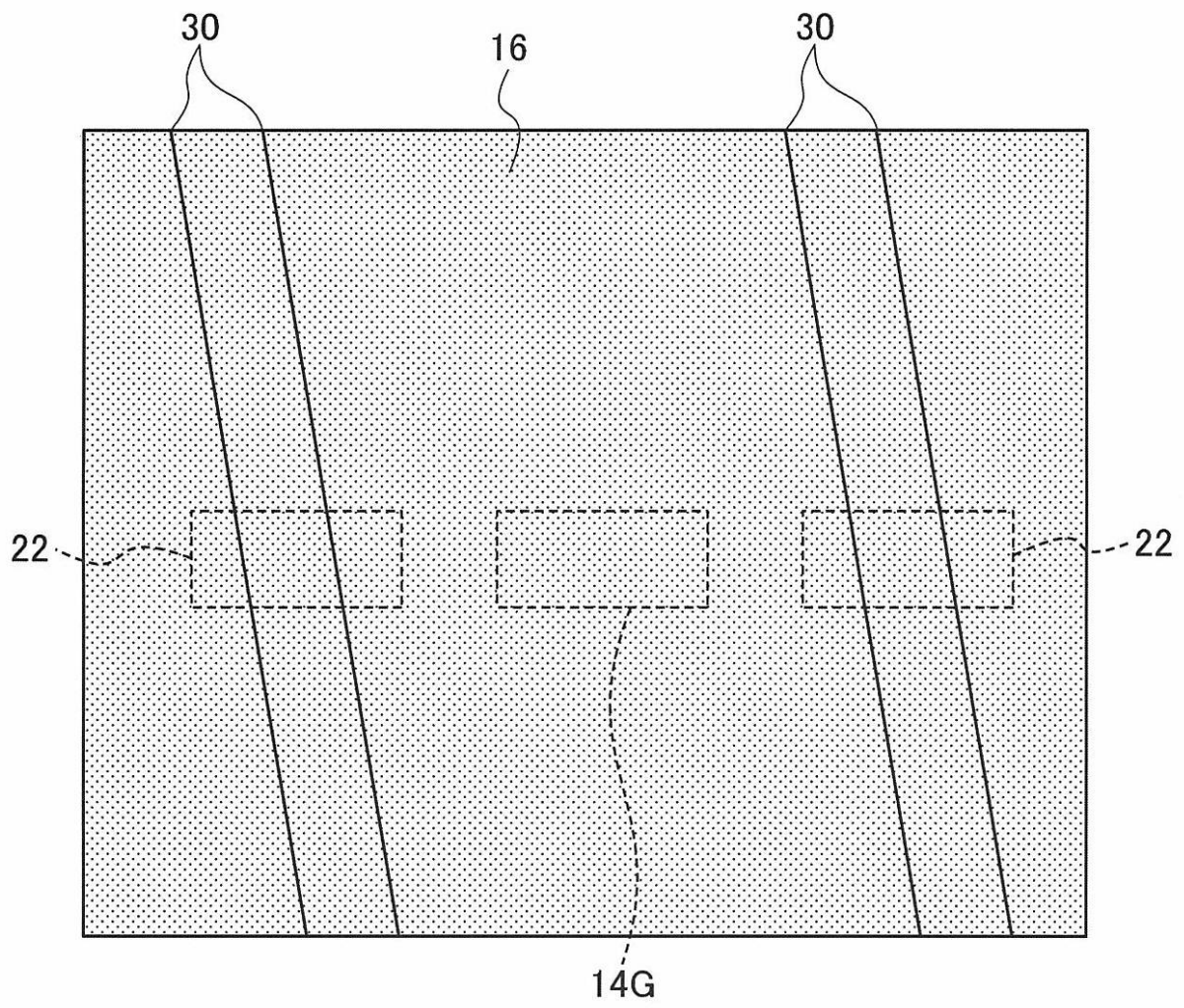
【図 1】



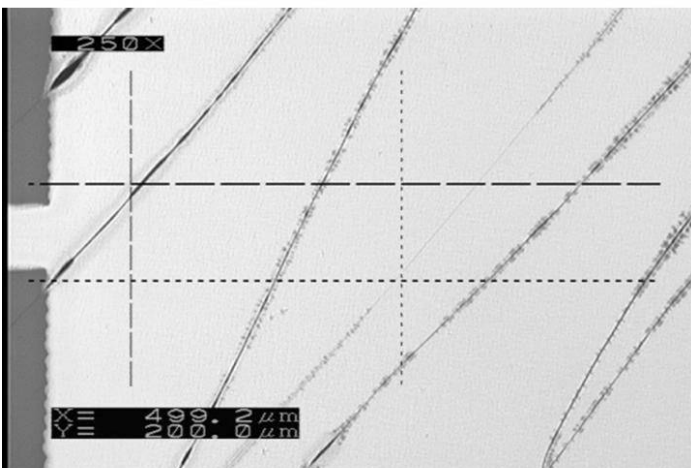
【図 2】



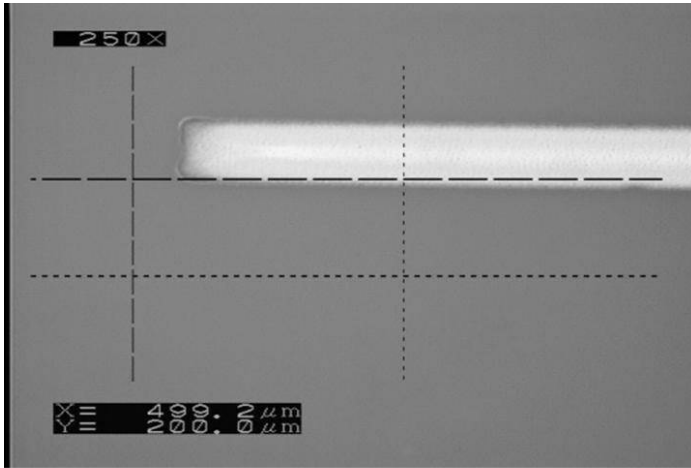
【 図 3 】



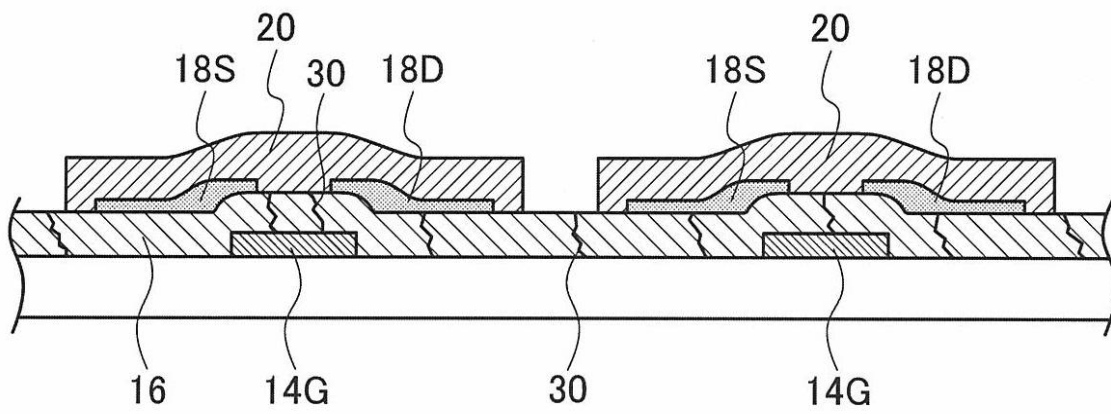
【 図 4 】



【図 5】



【図 6】



フロントページの続き

F ターム(参考) 5F110 AA12 AA26 BB01 CC01 CC03 CC05 CC07 DD01 DD02 DD05
EE01 EE02 EE25 EE42 EE43 EE44 EE45 FF01 FF02 FF03
FF27 FF29 FF36 FF40 GG05 GG28 GG29 GG41 HK01 HK02
HK32 HK33 HK34 HK35 NN02 NN72