



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 96103877.2

[45] 授权公告日 2004 年 1 月 28 日

[11] 授权公告号 CN 1136574C

[22] 申请日 1996.5.17 [21] 申请号 96103877.2

[30] 优先权

[32] 1995.5.18 [33] JP [31] 143886/1995

[71] 专利权人 索尼公司

地址 日本东京都

[72] 发明人 佐古曜一郎 山上保

审查员 董泽华

[74] 专利代理机构 北京市柳沈律师事务所

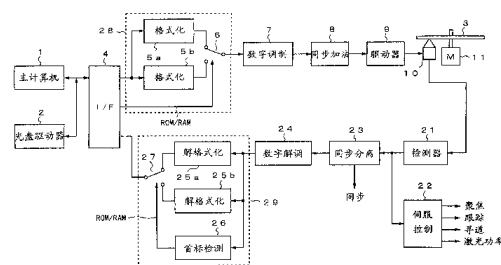
代理人 马 莹

权利要求书 3 页 说明书 11 页 附图 10 页

[54] 发明名称 对应纠错系统的数据记录/再现设备及方法

[57] 摘要

公开了一种用于记录数字数据到数据记录介质的记录设备和方法。本发明包括纠错码编码装置，用于交错预定单位的待记录数据，并用纠错码对结果数据编码，还包括控制装置，用于识别待记录的数据是仅可再现数据还是可改写数据，其中所述纠错码编码装置适合于根据所述控制装置的输出改变交错长度。



- 1、一种数据记录设备，用于将数字数据记录到数据记录介质（3）上，它包括：
- 5 纠错码编码装置（28），用于按扇区交错待记录数据块，每个数据块在多个扇区上扩展，并以纠错码对结果数据编码；以及
- 控制装置（37），用于识别待记录的数据是仅可再现的数据还是可改写的数据，
- 其中所述纠错码编码装置（28）适用于根据所述控制装置（37）的输出
- 10 改变交错长度，其特征在于可改写数据的块大小是所述扇区大小的倍数。
- 2、根据权利要求1所述的数据记录设备，
- 其中所述纠错码编码装置（28）适用于对从第一格式化电路（5a）和第二格式化电路（5b）输出的数据进行编码，从第一和第二格式化电路（5a、5b）中的至少一个输出的数据是折叠型的编码序列。
- 15 3、根据权利要求1所述的数据记录设备，
- 其中所述纠错码编码装置（28）适合于以不同的交错长度对至少两个编码序列编码，并且，当输入数据是仅可再现数据时，对具有较长交错长度的编码序列编码。
- 4、根据前述任一权利要求所述的数据记录设备，其中仅可再现数据的
- 20 块大小不是所述扇区的倍数。
- 5、根据权利要求1所述的数据记录设备，还包括：
- 存储器控制电路（34），用于加入识别数据，此识别数据表示由所述控制装置（37）识别的数据是仅可再现数据还是可改写的数据。
- 6、根据权利要求1所述的数据记录设备，其中记录介质（3）至少包括
- 25 ROM盘和RAM盘，折叠型双纠错码编码被加到记录于这些盘上的数字数据上。
- 7、一种数据记录方法，用于记录数字数据到可记录的数据记录介质（3），它包括的步骤是：
- 按扇区交错待记录数据块，每个数据块在多个扇区上扩展，并用纠错码对结果数据编码；
- 30 记录结果数据到记录介质（3）；以及
- 识别此待记录的数据是仅可再现数据或者是可改写数据，以便改变交错

长度,

其中纠错码是折叠型码,

其特征在于可改写数据的块大小是所述扇区大小的倍数。

8、根据权利要求 7 所述的数据记录方法,

5 其中所述纠错码编码步骤包括:

当待记录数据是仅可再现数据时,以比可改写数据更长的交错长度来交错数据。

9、根据权利要求 7 所述的数据记录方法,还包括步骤:

将表示其交错长度的识别数据加到识别的数据中。

10 10、一种数据再现设备,用于从数据记录介质(3)按扇区再现数据,在此记录介质上与已在各块中进行交错的纠错码一起记录有数字数据并被编码,每个块在多个扇区上扩展,包括:

用于再现数字数据的光学拾取头(10);

用于校正带有纠错码的再现数字数据的出错的纠错装置(29);以及

15 用于检测表示再现数字数据是仅可再现数据还是可改写数据的首标检测装置(26),

其中所说纠错装置(29)适合于根据识别信号对再现的数据进行解交错,其特征在于:可改写数据的块大小是所述扇区大小的倍数。

11、根据权利要求 10 所述的数据再现设备,

20 其中所述纠错装置(29)适合于根据识别信号改变数字数据的解交错长度。

12、根据权利要求 10 或 11 所述的数据再现设备,

其中所述纠错装置(29)适合于根据识别信号,对仅可再现数据的数字数据比对可改写数据的数字数据指定一更长的解交错长度,以便纠错。

25 13、根据权利要求 10 所述的数据再现设备,

其中所述纠错装置(29)适合于解交错对应于识别信号的数字数据,从而,当数字数据是仅可再现数据时,用不是所述扇区大小的倍数的块实现解交错处理。

14、根据权利要求 10 所述的数据再现设备,

30 其中数据记录介质(3)至少包括 ROM 盘和 RAM 盘,折叠型双纠错码加到记录在这些盘中的数字数据上。

15、一种用于对记录在仅可再现盘上的第一类数据和记录在可记录盘上的第二类数据进行纠错的方法，其中按扇区与已经在数据块中被交错的纠错码一起记录了数字数据，每个数据块在多个扇区上扩展，所述方法包括以下步骤：

- 5 确定从盘上再现的数据是第一类还是第二类；以及
 解交错对应识别数据的再现数据，并对结果数据纠错。

16、根据权利要求 15 所述的方法，
 其中第一类数据的解交错长度长于第二类数据的解交错长度。

- 17、一种用于对记录在仅可再现盘和可记录盘上的数据进行编码和解码
10 的方法，数字数据按扇区与已经在各块中被交错的纠错码一起记录在所述盘上，并被编码，每个块在多个扇区上扩展，所述方法包括的步骤为：

 当输入数据被记录时，识别输入数据是仅可再现数据还是可记录数据；
 根据识别数据交错此输入数据，并用纠错码对结果数据编码；
 当输入数据被再现时，识别输入数据是仅可再现数据还是可改写数据；

- 15 以及
 根据识别数据解交错再现数据，并用纠错码对结果数据进行纠错，
 其特征在于：可改写数据的块大小是所述扇区大小的倍数。

18、权利要求 17 所述的方法，还包括下面步骤：

- 当数据被记录以及识别数据是仅可再现数据时，对仅可再现数据比对可
20 记录数据指定更长的交错长度。

19、根据权利要求 17 或 18 所述的方法，其中仅可再现数据的块大小不是所述扇区大小的倍数。

对应纠错系统的数据记录/再现

5

设备及方法

技术领域

本发明涉及一种数据记录/再现设备及其方法和数据记录介质，该设备根据数据记录介质是可记录/可再现型还是仅可再现型而合适地改变选择纠错码编码处理。

背景技术

作为供计算机使用的外部存储装置，从大存储容量、高速存取的观点来看，光盘驱动器普遍受到欢迎。CD-ROM(或者 CD-I (交互 CD))驱动器以及 MO(磁-光盘)驱动器已迅速而广泛地被采用。MO 盘是一种可擦除式的盘。此外，MD(小型盘)是已被推荐的可擦除式盘。然而，作为图像记录介质，DVD(数字视频盘)当前还处在开发之中。

DVD 是一直径与 CD 相同的仅可再现盘，或者是磁光(MO)型可记录/可再现光盘，或者是相变型盘，用于再现或记录/再现根据 MPEG 标准之类压缩的图像信息。由于激光射线波长的减小和物镜的孔径 (NA) 的增加，数字调制和纠错码编码处理已得到改进，记录密度已得到进一步的提高。在 DVD 是单层型盘的情况下，数据存储容量达到大约 3.7G 字节。CD 和 MD 原先是开发作为数字音频盘的。以后这种盘被用于计算机作为外部存储介质，同样，DVD 比 CD 和 MD 具有更大的存储容量，可望成为计算机的外部存储介质。

如光盘之类的数据记录介质能分类成再现型盘和可记录/可再现盘。在可记录/可再现盘中，对抗错误的办法是执行数据替换处理，特别是对于计算机。然而在仅可再现盘上，由于不能实现数据替换处理，需要高的纠错性能。在仅可再现盘中，由于数据是连续读出，可采用相对大的扇区尺寸和折叠型编码处理。然而在可记录/可再现盘上数据是随机改写，大扇区尺寸的数据不总是连续记录在盘上的。另外，为了纠错数据被不必要地再现。于是，吞吐量增加，并且损害与计算机的协调。

考虑到仅可再现盘和可记录/可再现盘的不同特性，对仅可再现盘和可记录/可再现盘实行专门的纠错码编码处理。因此，对这些纠错码编码处理，专门的编码和解码算法需要开发。此外，对纠错码编码处理，需要指定专门的编码器和解码器。并且需要设计编码器和解码器的 IC 电路。

5

发明内容

本发明的目的是提供一数据记录/再现设备及其方法和数据记录介质，根据数据记录介质是可记录/可再现型还是只读型，合适地实行纠错码编码处理，并以一种处理基本部分的公共结构，简化纠错码编码处理。

10 本发明的第一个方面是一种数据记录设备，用于记录数字数据到数据记录介质，它包括纠错码编码装置，用于按扇区交错(interleaving)待记录数据块，每个数据块在多个扇区上扩展，并用纠错码编码结果数据；还包括控制装置，用于识别待记录数据是仅可再现数据还是可记录数据，其中所说纠错码编码装置适合于根据控制装置的输出，改变交错长度，其中可改写数据的块大小是所述扇区大小的倍数。

15 本发明的第二方面是一种数据记录方法，用于将数字数据记录到可记录的数据记录介质，它包括的步骤有：按扇区交错待记录数据块，每个数据块在多个扇区上扩展，并采用纠错码对结果数据编码；在记录介质上记录结果数据；和识别待记录数据是仅可再现数据还是可改写数据，以改变交错长度。

20 其中纠错码是折叠型码，其中可改写数据的块大小是所述扇区大小的倍数。

本发明的第三方面是一种数据再现设备，用于从数据记录介质按扇区再现数据，此记录介质上已经记录了数字数据和在各块中已交错和编码的纠错码，每个数据块在多个扇区上扩展，该数据再现设备包括再现数字数据的装置；用于校正带有纠错码的再现数字数据的错误的纠错装置；和从检测表示

25 再现数字数据是仅可再现数据还是可改写数据的识别信号的装置，其中所说纠错装置适合于根据识别信号解交错(deinterleaving)再现的数据，其中可改写数据的块大小是所述扇区大小的倍数。

本发明的第四方面是一种纠错方法，用于纠正记录在仅可再现盘上的第一类数据和记录在可记录盘上的第二类数据的错误，其中按扇区与已经在数据块中被交错的纠错码一起记录了数字数据，每个数据块在多个扇区上扩展，包括的步骤有：确定从盘上再现的数据是第一类还是第二类；根据识别

30

数据解交错再现数据；和对结果数据纠错。

本发明的第五方面是一种盘形记录介质，它具有仅可再现区和可记录区，每个区都有加到预定单位的数字数据上并被交错和编码的纠错码，在仅可再现区纠错码的交错长度长于在可记录区的。

- 5 本发明的第六方面是一种编码和解码的方法，用于对记录在仅可再现盘和可记录盘上的数据编码和解码，数字数据按扇区与已经在各块中被交错的纠错码一起记录在所述盘上，并被编码，每个数据块在多个扇区上扩展，该方法包括的步骤有：当输入数据被记录时，识别输入数据是仅可再现数据还是可改写数据，对应识别的数据交错输入数据，并且用纠错码对结果数据编
- 10 码；当输入数据被再现时，识别输入数据是仅可再现数据还是可改写数据，并相应于识别的数据解交错再现数据，用纠错码对结果数据纠错，其中可改写数据的块大小是所述扇区大小的倍数。

- 当执行双码编码处理时，ROM 类型盘的交错长度比 RAM 类型盘长，以防止 ROM 类盘出错和提高 RAM 类盘的存取性能。同样，待记录到 ROM 类盘的数据用折叠型双码编码处理加以编码。待记录到 RAM 类盘的数据用预定单位的完成型 (completion type) 编码处理进行编码。而且，ROM 类盘纠错码编
- 15 码处理的单位尺寸比 RAM 类盘纠错码编码处理的单位尺寸要大。

附图说明

- 20 本发明的其它目的，特点和优点，借助以下对附图所示优选实施例的详细说明将会更为清楚。

 图 1 是一表示根据本发明实施例的一记录/再现电路的方块图；

 图 2A 和 2B 是根据本发明的扇区结构示例的原理性图解；

 图 3 是一纠错码编码电路示例的方块图；

- 25 图 4 是一原理性图解，说明本发明中用于折叠型双码编码处理的纠错码编码处理；

 图 5 是一功能性方块图，示出了记录处理电路中的纠错码编码处理的一个实例；

- 图 6 是一功能性方块图，示出了再现处理电路中的纠错码解码处理的一个实例；
- 30 图 7 是一功能性方块图，显示了记录处理电路中纠错码编码处理的另一

个实例;

图 8 是一功能性方块图, 显示了再现处理电路中纠错码编码过程的另一个实例;

图 9 是一原理性图解, 说明本发明中用于折叠型双码编码处理的纠错码
5 编码处理的另一个实例;

图 10 是一原理性图解, 说明在采用折叠型双码编码处理和块完成型编码处理的情况下, 块完成型纠错码的实例;

图 11A 和图 11B 是原理性图解, 说明在采用折叠型双码编码处理和块完成型编码处理的情况下, 块完成型纠错码的另一个实例;

10 图 12A 和 12B 是原理性图解, 说明纠错码编码处理的单位被更改的示例。

具体实施方式

以下参考附图说明本发明的实施例。图 1 是一方块图, 显示了本发明光盘记录/再现系统的结构。在此实施例中, 从主计算机 1 或光盘驱动器 2 接
15 收到的数据记录到光盘 3 上, 此外, 数据从光盘 3 上再现并送到主计算机 1。

本发明能用于只读光盘的主控(mastering)系统, 以及可记录/可再现光盘的驱动器。这样, 图 1 所示的记录/再现系统能用做光盘驱动器(例如 DVD 驱动器), 作为计算机的外部存储设备和 DVD-ROM 盘的主控系统。在下面的叙述中, 可记录/可再现光盘驱动器系统被认为是 RAM 类型的, 然而主控系
20 统被认为是 ROM 类型。主带(master tape)再现设备可以被连接到接口电路 4。

此外, 本发明可被用于这样一种驱动器, 即它选择性地使用可记录/可再现的光盘及只读类型的光盘作为光盘 3。在这种情况下, 再现过程中合适的纠错码编码处理是对应所使用的光盘类型而被选择的。

另外, 本发明能用于具有可记录/可再现区以及只读区的光盘 3。同样
25 地, 再现过程中合适的纠错码编码处理是对应所使用的光盘类型而被选择的。

回到图 1, 按照本发明实施例的记录/再现电路将给予说明。从主计算机 1 或光盘驱动器 2 接收的数字数据, 通过例如 SCSI 接口的接口电路 (I/F) 4, 供给格式化电路 5a 和 5b。格式化电路 5a 和 5b 一个扇区接一个扇
30 区为数字数据定界, 并且加一个扇区同步和一个首标到每个扇区, 以实现每个扇区的纠错码编码处理和对记录或再现的数据的纠错码编码处理。每个

首标包含表示当前盘是 ROM 类或是 RAM 类型的识别信息。换句话说，由主计算机 1 提供送到接口 I/F4 的记录命令包含表示 ROM 类或 RAM 类型的信息。

格式化电路 5a 把接收的数据转换成为 RAM 类型扇区结构数据，并对此扇区结构数据进行 RAM 类纠错码编码处理。格式化电路 5b 把接收的数据转换成为 ROM 类型扇区结构数据，并对此扇区结构数据进行 ROM 类纠错码编码处理。扇区结构也可对 RAM 和 ROM 类两者公用。图 2A 和 2B 所示的是作为例子的扇区结构，2072 字节的一个扇区的格式，包括 2048 字节的用户数据、4 字节的扇区同步、16 字节的首标和 4 字节的错误检测奇偶校验。

如图 2B 所示，4 字节的扇区信息和 4 字节的扇区号被记录进首标部分。扇区信息包括扇区类型 (ST)，反射率信息 (REF)，区域类型 (AT) 和层号 (LN)。扇区类型 (ST) 表示当前扇区是 ROM 类还是 RAM 类。反射率信息 (REF) 表示盘记录表面的反射能力。区域类型 (AT) 表示盘上当前扇区区域的类型。层号 (LN) 指在盘具有两个层的情况下表示当前的层。扇区信息的各项定义如下。

15	扇区类型 (ST)	0000: ROM 类型
		0001: RAM 类型 (MO)
		0010: RAM 类型 (PC)
20	反射率 (REF)	0000: 0 到 20 %
		0001: 20 到 50 %
		0010: 50 到 70 %
		0011: 70 到 100 %
25	区域类型 (AT)	0000: 空区域
		0001: 数据记录区
		0010: 引入区
		0011: 引出区
		1111: 写保护区
30	层号 (LN)	0000: 层 0
		0001: 层 1

格式化电路 5a 和 5b 的输出数据由开关电路 6 选择。选中的数据提供给数字调制电路 7。开关电路 6 根据从接口电路 4 收到的控制信号选择输出数据。在 RAM 类型下，开关电路 6 选择格式化电路 5a 的输出数据。在 ROM 类型下，开关电路 6 选择格式化电路 5b 的输出数据。当控制信号从接口电路

4 提供到格式化电路 5a 和 5b 时, 可使此二电路之一运转。

数字调制电路 7 根据预定的表, 将例如一字节 (8 位) 的数据码元映射为 16 位的码字, 并产生直流分量小的调制输出数据。另一方面, 作为数字调制方法, 可采用用于 CD 的 EFM 方法, 将 8 位数据码元转换成 15 位的码字 8 - 15 调制方法, 等等。数字调制电路 7 的输出数据提供给同步加法电路 8。同步加法电路 8 将一同步信号加到每个传输帧 (例如, 每 32 个码字)。同步加法电路 8 的输出数据供给驱动器 9, 作为同步的一个例子, 可以采用一种不在数字调制数据中出现的专门的位模式。

记录数据通过驱动器 9 送到光拾取头 (pickup) 10, 然后在光盘 3 上记录。记录数据通过磁光记录法或者相变法记录。光盘 3 由主轴电机 11 带动以 CLV (恒定线速度) 或 CAV (恒定角速度) 旋转。由光拾取头记录/再现数据的最小单位是包含预定数目扇区的一个块。被记录的数据立即再现以便确定在再现数据中是否有错误产生 (通过写后读操作)。当有错误检出则重试写操作。当数据被读出, 如果数据有错则重试读操作。在读操作重试了预定的次数后, 若不能获得正确数据, 出错信息送给用户并中止读操作。

由光拾取头 10 读出的再现数据送给检测器电路 21, 电路 21 包括射频 (RF) 放大器和抽取时钟的锁相环 (PLL) 电路。检测器电路 21 的输出数据提供给伺服控制电路 22 和同步分离电路 23。伺服控制电路 22 控制聚焦伺服, 跟踪伺服, 光拾取头 10 的寻道操作, 写操作时的激光功率等等。同步分离电路 23 从再现数据中分离出帧同步, 此帧同步是已由同步加法电路 8 加入的。

分离出的帧同步送到时序产生电路 (未示出)。时序产生电路产生与再现数据同步的定时信号。同步分离电路 23 连接到数字解调电路 24。数字解调电路 24 完成数字调制电路 7 的逆过程, 并产生将一个码元恢复为一个字节的数据。

数字解调电路 24 连接到格式分离电路 25a、25b 和首标检测电路 26。解格式化 (deformatting) 电路 25a 执行记录侧格式化电路 5a 的逆过程, 解格式化电路 25b 执行格式化电路 5b 的逆过程。解格式化电路 25a 执行纠错码解码处理, 从 RAM 类扇区获得用户数据, 并检测其出错。解格式化电路 25b 执行纠错码解码处理, 从 ROM 类扇区获得用户数据, 并检测其出错。首标检测电路 26 从每个扇区检测首标 (见图 2b), 并根据首标信息确定当前盘是 ROM 类还是 RAM 类 (也就是扇区类型)。

由解格式化电路 25a 和 25b 获得的用户数据之一由开关电路 27 来选择，而后送到接口电路 4。根据从首标检测电路 26 接收的首标信息 (ROM/RAM) 来控制开关电路 27。开关电路 27 根据盘的类型选择电路 25a 和电路 25b 的输出数据。由开关电路 27 选择的再现数据提供给接口电路 4。于是，从光盘 3 再现的数据通过接口电路 4 能够送给主计算机 1。另一方面，通过将从首标检测电路 26 来的首标信息 (ROM/RAM) 提供给解格式化电路 25a 和 25b，能代替使用开关电路 27 使这二电路之一运转。

图 3 是一表示放置在具有格式化电路 5a 和 5b 的信号处理单元 28 中的纠错码编码电路的结构实例的方块图。在图 3 中，标号 31 是一数据总线。数据总线 31 连接到数据输入/输出电路 32、存储器 (RAM) 33、C1 奇偶产生电路 35 和 C2 奇偶产生电路 36。存储器 33 的读/写操作、地址等等由存储器控制电路 34 控制。此外，配备有控制纠错码编码电路操作的控制器 37。开关控制信号 ROM/RAM 从控制器 37 传送给存储器控制电路 34。示于图 3 的纠错码编码电路实际上由一个 IC 芯片构成。

纠错码解码器提供给具有解格式化电路 25a 和 25b 的信号处理单元 29。纠错码解码器的结构与图 3 中所示的相同。编码器的硬件可部分地与解码器的硬件共用。

作为一纠错码编码处理的实例，折叠型双码编码处理被采用。RAM 类的交错长度不同于 ROM 类的交错长度。如图 4 所示，安排在垂直方向 (记录/再现方向) 的 148 个码元的数据 (1 码元 = 1 字节) 和 14 个码元的 C2 码奇偶校验 (奇偶校验 Q) 以 [170、162、9] Reed - Solomon 码编码。从而，产生 8 个码元的 C1 码奇偶校验 (奇偶校验 p)。148 个码元的数据 (1 码元 = 1 字节) 和 8 个码元的奇偶校验 p 以 [170、156、15] Reed - Solom-on 码编码。于是产生 14 个码元的奇偶校验 Q。

如图 4 所示在 C2 码的交错过程中，ROM 类的交错长度 a 和 RAM 类的交错长度 b 有 $a > b$ 的关系 (例如 $a = 170$, $b = 112$)。通常，纠错性能 (特别对突发性出错) 正比于交错长度。于是，ROM 类的纠错性能优于 RAM 类。换言之，对 ROM 类而言，不像对 RAM 类，数据的替换过程不能被现实。当交错长度长时，由于它的全部数据应该被记录或再现，需要长的存取时间。于是，交错过程的规模变大。从这一观点来看，采用一种 RAM 类的交错长度比 ROM 类的要短一些的结构。

在图 4 中, 水平交错长度 $b = 112$ 与图 2A 中所示以水平方向排列的 8 个扇区的码元数相等。换言之, RAM 类的交错长度能正好被扇区数整除。当数据按 8 个扇区的块被记录在盘上时, 为记录/再现操作在数据单位内完成交错过程。于是, 记录/再现操作的纠错过程能很快地完成。对 ROM 类而言, 水平交错长度不是正好落在一个块中。然而, 从盘上再现出来的数据几乎是顺序的数据。因此在这种情况下不会出现问题。

接下来, 参考图 3, 对纠错的一编码/解码处理的实例给予说明。

当数据用纠错码予以编码时, 长于一个块的数据从主计算机 1 或光盘驱动器 2, 通过接口电路 (I/F) 4 送到格式化电路 5a 或 5b 的数据输入/输出电路 (I/O) 32, 并经数据总线 31 暂时存储在存储器 33 中, 这时, 首标信息从接口电路 4 提供给控制器 37。控制器 37 确定存储器 33 中的数据是 ROM 类还是 RAM 类, 并根据所确定的类型控制存储器控制电路 34, 以便控制存储器 33。于是, 存储器控制电路 34 将从存储器 33 读出的数据的地址指定给 C1 奇偶产生电路 35 和 C2 奇偶产生电路 36, 这样如图 4 所示, 对 ROM 类数据在 C2ROM 方向交错, 而对 RAM 类数据在 C2 RAM 方向交错。对全部存储在存储器 33 中的数据, 通过 C1 奇偶产生电路 35, C2 奇偶产生电路 36 和存储器 33 完成编码处理。此后, P 和 Q 奇偶校验被加到编码数据上。通过 I/O 32, 结果数据从存储器 33 送到数字调制电路 7。在此情况下, 开关电路 6 按示于图 3 的控制器 37 通过 I/O 32 控制二种数据类型之一的输出的方式完成操作。

下面将说明纠错码解码处理对从盘上再现的数据的解码。已用例如 8-16 调制方法调制的数字由数字解调电路 24 解调, 并且解调数据的几个块被存储在解格式化电路 25a 或 25b 的存储器 33 中。控制器 37 检测存储在存储器 33 中扇区结构数据首标部分的扇区类型 (ST)。控制器 37 如同编码操作一样根据检测出的类型控制存储器控制电路 34。换言之, 将被交错过的数据恢复成原来的数据 (这个过程称作解交错过程)。C1 奇偶产生电路 35 和 C2 奇偶产生电路 36, 以一存储在存储器 (ROM) (未示出) 内的预定系数与解交错数据相乘, 以分别对 C1 序列和 C2 序列纠错。经纠错的数据存储在存储器 33 中。通过 I/O 32 将已纠错数据从存储器 33 提供给接口电路 4。开关电路 27 以这样的方式完成工作: 控制器按照 ROM 类型或 RAM 类型之一提供 I/O 32 的输出数据。

图 5 和图 6 为功能方块图，显示纠错码编码处理和纠错码解码处理。图 5 的功能方块图显示了上述折叠型双码编码处理(对应 ROM 类)。该纠错码类似于用于 CD 的交叉交错 Reed - Solomon 码(CIRC)。

148 字节的输入码元提供给 C1 编码器 41。C1 编码器 41 的输出数据(148 字节的数据码元和 8 字节的奇偶校验 P)通过延迟电路组 42 送给 C2 编码器 43。按图 3 所示结构，延迟电路组 42 的延迟处理是由存储器 33 和存储器控制电路 34 完成。

C2 编码器 43 用 [170、156、15]Reed - Solomon 码进行编码处理，并产生 14 字节的奇偶校验 Q。C1 编码器 41 不仅对数据还对 C1 码的奇偶校验 Q 进行编码处理。于是，C2 编码器 43 通过延迟电路组 42a 从 C2 编码器 43 反馈奇偶校验 Q 到 C1 编码器 41。从而 C1 编码器 41 用 [170、162、9]Reed - Solomon 码执行编码处理过程。

从 C1 编码器 41 接收到的 170 字节(148 字节的数据，8 字节的 C1 奇偶校验和 14 字节的 C2 奇偶校验)，通过一包含延迟电路的阵列改变电路 44，作为输出码元被抽出。阵列改变电路 44 由按图 3 所示结构构成的存储器 33 和存储器控制电路组成。输出码元提供给数字调制电路 7。折叠型双码编码处理的交错长度是 170 帧(代表 C1 码序列的长度)，交错长度也称做交错限定长度或者交错深度。

参照图 6，以下将对相应于图 5 所示编码器的解码器处理做出说明。输入码元(170 个字节)从数字解调电路 24 通过阵列改变电路 51 传送到 C1 解码器 52。阵列改变电路 51 执行编码器中阵列改变电路 44 的逆过程。C1 解码器 52 用 [170、162、9]Reed - Solomon 码执行解码处理过程。

C1 解码器 52 的输出数据通过延迟电路组 53 提供给 C2 解码器 54。C2 解码器 54 用 [170、156、15]Reed-Solomon 码执行解码处理过程。C2 解码器 54 的解码输出数据通过解交错延迟电路 55 提供给 C1 解码器 56。于是，已通过 C1 解码处理、C2 解码处理纠错的 148 字节的输出码元和 C1 解码处理被抽出。

通过改变延迟电路组 42、53 和 55 的延迟量，交错长度可改变到 RAM 类的值 112。如上所述在图 3 的结构中，开关控制信号 ROM/RAM 提供给存储器控制电路 34，以便切换存储器控制电路 34 的地址控制。从而，延迟量得以改变。在本例中，由于满足 $170 > 112$ 的关系，附加的延迟量是 0，使实现

的交错长度为 112。

例如，在编码处理过程中，由于指定两个相邻信号的延迟电路 46 和 46a 的延迟量相等，112 个码元的延迟处理得以实现。在解码处理过程中，如图 8 所示，指定两个相邻电路的延迟电路组 57 和 58 的延迟量相等。于是，交错长度为 112 的 170 字节的输入码元被解交错并输出。

图 9 显示了以折叠型双码作为纠错码的另一个例子。当数据的码元数是 116(字节)时，在如同图 5 和图 6 所示结构的反馈型结构中，10 个码元的奇偶校验 P 和 12 个码元的奇偶校验 Q 被形成。换句话说，在图 9 的示例中，C1 编码器用 [138、128、11]Reed-Solomon 码执行编码处理，而 C2 编码器用 [138、126、13]Reed-Solomon 码执行编码处理。这里，ROM 类的交错长度是 $a = 276$ ，而 RAM 类的交错长度是 $b = 138$ 。由于 C1 码序列的长度是 138 码元，通过一个接一个地改变码元的延迟处理过程，在纠错码编码处理和纠错码解码处理过程中，能实现 $b = 138$ 的交错。通过二个接着二个地改变码元的延迟处理过程，能完成 $a = 276$ 的交错。

正如本实施例所述，交错长度根据当前盘是 ROM 类还是 RAM 类而改变。对于 ROM 类，可执行折叠型双码编码处理过程(交错长度 $a = 170$)。对于 RAM 类，块完成型双码编码处理过程被执行。在块完成型处理过程中，预定大小的两维阵列数据作为一个块对待，并且在块中实现交错处理。图 10 的原理图显示出了块完成型双码编码处理。一个 (148×224) 个码元的块的沿垂直方向(读/写方向)安排的 148 个码元用 C1 码 Reed-Solomon 码编码，以产生奇偶校验 P。此外，对角方向的数据用 Reed-Solomon 码编码以产生 C2 码奇偶校验 Q。如同上述实施例，存储器控制电路 34 控制存储器 33 以便实现对角方向的交错处理。

对于块完成型双码编码处理，非反馈型或反馈型都可被使用。例如，用于 CD 的折叠型双码编码处理过程是非反馈型处理。在非反馈型的情况下，用是 C2 码的 [162、148、15]Reed-Solomon 码执行编码处理过程。于是产生了 14 字节的奇偶校验 Q。此外，用是 C1 码的 [170、162、9]Reed-Solomon 码对数据和奇偶校验 Q 编码。从而产生 8 字节的奇偶校验。当纠错处理过程(即解码处理过程)被执行时，C1 码被解码。此后 C2 码被解码。另一方面，如同图 5 所示结构，在反馈型中奇偶校验 Q 用 [170、162、9]Reed-Solomon 码编码。由此产生奇偶校验 P。此外，用 [170、156、15]Reed-Solomon 码

对数据和奇偶校验 P 编码。

图 11A 和图 11B 的原理图显示块完成型纠错码的另一个示例。在图 11A 中，对 116(在垂直方向 - 读/写方向) × 114(在水平方向) 个数据码元执行块完成型双码编码处理过程。在图 11B 中，对 116 (在垂直方向 - 读/写方向) × 288(在水平方向) 个数据码元执行块完成型双码编码处理过程。换句话说，在图 11B 中，图 11A 所示的数据被当成一个块的数据对待并产生其奇偶校验。对 RAM 类型执行块完成型编码处理，以改善存取性能。在块完成型的情况下，每块的数据量最好是 16k 字节，32k 字节等等。

另外，按照本发明，作为纠错码单位的块大小可能会变化。图 12A 和 12B 为另一示例的原理图。如图 12A 所示，RAM 类的块尺寸是 170(即 148 个码元数据 + 22 字节的奇偶校验) × 14。另一方面，如图 12B 所示，ROM 类的块尺寸为 170(即 148 个码元数据 + 22 字切的奇偶校验) × 112。在示于 12A 和 12B 的实例中，记录/再现方向是每个块的水平方向，而编码方向是每个块的对角方向。作为代码，可使用 [170、148、23]Reed - Solomon 码。

一般认为如图 2A 和 2B 所示，当特殊数据的奇偶校验数与其它数据的相同时，纠错处理的功效(Power)取决于数据块的大小。在此情况下，对角的交错处理如同上述实施例由存储器 33 和存储器控制电路 34 来实现。

按照本发明，可实现相应于 RAM 类和 ROM 类的纠错码编码处理。另外，因为交错长度和块大小被改变，通常纠错码编码处理和纠错处理过程硬件是公用的。于是硬件的结构可得以简化。而且按照本发明，能实现一种既有 ROM 类型区也有 RAM 类型区的混合盘。

尽管已就其优选实施例对本发明作了说明，本领域的技术人员应该理解，前述的以及对其形式及细节的各种其它改变、省略和增加均可能做出，而不脱离本发明的精神和范畴。

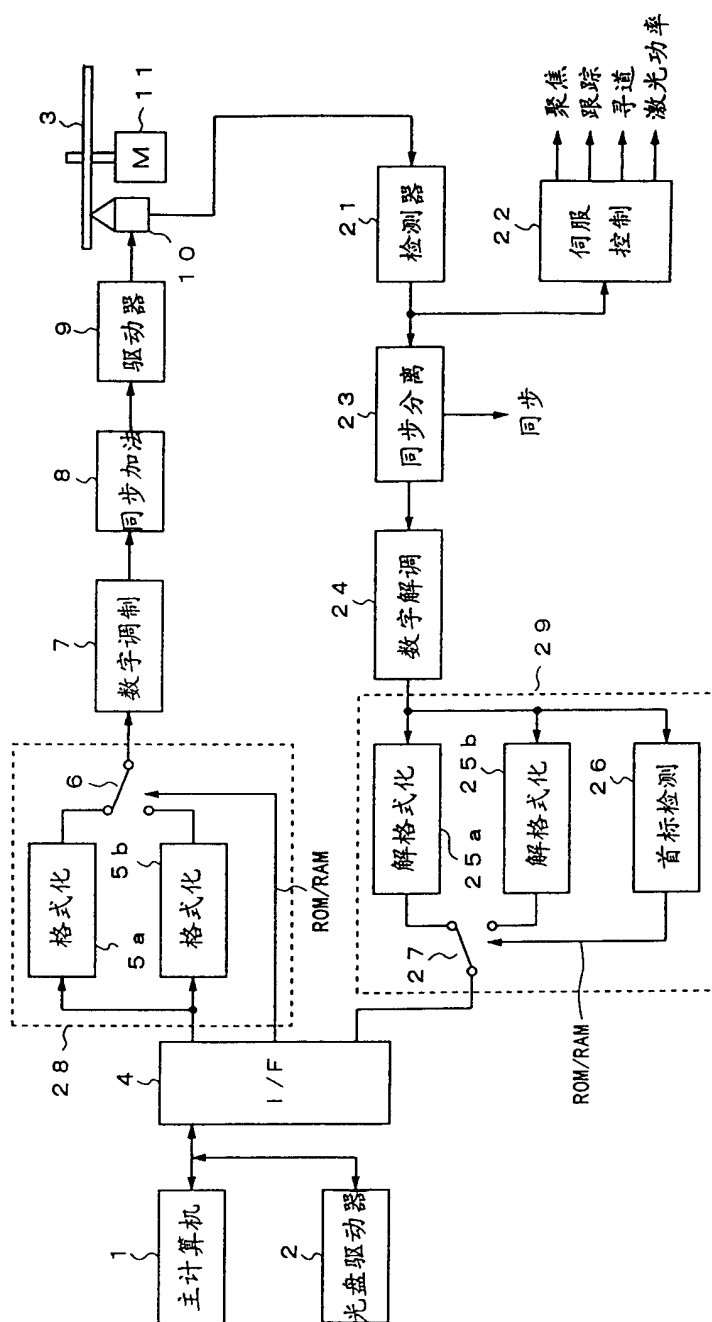


图 1

图 2A

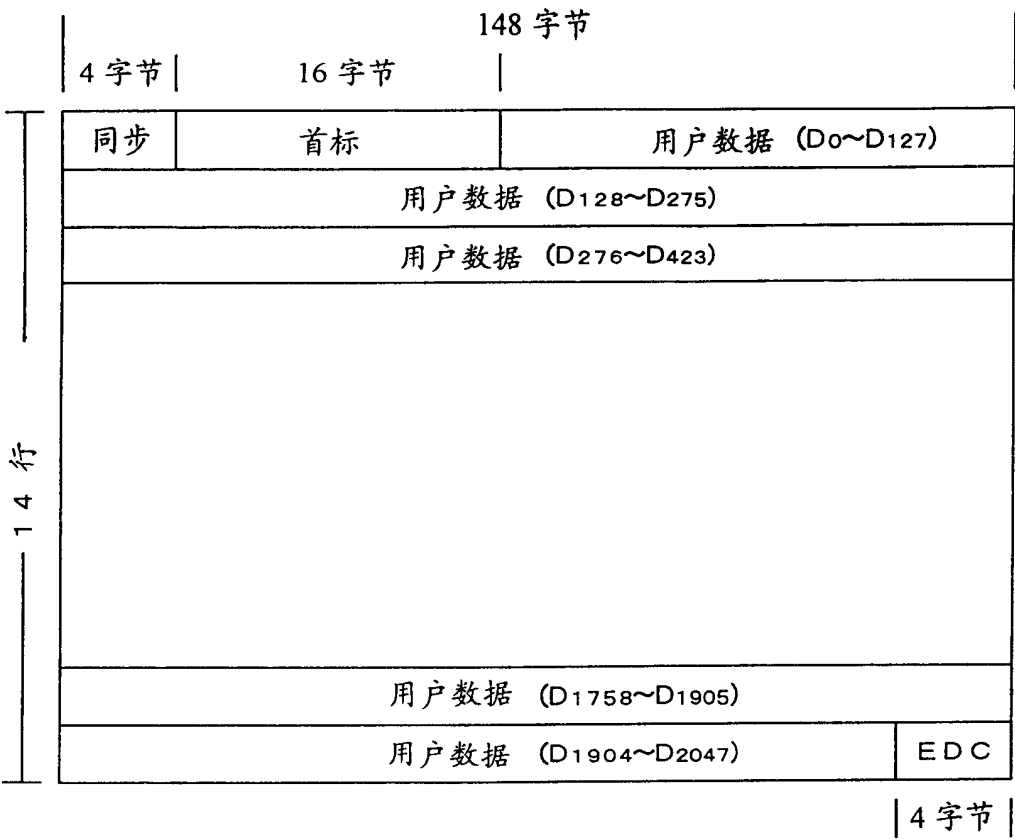
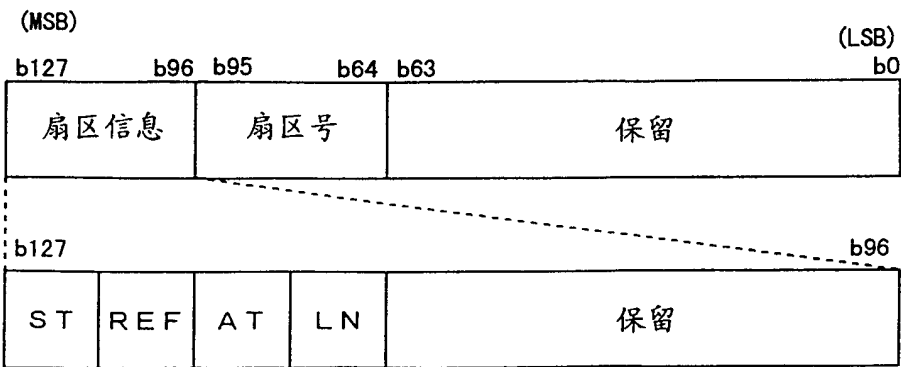


图 2B



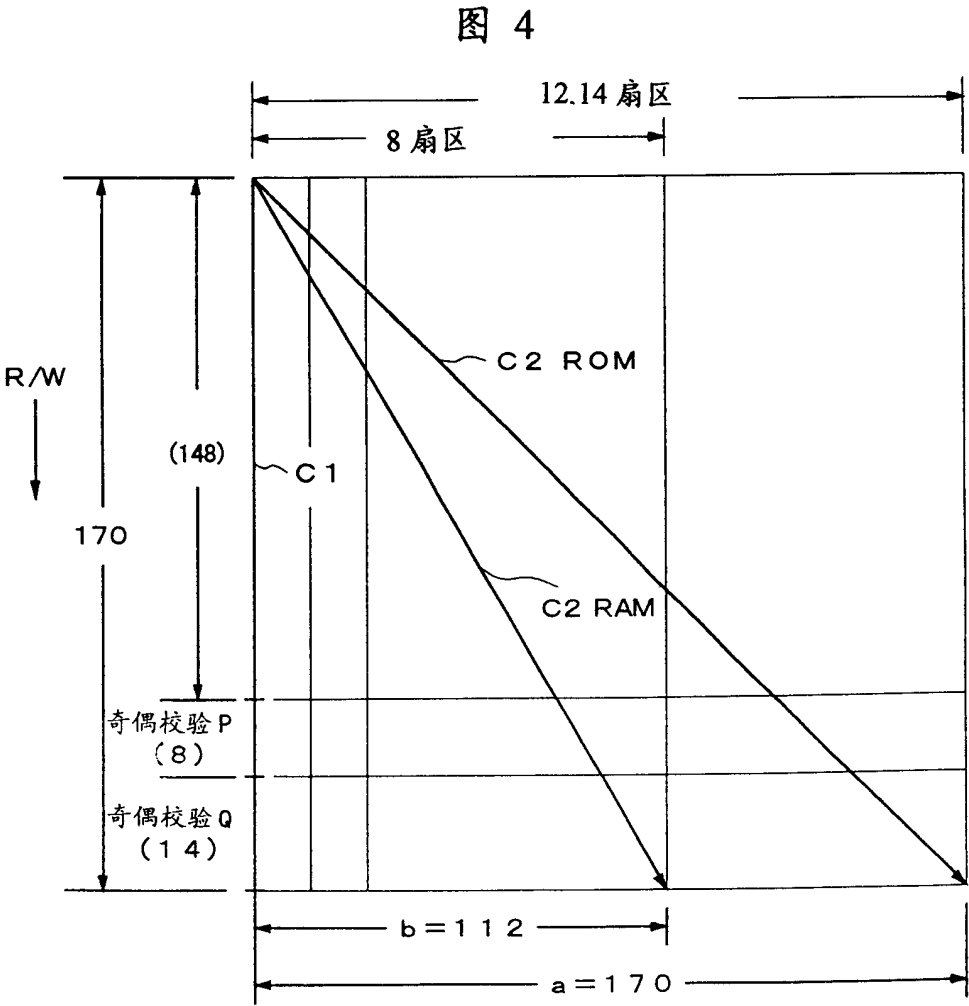
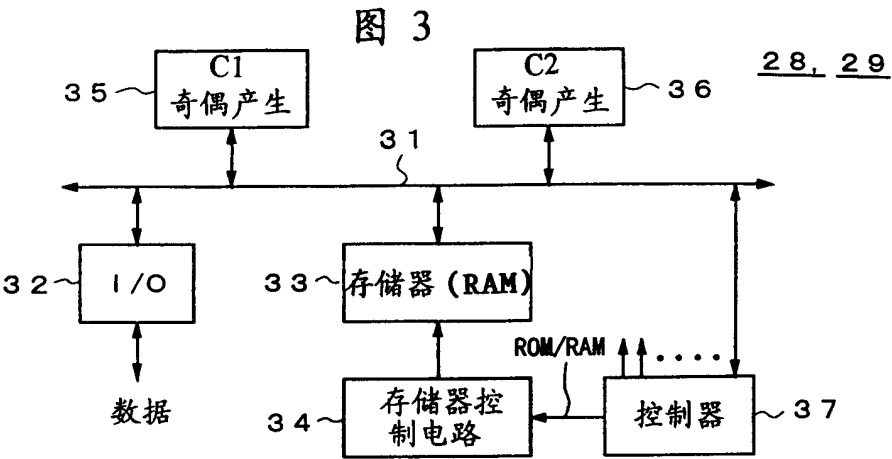


图 5

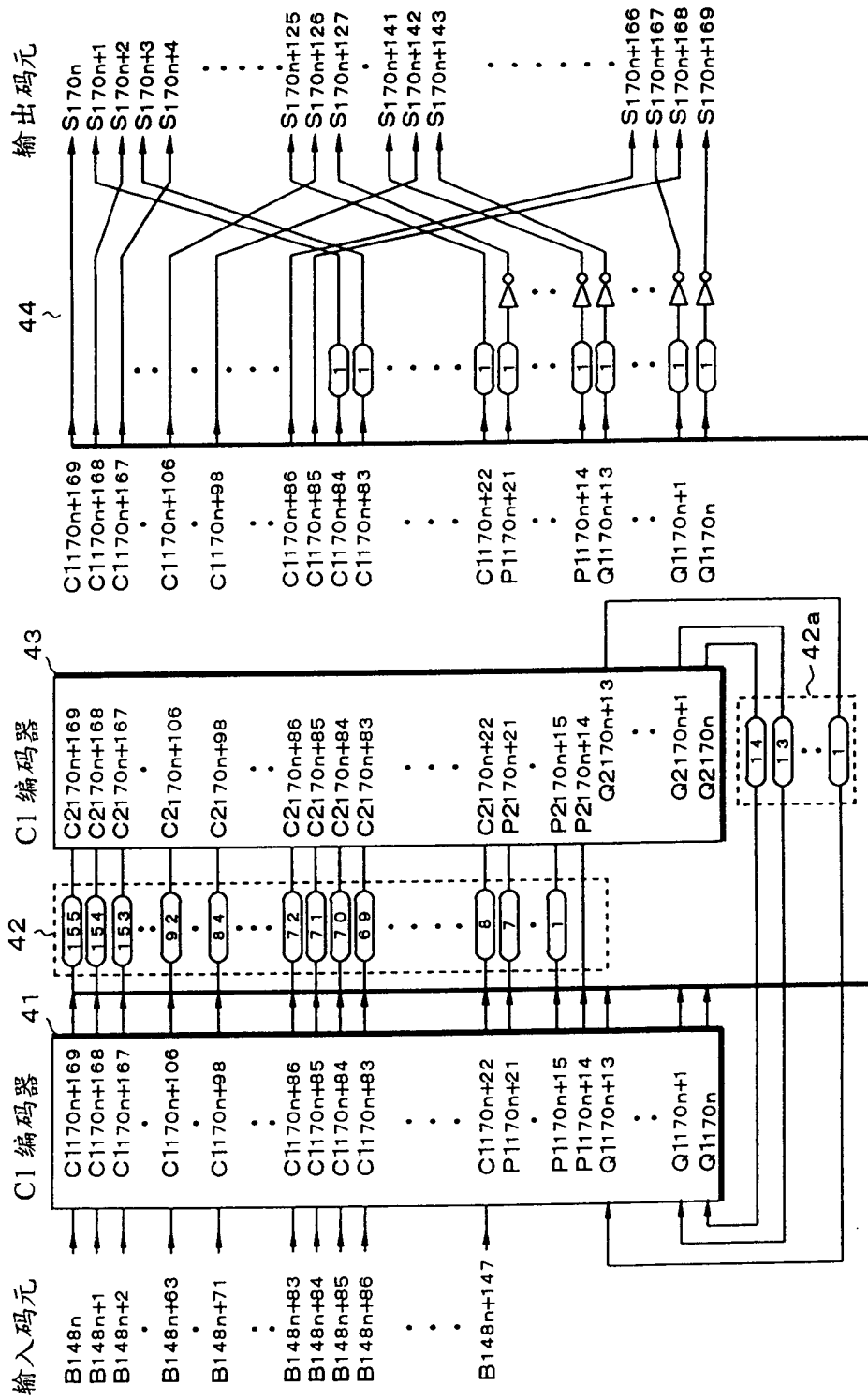
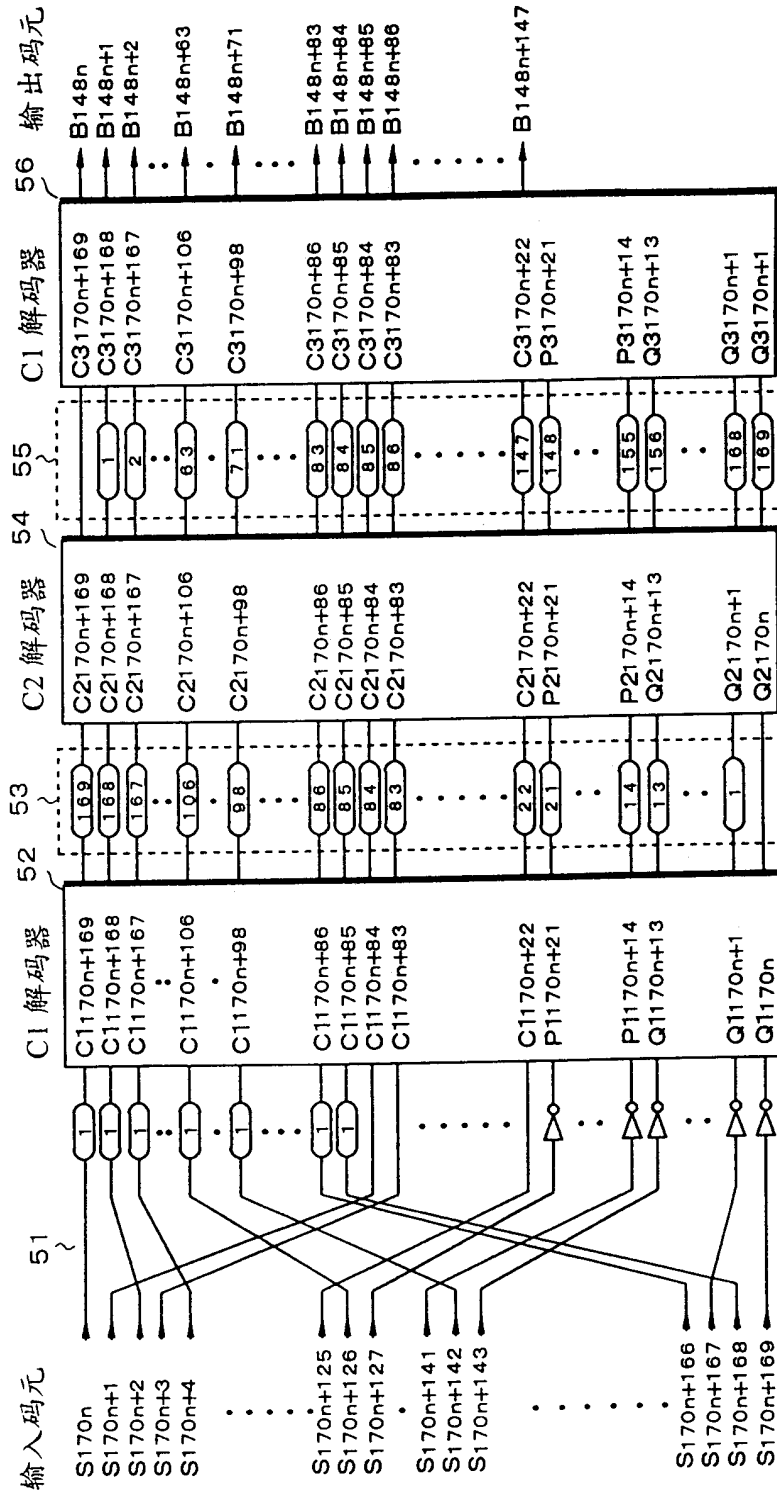


图 6



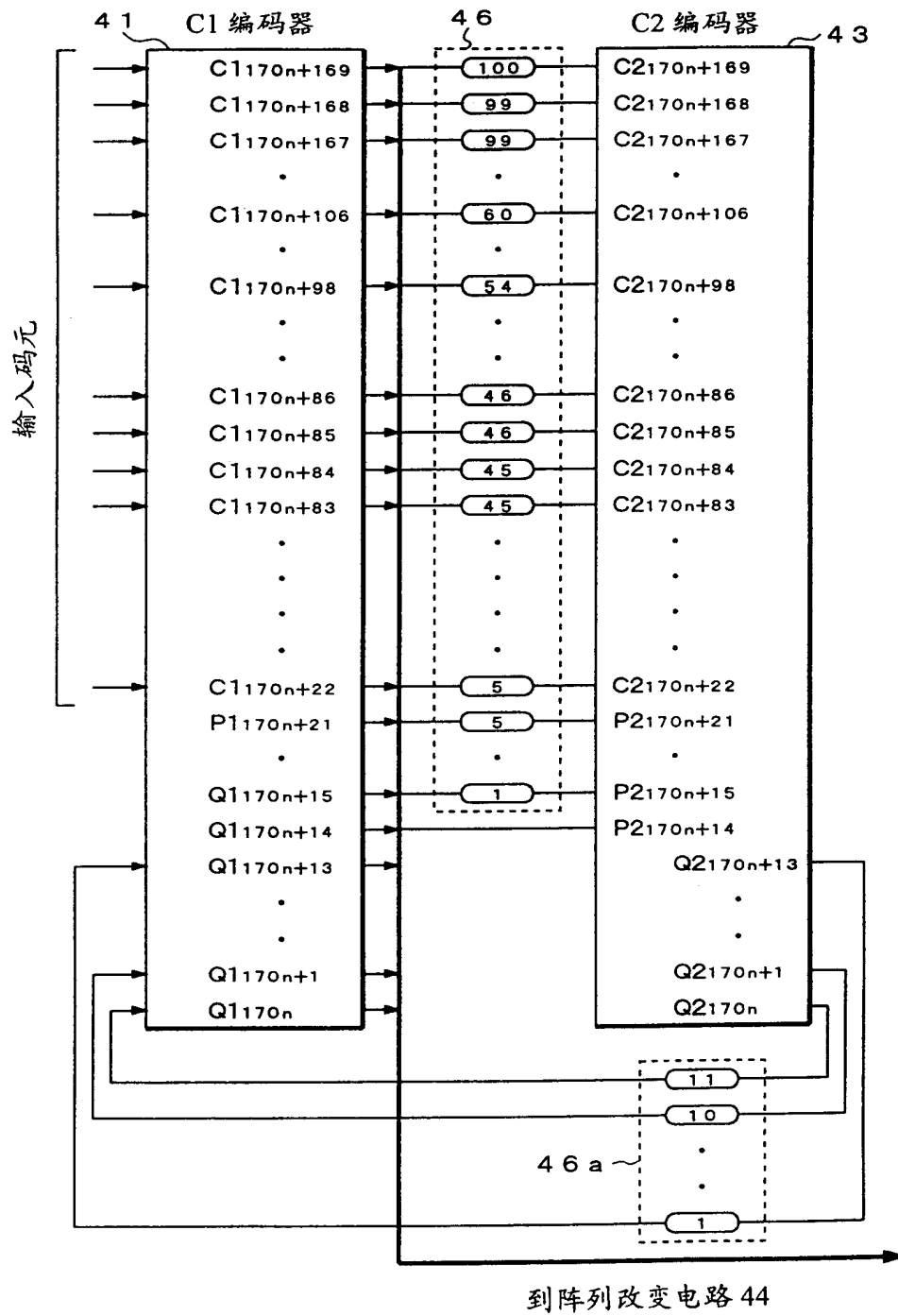


图 7

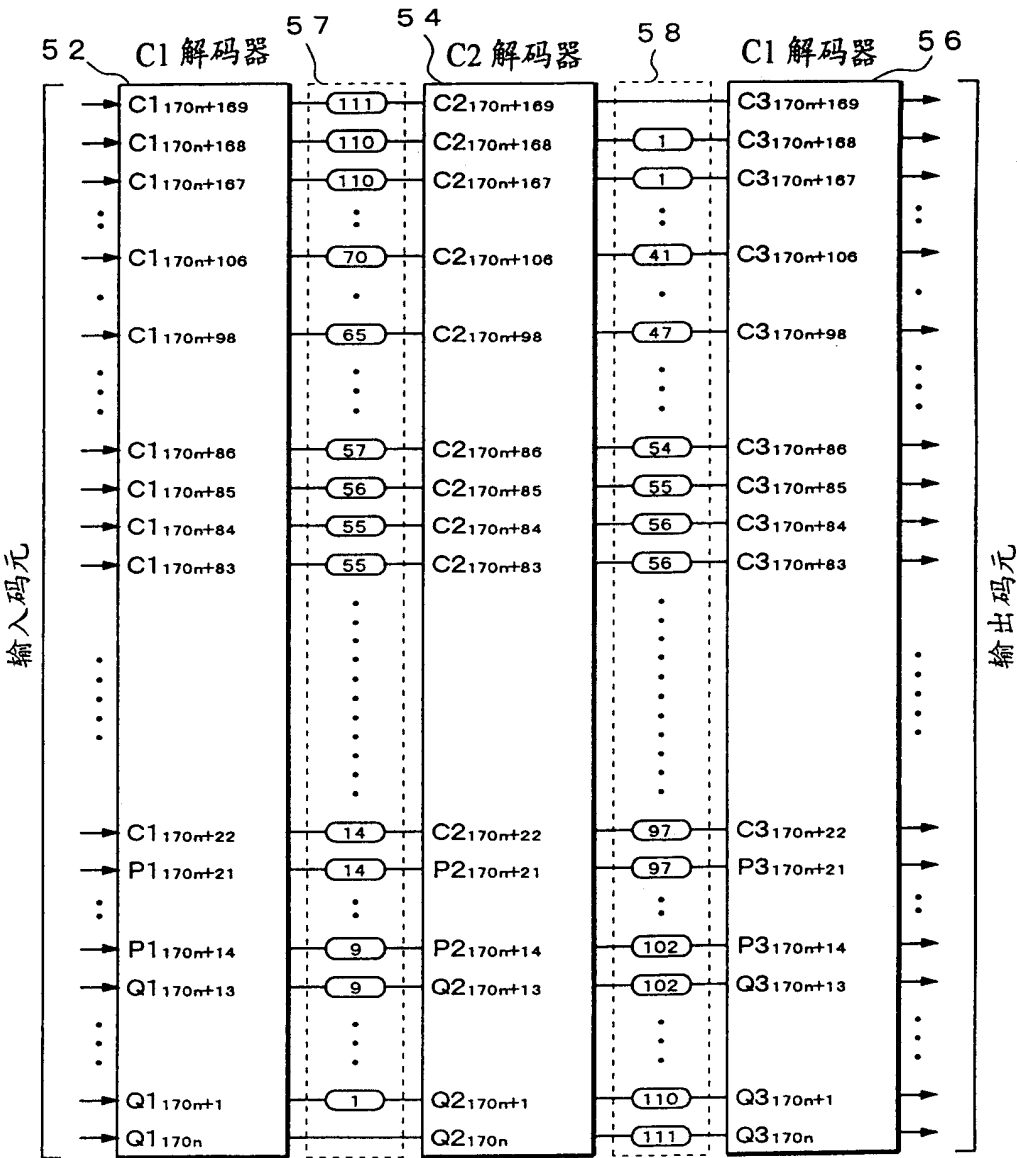


图 8

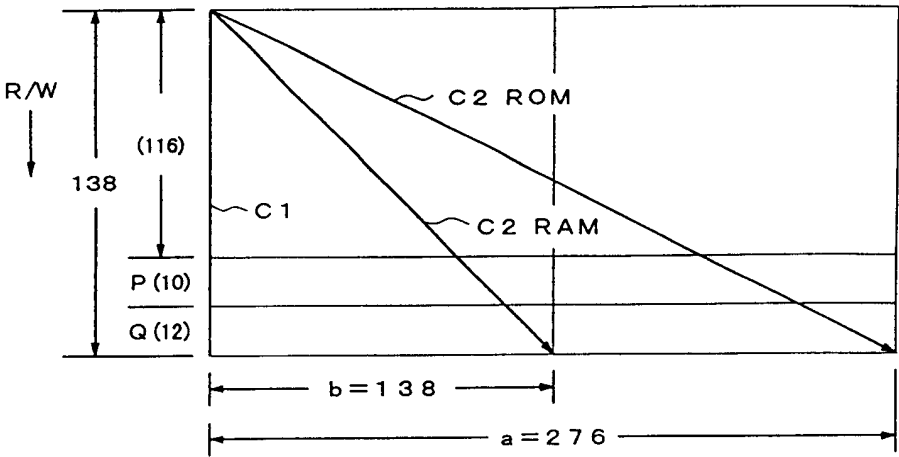


图 9

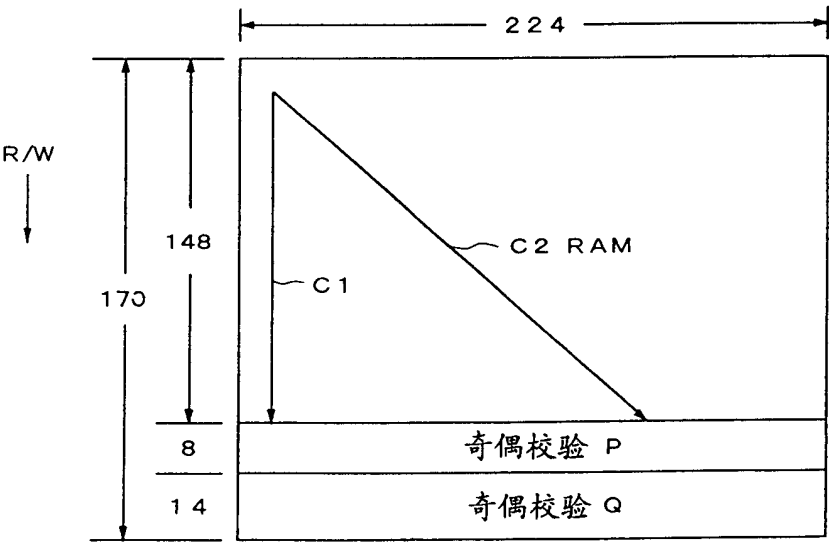


图 10

图 11A

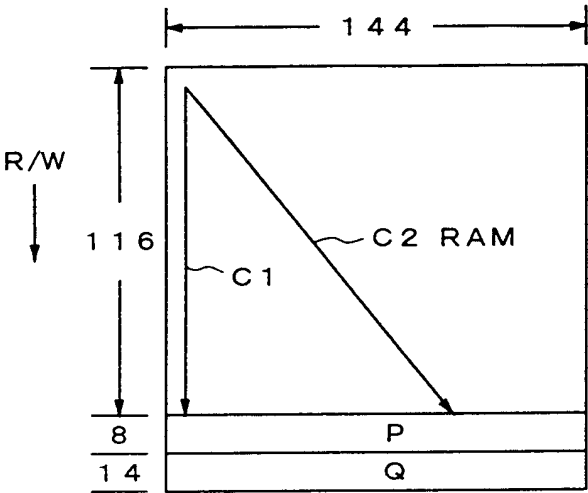


图 11B

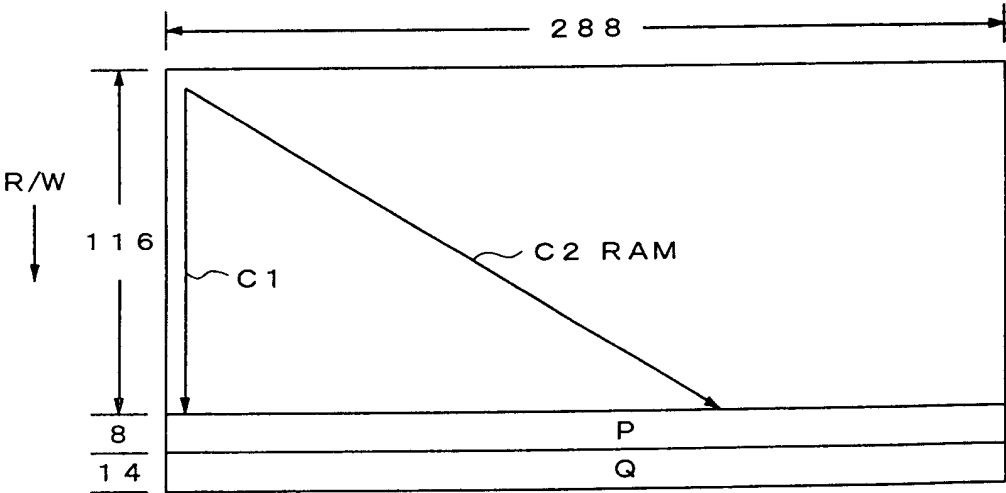


图 12A

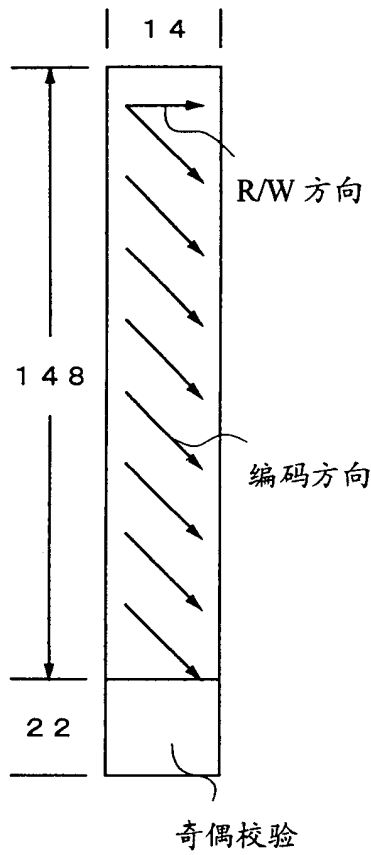


图 12B

