

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月20日(20.09.2018)



(10) 国際公開番号

WO 2018/168173 A1

(51) 国際特許分類:
H01L 21/822 (2006.01) H01L 23/522 (2006.01)
H01L 21/3205 (2006.01) H01L 27/04 (2006.01)
H01L 21/768 (2006.01)

(21) 国際出願番号: PCT/JP2018/000631

(22) 国際出願日: 2018年1月12日(12.01.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-052214 2017年3月17日(17.03.2017) JP

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 1 0 番 1 号 Kyoto (JP).

(72) 発明者: 深堀 奏子 (FUKAHORI Souko);
〒6178555 京都府長岡京市東神足 1 丁目 1 0 番
1 号 株式会社村田製作所内 Kyoto (JP).

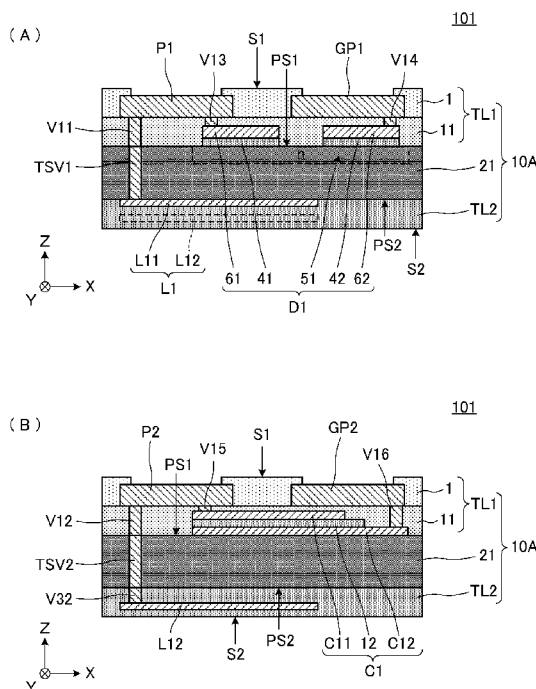
(74) 代理人: 特許業務法人 楓国際特許事務所
(KAEDE PATENT ATTORNEYS' OFFICE);
〒5400011 大阪府大阪市中央区農人橋 1
丁目 4 番 3 4 号 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) Title: THIN-FILM ESD PROTECTION DEVICE

(54) 発明の名称: 薄膜ESD保護デバイス



(57) Abstract: A thin-film ESD protection device (101) provided with a semiconductor substrate (21) having a first main surface (PS1) and a second main surface (PS2), a first insulating layer (TL1) formed on the first main surface (PS1), a second insulating layer (TL2) formed on the second main surface (PS2), a first input/output electrode (P1), a second input/output electrode (P2), ground electrodes (GP1, GP2), a diode element (D1), a capacitor element (C1), and an inductor element (L1). The capacitor element (C1) and the diode element (D1) are formed on the first-main-surface (PS1) side, and the inductor element (L1) is formed on the second-main-surface side. The inductor element (L1) is connected to the first input/output electrode (P1) and the second input/output electrode (P2) via a first via conductor (TSV1) and a second via conductor (TSV2) penetrating to the first main surface (PS1) and the second main surface (PS2), respectively.

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：薄膜ESD保護デバイス（101）は、第1主面（PS1）および第2主面（PS2）を有する半導体基板（21）、第1主面（PS1）に形成される第1絶縁層（TL1）、第2主面（PS2）に形成される第2絶縁層（TL2）、第1入出力電極（P1）、第2入出力電極（P2）、グランド電極（GP1、GP2）、ダイオード素子（D1）、キャパシタ素子（C1）、インダクタ素子（L1）を備える。キャパシタ素子（C1）およびダイオード素子（D1）は第1主面（PS1）側に形成され、インダクタ素子（L1）は第2主面側に形成される。インダクタ素子（L1）は、第1主面（PS1）から第2主面（PS2）まで貫通する第1ビア導体（TSV1）および第2ビア導体（TSV2）を介して、第1入出力電極（P1）および第2入出力電極（P2）にそれぞれ接続される。

明 細 書

発明の名称： 薄膜 E S D 保護デバイス

技術分野

[0001] 本発明は、E S D 保護機能を有する薄膜 E S D 保護デバイスに関し、特にキャパシタ、インダクタおよびダイオードを備える薄膜 E S D 保護デバイスに関するものである。

背景技術

[0002] 従来、E S D (E l e c t r o - S t a t i c D i s c h a r g e ; 静電気放電) による電子機器の損傷や誤作動等を防止するため、各種 E S D 保護回路が利用されている。E S D 保護回路は、E S D をグランド等に逃がし、後段の電子回路を E S D から保護するための回路であって、例えば信号線路とグランド（接地）との間に配置される。

[0003] 例えば、特許文献 1 には、E S D 保護対策のため、アンテナ端子の近傍に E S D 保護機能を有するフィルタ回路が設けられた電子機器が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開 2 0 0 8 - 5 4 0 5 5 号公報

発明の概要

発明が解決しようとする課題

[0005] しかし、特許文献 1 に示されるような E S D 保護機能を有する回路を構成するために、複数のディスクリート部品を実装基板上に配置すると、実装面積が大きくなってしまいうという問題がある。また、ディスクリート部品を接続するための配線を実装基板に形成するため、配線長が長くなることで寄生インダクタンスが大きくなり、必要な特性が得られない虞もある。

[0006] 本発明の目的は、電気的特性の変動が抑制され、且つ、必要な実装面積の低減が可能な小型の薄膜 E S D 保護デバイスを提供することにある。

課題を解決するための手段

- [0007] (1) 本発明の薄膜ESD保護デバイスは、
- 互いに対向する第1主面および第2主面を有する半導体基板と、
- 前記第1主面に形成される第1絶縁層と、
- 前記第1絶縁層の表面に形成される第1入出力電極、第2入出力電極およびグランド電極と、
- 前記半導体基板の前記第1主面側に形成され、前記第1入出力電極に電氣的に接続される第1端、および前記グランド電極に電氣的に接続される第2端を有するダイオード素子と、
- 前記半導体基板の前記第1主面側に形成され、前記第2入出力電極に電氣的に接続される第3端、および前記グランド電極に電氣的に接続される第4端を有するキャパシタ素子と、
- 前記半導体基板の前記第2主面側に形成され、第5端および第6端を有するインダクタ素子と、
- を備え、
- 前記インダクタ素子の前記第5端は、前記半導体基板の前記第1主面から前記第2主面まで貫通する第1ビア導体を介して、前記第1入出力電極に電氣的に接続され、
- 前記インダクタ素子の前記第6端は、前記半導体基板の前記第1主面から前記第2主面まで貫通する第2ビア導体を介して、前記第2入出力電極に電氣的に接続されることを特徴とする。
- [0008] この構成では、ダイオード素子、キャパシタ素子およびインダクタ素子が一体形成される。そのため、ディスクリート部品であるチップインダクタ、チップキャパシタおよびチップダイオードを実装基板等に搭載する場合に比べて、回路構成に必要な実装面積を低減できる。また、この構成により、ディスクリート部品を実装基板等に搭載する場合に比べて、インダクタ素子とダイオード素子との間の配線長、およびインダクタ素子とキャパシタ素子との間の配線長を短くできる。そのため、インダクタ素子とダイオード素子と

の間の配線、およびインダクタ素子とキャパシタ素子との間の配線における導体抵抗や寄生インダクタンスを小さくでき、ESD抑制電圧が低く、応答性の高い薄膜ESD保護デバイスを実現できる。

[0009] また、この構成では、半導体基板の第1主面側にダイオード素子およびキャパシタ素子が形成され、半導体基板の第2主面側にインダクタ素子が形成される。そのため、半導体基板の一方主面側にダイオード素子、キャパシタ素子およびインダクタ素子を形成する場合に比べて、薄膜ESD保護デバイスの実装面積（特に平面上の面積）を低減できる。また、この構成により、キャパシタ素子とインダクタ素子とが半導体基板の一方主面側に形成される場合に比べて、キャパシタ素子とインダクタ素子とのアイソレーションを確保しやすくなり、キャパシタ素子を構成するキャパシタ電極に渦電流を流れ難くできる。

[0010] (2) 上記(1)において、前記半導体基板は、高抵抗基板であることが好ましい。この構成により、半導体基板には渦電流が流れ難いため、Q値が高く、渦電流損失の少ないインダクタ素子L1を構成できる。また、この構成では、キャパシタ素子とインダクタ素子との間に高抵抗Si基板が介在しているため、キャパシタ素子とインダクタ素子とのアイソレーションがさらに高まる。そのため、キャパシタ素子を構成するキャパシタ電極に渦電流がさらに流れ難くなり、Q値の高いインダクタ素子を構成できる。

[0011] (3) 上記(1)または(2)において、前記ダイオード素子および前記キャパシタ素子は、前記第1主面または前記第2主面の平面視で、重ならないことが好ましい。仮に、ダイオード素子の上にキャパシタ素子を重ねて配置すると、キャパシタ素子を構成するキャパシタ電極の平坦性が確保し難くなる。そのため、この構成により、キャパシタ電極の凹凸に起因する、容量の変化や短絡の可能性を低くできる。

[0012] (4) 上記(1)から(3)のいずれかにおいて、前記半導体基板、前記第1絶縁層、および前記第2主面に形成される第2絶縁層によって積層体が構成され、前記積層体は、前記第1主面または前記第2主面の平面視で、互い

に対向する第1辺および第2辺を有する矩形状であり、前記第1入出力電極および前記第2入出力電極は、前記第1辺近傍に配置され、前記グランド電極は、前記第2辺近傍に配置されることが好ましい。この構成によれば、第1主面および第2主面に平行な面方向に長い配線を引き回す必要がなく、各素子（インダクタ素子、ダイオード素子およびキャパシタ素子）と電極とを最短距離で接続できる。そのため、各素子と電極との間の配線における導体抵抗や寄生インダクタンスを小さくできる。

[0013] (5) 上記(4)において、前記第2絶縁層は少なくとも一部に磁性体を有し、前記インダクタ素子は、前記磁性体、および前記第2主面側に形成されるコイル導体を含んで構成されることが好ましい。この構成により、磁性体シートの高い透磁率の作用で、少ないターン数でも所定のインダクタンス値を有するインダクタ素子が得られる。

[0014] (6) 上記(5)において、前記コイル導体は前記第2主面に形成され、前記磁性体は、前記第2主面に貼付される磁性体シートであることが好ましい。一般に、半導体基板に微細な導体パターンによりターン数の多いコイル導体を形成しようとする製造工程が多くなってしまうが、この構成では、半導体基板の第2主面に磁性体シートを貼付するだけで、所定のインダクタンス値を有するインダクタ素子を実現できるため、製造工程の工数が削減され、低コスト化できる。

[0015] (7) 上記(5)において、前記インダクタ素子は、前記磁性体、および前記磁性体に形成されるコイル導体を含んで構成され、前記磁性体は、前記第2主面に貼付されるシートであることが好ましい。この構成では、磁性体の磁気シールド効果により、シートの外部に、インダクタ素子からの磁界が放射されることを抑制できる。したがって、キャパシタ素子とインダクタ素子とのアイソレーションがさらに高まる。

[0016] (8) 上記(1)から(7)のいずれかにおいて、前記第1ビア導体または前記第2ビア導体は、外周面に磁性体膜が形成されていることが好ましい。この構成により、薄膜ESD保護デバイスのインダクタンス成分を容易に高

められる。また、半導体基板の第1主面から第2主面まで貫通する孔の内壁に磁性体層を形成するだけであるため、コイル導体を積層する場合等に比べて、製造工程の工数が大幅に増加することなく、容易に所定のインダクタンスが得られる。

[0017] (9) 上記(1)から(8)のいずれかにおいて、前記インダクタ素子と前記キャパシタ素子とで、ローパスフィルタが構成されていてもよい。

発明の効果

[0018] 本発明によれば、電気的特性の変動が抑制され、且つ、必要な実装面積の低減が可能な小型の薄膜ESD保護デバイスを実現できる。

図面の簡単な説明

[0019] [図1]図1(A)は第1の実施形態に係る薄膜ESD保護デバイス101の斜視図であり、図1(B)は薄膜ESD保護デバイス101の正面図である。

[図2]図2(A)は薄膜ESD保護デバイス101の平面図であり、図2(B)は図1(B)におけるA-A断面図である。

[図3]図3(A)は図2(A)におけるB-B断面図であり、図3(B)は図2(A)におけるC-C断面図である。

[図4]図4は、図2(A)におけるD-D断面図である。

[図5]図5は薄膜ESD保護デバイス101の回路図である。

[図6]図6(A)は第2の実施形態に係る薄膜ESD保護デバイス102の斜視図であり、図6(B)は薄膜ESD保護デバイス102の分解斜視図である。

[図7]図7(A)は薄膜ESD保護デバイス102の平面図であり、図7(B)は薄膜ESD保護デバイス102が備える半導体基板21の第2主面の平面図である。

[図8]図8(A)は図7(A)におけるE-E断面図であり、図8(B)は図7(A)におけるF-F断面図である。

[図9]図9(A)は第3の実施形態に係る薄膜ESD保護デバイス103の斜視図であり、図9(B)は薄膜ESD保護デバイス103の分解斜視図であ

る。

[図10]図10(A)は薄膜ESD保護デバイス103の平面図であり、図10(B)は薄膜ESD保護デバイス103が備えるシート32の平面図である。

[図11]図11(A)は図10(A)におけるG-G断面図であり、図11(B)は図10(A)におけるH-H断面図である。

[図12]図12(A)は第4の実施形態に係る薄膜ESD保護デバイス104の斜視図であり、図12(B)は薄膜ESD保護デバイス104の平面図である。

[図13]図13(A)は図12(B)におけるJ-J断面図であり、図13(B)は図12(B)におけるK-K断面図である。

[図14]図14は、薄膜ESD保護デバイス104の回路図である。

発明を実施するための形態

[0020] 以降、図を参照して幾つかの具体的な例を挙げて、本発明を実施するための複数の形態を示す。各図中には同一箇所には同一符号を付している。要点の説明または理解の容易性を考慮して、便宜上実施形態を分けて示すが、異なる実施形態で示した構成の部分的な置換または組み合わせが可能である。第2の実施形態以降では第1の実施形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

[0021] 《第1の実施形態》

図1(A)は第1の実施形態に係る薄膜ESD保護デバイス101の斜視図であり、図1(B)は薄膜ESD保護デバイス101の正面図である。図2(A)は薄膜ESD保護デバイス101の平面図であり、図2(B)は図1(B)におけるA-A断面図である。図3(A)は図2(A)におけるB-B断面図であり、図3(B)は図2(A)におけるC-C断面図である。図4は、図2(A)におけるD-D断面図である。

[0022] 薄膜ESD保護デバイス101は、半導体基板21、第1絶縁層TL1、

第2絶縁層TL2、第1入出力電極P1、第2入出力電極P2、グランド電極GP1、GP2、ダイオード素子D1、キャパシタ素子C1およびインダクタ素子L1等を備える。

[0023] 半導体基板21は、互いに対向する第1主面PS1および第2主面PS2を有し、長手方向がY軸方向に一致する直方体の半導体基板である。半導体基板21は、第1主面PS1から第2主面PS2まで貫通する第1ビア導体TSV1および第2ビア導体TSV2を有する。半導体基板21は例えば高抵抗Si基板である。第1ビア導体TSV1および第2ビア導体TSV2は、いずれも例えばSi貫通電極(Through-Silicon Via: TSV)である。

[0024] なお、本発明における「高抵抗」とは、平均の電気抵抗率が $1.0 [\Omega \cdot \text{cm}]$ 以上のものを言う。

[0025] また、図3(A)および図3(B)等に示すように、半導体基板21の第1主面PS1側には、第1キャパシタ電極C11、第2キャパシタ電極C12、薄膜誘電体層12、p型半導体層41、42、ダイオード電極61、62、および層間接続導体V11、V12、V13、V14、V15、V16等が形成されている。また、半導体基板21の第2主面PS2側には、コイル導体L11、L12および層間接続導体V31、V32が形成されている。第1キャパシタ電極C11、第2キャパシタ電極C12、ダイオード電極61、62は、例えばAl膜である。薄膜誘電体層12は例えばSiO₂膜である。コイル導体L11、L12は例えばCu等の導体パターンである。

[0026] 第1絶縁層TL1は、半導体基板21の第1主面PS1に薄膜プロセスによって形成される絶縁体層である。第1絶縁層TL1は、半導体基板21の第1主面PS1に形成される絶縁層11と、絶縁層11の表面に形成される保護層1とで構成される。絶縁層11は例えばSiO₂膜であり、保護層1は、例えばポリイミド(PI)樹脂、エポキシ(EP)樹脂、またはポリベンゾオキサゾール(PBO)樹脂等である。

[0027] 第2絶縁層TL2は、半導体基板21の第2主面PS2側に薄膜プロセス

によって形成される絶縁体層である。第2絶縁層TL2は例えばポリイミド（PI）樹脂、エポキシ（EP）樹脂、またはポリベンゾオキサゾール（PBO）樹脂等である。コイル導体L11、L12は、例えばCu等の導体パターンである。

[0028] 本実施形態では、これら半導体基板21、第1絶縁層TL1および第2絶縁層TL2によって、積層体10Aが構成される。積層体10Aは、第1面S1および第2面を有する略直方体である。また、積層体10Aは、第1主面PS1および第2主面PS2の平面視で（Z軸方向から視て）、互いに対向する第1辺および第2辺（例えば、図2（A）における積層体10Aの左辺および右辺）を有する矩形状である。

[0029] 第1入出力電極P1、第2入出力電極P2およびグランド電極GP1、GP2は、実装基板等を実装するためのLGA（Land Grid Array）形端子であり、第1絶縁層TL1の表面（積層体10Aの第1面S1）に矩形の島状に形成されている。第1入出力電極P1、第2入出力電極P2およびグランド電極GP1、GP2は、例えば絶縁層11の表面に形成されたCuの導体パターンにNi-Au等のめっき膜を形成した導体である。

[0030] 本実施形態では、第1入出力電極P1および第2入出力電極P2が、第1辺（図2（A）における積層体10Aの左辺）近傍に配置されていて、グランド電極GP1、GP2が、第2辺（図2（A）における積層体10Aの右辺）近傍に配置されている。

[0031] ダイオード素子D1は、半導体基板21の第1主面PS1側に形成され、n型半導体層51、p型半導体層41、42およびダイオード電極61、62を含んで構成される。具体的には、図3（A）に示すように、半導体基板21の第1主面PS1側には、所定の深さのn型半導体層51（n型ウェル）が形成されている。n型半導体層51の一部は半導体基板21の第1主面PS1から露出しており、n型半導体層51の表面（第1主面PS1上）には、2つのp型半導体層41、42が離間して配置されている。p型半導体層41、42は、例えば気相成長法（CVD）により形成される。また、こ

れら2つのp型半導体層41, 42の表面には、ダイオード電極61, 62が形成されている。このように、ダイオード素子D1は、2つのpn接合ダイオードのカソードが互いに接続された構成であり、ツェナー特性を有する。そのため、ダイオード素子D1はESD保護素子として機能する。

[0032] ダイオード電極61（本発明における「ダイオード素子の第1端」に相当する。）は、層間接続導体V13を介して第1入出力電極P1に電氣的に接続され、ダイオード電極62（本発明における「ダイオード素子の第2端」に相当する。）は、層間接続導体V14を介してグランド電極GP1に電氣的に接続される。

[0033] なお、本発明における「電氣的に接続する」とは、直接的または間接的に接続されて導通することを言う。

[0034] キャパシタ素子C1は、半導体基板21の第1主面PS1側に形成され、第1キャパシタ電極C11、第2キャパシタ電極C12および薄膜誘電体層12を含んで構成される。図3（B）に示すように、半導体基板21の第1主面PS1上に、第2キャパシタ電極C12、薄膜誘電体層12および第1キャパシタ電極C11の順に積層されている。

[0035] 第1キャパシタ電極C11（本発明における「キャパシタ素子の第3端」に相当する。）は、層間接続導体V15を介して第2入出力電極P2に電氣的に接続される。第2キャパシタ電極C12（本発明における「キャパシタ素子の第4端」に相当する。）は、層間接続導体V16を介してグランド電極GP2に電氣的に接続される。

[0036] インダクタ素子L1は、図4等に示すように、半導体基板21の第2主面PS2側に形成され、コイル導体L11, L12および層間接続導体V31を含んで構成される。インダクタ素子L1は、Z軸方向に巻回軸を有するコイルである。図2（B）に示すように、コイル導体L11は、半導体基板21の第2主面PS2に形成される約3.5ターンの矩形スパイラル状の導体である。コイル導体L12は、第2絶縁層TL2の内部に形成される約3.5ターンの矩形スパイラル状の導体である。コイル導体L11の一端は、層

間接続導体V 3 1を介して、コイル導体L 1 2の一端に接続されている。

[0037] 図3 (A) 等に応示するように、コイル導体L 1 1の他端（本発明における「インダクタ素子の第5端」に相当する。）は、第1ビア導体TSV 1および層間接続導体V 1 1を介して、第1入出力電極P 1に電氣的に接続される。

図3 (B) 等に応示するように、コイル導体L 1 2の他端（本発明における「インダクタ素子の第6端」に相当する。）は、第2ビア導体TSV 2および層間接続導体V 1 2, V 3 2を介して、第2入出力電極P 2に電氣的に接続される。

[0038] 本実施形態では、図2 (A) 等に応示するように、ダイオード素子D 1およびキャパシタ素子C 1が、Z軸方向から視て、重ならない。

[0039] 図5は薄膜ESD保護デバイス101の回路図である。

[0040] 薄膜ESD保護デバイス101は、第1入出力電極P 1と第2入出力電極P 2との間にインダクタ素子L 1が接続され、第1入出力電極P 1とグランド電極GP 1との間にダイオード素子D 1が接続され、第2入出力電極P 2とグランド電極GP 2との間にはキャパシタ素子C 1が接続された回路である。

[0041] ダイオード素子D 1の第1端E 1は、第1入出力電極P 1に電氣的に接続され、ダイオード素子D 1の第2端E 2は、グランド電極GP 1に電氣的に接続されている。キャパシタ素子C 1の第3端E 3は、第2入出力電極P 2に電氣的に接続され、キャパシタ素子C 1の第4端E 4は、グランド電極GP 2に電氣的に接続されている。インダクタ素子L 1の第5端E 5は、第1入出力電極P 1およびダイオード素子D 1の第1端E 1に電氣的に接続され、インダクタ素子L 1の第6端E 6は、第2入出力電極P 2およびキャパシタ素子C 1の第3端E 3に電氣的に接続されている。

[0042] このように、薄膜ESD保護デバイス101では、ダイオード素子D 1、インダクタ素子L 1およびキャパシタ素子C 1により、ESD保護機能付きローパスフィルタが構成される。

[0043] 薄膜ESD保護デバイス101によれば、次のような効果を奏する。

- [0044] (a) 薄膜ESD保護デバイス101では、ダイオード素子D1、キャパシタ素子C1およびインダクタ素子L1が一体形成される。そのため、ディスクリート部品であるチップインダクタ、チップキャパシタおよびチップダイオードを実装基板等に搭載する場合に比べて、回路構成に必要な実装面積を低減できる。また、この構成により、ディスクリート部品を実装基板等に搭載する場合に比べて、インダクタ素子とダイオード素子との間の配線長、およびインダクタ素子とキャパシタ素子との間の配線長を短くできる。そのため、インダクタ素子とダイオード素子との間の配線、およびインダクタ素子とキャパシタ素子との間の配線における導体抵抗や寄生インダクタンスを小さくでき、ESD抑制電圧が低く、応答性の高い薄膜ESD保護デバイスを実現できる。
- [0045] (b) また、薄膜ESD保護デバイス101では、半導体基板21の第1主面PS1側にダイオード素子D1およびキャパシタ素子C1が形成され、半導体基板21の第2主面PS2側にインダクタ素子L1が形成される。そのため、半導体基板21の一方主面側にダイオード素子D1、キャパシタ素子C1およびインダクタ素子L1が形成される場合に比べて、薄膜ESD保護デバイスの実装面積（特に平面上の面積）を低減できる。また、この構成により、半導体基板21の一方主面側にキャパシタ素子C1およびインダクタ素子L1を形成する場合に比べて、キャパシタ素子C1とインダクタ素子L1とのアイソレーションを確保しやすくなり、キャパシタ素子C1を構成するキャパシタ電極に渦電流を流れ難くできる。
- [0046] (d) 薄膜ESD保護デバイス101では、ダイオード素子D1が半導体基板21の第1主面PS1側に形成されている。この構成により、ダイオード素子D1を第2絶縁層TL2に形成する場合に比べて、ダイオード素子D1とグランド電極GP1との間の配線長を短くでき、ダイオード素子D1とグランド電極GP1との間の配線における導体抵抗や寄生インダクタンスを小さくできる。そのため、ESD抑制電圧が低く、応答性の高い薄膜ESD保護デバイスを実現できる。

- [0047] (e) また、薄膜ESD保護デバイス101では、キャパシタ素子C1が半導体基板21の第1主面PS1側に形成されている。この構成により、キャパシタ素子C1を第2絶縁層TL2に形成する場合に比べて、キャパシタ素子C1とグランド電極GP2との間の配線長を短くでき、キャパシタ素子C1とグランド電極GP2との間の配線における導体抵抗や寄生インダクタンスを小さくできる。そのため、挿入損失の低いローパスフィルタを得ることができる。
- [0048] (f) さらに、薄膜ESD保護デバイス101のように、ダイオード素子D1およびキャパシタ素子C1は、Z軸方向から視て、重ならないことが好ましい。仮に、ダイオード素子D1の上にキャパシタ素子C1を重ねて配置すると、キャパシタ素子C1を構成するキャパシタ電極の平坦性が確保し難くなる。そのため、この構成により、キャパシタ電極の凹凸に起因する、容量の変化や短絡の可能性を低くできる。
- [0049] (g) また、本実施形態では、半導体基板21が高抵抗Si基板であるため、半導体基板21には渦電流が流れ難い。そのため、Q値が高く、渦電流損失の少ないインダクタ素子L1を構成できる。また、薄膜ESD保護デバイス101では、キャパシタ素子C1とインダクタ素子L1との間に高抵抗Si基板が介在しているため、キャパシタ素子C1とインダクタ素子L1とのアイソレーションがさらに高まる。したがって、この構成により、キャパシタ素子C1を構成するキャパシタ電極に渦電流がさらに流れ難くなり、Q値の高いインダクタ素子L1を構成できる。
- [0050] (h) 本実施形態では、積層体10Aが、Z軸方向から視て、互いに対向する第1辺および第2辺を有する矩形状であり、第1入出力電極P1および第2入出力電極P2が第1辺近傍に配置され、グランド電極GP1、GP2が第2辺近傍に配置されている。この構成によれば、第1主面PS1および第2主面PS2に平行な面方向（例えば、X軸方向またはY軸方向）に長い配線を引き回す必要がなく、各素子（インダクタ素子L1、ダイオード素子D1およびキャパシタ素子C1）と電極とを最短距離で接続できる。そのため

、各素子と電極との間の配線における導体抵抗や寄生インダクタンスを小さくできる。

[0051] なお、本実施形態に係る薄膜ESD保護デバイス101は、例えば次の工程で製造される。

[0052] (1) まず、互いに対向する第1主面PS1および第2主面PS2を有する半導体基板21を用意する。半導体基板21は例えば高抵抗Si基板である。

[0053] また、半導体基板21に、第1主面PS1から第2主面PS2まで貫通する第1ビア導体TSV1および第2ビア導体TSV2を形成する。具体的には、ボッシュプロセスによって、半導体基板21の第1主面PS1から第2主面PS2まで貫通する孔を形成した後、イオン化スパッタリング法等によりTiN下地膜を形成する。その後、めっき法等によりその孔の内部にCu等の導体を形成する。第1ビア導体TSV1および第2ビア導体TSV2は、いずれも例えばSi貫通電極(Through-Silicon Via: TSV)である。

[0054] (2) 次に、半導体基板21の第1主面PS1側にダイオード素子D1を形成する。具体的には、まず、半導体基板21の第1主面PS1側に所定の開口を有する絶縁膜(不図示)を形成し、この開口にn型不純物をドーピングしてn型半導体層51(n型ウェル)を形成する。次に、気相成長法(CVD)によって、n型半導体層51の表面(第1主面PS1)にp型半導体層41, 42をパターンニング(成膜)する。その後、p型半導体層41, 42の表面にダイオード電極61, 62を形成する。ダイオード電極61, 62は、例えばAl膜である。

[0055] このようにして、n型半導体層51、p型半導体層41, 42およびダイオード電極61, 62を含んで構成されるダイオード素子D1を、半導体基板21の第1主面PS1側に形成する。

[0056] (3) また、半導体基板21の第1主面PS1(n型半導体層51が形成されていない部分)に、キャパシタ素子C1を形成する。具体的には、まず、

第2キャパシタ電極C12を形成する。その後、第2キャパシタ電極C12の表面に薄膜誘電体層12を形成する。次に、薄膜誘電体層12の表面に第1キャパシタ電極C11を形成する。第1キャパシタ電極C11および第2キャパシタ電極C12は、例えばAl膜である。薄膜誘電体層12は、例えば気相成長法(CVD)によって形成されたSiO₂膜である。

[0057] このようにして、半導体基板21の第1主面PS1に、第1キャパシタ電極C11、第2キャパシタ電極C12および薄膜誘電体層12を含んで構成されるキャパシタ素子C1を形成する。

[0058] なお、ダイオード電極61、62および第1キャパシタ電極C11は、同工程で同時に形成してもよい。

[0059] (4) 次に、半導体基板21の第1主面PS1に絶縁層11を形成する。具体的には、半導体基板21の第1主面PS1に、気相成長法(CVD)によって、少なくともp型半導体層41、42、ダイオード電極61、62、第1キャパシタ電極C11、第2キャパシタ電極C12および薄膜誘電体層12が埋設する高さまで、絶縁層11を形成する。絶縁層11は例えばSiO₂膜である。

[0060] (5) 次に、絶縁層11に層間接続導体V11、V12、V13、V14、V15、V16を形成する。具体的には、絶縁層11の層間接続導体の位置に、エッチングにより孔を形成した後、イオン化スパッタリング法等によって、層間接続導体V11、V12、V13、V14、V15、V16を形成する。

[0061] (6) 次に、絶縁層11の表面に、第1入出力電極P1、第2入出力電極P2およびグランド電極GP1、GP2を形成する。第1入出力電極P1、第2入出力電極P2およびグランド電極GP1、GP2は、例えば絶縁層11の表面に形成されたCuの導体パターンにNi-Au等のめっき膜を形成した導体である。

[0062] (7) 次に、絶縁層11の表面に、保護層1を形成する。保護層1には、第1入出力電極P1、第2入出力電極P2およびグランド電極GP1、GP2

に応じた位置に開口が形成される。そのため、絶縁層 11 の表面に保護層 1 が形成されても、第 1 入出力電極 P 1、第 2 入出力電極 P 2 およびグランド電極 G P 1、G P 2 は、保護層 1 の表面から露出する。保護層 1 は、例えばポリイミド (P I) 樹脂、エポキシ (E P) 樹脂、またはポリベンゾオキサゾール (P B O) 樹脂等である。

[0063] (8) また、半導体基板 21 の第 2 主面 P S 2 に、第 2 絶縁層 T L 2 およびインダクタ素子 L 1 を形成する。具体的には、半導体基板 21 の第 2 主面 P S 2 にコイル導体 L 11 を形成する。次に、半導体基板 21 の第 2 主面 P S 2 に、コイル導体 L 11 が埋設される高さまで樹脂を塗布し、硬化した後、電氣的接続を行うための層間接続導体 V 31 を形成してから樹脂の表面にコイル導体 L 12 を形成する。その後、コイル導体 L 12 が埋設される高さまで樹脂を塗布して硬化させる。このようにして、コイル導体 L 11、L 12 を含んで構成されるインダクタ素子 L 1 が形成される。なお、層間接続導体 V 31 は、レーザーによって硬化した樹脂に孔を形成してもよく、感光性の樹脂を用いて硬化前に孔を形成してもよい。

[0064] (9) 最後にダイシングを行い、ウェハーから個々の薄膜 E S D 保護デバイス 101 単位 (個片) に分離する。

[0065] 《第 2 の実施形態》

第 2 の実施形態では、第 2 絶縁層に磁性体を有する例を示す。

[0066] 図 6 (A) は第 2 の実施形態に係る薄膜 E S D 保護デバイス 102 の斜視図であり、図 6 (B) は薄膜 E S D 保護デバイス 102 の分解斜視図である。図 7 (A) は薄膜 E S D 保護デバイス 102 の平面図であり、図 7 (B) は薄膜 E S D 保護デバイス 102 が備える半導体基板 21 の第 2 主面の平面図である。図 8 (A) は図 7 (A) における E - E 断面図であり、図 8 (B) は図 7 (A) における F - F 断面図である。なお、図 7 (B) では、構造を分かりやすくするため、磁性体シート 31 の図示を省略している。

[0067] 薄膜 E S D 保護デバイス 102 は、第 2 絶縁層 T L 2 の構造が、第 1 の実施形態に係る薄膜 E S D 保護デバイス 101 と異なる。また、薄膜 E S D 保

護デバイス 102 は、インダクタ素子 L2 の構造が薄膜 ESD 保護デバイス 101 と異なる。その他の構成については、薄膜 ESD 保護デバイス 101 と実質的に同じである。

[0068] 以下、第 1 の実施形態に係る薄膜 ESD 保護デバイス 101 と異なる部分について説明する。

[0069] 本実施形態に係る第 2 絶縁層 TL2 は、半導体基板 21 の第 2 主面 PS2 側に貼付される磁性体シート 31 である。磁性体シート 31 は、例えばフェライト粉等の磁性体粉がエポキシ樹脂等の樹脂中に分散された樹脂シートである。

[0070] 本実施形態では、この磁性体シート 31 が本発明における「磁性体」に相当する。

[0071] インダクタ素子 L2 は、半導体基板 21 の第 2 主面 PS2 側に形成される。具体的には、インダクタ素子 L2 は、コイル導体 L10 および磁性体シート 31 で構成される。コイル導体 L10 は、半導体基板 21 の第 2 主面 PS2 に形成されるミアンダ形状の導体である。

[0072] 図 8 (A) 等 に示すように、コイル導体 L10 の他端（本発明における「インダクタ素子の第 5 端」に相当する。）は、第 1 ビア導体 TSV1 および層間接続導体 V11 を介して、第 1 入出力電極 P1 に電氣的に接続される。図 8 (B) 等 に示すように、コイル導体 L12 の他端（本発明における「インダクタ素子の第 6 端」に相当する。）は、第 2 ビア導体 TSV2 および層間接続導体 V12 を介して、第 2 入出力電極 P2 に電氣的に接続される。

[0073] 本実施形態に係る薄膜 ESD 保護デバイス 102 によれば、第 1 の実施形態で述べた効果以外に、次のような効果を奏する。

[0074] (a) 薄膜 ESD 保護デバイス 102 は、第 2 絶縁層 TL2 に磁性体（磁性体シート 31）を有する。この構成により、磁性体シート 31 の高い透磁率の作用で、少ないターン数でも所定のインダクタンス値を有するインダクタ素子が得られる。

[0075] なお、本実施形態に係る薄膜 ESD 保護デバイス 102 では、磁性体とキ

ャパシタ素子C 1とのアイソレーションを十分に確保されている。仮に、磁性体がキャパシタ素子C 1の近傍に配置されている場合、キャパシタ素子C 1周辺の配線（例えば、図5における第4端E 4とグランド電極G P 2との間の配線、第3端E 3と第2入出力電極P 2との間の配線、または第3端E 3と第6端E 6との間の配線）における寄生インダクタンスが大きくなり、所定のフィルタ特性が得られない虞がある。しかし、薄膜ESD保護デバイス102では、磁性体とキャパシタ素子C 1とのアイソレーションが十分に確保されているため、挿入損失の低いローパスフィルタを得ることができる。

[0076] (b) また、一般に、半導体基板21に微細な導体パターンによりターン数の多いコイル導体を形成しようとする製造工程（積層工程など）が多くなってしまうが、この構成では、半導体基板21の第2主面に磁性体シート31を貼付するだけで、所定のインダクタンス値を有するインダクタ素子を実現できるため、製造工程の工数が削減され、低コスト化できる。

[0077] なお、本実施形態では、第2絶縁層TL2が、半導体基板21の第2主面PS2に貼付される磁性体シートである例を示したが、この構成に限定されるものではない。第2絶縁層TL2は、フェライト粉等の磁性体粉をエポキシ樹脂等に分散した樹脂を、コイル導体L10が形成された半導体基板21の第2主面PS2に塗布して形成してもよい。

[0078] また、本実施形態では、磁性体シート31を有する薄膜ESD保護デバイスの例を示したが、本発明における「磁性体」はこれに限定されるものではない。「磁性体」は、例えば磁性体フェライト焼結体等のチップであってもよい。

[0079] また、インダクタ素子は、半導体基板21の第2主面PS2に積層した複数のコイル導体を含んで構成されていてもよい。但し、薄化した半導体基板21はハンドリング等が難しく、フォトリソグラフィやめっき工程等を繰り返すことにより、半導体基板21が破損する虞がある。そのため、製造工程の工数の削減や量産性の点から、本実施形態のように、磁性体シートを貼付

することが好ましい。

[0080] 《第3の実施形態》

第3の実施形態では、第2絶縁層の構造が、第2の実施形態とは異なる例を示す。

[0081] 図9（A）は第3の実施形態に係る薄膜ESD保護デバイス103の斜視図であり、図9（B）は薄膜ESD保護デバイス103の分解斜視図である。図10（A）は薄膜ESD保護デバイス103の平面図であり、図10（B）は薄膜ESD保護デバイス103が備えるシート32の平面図である。図11（A）は図10（A）におけるG-G断面図であり、図11（B）は図10（A）におけるH-H断面図である。

[0082] 薄膜ESD保護デバイス103は、第2絶縁層TL2の構造が、第2の実施形態に係る薄膜ESD保護デバイス102と異なる。また、薄膜ESD保護デバイス103は、インダクタ素子L3の構造が薄膜ESD保護デバイス102と異なる。その他の構成については、薄膜ESD保護デバイス102と実質的に同じである。

[0083] 以下、第2の実施形態に係る薄膜ESD保護デバイス102と異なる部分について説明する。

[0084] 本実施形態に係る第2絶縁層TL2は、半導体基板21の第2主面PS2側に貼付されるシート32である。シート32の内部には、コイル導体L10および層間接続導体V32、33が形成されている。図10（B）に示すように、層間接続導体V32、V33の一端は、シート32の表面から露出している。シート32は、例えばフェライト粉等の磁性体粉がエポキシ樹脂等の樹脂中に分散された樹脂シートである。

[0085] 本実施形態では、このシート32が本発明における「磁性体」に相当する。

[0086] 図11（A）および図11（B）に示すように、半導体基板21の第2主面PS2にシート32が貼付されることにより、層間接続導体V33が、半導体基板21の第2主面PS2から露出する第1ビア導体TSV1に電氣的

に接続される。また、層間接続導体V 3 2が、半導体基板2 1の第2主面P S 2から露出する第2ビア導体T S V 2に電氣的に接続される。層間接続導体V 3 2、V 3 3とビア導体（第1ビア導体T S V 1および第2ビア導体T S V 2）とは、例えばはんだ等の導電性接合材で接合される。また、例えばAu-Snによる超音波接合で接合されていてもよい。

[0087] インダクタ素子L 3は、第2絶縁層T L 2に形成され、コイル導体L 1 0とシート3 2とで構成される。コイル導体L 1 0は、シート3 2（第2絶縁層T L 2）の内部に形成されるミアンダ形状の導体である。

[0088] 図1 1（A）等に示すように、コイル導体L 1 0の他端（本発明における「インダクタ素子の第5端」に相当する。）は、第1ビア導体T S V 1および層間接続導体V 1 1、V 3 3を介して、第1入出力電極P 1に電氣的に接続される。図1 1（B）等に示すように、コイル導体L 1 0の他端（本発明における「インダクタ素子の第6端」に相当する。）は、第2ビア導体T S V 2および層間接続導体V 1 2、V 3 2を介して、第2入出力電極P 2に電氣的に接続される。

[0089] 本実施形態に係る薄膜E S D保護デバイス1 0 3によれば、第2の実施形態で述べた効果以外に、次のような効果を奏する。

[0090] （a）本実施形態では、インダクタ素子L 3が、シート3 2（磁性体）と、シート3 2に形成されるコイル導体L 1 0とで構成される。そのため、磁性体の磁気シールド効果により、インダクタ素子L 3からの磁界がシート3 2の外部に放射されることを抑制できる。したがって、キャパシタ素子C 1とインダクタ素子L 3とのアイソレーションがさらに高まる。なお、本実施形態のように、コイル導体L 1 0がシート3 2の内部に形成されることにより、インダクタ素子L 3からの磁界がシート3 2の外部に放射されることをさらに抑制できる。

[0091] 《第4の実施形態》

第4の実施形態では、第1ビア導体および第2ビア導体の構造が、以上に示した各実施形態とは異なる例を示す。

[0092] 図12(A)は第4の実施形態に係る薄膜ESD保護デバイス104の斜視図であり、図12(B)は薄膜ESD保護デバイス104の平面図である。図13(A)は図12(B)におけるJ-J断面図であり、図13(B)は図12(B)におけるK-K断面図である。

[0093] 薄膜ESD保護デバイス104は、磁性体膜MF1、MF2を有する点で、第1の実施形態に係る薄膜ESD保護デバイス101と異なる。その他の構成については、薄膜ESD保護デバイス101と同じである。

[0094] 以下、第1の実施形態に係る薄膜ESD保護デバイス101と異なる部分について説明する。

[0095] 本実施形態では、図12(B)、図13(A)および図13(B)に示すように、第1ビア導体TSV1の外周面に、円筒状（またはストロー状）の磁性体膜MF1が形成されている。また、第2ビア導体TSV2の外周面には、円筒状（またはストロー状）の磁性体膜MF2が形成されている。磁性体膜MF1、MF2は、ボッシュプロセスによって、半導体基板21の第1主面PS1から第2主面PS2まで貫通する孔を形成した後に、その孔の内壁に形成される磁性体層である。

[0096] この磁性体膜MF1を形成することにより、第1ビア導体TSV1の寄生インダクタンスは大きくなる。また、この磁性体膜MF2を形成することにより、第2ビア導体TSV2の寄生インダクタンスは大きくなる。

[0097] 図14は、薄膜ESD保護デバイス104の回路図である。図14では、第1ビア導体TSV1の寄生インダクタンスをインダクタLTV1で表しており、第2ビア導体TSV2の寄生インダクタンスをインダクタLTV2で表している。

[0098] 図14に示すように、薄膜ESD保護デバイス104では、第1入出力電極P1と第2入出力電極P2との間にインダクタLTV1、インダクタ素子L1およびインダクタLTV2が直列に接続される。したがって、この構成により、容易に所定のインダクタンスが得られる。

[0099] また、半導体基板21の第1主面PS1から第2主面PS2まで貫通する

孔の内壁に磁性体層を形成するだけであるため、コイル導体を積層する場合等に比べて、製造工程の工数が大幅に増加することなく、薄膜ESD保護デバイスのインダクタンス成分を容易に高められる。

[0100] 《その他の実施形態》

以上に示した各実施形態では、積層体の平面形状が矩形の直方体である例を示したが、この構成に限定されるものではない。積層体の形状は、本発明の作用・効果を奏する範囲において適宜変更可能である。積層体の平面形状は、例えば多角形、円形、楕円形、L字形、クランク形、T字形、Y字形等であってもよい。また、半導体基板の形状も、積層体と同様に、本発明の作用・効果を奏する範囲において適宜変更可能である。

[0101] 以上に示した各実施形態では、Z軸方向に巻回軸を有するインダクタ素子、またはミアンダ形状のインダクタ素子の例を示したが、この構成に限定されるものではない。インダクタ素子の形状、巻回数は本発明の作用・効果を奏する範囲において適宜変更可能である。インダクタ素子は例えば平面スパイラル状、平面ループ状、ヘリカル状であってもよい。また、インダクタ素子の巻回軸についても、本発明の作用・効果を奏する範囲において適宜変更可能であり、例えばX軸方向またはY軸方向に沿っていてもよい。

[0102] なお、以上に示した各実施形態では、半導体基板21の第1主面PS1側にn型不純物をドーピングして形成するn型半導体層51の例を示したが、この構成に限定するものではない。n型半導体層51は、p型半導体層41と同様に、例えば半導体基板21の第1主面PS1をパターニング（成膜）してもよい。さらに、以上に示した各実施形態では、2つのpn接合ダイオードのカソードが互いに接続された構成のダイオード素子D1を示したが、ダイオード素子はこれに限定されるものではない。本発明のダイオード素子は、1つのpn接合ダイオードであってもよく、2つのpn接合ダイオードのアノードが互いに接続された構成であってもよい。

[0103] また、以上に示した各実施形態では、ローパスフィルタが構成された薄膜ESD保護デバイスの例を示したが、この構成に限定されるものではない。

薄膜ESD保護デバイスに構成される回路は、本発明の作用・効果を奏する範囲において適宜変更可能である。

[0104] 以上に示した各実施形態では、第1入出力電極P1、第2入出力電極P2およびグランド電極GP1、GP2が矩形の導体である例について示したが、この構成に限定されるものではない。第1入出力電極P1、第2入出力電極P2およびグランド電極GP1、GP2の形状は適宜変更可能である。また、第1入出力電極P1、第2入出力電極P2およびグランド電極GP1、GP2の配置・個数についても、薄膜ESD保護デバイスの回路構成によって適宜変更可能である。グランド電極の数は、例えば1つであってもよく、3つ以上であってもよい。

[0105] 最後に、上述の実施形態の説明は、すべての点で例示であって、制限的なものではない。当業者にとって変形および変更が適宜可能である。本発明の範囲は、上述の実施形態ではなく、特許請求の範囲によって示される。さらに、本発明の範囲には、特許請求の範囲内と均等の範囲内での実施形態からの変更が含まれる。

符号の説明

[0106] C1…キャパシタ素子
D1…ダイオード素子
L1, L2, L3…インダクタ素子
C11…第1キャパシタ電極
C12…第2キャパシタ電極
E1…ダイオード素子の第1端
E2…ダイオード素子の第2端
E3…キャパシタ素子の第3端
E4…キャパシタ素子の第4端
E5…インダクタ素子の第5端
E6…インダクタ素子の第6端
GP1, GP2…グランド電極

L 1 0, L 1 1, L 1 2 …コイル導体

L T V 1 …インダクタ

L T V 2 …インダクタ

M F 1, M F 2 …磁性体膜

P 1 …第 1 入出力電極

P 2 …第 2 入出力電極

G P 1, G P 2 …グラウンド電極

P S 1 …半導体基板の第 1 主面

P S 2 …半導体基板の第 2 主面

S 1 …積層体の第 1 面

S 2 …積層体の第 2 面

T L 1 …第 1 絶縁層

T L 2 …第 2 絶縁層

T S V 1 …第 1 ビア導体

T S V 2 …第 2 ビア導体

V 1 1, V 1 2, V 1 3, V 1 4, V 1 5, V 1 6, V 3 1, V 3 2, V 3

3 …層間接続導体

1 …保護層

1 0 A …積層体

1 1 …絶縁樹脂層

1 2 …薄膜誘電体層

2 1 …半導体基板

3 1 …磁性体シート

3 2 …シート

4 1, 4 2 …p 型半導体層

5 1 …n 型半導体層

6 1, 6 2 …ダイオード電極

1 0 1, 1 0 2, 1 0 3, 1 0 4 …薄膜 E S D 保護デバイス

請求の範囲

- [請求項1] 互いに対向する第1主面および第2主面を有する半導体基板と、
前記第1主面に形成される第1絶縁層と、
前記第1絶縁層の表面に形成される第1入出力電極、第2入出力電極およびグランド電極と、
前記半導体基板の前記第1主面側に形成され、前記第1入出力電極に電氣的に接続される第1端、および前記グランド電極に電氣的に接続される第2端を有するダイオード素子と、
前記半導体基板の前記第1主面側に形成され、前記第2入出力電極に電氣的に接続される第3端、および前記グランド電極に電氣的に接続される第4端を有するキャパシタ素子と、
前記半導体基板の前記第2主面側に形成され、第5端および第6端を有するインダクタ素子と、
を備え、
前記インダクタ素子の前記第5端は、前記半導体基板の前記第1主面から前記第2主面まで貫通する第1ビア導体を介して、前記第1入出力電極に電氣的に接続され、
前記インダクタ素子の前記第6端は、前記半導体基板の前記第1主面から前記第2主面まで貫通する第2ビア導体を介して、前記第2入出力電極に電氣的に接続される、
薄膜ESD保護デバイス。
- [請求項2] 前記半導体基板は、高抵抗基板である、請求項1に記載の薄膜ESD保護デバイス。
- [請求項3] 前記ダイオード素子および前記キャパシタ素子は、前記第1主面または前記第2主面の平面視で、重ならない、請求項1または2に記載の薄膜ESD保護デバイス。
- [請求項4] 前記半導体基板、前記第1絶縁層、および前記第2主面に形成される第2絶縁層によって積層体が構成され、

前記積層体は、前記第 1 主面または前記第 2 主面の平面視で、互いに対向する第 1 辺および第 2 辺を有する矩形状であり、

前記第 1 入出力電極および前記第 2 入出力電極は、前記第 1 辺近傍に配置され、

前記グランド電極は、前記第 2 辺近傍に配置される、請求項 1 から 3 のいずれかに記載の薄膜 E S D 保護デバイス。

[請求項5] 前記第 2 絶縁層は少なくとも一部に磁性体を有し、

前記インダクタ素子は、前記磁性体、および前記第 2 主面側に形成されるコイル導体を含んで構成される、請求項 4 に記載の薄膜 E S D 保護デバイス。

[請求項6] 前記コイル導体は前記第 2 主面に形成され、

前記磁性体は、前記第 2 主面に貼付される磁性体シートである、請求項 5 に記載の薄膜 E S D 保護デバイス。

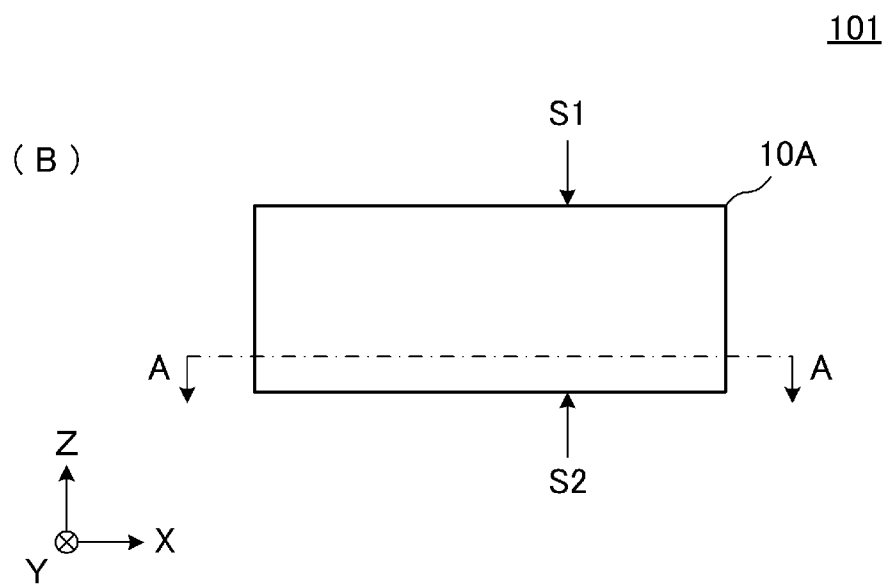
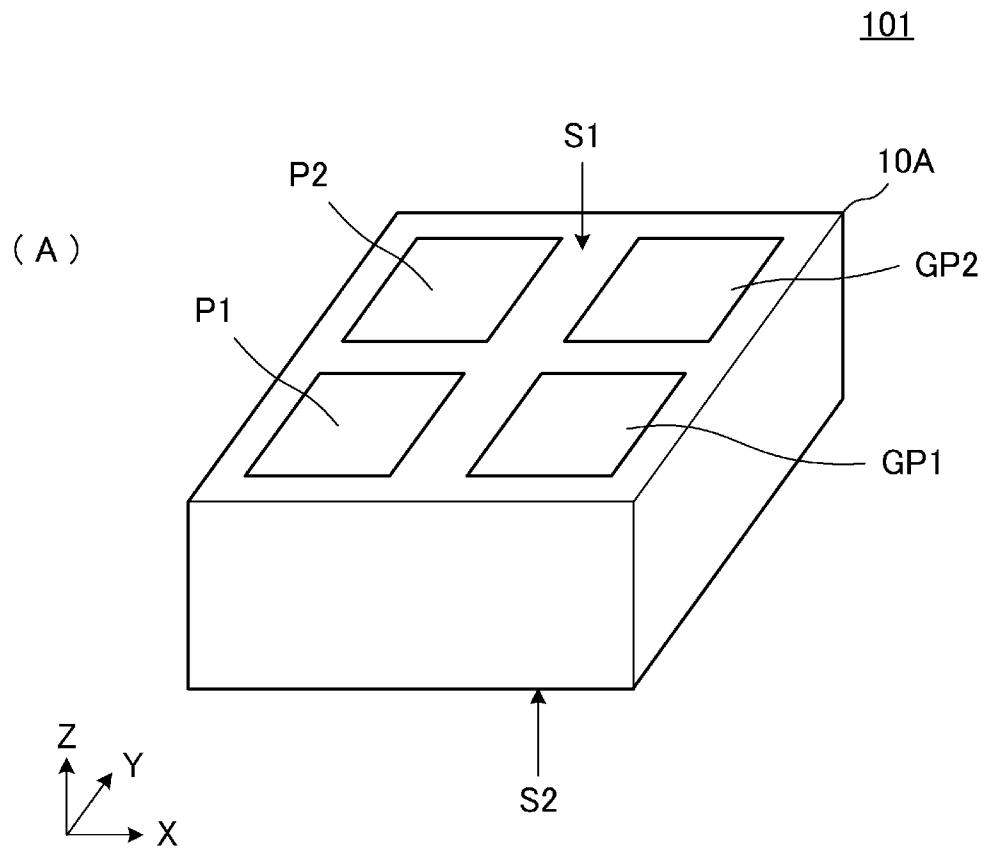
[請求項7] 前記インダクタ素子は、前記磁性体、および前記磁性体に形成されるコイル導体を含んで構成され、

前記磁性体は、前記第 2 主面に貼付されるシートである、請求項 5 に記載の薄膜 E S D 保護デバイス。

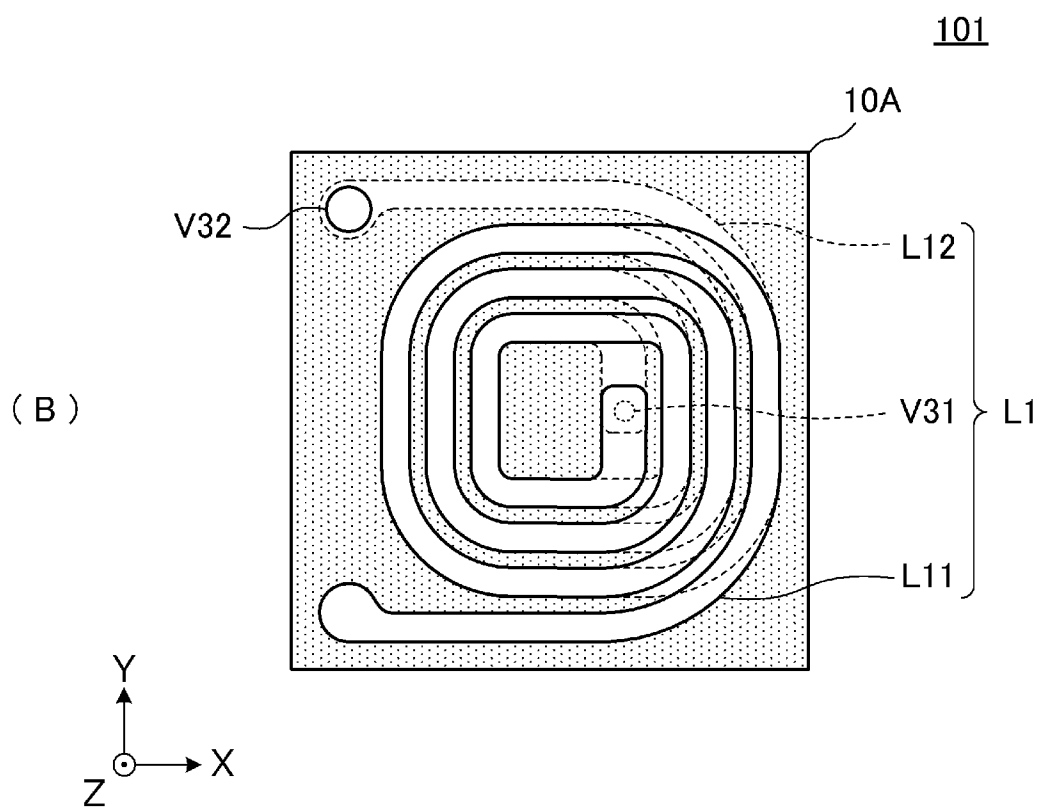
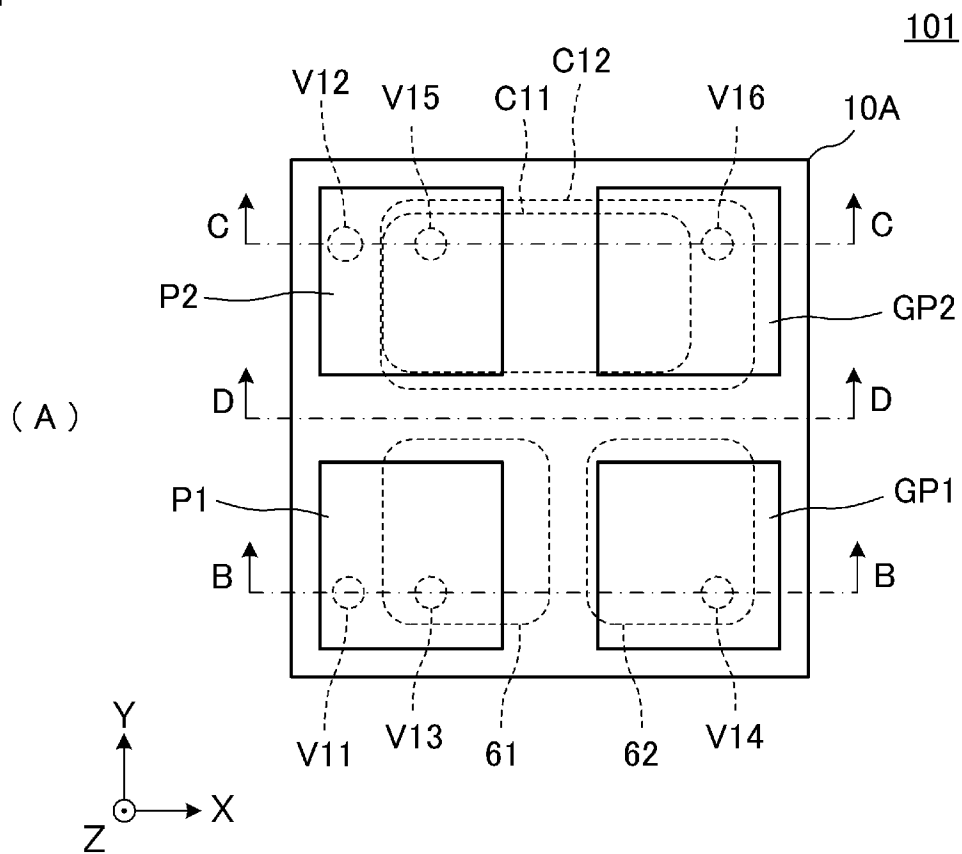
[請求項8] 前記第 1 ビア導体または前記第 2 ビア導体は、外周面に磁性体膜が形成されている、請求項 1 から 7 のいずれかに記載の薄膜 E S D 保護デバイス。

[請求項9] 前記インダクタ素子と前記キャパシタ素子とで、ローパスフィルタが構成される、請求項 1 から 8 のいずれかに記載の薄膜 E S D 保護デバイス。

[図1]

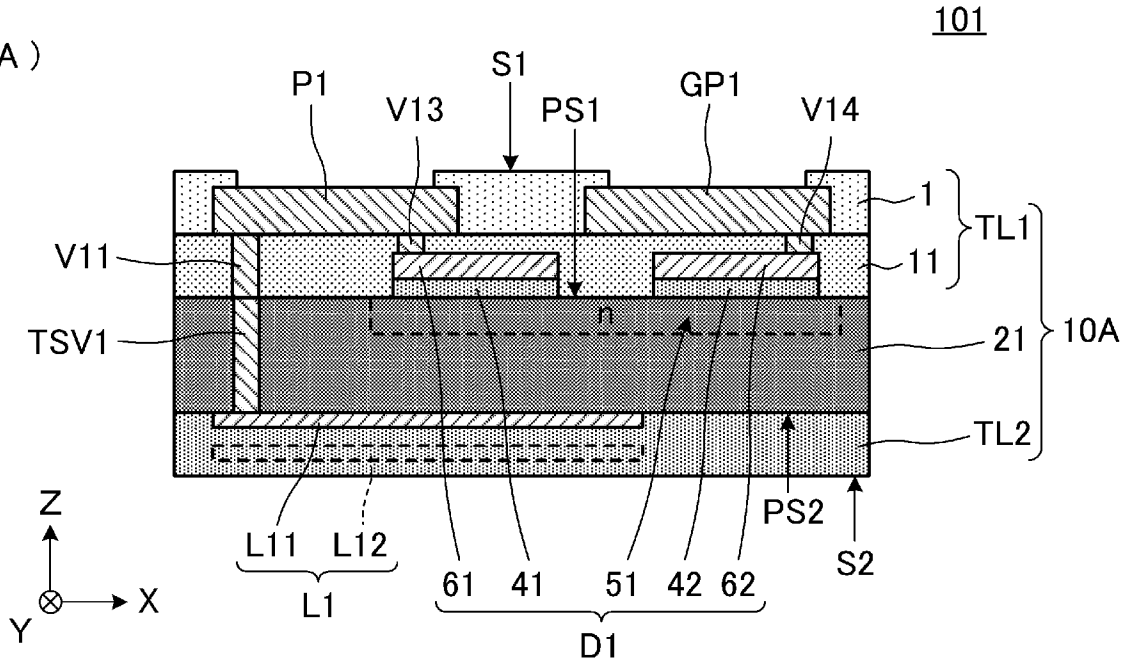


[図2]

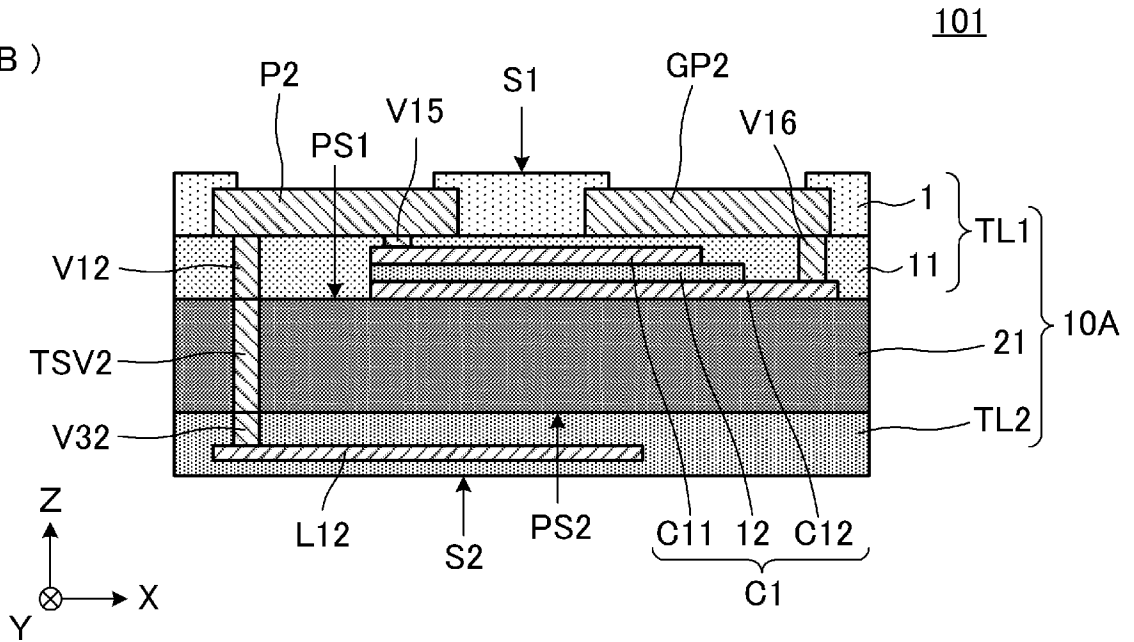


[図3]

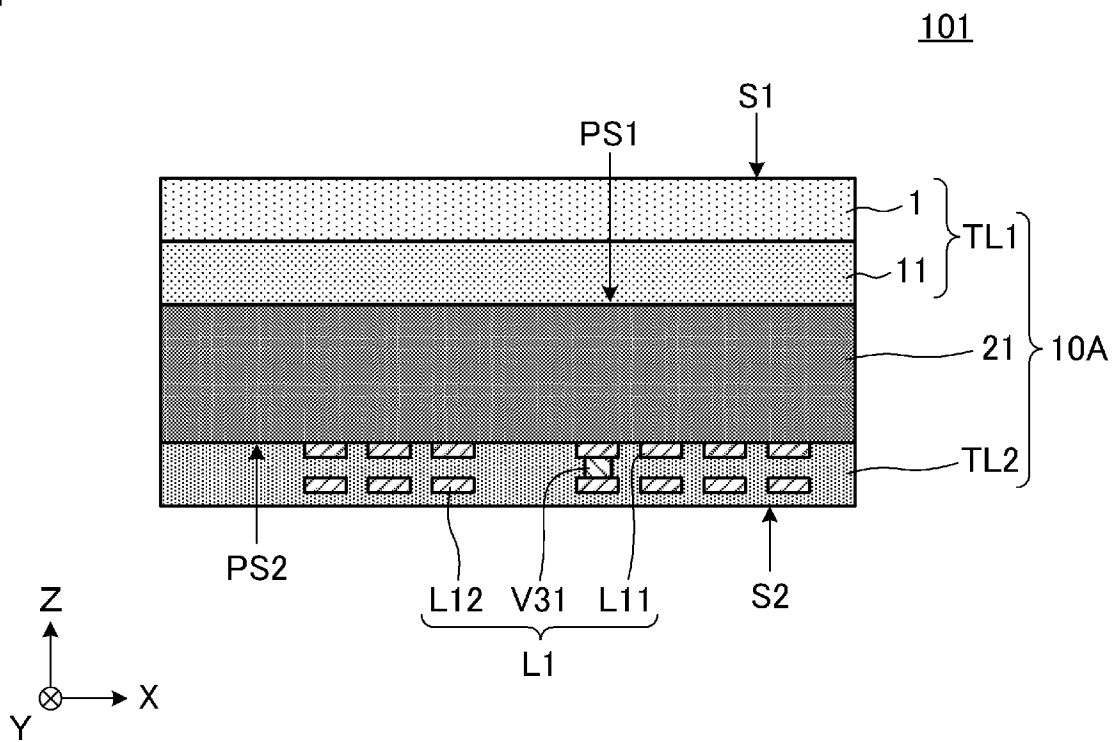
(A)



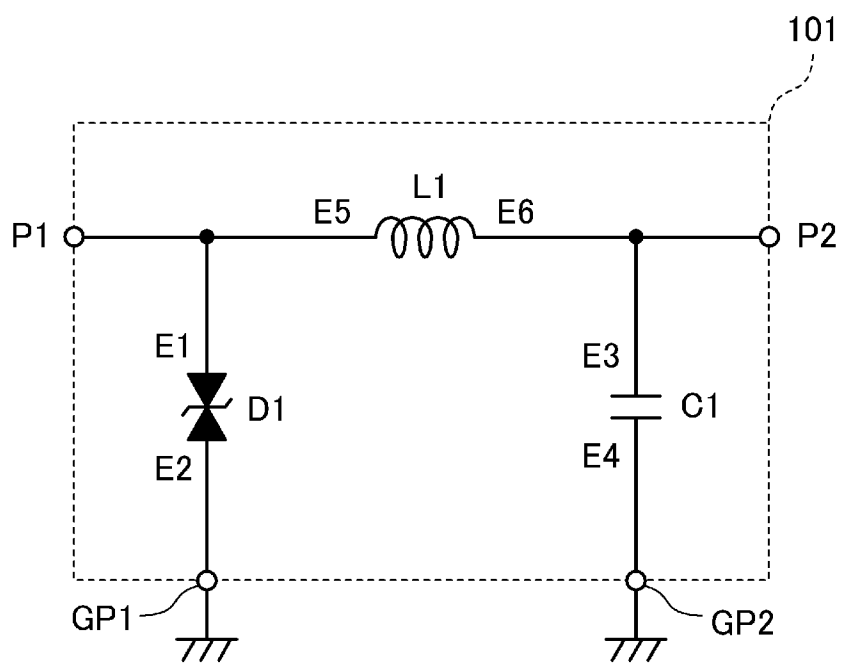
(B)



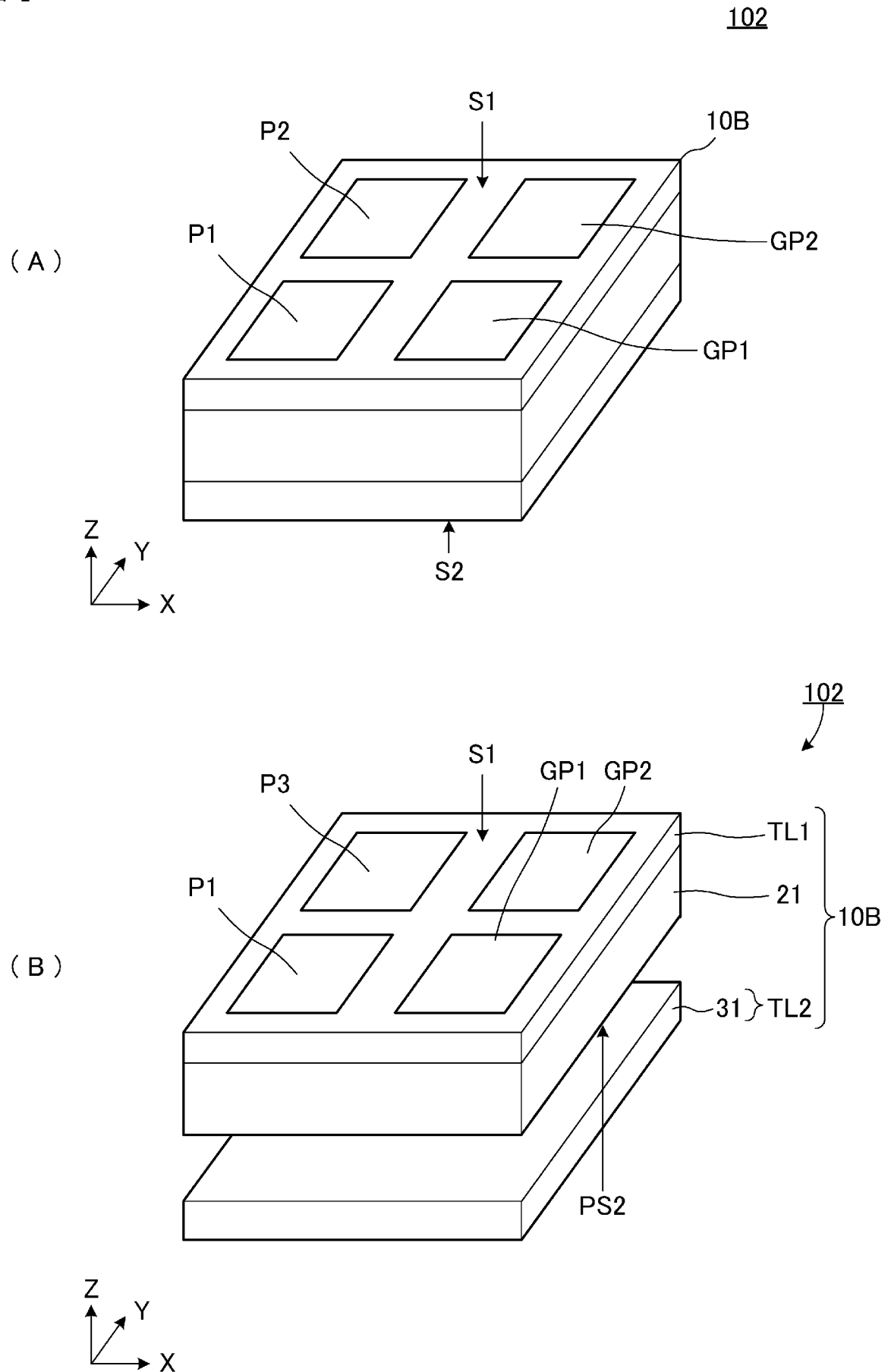
[図4]



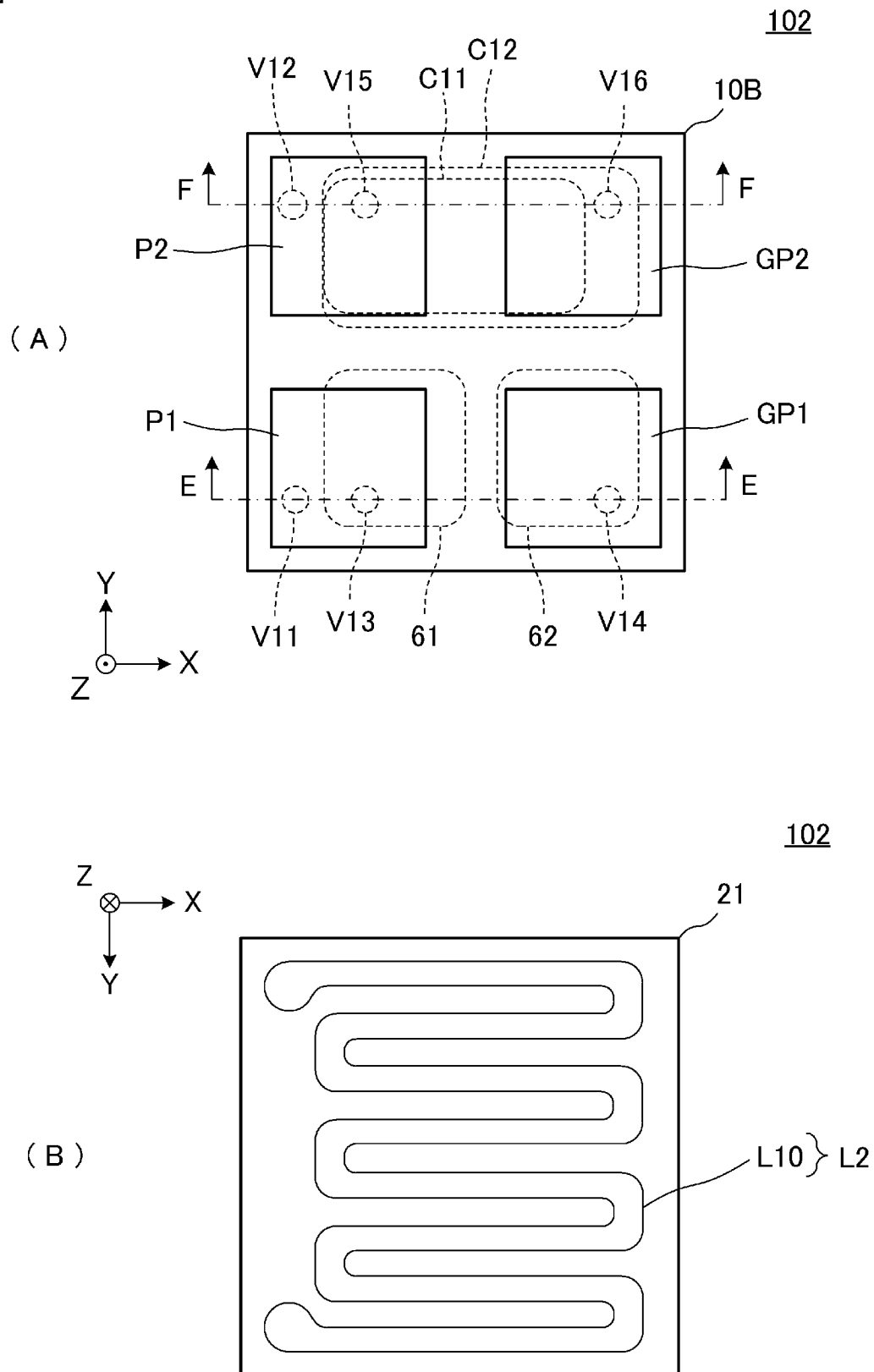
[図5]



[図6]

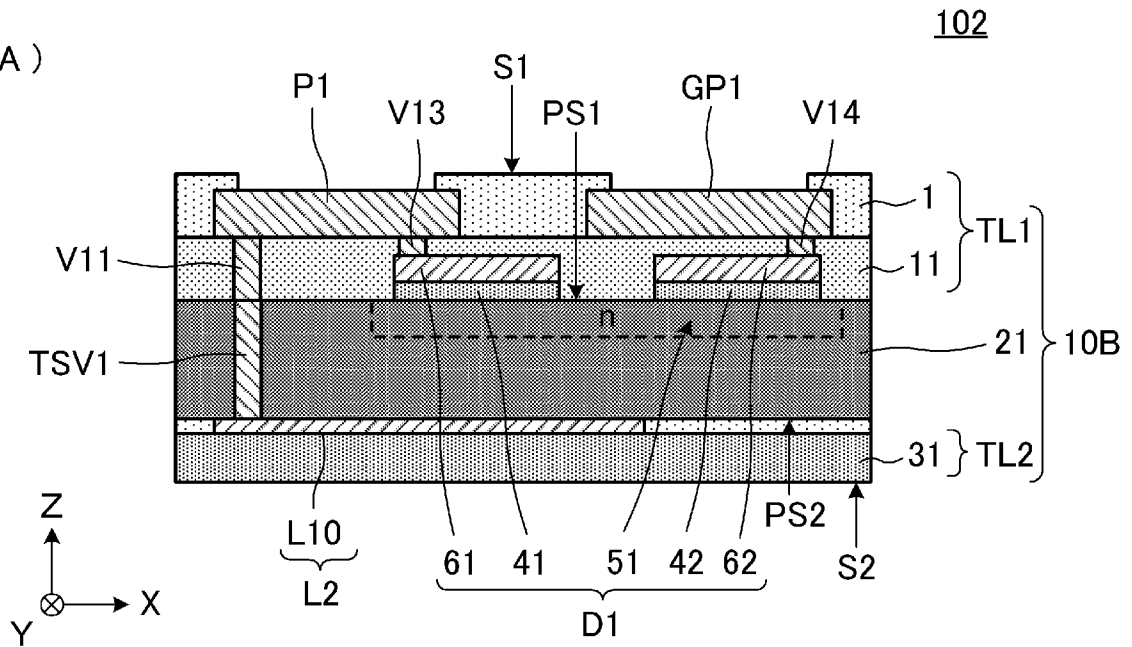


[図7]

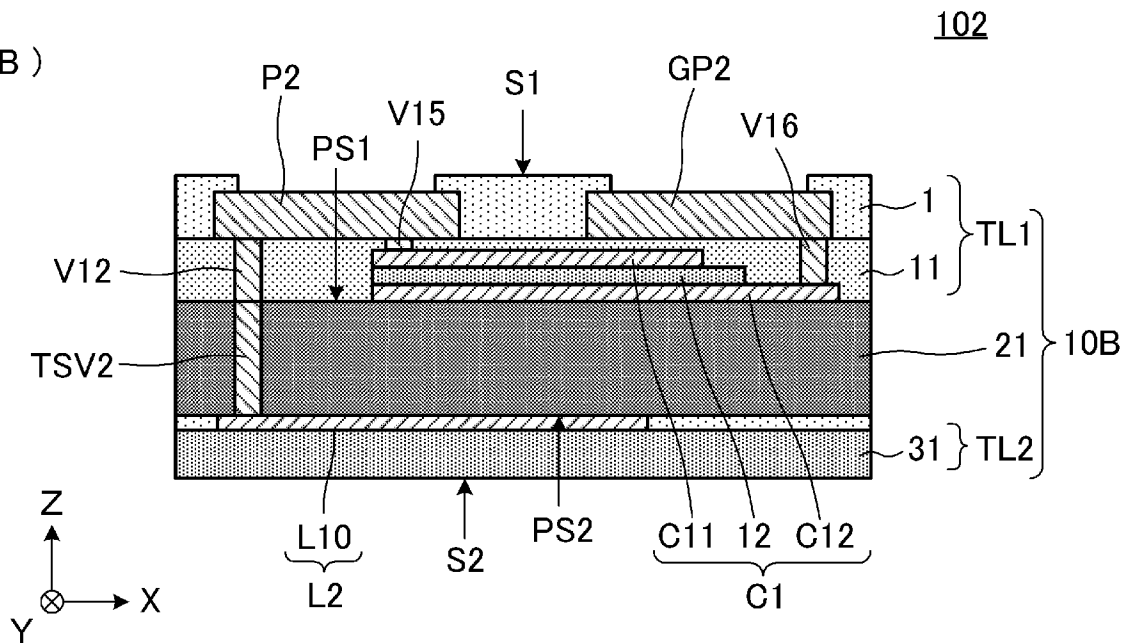


[図8]

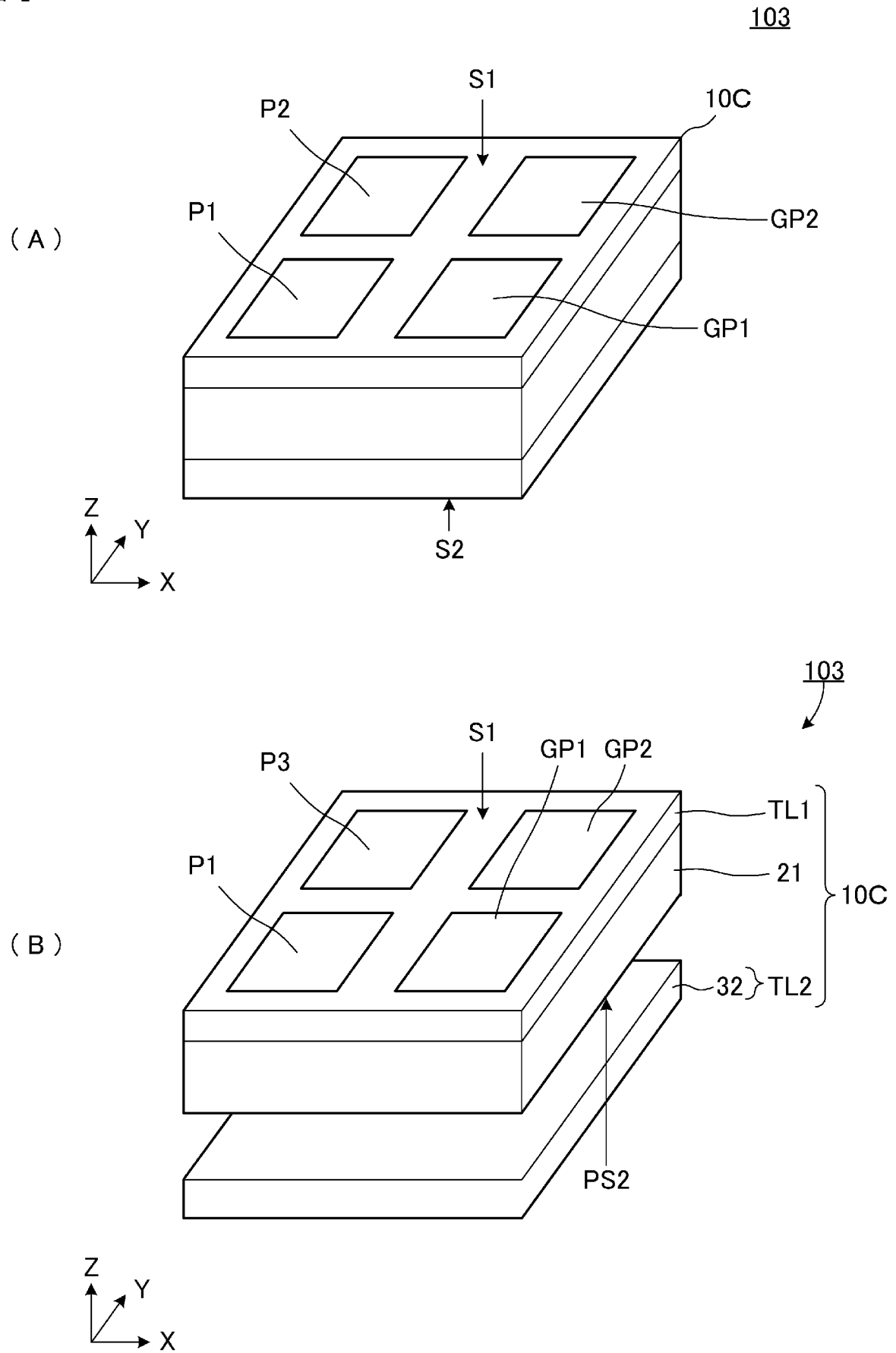
(A)



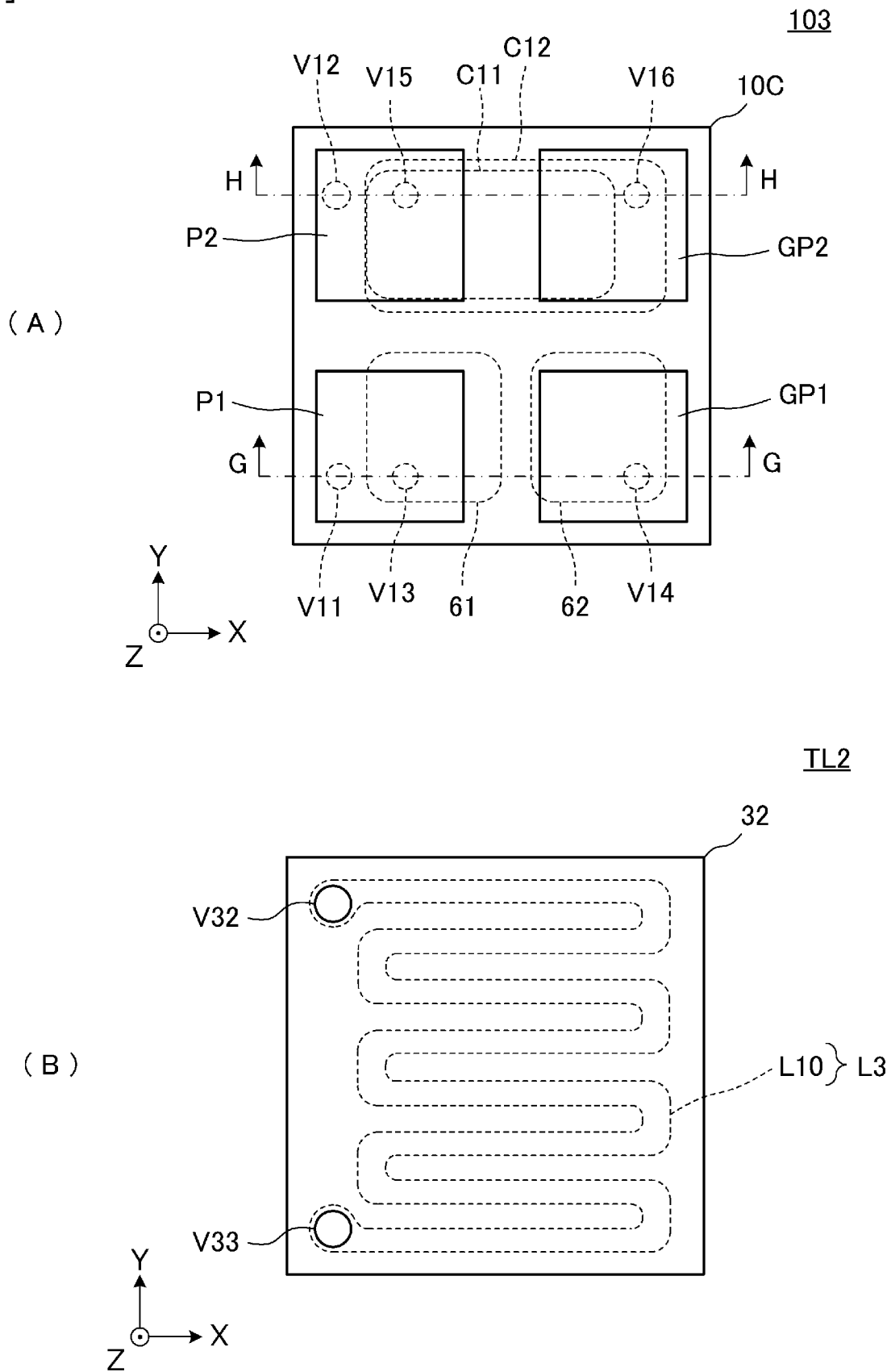
(B)



[図9]



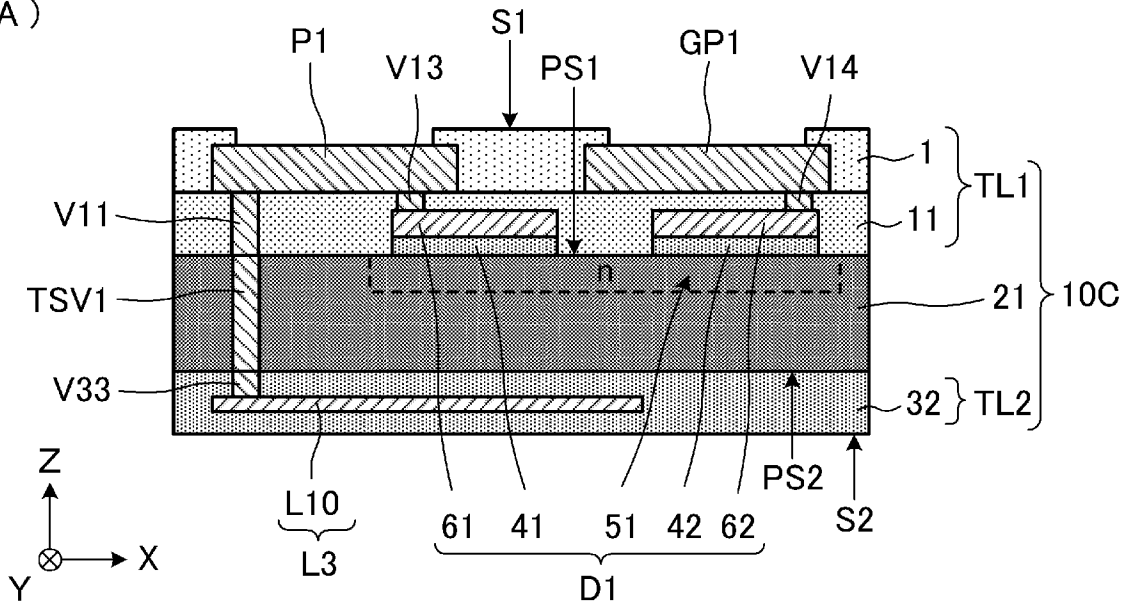
[図10]



[図11]

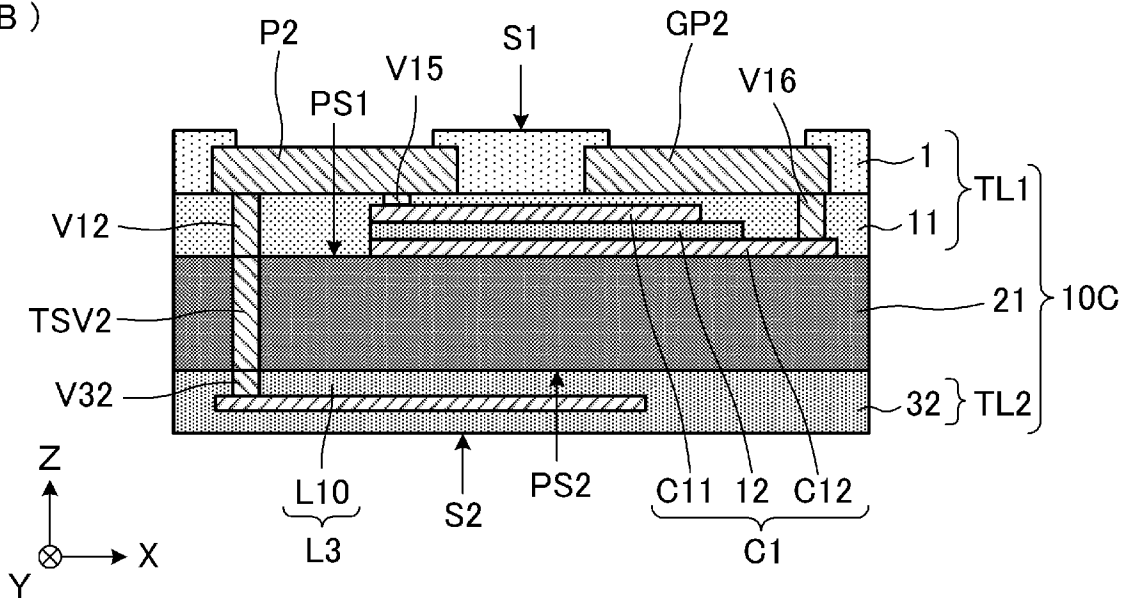
(A)

103

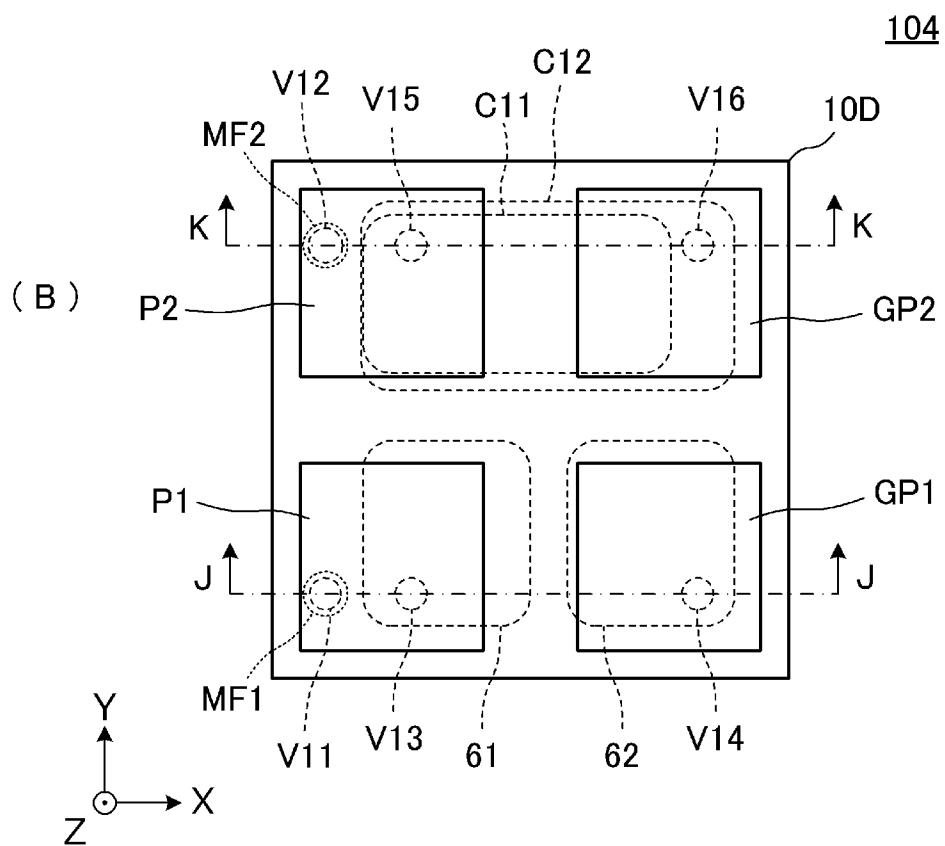
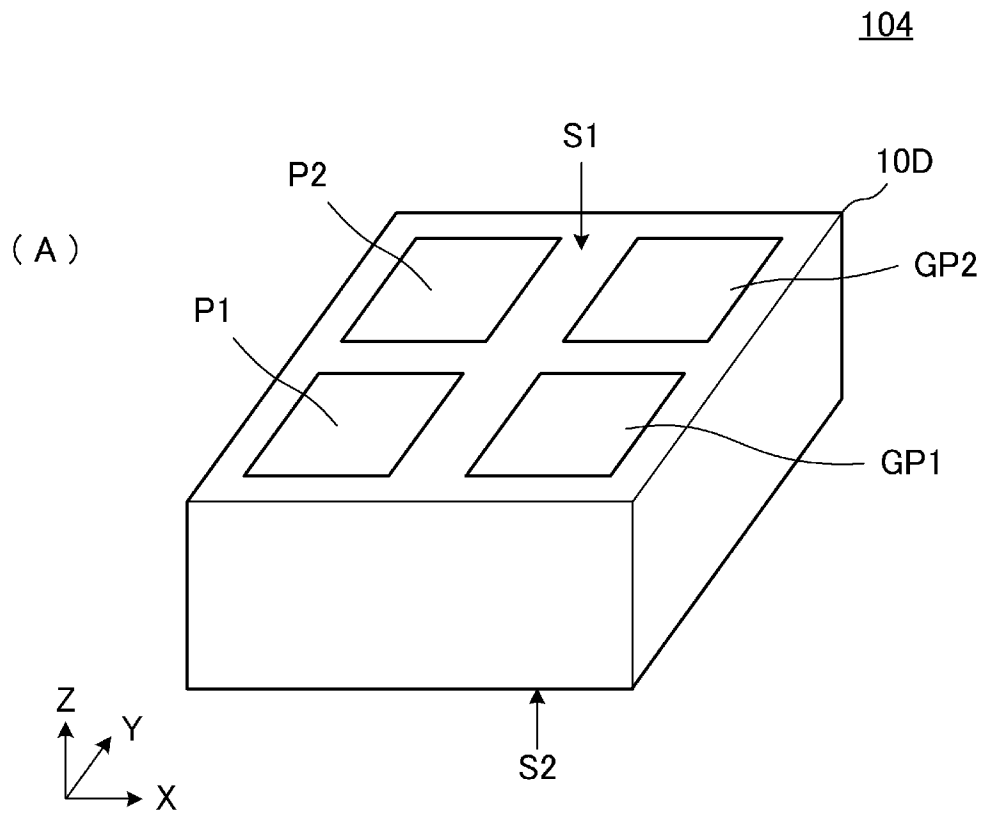


(B)

103

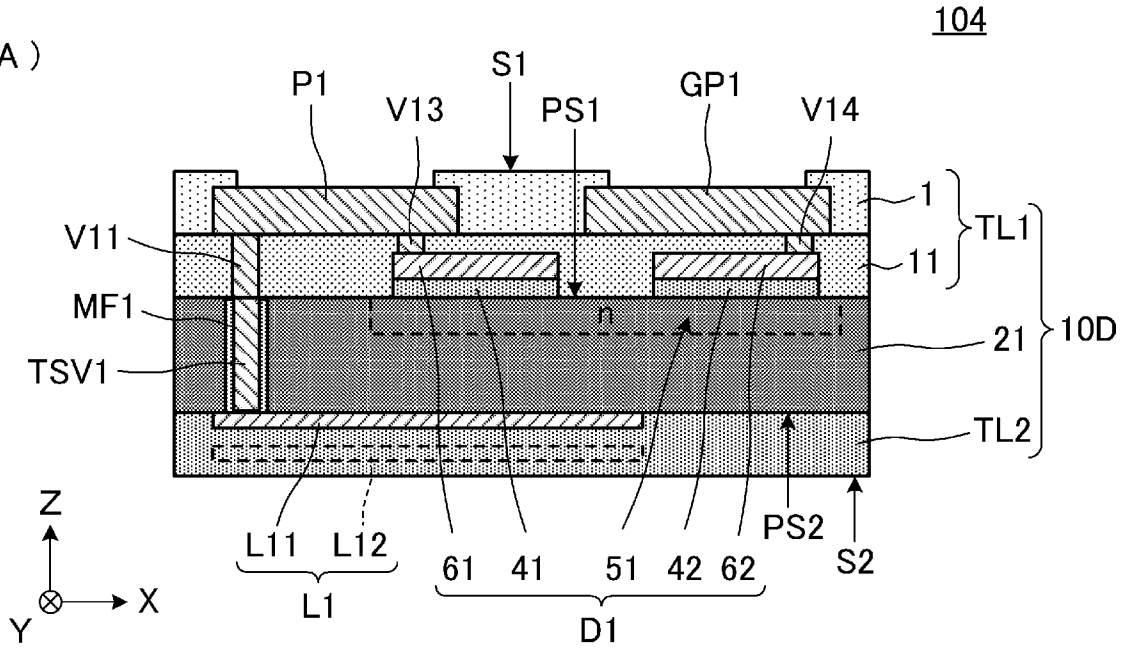


[図12]

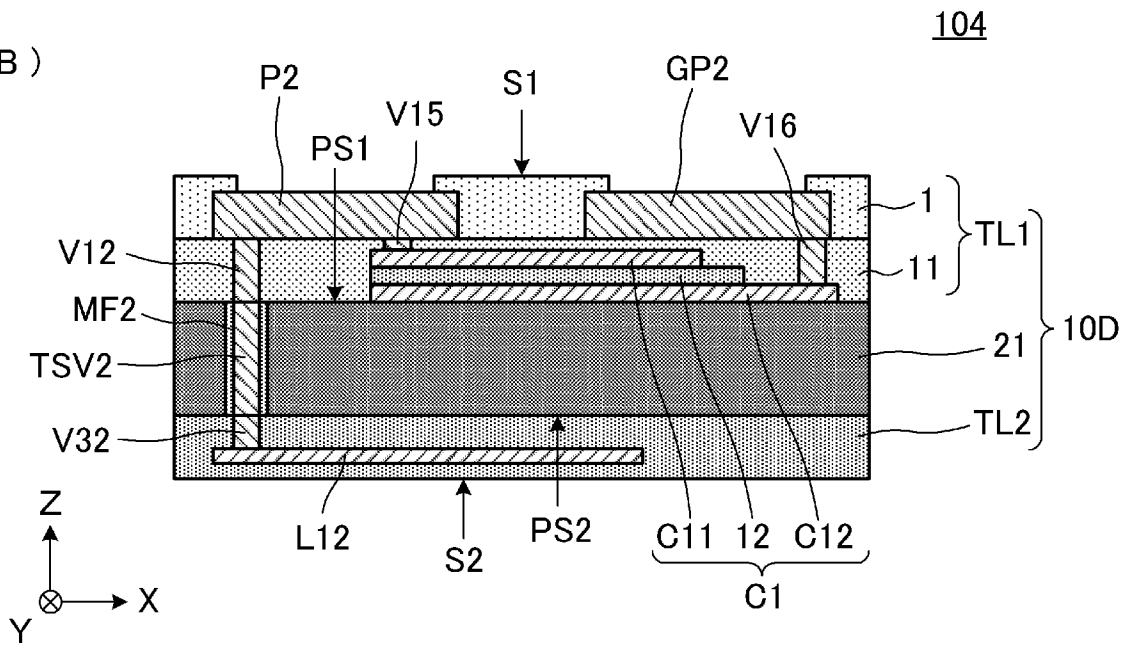


[図13]

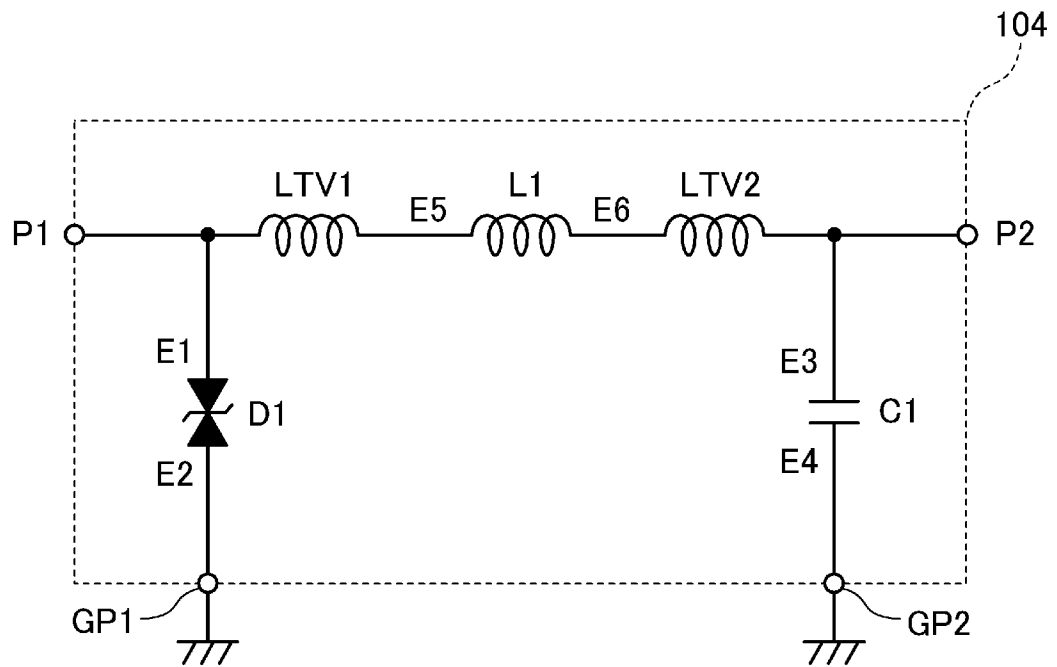
(A)



(B)



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/000631

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/822 (2006.01) i,
H01L21/768 (2006.01) i,
H01L27/04 (2006.01) i

H01L21/3205 (2006.01) i,
H01L23/522 (2006.01) i,

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/822, H01L21/3205, H01L21/768, H01L23/522, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/013555 A1 (MURATA MANUFACTURING CO., LTD.) 28 January 2016, entire text, all drawings & US 2017/0125398 A1	1-9
A	JP 2001-185685 A (TOSHIBA CORP.) 06 July 2001, entire text, all drawings (Family: none)	1-9
A	JP 2011-192780 A (TOSHIBA CORP.) 29 September 2011, entire text, all drawings (Family: none)	1-9
A	JP 2004-523924 A (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 05 August 2004, entire text, all drawings & US 2002/0177326 A1 & WO 2002/075780 A2 & EP 1425782 A1 & CN 1653590 A	1-9
A	JP 2008-532308 A (NXP B.V.) 14 August 2008, entire text, all drawings & US 2008/0258257 A1 & WO 2006/092756 A1 & CN 101171687 A	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 February 2018 (02.02.2018)

Date of mailing of the international search report
13 February 2018 (13.02.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/000631

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-103397 A (SEIKO EPSON CORP.) 01 May 2008, entire text, all drawings (Family: none)	1-9
A	JP 2012-517109 A (QUALCOMM INCORPORATED) 26 July 2012, entire text, all drawings & US 2010/0193905 A1 & US 2012/0001297 A1 & US 2012/0040509 A1 & WO 2010/091096 A1 & TW 201044545 A & CN 102301472 A & KR 10-2011-0132362 A & KR 10-2013-0079595 A	1-9
A	WO 2003/007451 A1 (CREE MICROWAVE, INC.) 23 January 2003, entire text, all drawings & JP 2004-535680 A & US 2003/0011031 A1 & EP 1415378 A1 & CA 2453562 A & KR 10-0874795 B1 & TW 571478 B & CN 1528039 A	1-9
A	WO 2015/025753 A1 (MURATA MANUFACTURING CO., LTD.) 26 February 2015, entire text, all drawings (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/822(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/822, H01L21/3205, H01L21/768, H01L23/522, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2016/013555 A1（株式会社村田製作所） 2016.01.28, 全文, 全図 & US 2017/0125398 A1	1-9
A	JP 2001-185685 A（株式会社東芝） 2001.07.06, 全文, 全図（ファミリーなし）	1-9
A	JP 2011-192780 A（株式会社東芝） 2011.09.29, 全文, 全図（ファミリーなし）	1-9

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

02.02.2018

国際調査報告の発送日

13.02.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-523924 A (コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ) 2004.08.05, 全文, 全図 & US 2002/0177326 A1 & WO 2002/075780 A2 & EP 1425782 A1 & CN 1653590 A	1-9
A	JP 2008-532308 A (エヌエックスピー ビー ヴィ) 2008.08.14, 全文, 全図 & US 2008/0258257 A1 & WO 2006/092756 A1 & CN 101171687 A	1-9
A	JP 2008-103397 A (セイコーエプソン株式会社) 2008.05.01, 全文, 全図 (ファミリーなし)	1-9
A	JP 2012-517109 A (クアルコム, インコーポレイテッド) 2012.07.26, 全文, 全図 & US 2010/0193905 A1 & US 2012/0001297 A1 & US 2012/0040509 A1 & WO 2010/091096 A1 & TW 201044545 A & CN 102301472 A & KR 10-2011-0132362 A & KR 10-2013-0079595 A	1-9
A	WO 2003/007451 A1 (CREE MICROWAVE, INC.) 2003.01.23, 全文, 全図 & JP 2004-535680 A & US 2003/0011031 A1 & EP 1415378 A1 & CA 2453562 A & KR 10-0874795 B1 & TW 571478 B & CN 1528039 A	1-9
A	WO 2015/025753 A1 (株式会社村田製作所) 2015.02.26, 全文, 全図 (ファミリーなし)	1-9