



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년07월23일
G09G 3/30 (2006.01)	(11) 등록번호	10-0742063
G09G 3/20 (2006.01)	(24) 등록일자	2007년07월16일

(21) 출원번호	10-2004-0037421	(65) 공개번호	10-2004-0101936
(22) 출원일자	2004년05월25일	(43) 공개일자	2004년12월03일
심사청구일자	2004년05월25일		

(30) 우선권주장	JP-P-2003-00147397	2003년05월26일	일본(JP)
	JP-P-2003-00158238	2003년06월03일	일본(JP)
	JP-P-2003-00158394	2003년06월03일	일본(JP)
	JP-P-2003-00159331	2003년06월04일	일본(JP)
	JP-P-2003-00163411	2003년06월09일	일본(JP)
	JP-P-2003-00186260	2003년06월30일	일본(JP)

(73) 특허권자 가시오 계산키 가부시키가이샤
일본국 도쿄도 시부야구 혼마치 1쵸메 6반 2고

(72) 발명자 모로사와가즈히코
일본국도쿄도다치카와시이치만쵸5-2-4-808

이시이히로미즈
일본국도쿄도미타카시이구치3-18-45

시라사키도모유키
일본국도쿄도히가시야마토시사쿠라가오카1-1425-3-234

스미시노부
일본국도쿄도다마시사쿠라가오카3-41-12

(74) 대리인 손은진

(56) 선행기술조사문헌	
JP2001042827 A	JP2003150115 A
KR1020020076146 A	KR1020030078013 A
KR1020000073726 A	KR1020010007609 A

심사관 : 천대식

전체 청구항 수 : 총 80 항

(54) 전류생성공급회로 및 표시장치

(57) 요약

본 발명은 전류생성공급회로, 그 전류생성공급회로를 구비한 표시장치 및 그 표시장치의 구동방법에 관한 것으로서, 복수의 표시화소에 디지털신호에 따른 전류를 공급하는 전류생성공급회로를 구비하여 화상정보를 표시하는 표시장치는 상호 직교하는 복수의 주사선 및 복수의 신호선의 교점 근방에 복수의 표시화소가 매트릭스상으로 배열된 표시패널과, 주사신호를 상기 주사선에 차례차례 인가하는 주사구동회로와, 적어도 디지털신호의 각 비트를 홀딩하는 신호홀딩회로와, 소정의 기준전압에 의거하여 디지털신호의 각 비트에 대응하는 복수의 단위전류를 생성하는 단위전류생성회로와, 홀딩된 상기 디지털신호의 비트값에 따라서 상기 단위전류를 선택적으로 합성하고, 계조전류로서 생성하여 상기 복수의 신호선에 공급하는 계조전류생성회로를 갖는 복수의 계조전류생성공급회로부와, 상기 복수의 계조전류생성회로부에 상기 기준전압을 공통으로 인가하는 기준전압생성회로를 갖는 신호구동회로를 구비하는 것을 특징으로 한다

대표도

도 1

특허청구의 범위

청구항 1.

복수의 부하에 디지털신호에 따른 전류를 공급하는 전류생성공급회로에 있어서,

적어도,

상기 복수의 부하의 각각에 대응하고, 소정의 기준전압에 의거하여 상기 디지털신호의 각 비트에 대응하는, 서로 2^n ($n = 0, 1, 2, 3, \dots$)으로 규정되는 다른 비율을 갖는 복수의 단위전류를 생성하는 단위전류생성회로와, 상기 디지털신호의 비트의 값에 따라서 상기 단위전류의 각각을 선택적으로 합성하고, 구동전류로서 생성하는 구동전류생성회로를 가지며, 상기 복수의 부하의 일부의 소정의 수의 부하마다 대응하여 설치되는 복수의 전류생성회로부와,

상기 복수의 전류생성회로부에 대해서 상기 소정의 기준전압을 공통으로 인가하는 기준전압생성회로와,

상기 복수의 부하의 각각에 대응하여 설치되고, 상기 각 전류생성회로부에 의해 생성된 상기 구동전류를 차례차례 받아 들여 병렬적으로 홀딩하며, 홀딩한 상기 구동전류를 상기 복수의 부하의 각각에 일제히 출력하는 복수의 전류래치회로와,

상기 단위전류생성회로는 각 제어단자가 공통으로 접속되는 동시에, 해당 각 제어단자에 상기 기준전압이 인가되고, 채널 폭이 상기 각 단위전류의 비율에 따른 다른 비율을 갖는 복수의 단위전류트랜지스터를 구비하는 것을 특징으로 하는 전류생성공급회로.

청구항 2.

제 1 항에 있어서,

상기 복수의 전류생성회로부의 각각은 상기 구동전류를 상기 부하측으로부터 끌어 들이는 방향으로 홀리도록 해당 구동전류의 신호극성을 설정하는 것을 특징으로 하는 전류생성공급회로.

청구항 3.

제 1 항에 있어서,

상기 복수의 전류생성회로부의 각각은 상기 구동전류를 상기 부하측으로 흘려 넣는 방향으로 홀리도록 해당 구동전류의 신호극성을 설정하는 것을 특징으로 하는 전류생성공급회로.

청구항 4.

제 1 항에 있어서,

상기 복수의 전류생성회로의 각각은 상기 디지털신호의 각 비트를 개별로 홀딩하는 복수의 래치회로를 갖는 신호홀딩회로를 구비하는 것을 특징으로 하는 전류생성공급회로.

청구항 5.

제 4 항에 있어서,

상기 구동전류생성회로는 상기 신호홀딩회로에 홀딩된 상기 디지털신호의 비트값에 따라서 상기 구동전류를 생성하는 것을 특징으로 하는 전류생성공급회로.

청구항 6.

제 4 항에 있어서,

상기 구동전류생성회로는 상기 신호홀딩회로에 홀딩된 상기 디지털신호의 각 비트값에 따라서 상기 단위전류생성회로에 의해 생성되는 상기 복수의 단위전류를 선택하는 선택스위치회로를 구비하는 것을 특징으로 하는 전류생성공급회로.

청구항 7.

삭제

청구항 8.

제 4 항에 있어서,

상기 래치회로는,

상기 디지털신호를 받아 들이는 신호입력제어회로와,

상기 디지털신호의 신호레벨에 의거하는 전하를 축적하는 전하축적회로와,

상기 전하축적회로에 축적된 전하량에 의거하여 해당 래치회로로부터 출력되는 출력신호의 신호레벨을 설정하는 출력레벨설정회로를 구비하는 것을 특징으로 하는 전류생성공급회로.

청구항 9.

제 8 항에 있어서,

상기 출력레벨설정회로는,

상기 전하축적회로에 축적된 전하량에 의거하는 신호레벨이 입력되고, 하이레벨 또는 로레벨의 어느 쪽인가 한쪽의 레벨을 상기 출력신호로서 출력하는 증폭회로를 구비하며,

해당 증폭회로는 상기 신호레벨이 해당 증폭회로의 한계값 전압을 초과하는지 아닌지에 따라서 상기 출력신호의 레벨을 설정하는 수단을 구비하는 것을 특징으로 하는 전류생성공급회로.

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

제 1 항에 있어서,

상기 복수의 부하의 각각에 대응하여 설치되고, 상기 디지털신호의 각 비트를 개별로 홀딩하는 복수의 래치회로로 이루어지는 신호홀딩회로를 구비하는 것을 특징으로 하는 전류생성공급회로.

청구항 13.

제 12 항에 있어서,

상기 복수의 전류생성회로부에 있어서의 상기 구동전류생성회로는 상기 신호홀딩회로에 홀딩된 상기 디지털신호의 비트값에 따라서 상기 구동전류를 생성하는 것을 특징으로 하는 전류생성공급회로.

청구항 14.

삭제

청구항 15.

제 12 항에 있어서,

상기 신호홀딩회로에 있어서의 상기 복수의 래치회로를 차례차례 선택하여 해당 래치회로에 홀딩된 상기 디지털신호를 상기 복수의 전류생성회로의 각각에 공급하는 입력측 스위치회로와,

상기 복수의 전류래치회로를 차례차례 선택하여 상기 복수의 전류생성회로에 의해 생성된 상기 구동전류를 선택된 상기 전류래치회로에 차례차례 공급하는 출력측 스위치회로를 구비하고,

상기 입력측 스위치회로에 있어서의 상기 신호홀딩회로의 상기 복수의 래치회로를 선택하는 동작 및 상기 출력측 스위치회로에 있어서의 상기 복수의 전류래치회로를 선택하는 동작은 동기하여 실행되는 것을 특징으로 하는 전류생성공급회로.

청구항 16.

제 1 항에 있어서,

상기 기준전압생성회로는 일정한 전류값을 갖는 기준전류에 의거하여 상기 기준전압을 생성하는 수단을 구비하는 것을 특징으로 하는 전류생성공급회로.

청구항 17.

제 16 항에 있어서,

상기 기준전압생성회로는 상기 기준전류의 전류성분에 따른 전하를 축적하는 전하축적회로를 구비하는 것을 특징으로 하는 전류생성공급회로.

청구항 18.

제 17 항에 있어서,

상기 기준전압생성회로는 소정의 타이밍마다 상기 전하축적회로에 상기 기준전류의 전류성분에 따른 전하를 축적시키는 리프레시회로를 구비하고 있는 것을 특징으로 하는 전류생성공급회로.

청구항 19.

제 16 항에 있어서,

상기 기준전압생성회로는 상기 기준전류가 흐름으로써 제어단자에 발생하는 전압을 상기 기준전압으로서 출력하는 기준전류트랜지스터를 구비하는 것을 특징으로 하는 전류생성공급회로.

청구항 20.

제 19 항에 있어서,

상기 단위전류생성회로에 있어서의 상기 복수의 단위전류트랜지스터의 상기 각 제어단자는 상기 기준전압생성회로의 상기 기준전류트랜지스터의 제어단자에 공통으로 접속되는 것을 특징으로 하는 전류생성공급회로.

청구항 21.

삭제

청구항 22.

제 20 항에 있어서,

상기 기준전류트랜지스터와 상기 복수의 단위전류트랜지스터는 커런트미러회로를 구성하는 것을 특징으로 하는 전류생성공급회로.

청구항 23.

제 20 항에 있어서,

상기 기준전류트랜지스터 및 상기 복수의 단위전류트랜지스터의 적어도 어느 쪽인가는 보디터미널구조를 갖고 있는 것을 특징으로 하는 전류생성공급회로.

청구항 24.

제 20 항에 있어서,

상기 기준전류트랜지스터 및 상기 복수의 단위전류트랜지스터 중의 적어도 어느 쪽인가 1개의 트랜지스터는 복수의 전계 효과형 트랜지스터의 전류로를 직렬로 접속하여 구성되어 있는 것을 특징으로 하는 전류생성공급회로.

청구항 25.

제 24 항에 있어서,

상기 기준전류트랜지스터 또는 상기 복수의 단위전류트랜지스터의 어느 쪽인가를 구성하는 상기 복수의 전계효과형 트랜지스터는 각각 제어단자가 공통으로 접속되어 있는 것을 특징으로 하는 전류생성공급회로.

청구항 26.

제 24 항에 있어서,

상기 기준전류트랜지스터 및 상기 복수의 단위전류트랜지스터의 각각은 동수(同數)의 상기 복수의 전계효과형 트랜지스터에 의해 구성되고,

상기 기준전류트랜지스터를 구성하는 상기 복수 전계효과형 트랜지스터의 각각의 제어단자와, 상기 복수의 단위전류트랜지스터의 각각을 구성하는 상기 복수의 전계효과형 트랜지스터의 각각의 제어단자가 공통으로 접속되며,

상기 기준전류트랜지스터 및 상기 복수의 단위전류트랜지스터는 복수의 커런트미러회로가 다단(多段) 접속된 구성을 갖는 것을 특징으로 하는 전류생성공급회로.

청구항 27.

제 19 항에 있어서,

상기 단위전류생성회로는 상기 각 단위전류가 흐르는 복수의 단위전류트랜지스터를 구비하고,

상기 기준전류트랜지스터 및 상기 복수의 단위전류트랜지스터 중의 적어도 어느 쪽인가 1개의 트랜지스터는 기본이 되는 트랜지스터 사이즈를 갖는 기본트랜지스터가 병렬로 복수 접속되어 구성되어 있는 것을 특징으로 하는 전류생성공급회로.

청구항 28.

제 27 항에 있어서,

상기 복수의 기본트랜지스터는 각각 특정의 1차원방향으로 배치되고, 해당 각 기본트랜지스터의 전류로가 병렬로 접속되어 있는 것을 특징으로 하는 전류생성공급회로.

청구항 29.

제 27 항에 있어서,

상기 복수의 기본트랜지스터는 각각 2차원방향으로 배치되고, 해당 각 기본트랜지스터의 전류로가 병렬로 접속되어 있는 것을 특징으로 하는 전류생성공급회로.

청구항 30.

제 27 항에 있어서,

상기 복수의 기본트랜지스터는 소정의 기준위치를 중심으로 하여 상호 대칭이 되는 위치에 배치되어 있는 것을 특징으로 하는 전류생성공급회로.

청구항 31.

제 27 항에 있어서,

상기 복수의 기본트랜지스터의 배치에 있어서,

특정방향의 제 1 영역에 상기 복수의 기본트랜지스터의 각 전류로의 출력배선이 배치 설치되고,

상기 제 1 영역과는 겹치지 않는 제 2 영역에 상기 각 전류로의 입력배선 및 상기 각 제어단자에 접속된 배선이 배치 설치되어 있는 것을 특징으로 하는 전류생성공급회로.

청구항 32.

제 27 항에 있어서,

상기 기준전류트랜지스터 및 상기 단위전류트랜지스터는 상기 복수의 기본트랜지스터가 병렬로 접속되어 구성되고, 해당 복수의 기본트랜지스터는 소정의 기준위치를 중심으로 배치되며,

상기 기준전류트랜지스터를 구성하는 상기 복수의 기본트랜지스터는 상기 단위전류트랜지스터를 구성하는 상기 복수의 기본트랜지스터의 바깥쪽 측에 상기 기준위치를 중심으로 하여 상호 대칭이 되도록 배치되어 있는 것을 특징으로 하는 전류생성공급회로.

청구항 33.

제 27 항에 있어서,

상기 복수의 단위전류트랜지스터의 각각은 상기 복수의 기본트랜지스터가 병렬로 접속되어 구성되고,

해당 각 단위전류트랜지스터를 구성하는 상기 기본트랜지스터의 수가 각각 다르도록 구성되어 있는 것을 특징으로 하는 전류생성공급회로.

청구항 34.

제 33 항에 있어서,

상기 복수의 단위전류트랜지스터의 각각은 병렬로 접속되는 상기 기본트랜지스터의 채널폭의 합계가 서로 2^n ($n = 0, 1, 2, 3, \dots$)으로 규정되는 다른 비율로 설정되어 있는 것을 특징으로 하는 전류생성공급회로.

청구항 35.

제 16 항에 있어서,

상기 기준전류를 생성하는 정전류발생원을 구비하는 것을 특징으로 하는 전류생성공급회로.

청구항 36.

제 35 항에 있어서,

적어도 상기 전류생성회로 및 상기 정전류발생원은 동일한 기판상에 형성되어 있는 것을 특징으로 하는 전류생성공급회로.

청구항 37.

제 35 항에 있어서,

상기 정전류발생원은 제어전압에 따라서 상기 기준전류의 전류값을 임의로 변경 설정하는 수단을 구비하는 것을 특징으로 하는 전류생성공급회로.

청구항 38.

제 1 항에 있어서,

상기 기준전압생성회로는 일정한 전압값을 갖는 전압을 상기 기준전압으로서 정상적으로 출력하는 정전압발생원을 구비하고 있는 것을 특징으로 하는 전류생성공급회로.

청구항 39.

제 1 항에 있어서,

상기 복수의 부하의 각각은 상기 전류생성회로로부터 공급되는 상기 구동전류의 전류값에 따라서 소정의 휘도계조로 발광 동작하는 전류제어형의 발광소자를 구비하고 있는 것을 특징으로 하는 전류생성공급회로.

청구항 40.

제 39 항에 있어서,

상기 발광소자는 유기일렉트로루미네센스소자인 것을 특징으로 하는 전류생성공급회로.

청구항 41.

디지털신호로 이루어지는 표시신호에 따른 화상정보를 표시하는 표시장치에 있어서,

복수의 주사선 및 복수의 신호선이 상호 직교하도록 배치 설치되고, 해당 주사선 및 해당 신호선의 교점 근방에 복수의 표시화소가 매트릭스상으로 배열된 표시패널과,

상기 각 표시화소를 행단위로 선택상태에 설정하기 위한 주사신호를 상기 복수의 주사선에 차례차례 인가하는 주사구동회로와,

적어도 소정의 기준전압에 의거하여 상기 표시신호의 디지털신호의 각 비트에 대응하는, 서로 2^n ($n = 0, 1, 2, 3, \dots$)으로 규정되는 다른 비율을 갖는 복수의 단위전류를 생성하는 단위전류생성회로와, 상기 표시신호의 디지털신호의 비트값에 따라서 상기 단위전류의 각각을 선택적으로 합성하고, 계조전류로서 생성하는 계조전류생성회로를 가지며, 상기 복수의 신호선의 일부의 소정의 수의 신호선마다 대응하여 설치되는 복수의 계조전류생성공급회로부와, 상기 복수의 계조전류생성회로부에 대해서 상기 소정의 기준전압을 공통으로 인가하는 기준전압생성회로와, 상기 복수의 신호선의 각각에 대응하여 설치되고, 상기 계조전류생성공급회로부에 의해 생성된 상기 계조전류를 차례차례 받아 들여 병렬적으로 홀딩하며, 홀딩한 상기 계조전류를 상기 복수의 신호선의 각각에 일제히 출력하는 복수의 전류래치회로를 갖고, 상기 단위전류생성회로는 각 제어단자가 공통으로 접속되는 동시에, 해당 각 제어단자에 상기 기준전압이 인가되고, 채널폭이 상기 각 단위전류의 비율에 따른 다른 비율을 갖는 복수의 단위전류트랜지스터를 구비하는 신호구동회로를 구비하는 것을 특징으로 하는 표시장치.

청구항 42.

제 41 항에 있어서,

상기 복수의 계조전류생성공급회로부의 각각은 상기 계조전류를 상기 신호선을 통하여 상기 표시화소측으로부터 끌어들이는 방향으로 홀리도록 해당 계조전류의 신호극성을 설정하는 것을 특징으로 하는 표시장치.

청구항 43.

제 41 항에 있어서,

상기 복수의 계조전류생성공급회로부의 각각은 상기 계조전류를 상기 신호선을 통하여 상기 표시화소측으로 흘려 넣는 방향으로 홀리도록 해당 계조전류의 신호극성을 설정하는 것을 특징으로 하는 표시장치.

청구항 44.

제 41 항에 있어서,

상기 복수의 계조전류생성공급회로부의 각각은 상기 표시신호의 디지털신호의 각 비트를 개별로 홀딩하는 복수의 래치회로를 갖는 신호홀딩회로를 구비하는 것을 특징으로 하는 표시장치.

청구항 45.

제 44 항에 있어서,

상기 복수의 계조전류생성공급회로부의 각각에 있어서의 상기 계조전류생성회로는 상기 신호홀딩회로에 홀딩된 상기 표시신호의 디지털신호의 비트값에 따라서 상기 계조전류를 생성하는 것을 특징으로 하는 표시장치.

청구항 46.

제 44 항에 있어서,

상기 계조전류생성회로는 상기 신호홀딩회로에 홀딩된 상기 표시신호의 디지털신호의 각 비트값에 따라서 상기 단위전류 생성회로에 의해 생성되는 상기 복수의 단위전류를 선택하는 선택스위치회로를 구비하는 것을 특징으로 하는 표시장치.

청구항 47.

삭제

청구항 48.

제 44 항에 있어서,

상기 신호홀딩회로에 있어서의 상기 래치회로는,

상기 표시신호의 디지털신호를 받아 들이는 신호입력제어회로와,

상기 표시신호의 디지털신호의 신호레벨에 의거하는 전하를 축적하는 전하축적회로와,

상기 전하축적회로에 축적된 전하량에 의거하여 해당 래치회로로부터 출력되는 출력신호의 신호레벨을 설정하는 출력레벨설정회로를 구비하는 것을 특징으로 하는 표시장치.

청구항 49.

제 48 항에 있어서,

상기 출력레벨설정회로는,

상기 전하축적회로에 축적된 전하량에 의거하는 신호레벨이 입력되어 하이레벨 또는 로레벨의 어느 쪽인가 한쪽의 레벨을 상기 출력신호로서 출력하는 증폭회로를 구비하고,

해당 증폭회로는 상기 신호레벨이 해당 증폭회로의 한계값 전압을 초과하는지 아닌지에 따라서 상기 출력신호의 레벨을 설정하는 수단을 구비하는 것을 특징으로 하는 표시장치.

청구항 50.

삭제

청구항 51.

삭제

청구항 52.

제 41 항에 있어서,

상기 복수의 계조전류생성공급회로부의 각각은,

상기 표시신호의 디지털신호의 각 비트를 개별로 홀딩하는 복수의 래치회로로 이루어지는 신호홀딩회로를 구비하는 것을 특징으로 하는 표시장치.

청구항 53.

제 52 항에 있어서,

상기 복수의 계조전류생성공급회로부의 각각에 있어서의 상기 계조전류생성회로는,

상기 신호홀딩회로에 홀딩된 상기 표시신호의 디지털신호의 비트값에 따라서 상기 계조전류를 생성하는 것을 특징으로 하는 표시장치.

청구항 54.

삭제

청구항 55.

제 52 항에 있어서,

상기 신호구동회로는,

상기 신호홀딩회로에 있어서의 상기 복수의 래치회로를 차례차례 선택하여 해당 래치회로에 홀딩된 상기 표시신호의 디지털신호를 상기 복수의 계조전류생성회로부의 각각에 공급하는 입력측 스위치회로와,

상기 복수의 전류래치회로를 차례차례 선택하여 상기 복수의 계조전류생성회로부에 의해 생성된 상기 계조전류를 선택된 상기 전류래치회로에 차례차례 공급하는 출력측 스위치회로를 구비하고,

상기 입력측 스위치회로에 있어서의 상기 신호홀딩회로의 상기 복수의 래치회로를 선택하는 동작 및 상기 출력측 스위치 회로에 있어서의 상기 복수의 전류래치회로를 선택하는 동작은 동기하여 실행되는 것을 특징으로 하는 표시장치.

청구항 56.

제 44 항에 있어서,

상기 신호구동회로에 있어서의 상기 복수의 계조전류생성공급회로부는 상기 복수의 신호선의 각각에 대응하여 설치되고,

상기 복수의 신호선의 각각에 대하여 2개의 계조전류생성공급회로부가 병렬로 1쌍 배치되며, 각각이 적어도 상기 단위전류생성회로, 상기 계조전류생성회로 및 상기 신호홀딩회로를 갖고,

상기 기준전압생성회로는 상기 1쌍의 계조전류생성공급회로부의 각각에 대하여 상기 기준전압을 공통으로 인가하는 것을 특징으로 하는 표시장치.

청구항 57.

제 56 항에 있어서,

상기 1쌍의 계조전류생성공급회로부의 한쪽의 계조전류생성공급회로부의 상기 전류생성회로에 있어서의 상기 신호홀딩 회로에 홀딩된 상기 표시신호의 디지털신호에 의거하는 상기 계조전류를 상기 복수의 신호선에 공급하는 동작과,

다른쪽의 계조전류생성공급회로부의 상기 전류생성회로에 있어서의 상기 신호홀딩회로에 다음의 상기 표시신호의 디지털 신호를 홀딩하는 동작은 동시에 병행하여 실행되는 것을 특징으로 하는 표시장치.

청구항 58.

제 41 항에 있어서,

상기 신호구동회로에 있어서의 상기 기준전압생성회로는 일정한 전류값을 갖는 기준전류에 의거하여 상기 기준전압을 생성하는 수단을 구비하는 것을 특징으로 하는 표시장치.

청구항 59.

제 58항에 있어서,

상기 기준전압생성회로는 상기 기준전류의 전류성분에 따른 전하를 축적하는 전하축적회로를 구비하는 것을 특징으로 하는 표시장치.

청구항 60.

제 59 항에 있어서,

상기 기준전압생성회로는 소정의 타이밍마다 상기 전하축적회로에 상기 기준전류의 전류성분에 따른 전하를 축적시키는 리프레시회로를 구비하고 있는 것을 특징으로 하는 표시장치.

청구항 61.

제 58 항에 있어서,

상기 기준전압생성회로는 상기 기준전류가 흐름으로써 제어단자에 발생하는 전압을 상기 기준전압으로서 출력하는 기준 전류트랜지스터를 구비하는 것을 특징으로 하는 표시장치.

청구항 62.

제 61 항에 있어서,

상기 단위전류생성회로에 있어서의 상기 복수의 단위전류트랜지스터의 상기 각 제어단자는 상기 기준전압생성회로의 상기 기준전류트랜지스터의 제어단자에 공통으로 접속되는 것을 특징으로 하는 표시장치.

청구항 63.

삭제

청구항 64.

제 62 항에 있어서,

상기 기준전류트랜지스터와 상기 복수의 단위전류트랜지스터는 커런트미러회로를 구성하는 것을 특징으로 하는 표시장치.

청구항 65.

제 62 항에 있어서,

상기 기준전류트랜지스터 및 상기 단위전류트랜지스터의 적어도 어느 쪽인가는 보디터미널구조를 갖고 있는 것을 특징으로 하는 표시장치.

청구항 66.

제 62 항에 있어서,

상기 기준전류트랜지스터 및 상기 복수의 단위전류트랜지스터 중의 적어도 어느 쪽인가 1개의 트랜지스터는 복수의 전계효과형 트랜지스터의 전류로를 직렬로 접속하여 구성되어 있는 것을 특징으로 하는 표시장치.

청구항 67.

제 66 항에 있어서,

상기 기준전류트랜지스터 또는 상기 복수의 단위전류트랜지스터의 어느 쪽인가를 구성하는 상기 복수의 전계효과형 트랜지스터는 각각 제어단자가 공통으로 접속되어 있는 것을 특징으로 하는 표시장치.

청구항 68.

제 66 항에 있어서,

상기 기준전류트랜지스터 및 상기 복수의 단위전류트랜지스터의 각각은 동수의 상기 복수의 전계효과형 트랜지스터에 의해 구성되고,

상기 기준전류트랜지스터를 구성하는 상기 복수 전계효과형 트랜지스터의 각각의 제어단자와, 상기 복수의 단위전류트랜지스터의 각각을 구성하는 상기 복수의 전계효과형 트랜지스터의 각각의 제어단자가 공통으로 접속되며,

상기 기준전류트랜지스터 및 상기 복수의 단위전류트랜지스터는 복수의 커런트미러회로가 다단 접속된 구성을 갖는 것을 특징으로 하는 표시장치.

청구항 69.

제 61 항에 있어서,

상기 신호구동회로에 있어서의 상기 단위전류생성회로는 상기 각 단위전류가 흐르는 복수의 단위전류트랜지스터를 구비하고,

상기 기준전류트랜지스터 및 상기 복수의 단위전류트랜지스터 중의 적어도 어느 쪽인가 1개의 트랜지스터는 기본이 되는 트랜지스터 사이즈를 갖는 기본트랜지스터가 병렬로 복수 접속되어 구성되어 있는 것을 특징으로 하는 표시장치.

청구항 70.

제 69 항에 있어서,

상기 복수의 기본트랜지스터는 각각 특정의 1차원방향으로 배치되고, 해당 각 기본트랜지스터의 전류로가 병렬로 접속되어 있는 것을 특징으로 하는 표시장치.

청구항 71.

제 69 항에 있어서,

상기 복수의 기본트랜지스터는 각각 2차원방향으로 배치되고, 해당 각 기본트랜지스터의 전류로가 병렬로 접속되어 있는 것을 특징으로 하는 표시장치.

청구항 72.

제 69 항에 있어서,

상기 복수의 기본트랜지스터는 소정의 기준위치를 중심으로 하여 상호 대칭이 되는 위치에 배치되어 있는 것을 특징으로 하는 표시장치.

청구항 73.

제 69 항에 있어서,

상기 복수의 기본트랜지스터의 배치에 있어서,

특정방향의 제 1 영역에 상기 복수의 기본트랜지스터의 각 전류로의 출력배선이 배치 설치되고,

상기 제 1 영역과는 겹치지 않는 제 2 영역에 상기 각 전류로의 입력배선 및 상기 각 제어단자에 접속된 배선이 배치 설치되어 있는 것을 특징으로 하는 표시장치.

청구항 74.

제 69 항에 있어서,

상기 기준전류트랜지스터 및 상기 단위전류트랜지스터는 상기 복수의 기본트랜지스터가 병렬로 접속되어 구성되고, 해당 복수의 기본트랜지스터는 소정의 기준위치를 중심으로 배치되며,

상기 기준전류트랜지스터를 구성하는 상기 복수의 기본트랜지스터는 상기 단위전류트랜지스터를 구성하는 상기 복수의 기본트랜지스터의 바깥쪽 측에 상기 기준위치를 중심으로 하여 상호 대칭이 되도록 배치되어 있는 것을 특징으로 하는 표시장치.

청구항 75.

제 69 항에 있어서,

상기 복수의 단위전류트랜지스터의 각각은 상기 복수의 기본트랜지스터가 병렬로 접속되어 구성되고,

해당 각 단위전류트랜지스터를 구성하는 상기 기본트랜지스터의 수가 각각 다르도록 구성되어 있는 것을 특징으로 하는 표시장치.

청구항 76.

제 75 항에 있어서,

상기 복수의 단위전류트랜지스터의 각각은 병렬로 접속되는 상기 기본트랜지스터의 채널폭의 합계가 서로 2^n ($n = 0, 1, 2, 3, \dots$)으로 규정되는 다른 비율로 설정되어 있는 것을 특징으로 하는 표시장치.

청구항 77.

제 58 항에 있어서,

상기 신호구동회로는 상기 기준전류를 생성하는 정전류발생원을 구비하는 것을 특징으로 하는 표시장치.

청구항 78.

제 77 항에 있어서,

상기 신호구동회로에 있어서의 적어도 상기 전류생성회로 및 정전류발생원은 동일한 기판상에 형성되어 있는 것을 특징으로 하는 표시장치.

청구항 79.

제 77 항에 있어서,

상기 정전류발생원은 제어전압에 따라서 상기 기준전류의 전류값을 임의로 변경 설정하는 수단을 구비하는 것을 특징으로 하는 표시장치.

청구항 80.

제 39 항에 있어서,

상기 기준전압생성회로는 일정한 전압값을 갖는 전압을 상기 기준전압으로서 정상적으로 출력하는 정전압발생원을 구비하고 있는 것을 특징으로 하는 표시장치.

청구항 81.

제 41 항에 있어서,

상기 복수의 표시화소의 각각은 상기 전류생성회로로부터 공급되는 상기 계조전류의 전류값에 따라서 소정의 휘도계조로 발광 동작하는 전류구동형의 발광소자를 구비하고 있는 것을 특징으로 하는 표시장치.

청구항 82.

제 81 항에 있어서,

상기 표시화소는 상기 계조전류를 홀딩하는 전류기입홀딩회로와, 해당 홀딩된 상기 계조전류에 의거하여 발광구동전류를 생성하고, 상기 발광소자에 공급하는 발광구동회로를 구비하고 있는 것을 특징으로 하는 표시장치.

청구항 83.

제 81 항에 있어서,

상기 발광소자는 유기일렉트로루미네센스소자인 것을 특징으로 하는 표시장치.

청구항 84.

복수의 주사선 및 복수의 신호선이 상호 직교하도록 배치 설치되고, 해당 주사선 및 해당 신호선의 교점 근방에 복수의 표시화소를 구비하는 표시패널에 디지털신호로 이루어지는 표시신호에 따른 화상정보를 표시하는 표시장치의 구동방법에 있어서,

상기 복수의 표시화소의 각각에 대응하는 상기 표시신호의 디지털신호의 각 비트를 받아 들여 홀딩하고,

상기 복수의 신호선을 소정의 수의 신호선마다의 복수의 블록으로 분할하고, 상기 각 블록에 있어서 병행하여 공통의 기준 전압에 의거하여 상기 표시신호의 디지털신호의 각 비트에 대응하여 생성되는 복수의 단위전류를 상기 홀딩된 상기 표시신호의 디지털신호의 각 비트값에 대응하여 선택적으로 합성해서 상기 각 블록의 소정의 수의 신호선의 각각에 대응하는 상기 표시화소를 구동하는 계조전류를 차례차례 생성하며,

생성된 상기 각 계조전류를 상기 각 블록에 대하여 병행하여 차례차례 받아 들여 홀딩하며, 홀딩한 상기 복수의 계조전류를 상기 복수의 표시화소의 각각에 대하여 동시에 병행하여 공급하는 것을 적어도 포함하는 것을 특징으로 하는 표시장치의 구동방법.

청구항 85.

제 84 항에 있어서,

상기 복수의 단위전류의 각각의 전류값은 서로 2^n ($n = 0, 1, 2, 3, \dots$)으로 규정되는 다른 비율의 전류값을 갖도록 설정되어 있는 것을 특징으로 하는 표시장치의 구동방법.

청구항 86.

제 84 항에 있어서,

상기 기준전압은 일정한 전류값을 갖는 기준전류의 전류성분에 따른 전하의 축적에 의거하여 생성되고,

소정의 타이밍마다 상기 전하의 축적동작을 실행하는 리프레시동작을 포함하는 것을 특징으로 하는 표시장치의 구동방법.

청구항 87.

제 84 항에 있어서,

상기 표시신호의 홀딩동작은 상기 표시신호의 디지털신호의 신호레벨에 따른 전하를 축적하고,

해당 축적된 전하량에 의거하는 출력신호를 출력하는 동작을 포함하는 것을 특징으로 하는 표시장치의 구동방법.

청구항 88.

제 84 항에 있어서,

상기 표시신호의 받아 들임 홀딩동작과,

상기 복수의 계조전류의 상기 복수의 표시화소로의 공급동작은 동시에 병행하여 실행되는 것을 특징으로 하는 표시장치의 구동방법.

청구항 89.

제 84 항에 있어서,

상기 각 계조전류의 신호극성은 상기 표시화소측으로부터 끌어 들이는 방향으로 흐르도록 설정되어 있는 것을 특징으로 하는 표시장치의 구동방법.

청구항 90.

제 84 항에 있어서,

상기 계조전류의 신호극성은 상기 표시화소측으로 흘러 넣는 방향으로 흐르도록 설정되어 있는 것을 특징으로 하는 표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전류생성공급회로, 그 전류생성공급회로를 구비한 표시장치 및 그 표시장치의 구동방법에 관한 것이고, 특히, 전류구동형의 발광소자를 갖는 표시화소를 구비하는 표시패널에 소망한 화상정보를 표시하는 표시장치에 적용 가능한 전류생성공급회로 및 그 전류생성공급회로를 구비하는 구동회로의 구동방법에 관한 것이다.

근래 퍼스널컴퓨터나 영상기기의 모니터나 디스플레이로서 음극선관(CRT)에 대신하는 액정표시장치(LCD) 등의 플랫폼표시디바이스를 이용한 표시장치의 보급이 현저하다. 특히, 액정표시장치는 구래(舊來)의 표시장치(CRT)와 비교해서 박형경량화, 공간절약화, 저소비전력화 등이 가능하기 때문에 급속히 보급되고 있다. 또, 비교적 소형의 액정표시장치는 근래 보급이 현저한 휴대전화나 디지털카메라, 휴대정보단말(PDA) 등의 표시장치로서도 널리 적용되고 있다.

이와 같은 액정표시장치에 계속되는 차세대의 표시장치(디스플레이)로서 유기일렉트로루미네센스소자(이하, 「유기EL소자」로 약기한다)나 무기일렉트로루미네센스소자(이하, 「무기EL소자」로 약기한다), 혹은, 발광다이오드(LED) 등과 같은 자기발광형의 발광소자를 매트릭스상으로 배열한 표시패널을 구비한 자기발광형의 표시장치가 알려져 있다. 이와 같은 자기발광형의 표시장치, 특히, 액티브 매트릭스 구동방식을 적용한 자기발광형의 표시장치에 있어서는 액정표시장치와 비교해서 표시응답속도가 빠르고, 시야각 의존성도 없으며, 또 고휘도·고콘트라스트화, 표시화질의 고정밀화, 저소비전력화 등이 가능한 동시에, 액정표시장치와 같이 백라이트를 필요로 하지 않으므로 한층의 박형경량화가 가능하다는 매우 우위인 특징을 갖고 있고, 그 본격적인 실용화가 기대되고 있다.

이와 같은 액티브 매트릭스 구동방식에 의한 자기발광형의 표시장치는 개략, 행방향으로 배치 설치된 복수의 주사라인(주사선)과 열방향으로 배치 설치된 복수의 데이터라인(신호선)의 각 교점 근방에 발광소자를 포함하는 복수의 표시화소가 매트릭스상으로 배열된 표시패널과, 표시데이터(표시신호)에 따른 계조전류를 생성해서 각 데이터라인을 통하여 각 표시화소에 공급하는 데이터드라이버와, 소정의 타이밍으로 주사신호를 각 주사라인에 차례차례 인가해서 각 행의 표시화소를 차례차례 선택상태로 하는 주사드라이버를 구비하고, 각 표시화소에 공급된 계조전류에 의해 표시화소의 발광소자가 표시데이터에 따른 휘도계조로 발광 동작해서 소망한 화상정보가 표시패널에 표시된다. 또한 자기발광형의 표시장치의 구체적인 예에 대해서는 후술하는 발명의 실시형태에 있어서 상세히 설명한다.

이와 같은 자기발광형의 표시장치에 있어서의 구동방법으로서의 복수의 표시화소(발광소자)에 대해서 데이터드라이버에 의해 표시데이터에 따른 전류값을 갖는 계조전류(구동전류)를 생성하여 주사드라이버에 의해 선택된 특정 행의 표시화소에 공급해서 각 표시화소의 발광소자를 소정의 휘도계조로 발광시키는 동작을 1화면의 각 행에 대해서 차례차례 반복하는 전류지정형의 구동방법이나, 주사드라이버에 의해 선택된 특정 행의 표시화소에 대해서 데이터드라이버에 의해 일정한 전류값의 구동전류를 표시데이터에 따른 개별의 시간폭(신호폭)으로 공급하여 각 발광소자를 소정의 휘도계조로 발광시키는 동작을 1화면의 각 행에 대해서 차례차례 반복하는 펄스폭변조(PWM)형의 구동방법 등이 알려져 있다.

발명이 이루고자 하는 기술적 과제

그러나 상기한 바와 같은 자기발광형의 표시장치에 있어서는 이하에 나타내는 바와 같은 문제를 갖고 있었다.

즉 데이터드라이버에 의해 표시데이터에 따른 구동전류를 표시화소마다 생성하여 표시패널의 각 데이터라인을 통하여 각 표시화소에 공급하는 전류지정형의 구동방법에 있어서, 상기 구동전류는 표시데이터에 대응해서 변화한다. 그로 인해 데이터드라이버에 있어서, 예를 들면 소정의 전류원으로부터 전류가 공급되는 전류를 각 데이터라인에 대응해서 데이터드라이버에 개별로 설치된 트랜지스터나 래치회로 등에 의해 일단 홀딩하여 구동전류로서 각 데이터라인에 공급하는 구성을 구비하는 경우, 해당 전류원으로부터 공급되는 전류는 표시데이터에 따라서 변화하게 된다. 여기에서 데이터드라이버의 각 회로구성에 공급되는 전류가 드라이버내에 있어서 소정의 전류공급용의 신호배선을 통하여 공급되는 경우, 일반적으로 신호배선에는 용량성분(배선용량)이 존재하기 때문에 전류공급용의 신호배선에 흐르는 전류를 변화시키는 동작은 해당 신호배선에 존재하는 기생용량을 소정의 전위까지 충전, 혹은 방전하는 것에 상당한다. 그로 인해 이 신호배선의 충방전 동작에 어느 정도의 시간을 요하고, 특히 해당 신호배선을 통하여 공급되는 전류가 미소한 경우에는 이 충방전 동작에 비교적 긴 시간을 요하게 된다.

한편 데이터드라이버에 있어서의 동작은 표시패널의 고정밀화(고해상도화)에 따라서 표시화소수가 증대하고, 데이터라인 및 주사라인의 수가 증가할수록 각 주사라인마다의 구동시간이 감소하는 동시에, 각 데이터라인에 따른 전류의 홀딩동작 등에 할당되는 동작기간이 짧아져서 보다 고속의 동작이 필요하게 된다.

그러나 상기와 같이 데이터라인이나 신호배선의 충방전 동작에는 어느 정도의 시간을 요하고, 특히, 표시패널의 소형화나 고정밀화 등에 동반하여 구동전류의 전류값이 작아질수록 신호배선의 충방전 동작에 필요할 시간이 증대하며, 이에 따라 데이터드라이버의 동작속도가 율속(律速)되어 버린다고 하는 문제를 갖고 있었다.

본 발명은 복수의 부하에 디지털신호에 따른 구동전류를 공급하는 전류생성공급회로 및 해당 전류생성공급회로를 갖는 구동회로를 구비하고, 전류제어구동형의 발광소자를 구비하는 표시화소를 갖는 표시패널에 표시신호에 따른 화상정보를 표시하는 표시장치에 있어서, 균일한 전류값을 갖는 구동전류를 생성하여 복수의 부하에 공급할 수 있는 동시에, 저계조시의 구동전류가 미소한 경우라도 구동전류의 생성에 관련되는 동작속도를 향상시켜 부하에 적절한 구동전류를 공급할 수 있어서 양호한 표시특성을 얻을 수 있는 효과를 갖는다.

상기 효과를 얻기 위한 본 발명에 있어서의 전류생성공급회로는 적어도 상기 복수의 부하의 각각에 대응하고, 소정의 기준 전압에 의거하여 상기 디지털신호의 각 비트에 대응하는 복수의 단위전류를 생성하는 단위전류생성회로와 상기 디지털신호의 비트의 값에 따라서 상기 단위전류의 각각을 선택적으로 합성하고, 구동전류로서 생성하여 상기 복수의 부하에 공급하는 구동전류생성회로를 갖는 복수의 전류생성회로부와, 상기 복수의 전류생성회로부에 대해서 상기 소정의 기준전압을 공통으로 인가하는 기준전압생성회로를 구비한다.

여기에서 상기 복수의 전류생성회로부는 상기 구동전류를 상기 부하측으로부터 끌어 들이는 방향으로 흘리고, 혹은 상기 부하측으로 흘러 넣는 방향으로 흘리도록 구동전류의 신호극성을 설정한다.

또 상기 복수의 단위전류의 각각의 전류값은 서로 2^n 으로 규정되는 다른 비율을 갖고, 상기 복수의 전류생성회로의 각각은 상기 디지털신호의 각 비트를 개별로 홀딩하는 복수의 래치회로를 갖는 신호홀딩회로를 구비하며, 상기 구동전류생성회로는 상기 신호홀딩회로에 홀딩된 상기 디지털신호의 각 비트값에 따라서 상기 단위전류생성회로에 의해 생성되는 상기 복수의 단위전류를 선택하는 선택스위치회로를 구비하여 상기 구동전류를 생성한다.

상기 신호홀딩회로에 있어서의 래치회로는 예를 들면 상기 디지털신호를 받아 들이는 신호입력제어회로와, 상기 디지털신호의 신호레벨에 의거하는 전하를 축적하는 전하축적회로와, 상기 전하축적회로에 축적된 전하량에 의거하여 해당 래치회로로부터 출력되는 출력신호의 신호레벨을 설정하는 출력레벨설정회로를 구비한다.

상기 복수의 전류생성회로는 상기 복수의 부하의 각각에 대응해서 설치되어 복수의 부하에 대한 상기 구동전류를 병행하여 생성하고, 혹은 상기 복수의 부하의 일부의 소정의 수의 부하마다 대응해서 설치되어 상기 소정의 수의 부하에 대응하는 구동전류를 차례차례 생성한다. 후자의 구성의 경우, 전류생성공급회로는 추가로 상기 복수의 부하의 각각에 대응해서 설치되어 상기 전류생성회로에 의해 생성된 상기 구동전류를 차례차례 받아 들여 병렬적으로 홀딩하고, 상기 홀딩한 상기 구동전류를 상기 복수의 부하에 일제히 출력하는 복수의 전류래치회로를 구비하는 동시에, 상기 신호홀딩회로에 있어서의 상기 복수의 래치회로를 차례차례 선택하여 해당 래치회로에 홀딩된 상기 디지털신호를 상기 복수의 전류생성회로의 각각에 공급하는 입력측 스위치회로와, 상기 복수의 전류래치회로를 차례차례 선택하여 상기 복수의 전류생성회로에 의해 생성된 상기 구동전류를 선택된 상기 전류래치회로에 차례차례 공급하는 출력측 스위치회로를 구비하고, 상기 입력측 스위치회로에 있어서의 상기 신호홀딩회로의 상기 복수의 래치회로를 선택하는 동작 및 상기 출력측 스위치회로에 있어서의 상기 복수의 전류래치회로를 선택하는 동작이 동기하여 실행된다.

상기 기준전압생성회로는 예를 들면 기준전류트랜지스터를 구비하여 일정한 전류값을 갖는 기준전류가 흐름으로써 제어단자에 발생하는 전압을 상기 기준전압으로서 출력함으로써 기준전류에 의거하는 상기 기준전압을 생성하는 수단을 구비하는 동시에, 기준전류의 전류성분에 따른 전하를 축적하는 전하축적회로를 구비하고, 추가로 소정의 타이밍마다 상기 전하축적회로에 상기 기준전류의 전류성분에 따른 전하를 축적시키는 리프레시회로를 구비한다. 혹은 상기 기준전압생성회로는 일정한 전압값을 갖는 전압을 상기 기준전압으로서 정상적으로 출력하는 정전압발생원을 구비하여 구성된다.

상기 단위전류생성회로는 상기 기준전압생성회로의 상기 기준전류트랜지스터의 제어단자에 각 제어단자가 공통으로 접속되는 동시에, 트랜지스터 사이즈가 각각 다른 복수의 단위전류트랜지스터를 구비하고, 상기 복수의 단위전류트랜지스터의 각각의 채널폭은 서로 2^n 으로 규정되는 다른 비율로 설정되며, 상기 기준전류트랜지스터와 상기 복수의 단위전류트랜지스터는 커런트미러회로를 구성한다. 또 상기 기준전류트랜지스터 및 상기 복수의 단위전류트랜지스터의 적어도 어느 쪽인가는 보디터미널구조를 갖는 구성, 복수의 전계효과형 트랜지스터를 직렬로 접속한 구성, 혹은 기본이 되는 트랜지스터 사이즈를 갖는 복수의 기본트랜지스터의 전류로가 병렬로 복수 접속되고, 소정의 기준위치를 중심으로 하여 1차원 또는 2차원 방향으로 상호 대칭이 되는 위치에 배치된 구성의 어느 쪽인가의 구성을 가지며, 복수의 단위전류트랜지스터가 복수의 기본트랜지스터로 이루어지는 구성에 있어서는 각 단위전류트랜지스터를 구성하는 기본트랜지스터의 수가 각각 다르고, 병렬로 접속되는 기본트랜지스터의 채널폭의 합계가 서로 2^n 으로 규정되는 다른 비율로 설정된다.

추가로 본 발명에 있어서의 전류생성공급회로는 상기 기준전류를 생성하는 정전류발생원을 구비하고, 예를 들면 상기 전류생성회로 및 상기 정전류발생원은 동일한 기관상에 형성되며, 해당 정전류발생원은 예를 들면 제어전압에 따라서 상기 기준전류의 전류값을 임의로 변경 설정하는 수단을 구비한다.

상기 효과를 얻기 위한 본 발명에 있어서의 표시장치는 복수의 주사선 및 복수의 신호선이 상호 직교하도록 배치 설치되고, 해당 주사선 및 해당 신호선의 교점 근방에 복수의 표시화소가 매트릭스상으로 배열된 표시패널과, 상기 각 표시화소를 행단위로 선택상태에 설정하기 위한 주사신호를 상기 복수의 주사선에 차례차례 인가하는 주사구동회로와, 적어도 소정의 기준전압에 의거하여 상기 표시신호의 디지털신호의 각 비트에 대응하는 복수의 단위전류를 생성하는 단위전류생성회로와, 상기 표시신호의 디지털신호의 비트값에 따라서 상기 단위전류의 각각을 선택적으로 합성하며, 계조전류로서 생성하여 상기 복수의 신호선의 각각에 공급하는 계조전류생성회로를 갖는 복수의 계조전류생성공급회로부와, 상기 복수의 계조전류생성회로부에 대해서 상기 소정의 기준전압을 공통으로 인가하는 기준전압생성회로를 갖는 신호구동회로를 구비한다.

상기 복수의 계조전류생성공급회로부는 상기 계조전류를 상기 신호선을 통하여 상기 표시화소측으로부터 끌어 들이는 방향으로 흘리고, 혹은 상기 신호선을 통하여 상기 표시화소측으로 흘려 넣는 방향으로 흘리도록 해당 계조전류의 신호극성을 설정한다.

또 상기 복수의 단위전류의 각각의 전류값은 서로 2^n 으로 규정되는 다른 비율을 갖고, 상기 복수의 계조전류생성회로부의 각각은 상기 표시신호의 디지털신호의 각 비트를 개별로 홀딩하는 복수의 래치회로를 갖는 신호홀딩회로를 구비하며, 상기 복수의 계조전류생성회로부의 각각에 있어서의 상기 계조전류생성회로는 상기 신호홀딩회로에 홀딩된 상기 표시신호의 디지털신호의 비트값에 따라서 상기 단위전류생성회로에 의해 생성되는 상기 복수의 단위전류를 선택하는 선택스위치회로를 구비하여 상기 계조전류를 생성한다.

상기 신호홀딩회로에 있어서의 상기 래치회로는 상기 표시신호의 디지털신호를 받아 들이는 신호입력제어회로와, 상기 표시신호의 디지털신호의 신호레벨에 의거하는 전하를 축적하는 전하축적회로와, 상기 전하축적회로에 축적된 전하량에 의거하여 해당 래치회로로부터 출력되는 출력신호의 신호레벨을 설정하는 출력레벨설정회로를 구비한다.

상기 복수의 계조전류생성공급회로부는 상기 복수의 신호선의 각각에 대응해서 설치되어 상기 복수의 신호선에 대한 상기 계조전류를 동시에 병행해 생성하고, 혹은 상기 복수의 신호선의 일부의 소정의 수의 신호선마다 대응해서 설치되며, 해당 계조전류생성공급회로부는 각 상기 소정의 수의 신호선에 대응하는 계조전류를 차례차례 생성하도록 구성된다.

전자의 구성에 있어서는 추가로 상기 복수의 신호선의 각각에 대하여 2개의 계조전류생성회로부가 병렬로 1쌍 배치되고, 각각이 적어도, 상기 단위전류생성회로, 상기 계조전류생성회로 및 상기 신호홀딩회로를 가지며, 상기 기준전압생성회로는 상기 1쌍의 계조전류생성공급회로부의 각각에 대하여 상기 기준전압을 공통으로 인가하고, 상기 1쌍의 계조전류생성회로부의 한쪽의 계조전류생성회로부의 상기 전류생성회로에 있어서의 상기 신호홀딩회로에 홀딩된 상기 표시신호의 디지털신호에 의거하는 상기 계조전류를 상기 복수의 신호선에 공급하는 동작과, 다른쪽의 계조전류생성공급회로부의 상기 전류생성회로에 있어서의 상기 신호홀딩회로에 다음의 상기 표시신호의 디지털신호를 홀딩하는 동작은 동시에 병행하여 실행된다.

후자의 구성에 있어서는 상기 신호구동회로는 추가로 상기 복수의 신호의 각각에 대응해서 설치되고, 상기 계조전류생성공급회로부에 의해 생성된 상기 계조전류를 차례차례 받아 들여 병렬적으로 홀딩하며, 상기 홀딩한 상기 계조전류를 상기 복수의 신호선에 일제히 출력하는 복수의 전류래치회로를 구비하는 동시에, 상기 신호홀딩회로에 있어서의 상기 복수의 래치회로를 차례차례 선택하고, 해당 래치회로에 홀딩된 상기 표시신호의 디지털신호를 상기 복수의 계조전류생성공급회로부의 각각에 공급하는 입력측 스위치회로와, 상기 복수의 전류래치회로를 차례차례 선택하며, 상기 복수의 계조전류생성공급회로부에 의해 생성된 상기 계조전류를 선택된 상기 전류래치회로에 차례차례 공급하는 출력측 스위치회로를 구비하고, 상기 입력측 스위치회로에 있어서의 상기 신호홀딩회로의 상기 복수의 래치회로를 선택하는 동작 및 상기 출력측 스위치회로에 있어서의 상기 복수의 전류래치회로를 선택하는 동작은 동기하여 실행된다.

상기 기준전압생성회로는 예를 들면 기준전류트랜지스터를 구비하여 일정한 전류값을 갖는 기준전류가 흐름으로써 제어단자에 발생하는 전압을 상기 기준전압으로서 출력함으로써 기준전류에 의거하는 상기 기준전압을 생성하는 수단을 구비하는 동시에, 상기 기준전류의 전류성분에 따른 전하를 축적하는 전하축적회로를 구비하고, 추가로 소정의 타이밍마다 상기 전하축적회로에 상기 기준전류의 전류성분에 따른 전하를 축적시키는 리프레시회로를 구비한다. 혹은 상기 기준전압생성회로는 일정한 전압값을 갖는 전압을 상기 기준전압으로서 정상적으로 출력하는 정전압발생원을 구비하여 구성된다.

상기 단위전류생성회로는 상기 기준전압생성회로의 상기 기준전류트랜지스터의 제어단자에 각 제어단자가 공통으로 접속되는 동시에, 트랜지스터 사이즈가 각각 다른 복수의 단위전류트랜지스터를 구비하고, 상기 복수의 단위전류트랜지스터의 각각의 채널폭은 서로 2^n ($n = 0, 1, 2, 3, \dots$)으로 규정되는 다른 비율로 설정되며, 상기 기준전류트랜지스터와 상기 복수의 단위전류트랜지스터는 커런트미러회로를 구성한다. 또 상기 기준전류트랜지스터 및 상기 단위전류트랜지스터의 적어도 어느 쪽인가는 보디터미널구조를 갖는 구성, 복수의 전계효과형 트랜지스터를 직렬로 접속한 구성, 혹은 기본이 되는 트랜지스터 사이즈를 갖는 복수의 기본트랜지스터의 전류로가 병렬로 복수 접속되고, 소정의 기준위치를 중심으로 하여 1차원 또는 2차원방향으로 서로 대칭이 되는 위치에 배치된 구성의 어느 쪽인가의 구성을 가지며, 복수의 단위전류트랜지스터가 복수의 기본트랜지스터로 이루어지는 구성에 있어서는 각 단위전류트랜지스터를 구성하는 기본트랜지스터의 수가 각각 다르고, 병렬로 접속되는 기본트랜지스터의 채널폭의 합계가 서로 2^n 으로 규정되는 다른 비율로 설정된다.

추가로 상기 신호구동회로는 상기 기준전류를 생성하는 정전류발생원을 구비하고, 예를 들면 상기 전류생성회로 및 상기 정전류발생원은 동일한 기관상에 형성되며, 해당 정전류발생원은 예를 들면 제어전압에 따라서 상기 기준전류의 전류값을 임의로 변경 설정하는 수단을 구비한다.

또 상기 복수의 표시화소의 각각은 상기 전류생성회로부터 공급되는 상기 계조전류의 전류값에 따라서 소정의 휘도계조로 발광 동작하는 전류구동형의 발광소자와, 상기 계조전류를 홀딩하는 전류기입홀딩회로와 해당 홀딩된 상기 계조전류에 의거하여 발광구동전류를 생성하고, 상기 발광소자에 공급하는 발광구동회로를 구비하며, 상기 발광소자는 예를 들면 유기일렉트로루미네센스소자이다.

발명의 구성

이하, 본 발명에 관련되는 전류생성공급회로, 그 전류생성공급회로를 구비한 표시장치 및 그 표시장치의 구동방법에 대해서 실시형태를 나타내어 상세하게 설명한다.

< 전류생성공급회로의 제 1 실시형태 >

우선, 본 실시형태에 관련되는 전류생성공급의 제 1 실시형태에 대해서 도면을 참조하여 설명한다.

도 1은 본 실시형태에 관련되는 전류생성공급회로의 제 1 실시형태를 나타내는 개략 구성도이다.

도 2는 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 1 실시형태를 나타내는 회로 구성도이다.

도 1의 (A)에 나타내는 바와 같이 본 실시형태에 관련되는 전류생성공급회로(100A)는 대별하여 고전위전원이 접속되는 전압접점(+V, 이하, 「고전위전원(+V)」으로 기입한다)과 저전위전원이 접속되는 전압접점(-V, 이하, 「저전위전원(-V)」으로 기입한다)의 사이에 소정의 일정전류값을 갖는 기준전류(Iref)를 공급하는 정전류발생원(IR)과, 정전류발생원(IR)에 직렬로 접속된 기준전압생성회로(10A)와, 복수의 부하(예를 들면, 후술하는 표시화소)를 소망한 구동상태로 동작시키기 위해 각 부하에 대응해서 설치되고, 소정의 전류값을 갖는 구동전류(IA1, IA2, ..., 이하, 편의적으로 「구동전류(IA)」로도 기입한다)를 생성하여 공급하는 전류생성회로(ILA-1, ILA-2, ..., 이하, 편의적으로 「전류생성회로(ILA)」로도 기입한다) 및 해당 전류생성회로(ILA)에 대응하여 설치되며, 상기 부하의 구동상태를 제어하는 부하제어신호(복수 비트의 디지털신호)를 받아 들여 홀딩하는 신호홀딩회로(DLA-1, DLA-2, ..., 이하, 편의적으로 「신호홀딩회로(DLA)」로도 기입한다)로 이루어지는 복수의 전류생성회로부(20A-1, 20A-2, ..., 이하, 편의적으로 「전류생성회로부(20A)」로도 기입한다)를 구비한 구성을 갖고 있다.

또한 본 실시형태에 관련되는 전류생성공급회로(100A)는 부하에 대해서 전류생성공급회로측으로부터 구동전류(IA)를 흘러 넣는 구성을 구비한다.(이하, 편의적으로 「전류인가방식」이라 기입한다)

또 이하에 설명하는 각 실시형태에 있어서는 구동전류(IA)를 생성하기 위한 부하제어신호로서 4 비트의 디지털신호(d0, d1, d2, d3, (이하, 「디지털신호(d0~d3)」로 약기한다)를 적용한 경우에 대해서 설명하는데, 이것에 한정되는 것이 아닌 것은 말할 필요도 없다.

이하, 상기 각 구성에 대해서 구체적으로 설명한다.

(신호홀딩회로)

신호홀딩회로(DLA)는 도 1의 (B)에 나타내는 바와 같이 상기 부하의 구동상태를 제어하는 디지털신호(d0~d3)의 비트수(4 비트)에 따른 수의 래치회로(LC0, LC1, LC2, LC3, 이하, 「래치회로(LC0~LC3)」로 약기, 편의적으로 「래치회로(LC)」로도 기입한다)가 병렬로 설치된 구성을 갖고, 외부의 타이밍 제네레이터나 시프트레지스터 등으로부터 출력되는 타이밍제어신호(CLK1, CLK2, CLK3..., 이하, 편의적으로 「타이밍제어신호(CLK)」로도 기입한다)에 의거하여 각각 개별로 공급되는 디지털신호(d0~d3)를 각 입력단자(IN)를 통하여 동시에 받아 들이고, 홀딩(래치)하는 동시에, 해당 디지털신호(d0~d3)에 의거하는 신호레벨을 각 반전출력단자(OT*, 본 명세서중에서는 편의적으로 비반전출력단자를 「OT」, 반전출력단자를 「OT*」라 기입한다)를 통하여 출력하는 동작을 실행한다. 신호홀딩회로(DLA)에 적용할 수 있는 구체적 구성에 대해서는 후술한다.

(기준전압생성회로/ 전류생성회로)

다음으로 전류생성공급회로의 제 1 실시형태에 있어서의 기준전압생성회로 및 전류생성회로에 적용할 수 있는 구체적 구성에 대해서 설명한다.

본 실시형태에 있어서의 기준전압생성회로(10A)는 예를 들면 도 2에 나타내는 바와 같이 기준전류트랜지스터(Tp11)를 구비하여 구성된다.

또 전류생성회로(ILA)는 예를 들면 도 2에 나타내는 바와 같이 복수의 전류생성회로(ILA-1, ILA-2, ...)가 기준전압생성회로(10A)에 대해서 병렬로 접속되고, 각 전류생성회로(ILA-1, ILA-2, ...)는 복수의 단위전류트랜지스터(Tp12~Tp15, Tp22~Tp25, ...)를 구비하여 구성된다. 여기에서 기준전류트랜지스터(Tp11)의 게이트단자(제어단자)와 각 단위전류트랜지스터의 게이트단자(제어단자)가 접점(Nrg)에서 공통으로 접속되어 커런트미러회로를 구성하고 있다.

그리고 기준전류트랜지스터(Tp11)에 공급되는 기준전류(Iref)에 의거하여 발생하는 전압성분(게이트전압; 기준전압, Vref)이 각 전류생성회로(ILA-1, ILA-2, ...)의 단위전류트랜지스터(Tp12~Tp15, Tp22~Tp25, ...)의 게이트단자에 공통으로 인가됨으로써 각 전류생성회로부(20A-1, 20A-2, ...)에 있어서, 다른 비율의 전류값을 갖는 복수의 단위전류(여기에서는, 4 종류의 단위전류, Isa, Isb, Isc, Isd)를 일시에 생성하고, 이들의 단위전류(Isa~Isd) 중, 상기 신호홀딩회로(DLA, 래치회로(LC0~LC3)의 각 반전출력단자(OT*))로부터 출력되는 반전출력신호(d10*~d13*)에 의거하여 각 단위전류를 선택해서 합성하며, 각 전류출력단자(OUT1, OUT2, ..., 이하, 편의적으로 「전류출력단자(OUTi)」로도 기입한다)를 통하여 각 부하에 구동전류(IA1, IA2, ...)로서 공급한다.

보다 구체적으로는 도 2에 나타내는 바와 같이 기준전압생성회로(10A) 및 전류생성회로(ILA)에 적용되는 커런트미러회로 구성은 기준전압생성회로(10A)에 있어서 정전류발생원(IR)에 의해 기준전류(Iref)가 공급되는 전류입력접점(INi)과 고전위전원(+V)의 사이에 전류로(소스-드레인단자)가 접속되는 동시에, 게이트단자가 접점(Nrg)에 접속된 p채널형의 전계효과형 트랜지스터(기준전류트랜지스터, Tp11)와 각 전류생성회로(ILA-1, ILA-2, ...)를 구성하는 단위전류생성회로(21A-1, 21A-2, ..., 이하, 편의적으로 「단위전류생성회로(21A)」로도 기입한다)에 있어서, 각 접점(Na, Nb, Nc, Nd)과 고전위전원(+V)의 사이에 각각 전류로가 접속되는 동시에, 게이트단자가 상기 접점(Nrg)에 공통으로 접속된 복수(래치회로(LC0~LC3)에 대응한 4개)의 p채널형의 전계효과형 트랜지스터(단위전류트랜지스터, Tp12~Tp15, Tp22~Tp25, ...)를 구비한 구성을 갖고 있다. 여기에서 접점(Nrg)은 전류입력접점(INi)에 직접 접속되어 있는 동시에, 고전위전원(+V)과의 사이에 기준전류트랜지스터(Tp11)의 게이트-소스간에 형성되는 기생용량(Ca)이 접속되어 있다.

또 각 전류생성회로(ILA)는 부하가 접속되는 전류출력단자(OUTi)와 각 접점(Na, Nb, Nc, Nd)의 사이에 각각 전류로가 접속되는 동시에, 게이트단자에 상기 각 래치회로(LC0~LC3)로부터 개별로 출력되는 반전출력신호(d10*~d13*)가 병렬적으로 인가되는 복수(4개)의 p채널형의 전계효과형 트랜지스터(선택트랜지스터, Tp16~Tp19, Tp26~Tp29, ...)로 이루어지는 선택스위치회로(구동전류생성회로, 22A-1, 22A-2, ..., 이하, 편의적으로 「선택스위치회로(22A)」로도 기입한다)를 구비하고 있다.

여기에서 본 실시형태에 관련되는 전류생성회로(ILA)에 있어서는 특히 커런트미러회로를 구성하는 각 단위전류트랜지스터(Tp12~Tp15, Tp22~Tp25, ...)에 흐르는 각 단위전류(Isa~Isd)가 기준전류트랜지스터(Tp11)에 흐르는 기준전류(Iref)에 대해서 각각 다른 소정의 비율의 전류값을 갖도록 설정되어 있다.

구체적으로는 단위전류생성회로(21A-1)에 있어서 각 단위전류트랜지스터(Tp12~Tp15)의 트랜지스터 사이즈가 각각 다른 비율이 되도록 설정되고, 예를 들면 각 단위전류트랜지스터(Tp12~Tp15)의 채널길이를 일정하게 한 경우의 각 채널폭의 비(W2 : W3 : W4 : W5)가 1 : 2 : 4 : 8이 되도록 형성되어 있다. 또한 다른 단위전류생성회로(21A-2, ...)에 있어서도 채널폭이 똑같은 비율을 갖도록 형성되어 있다.

이에 따라 각 단위전류트랜지스터(Tp12~Tp15, Tp22~Tp25, ...)에 흐르는 단위전류(Isa~Isd)의 전류값은 기준전류트랜지스터(Tp11)의 채널폭을 “W1”이라고 하면, 각각 $I_{sa} = (W2 / W1) \times I_{ref}$, $I_{sb} = (W3 / W1) \times I_{ref}$, $I_{sc} = (W4 / W1) \times I_{ref}$, $I_{sd} = (W5 / W1) \times I_{ref}$ 로 설정된다. 즉 단위전류트랜지스터(Tp12~Tp15, Tp22~Tp25, ...)의 채널폭(W2, W3, W4, W5)을 예를 들면 기준전류트랜지스터(Tp11)의 채널폭(W1)을 기준으로 하여 각각 2^n ($n = 0, 1, 2, 3, \dots$; $2^0 = 1, 2, 4, 8, \dots$)의 비율이 되도록 설정함으로써 기준전류(Iref)에 대한 단위전류(Isa~Isd)간의 전류값을 2^n 으로 규정되는 비율로 설정할 수 있다.

이와 같이 전류값이 설정된 각 단위전류(Isa~Isd)로부터 복수 비트의 디지털신호(d0~d3), 반전출력신호(d10*~d13*)에 의거하여 임의의 단위전류를 선택해서 합성함으로써 2ⁿ단계의 전류값을 갖는 구동전류(계조전류, IA)가 생성된다. 즉 도 1 및 도 2에 나타난 바와 같이 4 비트의 디지털신호(d0~d3)를 적용한 경우, 각 단위전류트랜지스터(Tp12~Tp15)에 접속되는 선택트랜지스터(Tp16~Tp19)의 ON/OFF 상태에 따라서 2⁴=16 단계의 다른 전류값을 갖는 구동전류(IA)가 생성된다.

그리고 이와 같은 구성을 갖는 전류생성회로(ILA, 예를 들면 전류생성회로 (ILA-1))에 있어서는 상기 신호홀딩회로(DLA, 래치회로(LC0~LC3))로부터 출력되는 반전출력신호(d10*~d13*)의 신호레벨에 따라서 선택스위치회로(22A-1)의 특정의 선택트랜지스터가 ON동작(선택트랜지스터(Tp16~Tp19)의 어느 쪽인가 1개 이상이 ON동작하는 경우 외에 어느 쪽인가의 선택트랜지스터(Tp16~Tp19)도 OFF동작하는 경우를 포함한다)하고, 해당 ON동작한 선택트랜지스터에 접속된 단위전류생성회로(21A-1)의 단위전류트랜지스터(Tp12~Tp15)의 어느 쪽인가 1개 이상)에 기준전류트랜지스터(Tp11)에 흐르는 일정 전류값의 기준전류(Iref)에 대해서 소정비율(a×2ⁿ; a는 기준전류트랜지스터(Tp11)의 채널폭(W1)에 의해 규정되는 정수)의 전류값을 갖는 단위전류(Isa~Isd)가 흐르며, 전류출력단자(OUTi)에 있어서 이들의 단위전류의 합성값이 되는 전류값을 갖는 구동전류(IA)가 고전위전원(+V)으로부터 단위전류생성회로(21A-1, 단위전류트랜지스터(Tp12~Tp15)의 어느 쪽인가) 및 선택스위치회로(22A-1, ON상태에 있는 선택트랜지스터(Tp16~Tp19)의 어느 쪽인가), 전류출력단자(OUTi)를 통하여 부하측으로 흐른다.

이에 따라 본 실시형태에 관련되는 각 전류생성회로(ILA)에 있어서는 타이밍제어신호(CLK)에 의해 규정되는 타이밍으로 신호홀딩회로(DLA)에 입력되는 복수 비트의 디지털신호(d0~d3)에 따라서 일정 전류값의 기준전류(Iref) 및 일정한 고전위전원(+V)에 의거하여 소정의 전류값을 갖는 아날로그전류로 이루어지는 구동전류(IA)가 생성되고, 부하에 공급되는 것으로 되기 때문에 구동전류의 전류값이 작은 경우나, 부하로의 구동전류의 공급시간이 짧게 설정되어 있는 경우라도 전류생성회로의 동작속도가 전류원이나 전압원으로부터의 전류나 전압의 공급 지연의 영향을 받는 일이 없고, 부하에 적절한 구동전류를 공급할 수 있다.

또 본 실시형태에 관련되는 전류생성공급회로에 있어서는 기준전류가 공급되는 기준전압생성회로가 각 부하에 대응해서 설치되는 복수의 전류생성회로에 대해서 공통화되어 설치되는 구성을 갖고 있으므로 부하의 수의 증대에 대한 회로구성의 증대를 억제해서 전류생성공급회로의 회로면적의 증대를 억제하여 비용의 저감을 꾀할 수 있다.

추가로 기준전압생성회로가 복수의 전류생성회로에 대해서 공통화되어 설치되고, 복수의 전류생성회로에 동일한 기준전압이 공급되는 구성을 갖고 있으므로 각 전류생성회로에 있어서 생성, 출력되는 구동전류의 불균형을 억제해서 균일한 전류값을 갖는 구동전류를 생성하여 공급할 수 있다.

< 전류생성공급회로의 제 2 실시형태 >

다음으로 본 실시형태에 관련되는 전류생성공급회로의 제 2 실시형태에 대해서 도면을 참조하여 설명한다.

도 3은 본 실시형태에 관련되는 전류생성공급회로의 제 2 실시형태를 나타내는 개략 구성도이다.

도 4는 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 2 실시형태를 나타내는 회로 구성도이다.

여기에서 상기한 실시형태에 있어서의 구성과 동등한 구성에 대해서는 동일또는 동등한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

또 상기한 전류생성공급회로의 제 1 실시형태에 있어서는 전류생성공급회로가 전류인가방식을 구비하는 경우에 대해서 나타냈는데, 제 2 실시형태에 있어서의 전류생성공급회로는 부하측으로부터 전류생성공급회로방향으로 구동전류를 끌어들이도록 하는 구성을 구비하는 것이다.(이하, 편의적으로, 「전류싱크방식」으로 기입한다)

도 3의 (A)에 나타내는 바와 같이 본 실시형태에 관련되는 전류생성공급회로 (100B)는 대별하여 상기한 제 1 실시형태와 동등한 구성을 갖는 기준전압생성회로 (10B)와 전류생성회로(ILB-1, ILB-2, ILB-3, ..., 이하, 편의적으로 「전류생성회로(ILB)」로도 기입한다) 및 신호홀딩회로(DLB-1, DLB-2, DLB-3, ..., 이하, 편의적으로 「신호홀딩회로(DLB)」

로도 기입한다)로 이루어지는 복수의 전류생성회로부(20B-1, 20B-2, 20B-3, ..., 이하, 편의적으로 「전류생성회로부(20B)」로도 기입한다)를 구비한 구성을 갖고 있다. 여기에서 기준전압생성회로(10B)는 정전류발생원(IR)로부터 기준전압생성회로(10B)방향으로 기준전류(Iref)가 흐르도록 정전류발생원(IR)측에 고전위전원(+V)이 접속되고, 기준전압생성회로(10B)측에 저전위전원(-V)이 접속되어 있다.

신호홀딩회로(DLB)는 상기한 제 1 실시형태와 똑같이 복수의 디지털신호(d0~d3)에 대응해서 래치회로(LC0~LC3)가 개별로 설치된 구성을 갖고, 각 래치회로(LC0~LC3)의 비반전출력단자(OT)를 통하여 비반전출력신호(d10~d13)가 전류생성회로(ILB)에 출력되도록 접속되어 있다.

도 4에 나타내는 바와 같이 본 실시형태에 있어서의 기준전압생성회로(10B)는 기준전류트랜지스터(Tn11)를 구비하여 구성되고, 전류생성회로(ILB)는 복수의 전류생성회로(ILB-1, ILB-2, ...)가 기준전압생성회로(10B)에 대해서 병렬로 접속되며, 각 전류생성회로(ILB-1, ILB-2, ...)는 복수의 단위전류트랜지스터(Tn12~Tn15, Tn22~Tn25, ...)를 구비하여 구성되고, 기준전류트랜지스터(Tn11)의 게이트단자와 각 단위전류트랜지스터의 게이트단자가 접점(Nrg)에서 공통으로 접속되어 커런트미러회로를 구성하고 있다.

단위전류생성회로(21B-1, 21B-2, ...)가 상기한 제 1 실시형태에 나타낸 구성과 똑같이 기준전압생성회로(10B)를 구성하는 n채널형의 전계효과형 트랜지스터로 이루어지는 기준전류트랜지스터(Tn11)의 게이트단자와 해당 기준전압생성회로(10B)에 대해서 병렬로 접속된 복수의 전류생성회로(ILB-1, ILB-2, ..., 단위전류생성회로(21B-1, 21B-2, ...; 이하, 편의적으로 「단위전류생성회로(21B)」로도 기입한다)의 각각에 설치된 n채널형의 전계효과형 트랜지스터로 이루어지는 복수의 단위전류트랜지스터(Tn12~Tn15, Tn22~Tn25, ...)의 게이트단자가 각각 접점(Nrg)에서 공통으로 접속된 커런트미러회로를 구성하고 있다. 여기에서 접점(Nrg)은 전류입력접점(INi)을 통하여 정전류발생원(IR)에 접속되어 있는 동시에, 저전위전원(-V)과의 사이에 기준전류트랜지스터(Tn11)의 게이트-소스간에 형성되는 기생용량(Cb)이 접속되어 있다.

여기에서 본 실시형태에 있어서도 상기의 제 1 실시형태의 경우와 똑같이 단위전류생성회로(21B-1, 21B-2, ...)를 구성하는 각 단위전류트랜지스터(Tn12~Tn15, Tn22~Tn25, ...)의 트랜지스터 사이즈(즉 채널길이를 일정하게 한 경우의 채널폭)가 기준전류트랜지스터의 트랜지스터 사이즈를 기준으로 하여 각각 다른 비율이 되도록 형성되고, 각 전류로에 흐르는 단위전류(Ise, Isf, Isg, Ish)가 기준전류(Iref)에 대해서 각각 다른 소정의 비율의 전류값을 갖도록 설정되어 있다.

또 각 전류생성회로(ILB)는 부하가 접속되는 전류출력단자(OUTi)와, 상기 단위전류트랜지스터(Tn12~Tn15, Tn22~Tn25, ...)의 일단이 접속된 각 접점(Ne, Nf, Ng, Nh)의 사이에 상기 각 래치회로(LC0~LC3)로부터 개별로 출력되는 비반전출력신호(d10~d13)에 의거하여 ON/OFF동작이 제어되는 n채널형의 전계효과형 트랜지스터로 이루어지는 복수(4개)의 선택트랜지스터(Tn16~Tn19, Tn26~Tn29, ...)가 각각 병렬로 접속된 선택스위치회로(22B-1, 22B-2, ..., 이하, 편의적으로 「선택스위치회로(22B)」로도 기입한다)를 구비하고 있다.

즉 기준전류트랜지스터(Tn11)에 흐르는 기준전류(Iref)에 의거하여 게이트단자에 발생하는 전압성분(기준전압, Vref)이 각 전류생성회로(ILB-1, ILB-2, ...)의 단위전류트랜지스터(Tn12~Tn15, Tn22~Tn25, ...)의 게이트단자에 공통으로 인가됨으로써 각 전류생성회로부(20B-1, 20B-2, ...)에 있어서 상호 다른 비율의 전류값을 갖는 복수의 단위전류(Ise~Ish)를 일시에 생성하고, 신호홀딩회로(DLB, 래치회로(LC0~LC3))로부터 출력되는 비반전출력신호(d10~d13)에 의거하여 선택트랜지스터(Tn16~Tn19, Tn26~Tn29, ...)의 ON/OFF동작을 제어함으로써 단위전류(Ise~Ish) 중, 특정의 단위전류를 선택하여 합성해서 구동전류(IB1, IB2, ..., 이하, 편의적으로 「구동전류(IB)」로도 기입한다)를 생성한다. 구동전류(IB1, IB2, ...)는 부하측으로부터 각 전류출력단자(OUT1, OUT2, ...), 선택스위치회로(22B-1, 22B-2, ...) 및 단위전류생성회로(21B-1, 21B-2, ...)를 통하여 저전위전원(-V)에 끌어 들이도록 공급된다.

(기준전압생성회로 및 전류생성회로의 제 3 실시형태)

다음으로 본 실시형태에 있어서의 전류생성공급회로의 기준전압생성회로 및 전류생성회로에 적용할 수 있는 구체적 구성의 제 3 실시형태에 대해서 도면을 참조하여 설명한다.

도 5는 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 3 실시형태를 나타내는 회로 구성도이다.

여기에서 상기한 실시형태와 동등한 구성에 대해서는 동등 또는 동일한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

또 본 실시형태에 있어서는 상기한 전류생성공급회로의 제 1 실시형태에 있어서는 전류인가방식에 대응한 회로구성을 갖는 것으로 하는데, 상기한 전류생성공급회로의 제 2 실시형태에 있어서는 전류싱크방식에 대응한 회로구성을 갖는 것이어도 좋다.

또 본 실시형태에 있어서는 단위전류생성회로(21A-1, 21A-2,...) 및 선택스위치회로(22A-1, 22A-2,...)로 이루어지는 전류생성회로(ILA, ILA-2,...)는 도 2에 나타난 전류생성회로(ILA)의 제 1 실시형태에 있어서는 구성과 동등한 구성을 구비하는 것이다.

본 실시형태에 관련되는 전류생성공급회로에 있어서는 기준전압생성회로 및 전류생성회로는 상기한 제 1 실시형태와 똑같이 전류발생원에 의해 기준전압생성회로에 기준전류(Iref)를 흘림으로써 발생하는 기준전압(Vref)을 전류생성회로에 인가하도록 구성되어 있다.

본 실시형태에 있어서는 전류생성공급회로에 적용되는 기준전압생성회로(10C)는 도 5에 나타내는 바와 같이 고전위전원(+V)과 정전류발생원(IR)의 사이에 전류로를 갖고, 게이트단자가 접점(Nrg)에 접속된 p채널형 트랜지스터로 이루어지는 기준전류트랜지스터(Tp101)와 해당 기준전류트랜지스터(Tp101)의 게이트단자(접점(Nrg))와 드레인단자(접점(Ntd))의 사이에 전류로를 가지며, 게이트단자에 소정의 타이밍으로 비반전제어신호(TCL)가 인가되는 n채널형 트랜지스터로 이루어지는 리프레시제어트랜지스터(Tr102)와, 해당 기준전류트랜지스터(Tp101)의 게이트단자(접점(Nrg))와 소스단자(고전위전원(+V))의 사이에 접속된 소정용량을 갖는 콘덴서(용량, Cc)와, 기준전류트랜지스터(Tp101)의 드레인단자(접점(Ntd))와 정전류발생원(IR)의 사이에 전류로를 갖고, 게이트단자에 소정의 타이밍으로 반전제어신호(TCL*)가 인가되는 p채널형 트랜지스터로 이루어지는 전류공급제어트랜지스터(Tr103)를 구비한 구성을 갖고 있다.

즉 본 실시형태에 있어서는 기준전압생성회로(10C)는 비반전제어신호(TCL) 및 반전제어신호(TCL*)의 신호레벨에 의거하여 리프레시제어트랜지스터(Tr102) 및 전류공급제어트랜지스터(Tr103)의 ON/OFF동작(동통상태)이 제어됨으로써 기준전류트랜지스터(Tp101)로의 기준전류(Iref)의 공급 및 각 전류생성회로(ILA-1, ILA-2,...)에 있어서는 단위전류의 생성이 제어된다.

여기에서 기준전압생성회로(10C)에 있어서는 기준전류트랜지스터(Tp101)의 게이트단자와 각 전류생성회로(ILA, ILA-2,...)의 각 단위전류트랜지스터(Tp12~Tp15, Tp22~Tp25,...)의 게이트단자가 접점(Nrg)에서 공통으로 접속되어 커런트미러회로를 구성하고, 신호홀딩회로(DLA)로부터의 반전출력신호(d10*~d13*)에 의거하여 선택스위치회로(22A)를 구성하는 각 선택트랜지스터(Tp16~Tp19, Tp26~Tp29,...)의 ON/OFF상태가 제어됨으로써 기준전압생성회로(10C)에 흐르는 기준전류(Iref)에 대해서 소정 비율의 전류값을 갖는 단위전류(Isa~Isd)가 선택, 합성되어 구동전류(IA1, IA2,...)가 생성된다.

또 본 실시형태에 있어서는 기준전압생성회로(10C)를 구성하는 리프레시제어 트랜지스터(Tr102)의 동작상태를 제어하는 비반전제어신호(TCL) 및 전류공급제어트랜지스터(Tr103)의 동작상태를 제어하는 반전제어신호(TCL*)가 동기하여 인가됨으로써 양쪽의 제어트랜지스터(Tr102, Tr103)가 동시에 ON동작 또는 OFF동작하도록 제어된다. 따라서 비반전제어신호(TCL) 및 반전제어신호(TCL*)의 신호레벨에 의거하여 기준전류트랜지스터(Tp101)에 기준전류(Iref)가 공급되어 게이트단자(접점(Nrg))에 소정의 전압성분이 인가(충전)되는 상태와, 해당 기준전류(Iref)의 공급이 차단되는 상태가 선택적으로 설정된다.

특히 후술하는 바와 같이 전류생성공급회로에 부하제어신호를 받아 들며 홀딩하는 경우(신호홀딩동작기간)에는 상기 리프레시제어트랜지스터(Tr102) 및 전류공급제어트랜지스터(Tr103)가 ON동작하도록 상기 제어신호(TCL, TCL*)가 설정되고, 또 상기 받아 들임 홀딩한 부하제어신호에 의거하여 부하를 소정의 구동상태로 동작시키기 위한 구동전류를 생성하여 출력하는 경우(전류생성공급동작기간)에는 리프레시제어트랜지스터(Tr102) 및 전류공급제어트랜지스터(Tr103)가 OFF동작하도록 상기 제어신호(TCL, TCL*)가 설정된다.

또한 본 실시형태에 있어서는 리프레시제어트랜지스터(Tr102)로서 n채널형 트랜지스터를 적용하고, 전류공급제어트랜지스터(Tr103)로서 p채널형 트랜지스터를 적용하여 상호 신호극성이 반전관계에 있는 제어신호(TCL, TCL*)를 이용해서 양쪽의 제어트랜지스터(Tr102, Tr103)의 동작상태를 제어하는 구성에 대해서 설명했는데, 본 발명은 이것에 한정되는 것

은 아니고, 리프레시제어트랜지스터와 전류공급제어트랜지스터가 대략 동기하여 동등한 동작상태로 설정되는 것이면 좋으며, 예를 들면 양쪽에 동일한 채널극성을 갖는 트랜지스터를 설치하여 단일의 제어신호에 의해 동작상태를 제어하는 것이라도 좋다.

이와 같은 구성을 갖는 전류생성공급회로에 있어서, 전류생성회로부의 신호홀딩회로에 부하제어신호를 받아 들며 홀딩하는 신호홀딩동작기간에 있어서는 기준전압생성회로(10C)의 리프레시제어트랜지스터(Tr102) 및 전류공급제어트랜지스터(Tr103)의 양쪽을 ON동작시킴으로써 기준전류트랜지스터(Tp101)의 전류로에 일정한 전류값을 갖는 기준전류(Iref)를 흘리는 동시에, 해당 기준전류트랜지스터(Tp101)의 게이트전압을 기준전압(Vref)으로서 각 전류생성회로부의 전류생성회로(ILA-1, ILA-2, ..., 단위전류생성회로(21A-1, 21A-2, ...))에 인가한다.

이에 따라 신호홀딩회로로부터의 반전출력신호(d10*~d13*)에 의거하여 선택스위치회로(22A-1, 22A-2, ...)의 각 선택트랜지스터(Tp16~Tp19, Tp26~Tp29, ...)를 ON동작 또는 OFF동작함으로써 ON동작한 선택트랜지스터에 접속된 단위전류생성회로(21A-1, 21A-2, ...)의 각 단위전류트랜지스터(Tp12~Tp15, Tp22~Tp25, ...)가 상기 기준전압생성회로(10C)에 의해 인가되는 기준전압(Vref)에 의거하여 소정의 도통상태로 ON동작하고, 소정의 단위전류가 흐르므로 반전출력신호(d10*~d13*)의 신호레벨에 따른 단위전류가 합성되어 소망한 부하구동상태에 대응한 구동전류(IA1, IA2, ...)가 생성된다. 이 때 본 실시형태에 있어서의 기준전압생성회로(10C)에 있어서는 리프레시제어트랜지스터(Tr102) 및 전류공급제어트랜지스터(Tr103)가 ON동작함으로써 정전류발생원(IR)에 의해 기준전류트랜지스터(Tp101)의 게이트단자(접점(Nrg))에 공급되는 전하가 전압성분으로서 콘덴서(Cc)에 축적(충전)되고, 기준전압(Vref)이 소정의 대략 일정전압으로 규정된다(리프레시동작).

또 본 실시형태에 관련되는 전류생성공급회로에 있어서, 상기 받아 들임 홀딩된 부하제어신호에 의거하여 각 전류생성회로부에 있어서 구동전류를 생성해서 공급하는 전류생성공급동작기간에 있어서는 기준전압생성회로(10C)의 리프레시제어트랜지스터(Tr102) 및 전류공급제어트랜지스터(Tr103)의 양쪽을 OFF동작시킴으로써 기준전류트랜지스터(Tp101)의 게이트단자(접점(Nrg))로의 전하의 공급을 차단한다. 이 때 콘덴서(Cc)에 충전된 전압성분에 의해 기준전류트랜지스터(Tp101)의 게이트단자의 전위(기준전압)는 대략 일정하게 홀딩되므로 각 전류생성회로부에 있어서, 상기 부하제어신호에 의거하는 특정의 단위전류트랜지스터에만 단위전류가 흐르고, 해당 단위전류를 합성함으로써 소망한 전류값을 갖는 구동전류(IA1, IA2, ...)가 생성된다. 이에 따라 각 전류생성회로(21A-1, 21A-2, ...)로부터 부하제어신호(반전출력신호(d10*~d13*))에 따른 전류값을 갖는 구동전류(IA1, IA2, ...)가 각 부하에 대해서 계속적으로 공급되어 소망한 구동상태로 부하가 동작한다.

따라서 이와 같은 신호홀딩동작 및 전류생성공급동작을 소정의 주기로 차례차례 반복하여 실행함으로써 각 전류생성회로부(단위전류생성회로)를 구성하는 각 단위전류트랜지스터의 게이트단자(접점(Nrg))의 전위(기준전압)를 주기적으로 소정의 전압값으로 재충전(리프레시)할 수 있으므로, 단위전류트랜지스터에 있어서의 전류리크 등에 기인하는 기준전압의 저하를 억제할 수 있고, 각 단위전류트랜지스터의 도통상태의 불균형에 의해 구동전류(즉, 부하의 구동상태)가 불균일하게 되는 현상을 억제할 수 있으며, 부하를 적절 또한 안정된 상태로 동작시킬 수 있다.

(기준전압생성회로 및 전류생성회로의 제 4 실시형태)

다음으로 본 실시형태에 있어서의 전류생성공급회로의 기준전압생성회로 및 전류생성회로에 적용할 수 있는 구체적인 구성의 제 4 실시형태에 대해서 도면을 참조하여 설명한다.

도 6은 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 4 실시형태를 나타내는 회로 구성도이다.

여기에서 상기한 실시형태와 동등한 구성에 대해서는 동등 또는 동일한 부호를 붙여서 그 설명을 간략화 또는 생략 한다.

또 본 실시형태에 있어서도 상기한 전류생성공급회로의 제 1 실시형태에 있어서의 전류인가방식에 대응한 회로구성을 갖는 것으로 하는데, 상기한 전류생성공급회로의 제 2 실시형태에 있어서의 전류싱크방식에 대응한 회로구성을 갖는 것이라도 좋다.

또 본 실시형태에 있어서의 단위전류생성회로(21A-1, 21A-2, ...) 및 선택스위치회로(22A-1, 22A-2, ...)로 이루어지는 전류생성회로(ILA, ILA-2, ...)는 도 2에 나타난 전류생성회로의 제 1 실시형태에 있어서의 구성과 동등한 구성을 구비하는 것이다.

본 실시형태에 관련되는 전류생성공급회로에 적용되는 기준전압생성회로(10D)는 도 6에 나타내는 바와 같이 각 전류생성회로(ILA, ILA-2, ...)에 설치된 단위전류생성회로(21A-1, 21A-2, ...)를 구성하는 각 단위전류트랜지스터(Tp12~Tp15, Tp22~Tp25, ...)의 게이트단자에 정상적으로 일정한 기준전압(Vref)을 인가하는 정전압발생원(VR)을 구비한 구성을 갖고 있다.

즉 상기한 제 1~제 3 실시형태에 나타난 전류생성공급회로에 있어서는 기준전압생성회로를 구성하는 기준전류트랜지스터의 게이트단자와 단위전류생성회로를 구성하는 복수의 단위전류트랜지스터의 게이트단자가 공통으로 접속된 커런트미러회로구성을 갖고, 기준전류트랜지스터에 기준전류가 흐름으로써 해당 기준전류트랜지스터의 게이트단자에 발생하는 기준전압에 의거하여 각 단위전류트랜지스터에 있어서 미리 전류값이 규정된 복수의 단위전류를 생성하도록 구성되어 있다. 그로 인해 기준전류트랜지스터에 의해 기준전류로부터 기준전압을 생성하는 전류-전압 변환을 실행하고, 단위전류생성회로에 기준전압을 인가하는 구성이 적용되고 있다.

그래서 본 실시형태에 있어서는 이와 같은 관점에 의거하여 기준전압생성회로(10D)에 있어서, 상기한 각 실시형태에 나타난 바와 같은 기준전류트랜지스터를 이용하는 일 없이, 일정전압을 생성하는 정전압발생원(VR)을 구비하고, 각 전류생성회로(ILA, ILA-2, ...)의 단위전류생성회로(21A-1, 21A-2, ...)에 대해서 해당 일정전압을 기준전압(Vref)으로서 직접 인가하도록 한 구성을 갖고 있다. 이와 같은 구성에 따르면, 기준전압생성회로(10D)로서 정전압발생원(VR)을 구비하는 것만으로 좋으므로 회로구성을 간소화할 수 있다.

(기준전압생성회로 및 전류생성회로의 제 5 실시형태)

다음으로 본 실시형태에 있어서의 전류생성공급회로의 기준전압생성회로 및 전류생성회로에 적용할 수 있는 구체적인 구성의 제 5 실시형태에 대해서 도면을 참조하여 설명한다.

도 7은 본 실시형태에 관련되는 전류생성공급회로에 적용되는 p채널형의 전계효과형 트랜지스터의 전압-전류 특성을 나타내는 도면이다.

도 8은 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 5 실시형태를 나타내는 회로 구성도이다.

여기에서 상기한 실시형태와 동등한 구성에 대해서는 동등 또는 동일한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

또 본 실시형태에 있어서도 상기한 전류생성공급회로의 제 1 실시형태에 있어서의 전류인가방식에 대응한 회로구성을 갖는 것으로 하는데, 상기한 전류생성공급회로의 제 2 실시형태에 있어서의 전류싱크방식에 대응한 회로구성을 갖는 것이어도 좋다.

또 본 실시형태의 전류생성회로(ILB-1, ILB-2, ...)에 있어서의 선택스위치회로(22A-1, 22A-2, ...)는 제 1 실시형태에 있어서의 구성과 동등한 구성을 구비하는 것이다.

우선 본 실시형태의 전류생성공급회로에 적용 가능한 전계효과형 박막트랜지스터의 특성에 대해서 설명한다. 또한 이하의 설명에서는 p채널형의 전계효과형 박막트랜지스터에 대해서만 나타내는데, n채널형의 전계효과형 박막트랜지스터에 대해서도 똑같이 적용할 수 있는 것은 말할 필요도 없다.

즉 도 7의 (A)에 나타내는 바와 같은 회로를 이용하여 주지의 P채널형의 전계효과형 박막트랜지스터 고유의 전압-전류 특성에 대해서 검증하면, 이상적인 특성은 도 7의 (C) 중에 점선으로 나타내는 소스-드레인간 전압(-Vds)이 특정의 전압영역에서 드레인전류(소스-드레인간 전류; -Ids)가 포화 경향을 나타내어 드레인전류가 거의 일정한 전류값이 되는 특성인데, 실제로는 도 7의 (C) 중에 실선으로 나타내는 바와 같이 인가전압(소스-드레인간 전압; -Vds)의 절대값의 증대에 동반하여 일단 포화 경향을 나타낸 드레인전류의 절대값이 재차 증가하는 경향을 나타낸다. 이와 같은 현상은 SOI(Silicon On Insulator) 반도체층 구조를 갖는 전계효과 트랜지스터 등에 있어서 소자분리영역 근방에서 충돌 이온화가 유발되고, 이에 따라 생성된 캐리어(p채널형 트랜지스터에서는 전자)가 채널영역(보디영역)에 주입, 축적됨으로써(기판부유 효과) 한계값 전압이 저하하여 드레인전류가 증가하는 킥(kink)현상에 의한 것으로 생각되고 있다. 이와 같은 킥현상에 의해 드레인전류의 절대값이 증가하고, 커런트미러회로에 있어서의 기준전류에 대한 단위전류의 전류값의 비율이 소망

한 설계값대로 설정되지 않게 되면, 전류생성공급회로에 의해 생성되는 구동전류의 전류값이 부하제어신호에 따른 값으로 되지 않으며, 부하를 적절한 구동상태로 동작시킬 수 없게 되고, 이와 같은 전류생성공급회로를 표시장치의 구동회로에 적용한 경우에는 표시화질의 열화를 초래할 가능성이 있었다.

그래서 본 실시형태에 있어서의 전류생성회로에 적용할 수 있는 기준전압생성회로 및 전류생성회로의 구체적 구성의 제 5 실시형태는 상기한 바와 같은 키크현상을 억제하기 위해 상기의 제 1 실시형태에 있어서의 전류생성공급회로와 똑같은 구성을 구비하여 기준전압생성회로 및 전류생성회로에 있어서의 기준전류트랜지스터 및 각 단위전류트랜지스터에 도 7의 (B)에 나타내는 바와 같은 전계효과형 트랜지스터의 채널영역(보디영역)과 소스영역을 전기적으로 접속한 소위 보디터미널구조의 트랜지스터를 적용하도록 한 것이다.

즉 본 실시형태에 있어서는 도 8에 나타내는 바와 같이 기준전압생성회로 (10E)를 구성하는 기준전류트랜지스터(Tp11a) 및 전류생성회로(ILB)에 있어서의 단위전류생성회로(21B)를 구성하는 단위전류트랜지스터(Tp12a~Tp15a, Tp22a~Tp25a)가 보디터미널구조를 갖는 p채널형의 전계효과형 박막트랜지스터로 이루어지는 것을 특징으로 하는 것이다.

이와 같은 보디터미널구조를 갖는 전계효과형 박막트랜지스터에 따르면, 키크현상의 발생이 억제되어 도 7의 (C) 중에 점선으로 나타낸 바와 같은 소스-드레인간 전압이 특징의 전압영역에서 드레인전류가 양호한 포화 경향을 나타내는 이상적인 특성에 가까운 전압-전류 특성이 얻어진다. 이것은 보디터미널구조를 갖는 전계효과형 박막트랜지스터의 채널영역과 드레인영역의 경계 근방에서 발생한 전자정공쌍 중, 소수 캐리어(p채널형의 전계효과형 트랜지스터에서는 전자)가 보디터미널전극을 통하여 소스영역으로 흘러 들어감으로써 채널영역으로의 축적이 억제되고, 전계효과형 트랜지스터의 한계값 전압의 저하가 완화되기 때문에 키크현상의 발생이 억제되는 것에 의한 것이다. 이와 같은 보디터미널구조를 갖는 전계효과형 박막트랜지스터를 전류생성공급회로의 기준전류트랜지스터 및 단위전류트랜지스터에 적용함으로써 부하제어 신호에 대응한 적절한 전류값을 갖는 구동전류(IA)를 생성할 수 있으므로 각 부하를 적절한 구동상태로 동작시킬 수 있고, 전류생성공급회로를 표시장치의 구동회로에 적용한 경우에 있어서는 표시화질의 향상을 꾀할 수 있다.

또한 본 실시형태에 있어서는 보디터미널구조를 갖는 전계효과형 박막트랜지스터를 전류생성공급회로의 기준전류트랜지스터 및 단위전류트랜지스터에 적용한 경우에 대해서 나타냈는데, 전류생성공급회로를 구성하는 다른 트랜지스터에 대해서도 똑같이 적용할 수 있는 것은 말할 필요도 없다.

(기준전압생성회로 및 전류생성회로의 제 6 실시형태)

다음으로 본 실시형태에 있어서의 전류생성공급회로의 기준전압생성회로 및 전류생성회로에 적용할 수 있는 구체적 구성의 제 6 실시형태에 대해서 도면을 참조하여 설명한다.

도 9는 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 6 실시형태를 나타내는 회로 구성도이다.

여기에서 상기한 실시형태와 동등한 구성에 대해서는 동등 또는 동일한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

또 본 실시형태는 상기한 전류생성공급회로의 제 1 실시형태에 있어서의 전류인가방식에 대응한 회로구성을 갖는 것으로 한다.

또 본 실시형태의 전류생성회로(ILC)에 있어서의 선택스위치회로(22A)는 제 1 실시형태에 있어서의 구성과 동등한 구성을 구비하는 것이다.

상기한 제 5 실시형태에 있어서는 전계효과형 박막트랜지스터의 키크현상의 영향을 억제하기 위해 기준전류트랜지스터 및 각 단위전류트랜지스터에 보디터미널구조의 트랜지스터를 적용하도록 했는데, 본 제 6 실시형태에 있어서의 구성도 똑같이 전계효과형 박막트랜지스터의 키크현상에 의한 영향을 억제하는 것을 목적으로 한 것으로서 그를 위해 기준전압생성회로를 구성하는 기준전류트랜지스터 및 단위전류생성회로를 구성하는 각 단위전류트랜지스터를 멀티게이트구조로 한 것이다.

즉 도 9에 나타내는 바와 같이 본 실시형태에 있어서의 기준전압생성회로 (10F)를 구성하는 기준전류트랜지스터는 전류로가 직렬로 접속되는 동시에, 각 게이트단자가 공통의 접점(Nrg)에 접속된 2개의 p채널형의 전계효과형 트랜지스터(Tp11b 및 Tp11c)로 이루어진다. 또 전류생성회로(ILC)에 있어서의 단위전류생성회로(21C)를 구성하는 각 단위전류트

랜지스터는 전류로가 직렬로 접속되는 동시에, 각 게이트단자가 접점(Nrg)에 공통으로 접속된 각 2개의 p채널형의 전계효과형 트랜지스터(Tp12b 및 Tp12c, Tp13b 및 Tp13c, Tp14b 및 Tp14c, Tp15b 및 Tp15c)로 이루어지는 것을 특징으로 하는 것이다.

여기에서 각 단위전류트랜지스터(Tp12b 및 Tp12c, Tp13b 및 Tp13c, Tp14b 및 Tp14c, Tp15b 및 Tp15c)의 채널폭의 합계가 각각 다른 비율이 되도록 형성되고, 예를 들면 각 단위전류트랜지스터(Tp12b 및 Tp12c, Tp13b 및 Tp13c, Tp14b 및 Tp14c, Tp15b 및 Tp15c)에 있어서, 채널길이를 일정하게 한 경우의 각 채널폭의 합계의 비가 $W12 : W13 : W14 : W15 = 1 : 2 : 4 : 8$ 이 되도록 형성되어 있다. 여기에서 “W12”는 단위전류트랜지스터(Tp12b 및 Tp12c)의 채널폭의 합계를 나타내고, “W13”는 단위전류트랜지스터(Tp13b 및 Tp13c)의 채널폭의 합계를 나타내며, “W14”는 단위전류트랜지스터(Tp14b 및 Tp14c)의 채널폭의 합계를 나타내고, “W15”는 단위전류트랜지스터(Tp15b 및 Tp15c)의 채널폭의 합계를 나타낸다.

이에 따라 각 단위전류트랜지스터(Tp12b 및 Tp12c, Tp13b 및 Tp13c, Tp14b 및 Tp14c, Tp15b 및 Tp15c)에 흐르는 단위전류(Isa~Isd)의 전류값은 기준전류트랜지스터(Tp11a 및 Tp11b)의 채널폭의 합계를 “W11”라고 하면, 각각 $I_{sa} = (W12 / W11) \times I_{ref}$, $I_{sb} = (W13 / W11) \times I_{ref}$, $I_{sc} = (W14 / W11) \times I_{ref}$, $I_{sd} = (W15 / W11) \times I_{ref}$ 로 설정되고, 즉 상기의 도 2에 나타난 제 1 실시형태에 있어서의 각 단위전류(Isa~Isd)와 똑같이 단위전류간의 전류값을 2^n 으로 규정되는 비율로 설정할 수 있다. 그리고 상기 제 1 실시형태의 경우와 똑같이 각 단위전류(Isa~Isd)로부터 선택스위치회로(22A)의 선택트랜지스터(Tp16~ Tp19)에 의해 임의의 단위전류를 선택하여 합성함으로써 2^n 단계의 전류값을 갖는 구동전류(IA)가 생성되어 부하에 공급된다.

여기에서 본 실시형태에 있어서는 기준전류트랜지스터 및 단위전류트랜지스터의 각각이 2개의 전계효과형 트랜지스터를 직렬 접속하여 구성됨으로써 실질적으로 채널구조를 분할한 소위 멀티 게이트 구조(도 9에 나타난 회로구성에 있어서는 2개의 p채널형의 전계효과형 트랜지스터를 직렬 접속한 듀얼 게이트 구조)를 적용 한 구성을 갖고 있다. 이에 따라 각 전계효과형 트랜지스터의 소스-드레인간에 인가되는 전압을 이와 같은 멀티 게이트 구조를 이용하지 않는 경우보다 저감시킬 수 있고, 이에 따라 킥크현상의 영향을 저감시킬 수 있어서 부하제어신호에 대응한 적절한 전류값을 갖는 구동전류를 생성할 수 있으므로 각 부하를 적절한 구동상태로 동작시킬 수 있어 표시장치의 구동회로에 적용한 경우에 있어서는 표시화질의 향상을 꾀할 수 있다.

또한 도 9에 있어서는 기준전류트랜지스터 및 단위전류트랜지스터의 각각을 2개의 p채널형의 전계효과형 트랜지스터를 직렬 접속함으로써 구성한 회로를 나타냈는데, 2개 이상의 전계효과형 트랜지스터를 직렬 접속하는 것이라도 좋다.

또 본 실시형태에 있어서는 멀티 게이트 구조를 갖는 전계효과형 트랜지스터를 전류생성회로의 기준전류트랜지스터 및 단위전류트랜지스터의 양쪽에 적용한 회로구성에 대해서 나타냈는데, 본 발명은 이것에 한정되는 것은 아니고, 예를 들면 기준전류트랜지스터측에만, 혹은 단위전류트랜지스터측에만 상기한 바와 같은 멀티 게이트 구조를 적용하는 것이라도 좋다. 요컨대 전류로를 흐르는 전류(기준전류, 단위전류)에 대해서 높은 내압을 필요로 하는 트랜지스터에 대해서만 멀티 게이트 구조를 적용하도록 해도 좋고, 또 필요한 내압에 따라서 직렬 접속하는 트랜지스터의 개수를 적당히 설정하는 것이라도 좋다.

또한 본 실시형태에 있어서는 멀티 게이트 구조를 갖는 전계효과형 트랜지스터를 기준전류트랜지스터 및 단위전류트랜지스터에 적용한 경우에 대해서 나타냈는데, 전류생성공급회로를 구성하는 다른 트랜지스터에 대해서도 똑같이 적용할 수 있는 것은 말할 필요도 없다.

(기준전압생성회로 및 전류생성회로의 제 7 실시형태)

다음으로 본 실시형태에 있어서의 전류생성공급회로의 기준전압생성회로 및 전류생성회로에 적용할 수 있는 구체적인 구성의 제 7 실시형태에 대해서 도면을 참조하여 설명한다.

도 10은 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 7 실시형태를 나타내는 회로 구성도이다.

여기에서 상기한 실시형태와 동등한 구성에 대해서는 동등 또는 동일한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

또 본 실시형태에 있어서도 상기한 전류생성공급회로의 제 1 실시형태에 있어서의 전류인가방식에 대응한 회로구성을 갖는 것으로 하는데, 상기한 전류생성공급회로의 제 2 실시형태에 있어서의 전류싱크방식에 대응한 회로구성을 갖는 것이어도 좋다.

또 본 실시형태의 전류생성회로(ILD)에 있어서의 선택스위치회로(22A)는 제 1 실시형태에 있어서의 구성과 동등한 구성을 구비하는 것이다.

본 제 7 실시형태에 있어서의 구성도 상기의 제 6 실시형태의 경우와 똑같이 전계효과형 박막트랜지스터의 킹크현상에 의한 영향을 억제하는 것을 목적으로 한 것인데, 기준전압생성회로를 구성하는 기준전류트랜지스터 및 단위전류생성회로를 구성하는 각 단위전류트랜지스터를 멀티 게이트 구조로 하는 동시에, 캐스케이드 접속구조를 갖도록 한 것이다.

즉 도 10에 나타내는 바와 같이 본 실시형태에 있어서의 기준전압생성회로 (10G)를 구성하는 기준전류트랜지스터는 전류로가 직렬로 접속되는 동시에, 게이트단자가 접점(Nrga)에 접속된 p채널형의 전계효과형 트랜지스터(Tp11d) 및 게이트단자가 접점(Nrgb)에 접속된 p채널형의 전계효과형 트랜지스터(Tp11e)로 이루어지고, 접점(Nrga)에는 고전위전원(+V)과의 사이에 용량(Cca)이 접속되며, 접점(Nrgb)에는 고전위전원(+V)과의 사이에 용량(Ccb)이 접속되어 있다. 또 단위전류생성회로 (21D)를 구성하는 각 단위전류트랜지스터는 전류로가 직렬로 접속되는 동시에, 게이트단자가 각각 개별의 접점(Nrga, Nrgb)에 접속된 각 2개의 p채널형의 전계효과형 트랜지스터(Tp12d 및 Tp12e, Tp13d 및 Tp13e, Tp14d 및 Tp14e, Tp15d 및 Tp15e)를 구비하여 구성되고, 멀티 게이트 구조를 갖고 있다.

그리고 본 실시형태에 있어서는 추가로 기준전류트랜지스터의 한쪽의 p채널형의 전계효과형 트랜지스터(Tp11d)와 단위전류트랜지스터의 한쪽의 p채널형의 전계효과형 트랜지스터(Tp12d, Tp13d, Tp14d, Tp15d)는 1쌍의 커런트미러회로(23a)를 구성하고, 기준전류트랜지스터의 다른쪽의 p채널형의 전계효과형 트랜지스터 (Tp11e)와 단위전류트랜지스터의 다른쪽의 p채널형의 전계효과형 트랜지스터 (Tp12e, Tp13e, Tp14e, Tp15e)는 1쌍의 커런트미러회로(23b)를 구성하며, 이들 1쌍의 커런트미러회로(23a 및 23b)가 종속접속(캐스케이드접속)된 구조를 갖고 있다.

또 본 실시형태에 있어서도 상기의 도 9에 나타난 제 6 실시형태의 경우와 똑같이 단위전류생성회로(21D)를 구성하는 각 단위전류트랜지스터(Tp12d 및 Tp12e, Tp13d 및 Tp13e, Tp14d 및 Tp14e, Tp15d 및 Tp15e)의 채널폭의 합계가 각각 다른 비율이 되도록 형성되고, 각 단위전류트랜지스터(Tp12d 및 Tp12e, Tp13d 및 Tp13e, Tp14d 및 Tp14e, Tp15d 및 Tp15e)의 전류로에 흐르는 단위전류(Isa~Isd)가 기준전류(Iref)에 대해서 각각 다른 비율의 전류값을 갖도록 설정되어 있다. 그리고 상기 제 1 실시형태의 경우와 똑같이 각 단위전류(Isa~Isd)로부터 선택스위치회로 (22A)의 선택트랜지스터(Tp16~Tp19)에 의해 임의의 단위전류를 선택하여 합성함으로써 2ⁿ단계의 전류값을 갖는 구동전류(제조전류, IA)가 생성되어 부하에 공급되도록 구성된다.

이에 따라 본 실시형태의 구성에 있어서도 상기 제 6 실시형태의 경우와 똑같이 각 전계효과형 트랜지스터의 소스-드레인간에 인가되는 전압을 저감시켜서 킹크현상의 영향을 저감시킬 수 있고, 부하제어신호에 대응한 적절한 전류값을 갖는 구동전류를 생성할 수 있으며, 각 부하를 적절한 구동상태로 동작시킬 수 있고, 표시장치의 구동회로에 적용한 경우에 있어서는 표시화질의 향상을 꾀할 수 있다.

또한 본 실시형태에 있어서는 1쌍의 커런트미러회로(23a 및 23b)를 캐스케이드 접속하는 구성으로 했는데, 본 발명은 이것에 한정되는 것은 아니고, 1쌍 이상의 복수의 커런트미러회로를 캐스케이드 접속하는 것이어도 좋다.

(기준전압생성회로 및 전류생성회로의 제 8 실시형태)

다음으로 본 실시형태에 있어서의 전류생성회로의 기준전압생성회로 및 전류생성회로에 적용할 수 있는 구체적 구성의 제 8 실시형태에 대해서 도면을 참조하여 설명한다.

도 11은 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 8 실시형태를 나타내는 회로 구성도이다.

여기에서 상기한 실시형태와 동등한 구성에 대해서는 동등 또는 동일한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

또 본 실시형태는 상기한 전류생성공급회로의 제 2 실시형태에 있어서의 전류인가방식에 대응한 회로구성을 갖는 것으로 한다.

또 본 실시형태의 전류생성회로(ILE)에 있어서의 선택스위치회로(22B)는 제 2 실시형태에 있어서의 구성과 동등한 구성을 구비하는 것이다.

즉 도 11에 나타내는 바와 같이 본 실시형태에 있어서의 기준전압생성회로(10H)를 구성하는 기준전류트랜지스터는 전류로가 직렬로 접속되는 동시에, 각 게이트단자가 공통의 접점(Nrg)에 접속된 2개의 n채널형의 전계효과형 트랜지스터(Tn11a 및 Tn11b)로 이루어진다. 또 전류생성회로(ILE)에 있어서의 단위전류생성회로(21E)를 구성하는 단위전류트랜지스터는 전류로가 직렬로 접속되는 동시에, 각 게이트단자가 접점(Nrg)에 공통으로 접속된 각 2개의 n채널형의 전계효과형 트랜지스터(Tn12a 및 Tn12b, Tn13a 및 Tn13b, Tn14a 및 Tn14b, Tn15a 및 Tn15b)로 이루어진다.

여기에서 본 실시형태에 있어서도 상기의 도 9에 있어서의 구성과 똑같이 단위전류생성회로(21E)를 구성하는 각 단위전류트랜지스터(Tn12a 및 Tn12b, Tn13a 및 Tn13b, Tn14a 및 Tn14b, Tn15a 및 Tn15b)의 채널폭의 합계가 각각 다른 비율이 되도록 형성되고, 각 단위전류트랜지스터(Tn12a 및 Tn12b, Tn13a 및 Tn13b, Tn14a 및 Tn14b, Tn15a 및 Tn15b)의 전류로에 흐르는 단위전류(Ise~Ish)가 기준전류(Iref)에 대해서 각각 다른 비율의 전류값을 갖도록 설정되어 있다. 그리고 상기 제 1 실시형태의 경우와 똑같이 각 단위전류(Ise~Ish)로부터 선택스위치회로(22B)의 선택트랜지스터(Tn16~Tn19)에 의해 임의의 단위전류를 선택하여 합성함으로써 2ⁿ단계의 전류값을 갖는 구동전류(계조전류, IB)가 생성되어 부하에 공급된다.

본 실시형태에 있어서도 상기의 도 9에 있어서의 구성과 똑같이 기준전류트랜지스터 및 단위전류트랜지스터의 각각이 멀티 게이트 구조를 적용한 구성을 갖고 있음으로써 각 전계효과형 트랜지스터의 소스-드레인간에 인가되는 전압을 저감시킬 수 있어서 킥백현상의 영향을 저감시켜 부하제어신호에 대응한 적절한 전류값을 갖는 구동전류를 생성하여 각 부하를 적절한 구동상태로 동작시킬 수 있고, 표시장치의 구동회로에 적용한 경우에 있어서는 표시화질의 향상을 꾀할 수 있다.

(정전류발생원의 구성예)

다음으로 본 실시형태에 있어서의 전류생성공급회로의 정전류발생원에 적용할 수 있는 구체적 구성의 한 실시형태에 대해서 도면을 참조하여 설명한다.

도 12는 본 실시형태에 관련되는 전류생성공급회로의 정전류발생원에 적용 가능한 제 1 실시형태를 나타내는 회로 구성도이다.

도 13은 본 실시형태에 관련되는 전류생성공급회로의 정전류발생원에 적용 가능한 제 2 실시형태를 나타내는 회로 구성도이다.

여기에서 도 12에 나타내는 정전류발생원(IRA)은 상기의 전류생성공급회로의 제 1 실시형태에 있어서의 구성에 대응하는 것이고, 도 13에 나타내는 정전류발생원(IRB)은 상기의 전류생성공급회로의 제 2 실시형태에 있어서의 구성에 대응하는 것이다. 즉 도 12에 나타내는 기준전압생성회로(10A) 및 전류생성회로(ILA)는 예를 들면 상기의 도 2에 나타난 기준전압생성회로 및 전류생성회로의 제 1 실시형태에 있어서의 구성과 동등한 구성을 구비하는 것이고, 전류생성회로(ILA)는 전류출력단자(OUTi)에 접속된 부하에 대해서 생성된 구동전류(IA)를 부하에 흘려 넣도록 전류의 극성이 설정된 전류인가방식을 구비한다. 또 도 13에 나타내는 기준전압생성회로(10B) 및 전류생성회로(ILB)는 예를 들면 상기의 도 4에 나타난, 기준전압생성회로 및 전류생성회로의 제 2 실시형태에 있어서의 구성과 동등한 구성을 구비하는 것이고, 전류생성회로(ILB)는 전류출력단자(OUTi)에 접속된 부하에 대해서 생성된 구동전류(IB)를 부하측으로부터 전류출력단자(OUTi)로 끌어들이도록 전류의 극성이 설정된 전류싱크방식을 구비한다.

또한 도 12 및 도 13에 있어서의 전류생성회로 및 기준전압생성회로의 구성은 한 예를 나타내고 있는 것에 지나지 않고, 예를 들면 상기의 전류생성공급회로의 각 실시형태에 있어서의 기준전압생성회로에 기준전류를 흘리는 구성을 구비하는 각 실시형태의 구성을 적용해도 좋은 것이다.

그리고 도 12에 나타내는 정전류발생원(IRA)의 구성은 도 12에 나타내는 바와 같이 기준전압생성회로(10A)에 기준전류(Iref)를 기준전압생성회로(10A)로부터 정전류발생원(IRA)측으로 끌어 들이는 방향으로 흘리는 구성을 구비하는 것이고,

또 도 13에 나타내는 정전류발생원(IRB)의 구성은 도 13에 나타내는 바와 같이 기준전압생성회로(10B)에 기준전류(Iref)를 흘려 넣는 방향으로 흘리는 구성을 구비하는 것으로서, 본 실시형태는 기준전류를 생성하는 정전류발생원(IRA, IRB)이 전류생성공급회로(ILA, ILB)와 동일한 기관상에 일체적으로 형성된 구성을 갖고 있는 것을 특징으로 하는 것이다.

즉 도 12에 나타내는 정전류발생원(IRA)은 구체적으로는 고전위전원(+V)과 접점(Nra)의 사이에 전류로(소스-드레인단자)가 접속되는 동시에, 게이트단자가 접점(Nra)에 접속된 p채널형 트랜지스터(Tr101)와, 접점(Nra)과 저전위전원(-V)의 사이에 전류로가 접속되는 동시에, 게이트단자가 접점(Nra)에 접속된 n채널형 트랜지스터(Tr102)와, 기준전류공급선(Ls)을 통하여 기준전압생성회로(10A)에 기준전류(Iref)를 공급하는 전류입력접점(INi)과 저전위전원(-V)의 사이에 전류로가 접속되는 동시에, 게이트단자가 n채널형 트랜지스터(Tr102)의 게이트단자(접점(Nra))에 접속된 n채널형 트랜지스터(Tr103)를 구비한 구성을 갖고 있다. 이와 같은 구성을 갖는 정전류발생원(IRA)에 있어서는 소정의 고전위전원(+V)과 저전위전원(-V)의 사이에 직접 접속된 p채널형 트랜지스터(Tr101) 및 n채널형 트랜지스터(Tr102)의 전류로를 정상적으로 흐르는 전류를 기준으로 하여 n채널형 트랜지스터(Tr102 및 Tr103)로 이루어지는 커런트미러회로에 의해 소정의 전류비율의 전류값을 갖는 전류가 n채널형 트랜지스터(Tr103)의 전류로에 흐르고, 기준전류공급선(Ls) 및 전류입력접점(INi)을 통하여 기준전류(Iref)로서 기준전압생성회로(10A)에 공급된다. 여기에서 기준전류(Iref)는 기준전압생성회로(10A)측으로부터 정전류발생원(IRA) 방향으로 빼내는 방향으로 흐른다.

또 도 13에 나타내는 정전류발생원(IRB)은 구체적으로는 고전위전원(+V)과 접점(Nrb)의 사이에 전류로(소스-드레인단자)가 접속되는 동시에, 게이트단자가 접점(Nrb)에 접속된 p채널형 트랜지스터(Tr201)와, 접점(Nrb)과 저전위전원(-V)의 사이에 전류로가 접속되는 동시에, 게이트단자가 접점(Nrb)에 접속된 n채널형 트랜지스터(Tr202)와, 기준전류공급선(Ls)을 통하여 기준전압생성회로(10B)에 기준전류(Iref)를 공급하는 전류입력접점(INi)과 고전위전원(+V)의 사이에 전류로가 접속되는 동시에, 게이트단자가 n채널형 트랜지스터(Tr202)의 게이트단자(접점(Nrb))에 접속된 n채널형 트랜지스터(Tr203)를 구비한 구성을 갖고 있다. 이와 같은 구성을 갖는 정전류발생원(IRB)에 있어서는 상기의 제 1 실시형태의 경우와 똑같이 p채널형 트랜지스터(Tr201) 및 n채널형 트랜지스터(Tr202)의 전류로를 정상적으로 흐르는 전류를 기준으로 하여 n채널형 트랜지스터(Tr202 및 Tr203)로 이루어지는 커런트미러회로에 의해 n채널형 트랜지스터(Tr203)의 전류로에 흐르는 소정의 전류비율의 전류값을 갖는 전류가 기준전류공급선(Ls) 및 전류입력접점(INi)을 통하여 기준전류(Iref)로서 기준전압생성회로(10B)에 공급된다. 여기에서 기준전류(Iref)는 정전류발생원(IRB)측으로부터 기준전압생성회로(10B)방향으로 흘러 들어간다.

따라서 상기한 실시형태의 구성에 있어서는 기준전류(Iref)를 생성하여 공급하는 정전류발생원(IRA, IRB)이 전류생성공급회로와 동일한 기관상에 일체적으로 형성된 구성을 갖고 있음으로써 전류생성공급회로와 정전류발생원이 별개로 설치되어 상호 회로를 와이어 배선 등에 의해 접속할 필요가 없으므로 제조프로세스를 삭감할 수가 있고, 또 회로규모를 축소할 수가 있으며, 이에 따라 제품비용의 저감을 꾀할 수 있다. 또 상호의 회로를 접속하기 위한 와이어 배선을 불필요하게 됨으로써 기준전류공급선 등을 통한 기준전류로의 노이즈의 혼입, 나아가서는 부하에 공급되는 구동전류로의 노이즈의 영향을 억제할 수 있어서 부하의 구동상태를 안정적으로 시킬 수 있다.

추가로 본 실시형태에 있어서는 전류생성공급회로의 정전류발생원에 적용할 수 있는 구체적 구성의 다른 실시형태에 대해서 설명한다.

도 14는 본 실시형태에 관련되는 전류생성공급회로의 정전류발생원에 적용할 수 있는 다른 실시형태를 나타내는 회로 구성도이다.

도 15는 본 실시형태에 관련되는 전류생성공급회로에 있어서는 구동전류의 전류특성의 한 예를 나타내는 특성도이다.

여기에서 도 14에 있어서는 정전류발생원(IRC) 이외의 구성은 상기한 전류생성공급회로의 각 실시형태에 있어서는 구성과 동등한 구성을 갖고 있는 것이므로, 그 설명을 생략한다.

도 14의 (A)에 나타내는 정전류발생원(IRC)의 구성은 상기의 전류생성공급회로의 제 1 실시형태에 있어서는 전류인가방식에 대응하는 것이고, 기준전압생성회로(10A)에 기준전류(Iref)가 공급되는 전류입력접점(INi)과 저전위전원(-V)의 사이에 전류로가 접속되며, 게이트단자에 소정의 제어전압(바이어스전압; 제어신호, Vbs)이 인가되는 n채널형 트랜지스터(Tr301)를 구비한 구성을 갖고 있다.

또 도 14의 (B)에 나타내는 정전류발생원(IRC)의 구성은 상기의 전류생성공급회로의 제 2 실시형태에 있어서의 전류싱크 방식에 대응하는 것이고, 고전위전원(+V)과 기준전압생성회로(10B)에 기준전류(Iref)가 공급되는 전류입력접점(INi)의 사이에 전류로가 접속되며, 게이트단자에 소정의 제어전압(Vbs)이 인가되는 n채널형 트랜지스터(Tr302)를 구비한 구성을 갖고 있다.

이와 같은 구성을 갖는 정전류발생원(IRC)에 따르면, n채널형 트랜지스터 (Tr301, Tr302)의 게이트단자에 임의의 전압값을 갖는 제어전압(Vbs)을 인가함으로써 해당 n채널형 트랜지스터(Tr301, Tr302)의 도통상태가 제어되어서 n채널형 트랜지스터(Tr301, Tr302)의 전류로를 흐르는 전류값이 변경 제어되고, 기준전류(Iref)가 임의의 전류값으로 설정된다.

따라서 본 실시형태의 정전류발생원(IRC)을 구비한 전류생성공급회로에 있어서는 예를 들면 외부의 제어부(컨트롤러) 등 으로부터 정전류발생원(IRC)에 공급하는 제어신호에 의한 제어전압(Vbs)의 전압값에 따라서 정전류발생원(IRC)에 의해 생성되는 기준전류(Iref)의 전류값을 용이하게 변경 설정할 수 있어서 기준전압생성회로에 의해 생성되는 기준전압(Vref)의 전압값을 비교적 용이하게 변경 설정할 수 있다. 이에 따라 제어전압(Vbs)의 전압값에 따라서 각 단위전류트랜지스터의 도통상태가 제어되어서 입력되는 부하제어신호(디지털신호(d0~d3)))에 대한 구동전류(IA, IB, 구동전류)의 전류값의 관계를 비교적 용이하게 변경 제어할 수 있다.

따라서 예를 들면 도 15의 “SPa”, “SPb”에 나타내는 바와 같이 제어신호에 의한 제어전압(Vbs)의 전압값을 적당히 변경 설정함으로써 부하제어신호에 의한 지정계조에 대한 구동전류의 전류특성을 임의로 변경 설정할 수 있고, 부하를 소망한 구동특성으로 동작시킬 수 있으며, 전류생성공급회로를 표시장치의 구동회로에 적용한 경우에 있어서는 예를 들면 사용상황에 따라서 표시휘도특성을 변경 제어하는 바와 같은 제어를 비교적 용이하게 실행할 수 있다.

또한 도 15에 있어서는 제어전압(Vbs)의 전압값을 2단계(2종류)로 전환한 경우의 전류특성(SP a 및 SPb)을 나타냈는데, 본 발명은 이것에 한정되는 것은 아니고, 예를 들면 제어전압(Vbs)의 전압값을 연속적으로 변경함으로써 전류생성공급회로의 전류특성을 무단계적으로 임의로 설정 변경할 수 있어 부하를 임의의 구동특성으로 동작시킬 수 있다.

(신호홀딩회로의 구성예)

이어서 본 실시형태에 있어서의 전류생성공급회로의 신호홀딩회로에 적용할 수 있는 구체적 구성의 한 실시형태에 대해서 도면을 참조하여 설명한다.

도 16은 본 실시형태에 관련되는 전류생성공급회로의 신호홀딩회로에 적용 가능한 한 실시형태를 나타내는 회로 구성도이다.

도 16에 나타내는 바와 같이 본 실시형태에 있어서의 신호홀딩회로(DLA)에 있어서의 각 래치회로(LC0~LC3)는 입력접점(IN)을 통하여 입력되는 각 디지털신호 (d0~d3)를 타이밍제어신호(CLK, CLK*)에 의거하는 소정의 타이밍으로 받아들이는 트랜스퍼게이트(신호입력제어회로, TG11)와 해당 트랜스퍼게이트(TG11)에 의해 받아 들여진 디지털신호(d0~d3)의 각 신호레벨에 의거하는 전하를 축적하고, 트랜스퍼게이트(TG11)의 출력접점(접점(N11))의 전위를 홀딩하는 콘덴서(전하축적회로, C12)와 해당 콘덴서에 의해 홀딩된 전위에 의거하는 신호레벨의 극성을 반전하는 동시에, 해당 극성 반전한 신호레벨로 하여 하이레벨 또는 로레벨을 설정하며, 반전출력단자(OT*)를 통하여 출력신호(반전출력신호(d10*~d13*))로서 출력하는 인버터(출력레벨설정회로, IV13)를 구비한 구성을 갖고 있다. 또 각 래치회로 (LC0~LC3)에 설치되는 콘덴서(C12)의 타단측은 저전위전원(-V)에 접속되어 있다. 또한 콘덴서(C12)의 타단측에 접속되는 전원의 전위는 음전위(-V)에 한하지 않고, 임의의 일정전압을 갖는 것이면 좋고, 예를 들면 임의의 일정전압을 갖는 양전위 전원이 라도 좋다.

이와 같은 구성을 갖는 래치회로(LC0~LC3)에 있어서는 하이레벨 또는 로레벨을 갖는 각 디지털신호(d0~d3)가 트랜스퍼게이트(TG11)를 통하여 받아 들여지고, 콘덴서(C12)에 전압성분으로서 홀딩된다. 여기에서 일반적으로 콘덴서에 축적된 전하는 시간의 경과와 함께 리크전류로서 방전되어 그 전위가 저하하는데, 콘덴서에 홀딩된 전압성분에 의거하는 전위가 발생하는 접점(N11)의 후단(출력단)에 인버터(IV13)를 설치함으로써 해당 인버터에 있어서의 반전처리에 있어서, 접점(N11)의 전위가 인버터(IV13)의 소정의 한계값에 대해서 한계값을 초과하는 하이레벨, 또는 한계값보다 낮은 로레벨로 규정되는 신호레벨을 갖고 있으면, 해당 인버터 (IV13)에 의해 소정의 신호레벨을 갖는 로레벨 또는 하이레벨의 출력신호(d10*~d13*)로서 전류생성회로(ILA)에 출력된다.

따라서 예를 들면 콘텐츠에 홀딩된 전압성분의 신호레벨이 하이레벨에 설정된 후, 신호레벨이 현재값보다 저하하기까지의 기간에 다음의 디지털신호가 입력되어서 해당 전압성분의 신호레벨이 갱신되는 바와 같은 구동제어를 실행하는 경우에 있어서는 본 실시형태에 관련되는 데이터래치부로부터 전류생성회로에 출력되는 출력신호는 소정의 신호레벨을 갖는 하이레벨 또는 로레벨의 디지털신호로서 출력되므로 해당 디지털신호(출력신호)에 의해 전류생성회로를 양호하게 동작시킬 수 있다. 이와 같이 본 실시형태에 관련되는 래치회로는 다이내믹형의 회로구성을 갖고 있고, 비교적 적은 소자수에 의해서 구성할 수 있다. 즉 이와 같은 래치회로에 적용할 수 있는 다른 회로로서 복수의 트랜스퍼게이트나 인버터를 조합한 스테틱형의 회로구성이 알려져 있는데, 그 경우 1개의 래치회로당 적어도 10개 정도의 트랜지스터를 필요로 한다. 이것에 대해서 도 16에 나타난 래치회로(LC0~LC3)에 있어서는 1개의 트랜스퍼게이트 및 인버터를 구성하는 4개의 트랜지스터와 1개의 콘텐츠만으로 구성할 수 있다. 따라서 입력되는 디지털신호의 비트수가 증가할수록 신호홀딩회로의 회로면적의 증대를 억제할 수 있다.

또 도 16에 있어서는 래치회로(LC0~LC3)에 의해 디지털신호(d0~d3)에 대해서 신호극성을 반전한 신호레벨을 갖는 출력신호(d10*~d13*)를 출력하는 경우의 회로구성의 한 예를 나타냈는데, 도 1에 나타내는 바와 같이 비반전출력단자(OT)를 통하여 디지털신호(d0~d3)와 동일한 신호극성을 갖는 출력신호(d10~d13)를 출력하는 경우에 있어서는 도 16에 나타난 인버터(IV13)의 후단에 추가로 인버터를 접속하여 신호극성을 2회 반전해서 출력하는 회로구성을 적용할 수 있다.

다음으로 본 실시형태에 있어서는 전류생성공급회로의 신호홀딩회로에 적용할 수 있는 구체적 구성의 다른 실시형태에 대해서 설명한다.

도 17은 본 실시형태에 관련되는 전류생성공급회로의 신호홀딩회로에 적용 가능한 다른 실시형태를 나타내는 회로 구성도이다.

여기에서 상기한 실시형태와 동일한 구성에 대해서는 동일 또는 동등한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

도 17의 (A)에 나타내는 바와 같이 본 실시형태에 있어서는 신호홀딩회로(DLA)의 각 래치회로(LC0~LC3)는 도 16에 나타난 래치회로에 있어서는 트랜스퍼게이트(TG11)로 바꾸어서 타이밍제어신호(비반전클록신호, CLK)가 게이트단자에 인가되는 단일의 n채널형의 전계효과 트랜지스터(TG21)를 적용한 구성을 갖고 있다.

또 도 17의 (B)에 나타내는 바와 같이 트랜스퍼게이트(TG11)로 바꾸어서 타이밍제어신호(반전클록신호, CLK*)가 게이트단자에 인가되는 단일의 p채널형의 전계효과 트랜지스터(TG31)를 적용한 구성을 갖도록 해도 좋다. 또한 콘텐츠(C22, C32) 및 인버터(IV23, IV33) 등은 도 16에 나타난 구성과 똑같이 구성되어 있다.

이와 같은 구성에 따르면, 도 16에 나타난 구성에보다 더욱 적은 소자수에 의해서 신호홀딩회로(DLA)를 구성할 수 있다.

<표시장치의 제 1 실시형태>

이어서 상기한 본 실시형태의 전류생성공급회로를 구동회로(데이터드라이버)에 적용한 표시장치의 제 1 실시형태에 대해서 설명한다.

도 18은 본 실시형태에 관련되는 전류생성공급회로를 적용 가능한 표시장치의 제 1 실시형태를 나타내는 개략 블록도이다.

도 19는 본 실시형태에 관련되는 표시장치에 있어서는 표시패널에 적용 가능한 구성의 한 예를 나타내는 개략 구성도이다.

여기에서는 표시패널로서 액티브 매트릭스에 의한 표시화소를 구비한 구성에 대해서 설명한다. 또 본 실시형태에 있어서는 구동회로(데이터드라이버) 및 표시화소에 있어서는 화소구동회로는 상기한 전류생성공급회로의 제 1 실시형태에 있어서는 전류인가방식에 대응한 구성을 구비하는 것으로 한다.

도 18, 도 19에 나타내는 바와 같이 본 실시형태에 관련되는 표시장치(200A)는 개략 복수의 표시화소(부하)가 매트릭스상으로 배열된 표시패널(110A)과, 표시패널(110A)의 행방향으로 배열된 표시화소군마다 공통으로 접속된 주사라인(주사선, SLa, SLb)에 접속된 주사드라이버(주사구동회로, 120A)와, 표시패널(110A)의 열방향으로 배열된 표시화소군마다 공

통으로 접속된 데이터라인(신호선, DL)에 접속된 데이터드라이버(신호구동회로, 130A)와, 주사드라이버(120A) 및 데이터드라이버(130A)의 동작상태를 제어하는 각종 제어신호를 생성, 출력하는 시스템컨트롤러(140A)와, 표시장치(200A)의 외부로부터 공급되는 영상신호에 의거하여 표시데이터나 타이밍신호 등을 생성하는 표시신호생성회로(150A)를 구비하여 구성되어 있다.

이하, 상기 각 구성에 대해서 구체적으로 설명한다.

(표시패널)

표시패널(110A)은 구체적으로는 도 19에 나타내는 바와 같이 각 행마다의 표시화소군에 대응해서 각각 병렬로 배치 설치된 1쌍의 주사라인(SLa, SLb)과, 각 열마다의 표시화소군에 대응하는 동시에, 주사라인(SLa, SLb)에 대해서 직교하도록 배치 설치된 데이터라인(DL)과, 이들의 직교하는 라인의 각 교점 근방에 배열된 복수의 표시화소를 구비한 구성을 갖고 있다.

표시화소는 예를 들면 주사드라이버(120A)로부터 주사라인(SLa)을 통하여 인가되는 주사신호(Vsel), 주사라인(SLb)을 통하여 인가되는 주사신호(Vsel*, 주사라인(SLb))에 인가되는 주사신호(Vsel)의 극성반전신호이고, 명세서 중에서는 편의적으로 「Vsel*」로 기입한다) 및 데이터드라이버(130A)로부터 데이터라인(DL)을 통하여 공급되는 계조전류(상기한 구동전류(IA)에 상당한다, Ipix)에 의거하여 각 표시화소에 있어서의 계조전류(Ipix)의 기입동작 및 발광동작을 제어하는 화소구동회로(DCx)와, 해당 화소구동회로(DCx)로부터 공급되는 발광구동전류의 전류값에 따라서 발광휘도가 제어되는 예를 들면 유기EL자로 이루어지는 발광소자(OEL)를 갖고 구성되어 있다. 또한 본 실시형태에 있어서는 전류구동형의 발광소자로서 유기EL소자(OEL)를 적용한 경우에 대해서 나타냈는데, 발광다이오드 등의 다른 발광소자를 적용하는 것이라도 좋다.

여기에서 화소구동회로(DCx)는 개략 주사신호(Vsel, Vsel*)에 의거하여 각 표시화소의 선택/비선택상태를 제어하고, 선택상태에 있어서 표시데이터에 따른 계조전류(Ipix)를 받아 들여 전압레벨로서 홀딩하며, 비선택상태에 있어서 상기 홀딩한 전압레벨에 의거하는 발광구동전류를 유기EL소자(OEL)에 공급해서 소정의 휘도계조로 발광시키는 동작을 유지하는 기능을 갖고 있다. 또한 화소구동회로(DCx)에 적용 가능한 회로구성예에 대해서는 후술 한다.

(주사드라이버)

주사드라이버(120A)는 시스템컨트롤러(140A)로부터 공급되는 주사제어신호에 의거하여 소정의 타이밍으로 각 주사라인(SLa, SLb)에 선택레벨의 주사신호(Vsel, 예를 들면, 하이레벨 및 Vsel*, 예를 들면 로레벨)을 차례차례 인가함으로써 각 행마다의 표시화소군을 선택상태로 하며, 데이터드라이버(130A)에 의해 표시데이터에 의거하는 계조전류(Ipix)를 각 데이터라인(DL)에 공급해서 각 표시화소에 기입하도록 제어한다.

주사드라이버(120A)는 구체적으로는 도 19에 나타내는 바와 같이 시프트레지스터와 버퍼로 이루어지는 시프트블록(SB)을 각 행의 주사라인(SLa, SLb)마다 대응해서 복수단 구비하고, 시스템컨트롤러(140A)로부터 공급되는 주사제어신호(주사스타트신호(SSTR), 주사클럭신호(SCLK) 등)에 의거하여 시프트레지스터에 의해 표시패널(110A)의 위쪽에서 아래쪽으로 차례차례 시프트하면서 출력되는 시프트신호가 버퍼를 통하여 소정의 전압레벨(선택레벨)을 갖는 주사신호(Vsel)로서 각 주사라인(SLa)에 인가되는 동시에, 주사신호(Vsel)를 극성 반전한 전압레벨이 주사신호(Vsel*)로서 각 주사라인(SLb)에 인가된다.

(데이터드라이버)

데이터드라이버(130A)는 시스템컨트롤러(140A)로부터 공급되는 데이터제어 신호(후술하는 샘플링스타트신호(STR), 시프트클럭신호(SFC) 등)에 의거하여 표시신호생성회로(150A)로부터 공급되는 복수 비트의 디지털신호로 이루어지는 표시데이터를 받아 들여 홀딩하고, 해당 표시데이터에 대응하는 전류값을 갖는 계조전류(Ipix)를 생성해서 각 데이터라인(DL)에 동시에 병행하여 공급하도록 제어한다.

즉 본 실시형태에 관련되는 데이터드라이버(130A)에 있어서는 상기한 전류생성공급회로의 제 1 실시형태에 있어서는 각 실시형태의 구성 및 기능을 양호하게 적용할 수 있다. 데이터드라이버(130A)의 구체적인 회로구성이나 그 구동제어동작에 대해서는 상세하게 후술한다.

(시스템컨트롤러)

시스템컨트롤러(140A)는 후술하는 표시신호생성회로(150A)로부터 공급되는 타이밍신호에 의거하여 적어도, 주사드라이버(120A) 및 데이터드라이버(130A)의 각각에 대해서, 주사제어신호(상기한 주사스타트신호(SSTR)나 주사클럭신호(SCLK) 등) 및 데이터제어신호(상기한 샘플링스타트신호(STR)나 시프트클럭신호(SFC) 등)를 생성하여 출력함으로써 각 드라이버를 소정의 타이밍으로 동작시켜서 표시패널(110A)에 주사신호(V_{sel} , V_{sel}^*) 및 게조전류(I_{pix})를 출력시키고, 화소구동회로(DCx)에 있어서의 소정의 제어동작을 연속적으로 실행시켜서 영상신호에 의거하는 소정의 화상정보를 표시패널(110A)에 표시시키는 제어를 한다.

(표시신호생성회로)

표시신호생성회로(150A)는 예를 들면 표시장치(200A)의 외부로부터 공급되는 영상신호로부터 휘도게조신호성분을 추출하고, 표시패널(110A)의 1행분마다 해당 휘도게조신호성분을 복수 비트의 디지털신호로 이루어지는 표시데이터로서 데이터드라이버(130A)에 공급한다.

여기에서 상기 영상신호가 텔레비전방송신호(컴포지트영상신호)와 같이 화상정보의 표시타이밍을 규정하는 타이밍신호성분을 포함하는 경우에는 표시신호생성회로(150A)는 상기 휘도게조신호성분을 추출하는 기능 외에 타이밍신호성분을 추출하여 시스템컨트롤러(140A)에 공급하는 기능을 갖는 것이라도 좋다. 이 경우에 있어서는 상기 시스템컨트롤러(140A)는 표시신호생성회로(150A)로부터 공급되는 타이밍신호에 의거하여 주사드라이버(120A)나 데이터드라이버(130A)에 대해서 공급하는 상기 주사제어신호 및 데이터제어신호를 생성한다.

또한 본 실시형태에 있어서, 표시패널(110A)과 그 주변에 부설되는 드라이버나 컨트롤러 등의 주변회로의 실장구조에 대해서는 특별히 한정하는 것은 아닌데, 예를 들면 적어도, 표시패널(110A)과 주사드라이버(120A), 데이터드라이버(130A)가 단일의 기판상에 형성되어 있는 것이라도 좋고, 후술하는 데이터드라이버(130A)만 혹은 주사드라이버(120A) 및 데이터드라이버(130A)를 표시패널(110A)과는 별개로 설치하여 전기적으로 접속하도록 한 것이라도 좋다.

(표시화소의 구성)

이어서 상기한 표시장치에 있어서의 각 표시화소에 적용할 수 있는 화소구동회로의 한 실시형태에 대해서 설명한다.

도 20은 본 실시형태에 관련되는 표시장치에 있어서의 표시화소의 화소구동회로에 적용 가능한 한 실시형태를 나타내는 회로 구성도이다.

도 21은 본 실시형태에 관련되는 화소구동회로에 있어서의 제어동작의 한 예를 나타내는 타이밍 차트이다.

또한 여기서 나타내는 화소구동회로는 본 실시형태에 관련되는 표시장치에 적용 가능한 극히 한 예를 나타내는 것에 지나지 않고, 동등한 기능을 갖는 다른 회로구성을 적용하는 것이라도 좋은 것은 말할 필요도 없다.

도 20에 나타내는 바와 같이 본 실시형태에 있어서의 화소구동회로(DCx)의 구성은 전류인가방식에 대응한 구성을 구비하고, 주사라인(SLa, SLb)과 데이터라인(DL)의 교점 근방에 게이트단자가 주사라인(SLa)에, 소스-드레인단자가 접점(Nxa) 및 전원접점(Vdd)에 각각 접속된 p채널형의 트랜지스터(Tr31)와, 게이트단자가 주사라인(SLb)에, 소스-드레인단자가 데이터라인(DL) 및 접점(Nxa)에 각각 접속된 p채널형의 트랜지스터(Tr32)와, 게이트단자가 접점(Nxb)에, 소스-드레인단자가 접점(Nxc) 및 접점(Nxa)에 각각 접속된 p채널형의 트랜지스터(Tr33)와, 게이트단자가 주사라인(SLa)에, 소스-드레인단자가 접점(Nxb) 및 접점(Nxc)에 각각 접속된 n채널형의 트랜지스터(Tr34)와, 접점(Nxa) 및 접점(Nxb)간에 접속된 콘덴서(Cx)를 구비한 구성을 갖고 있다. 여기에서 전원 접점(Vdd)은 예를 들면 전원라인(도시하지 않음)을 통하여 고전위전원에 접속되고, 상기 혹은 소정의 타이밍으로 일정한 고전위전압이 인가된다.

또 이와 같은 화소구동회로(DCx)로부터 공급되는 발광구동전류에 의해 발광회도가 제어되는 발광소자(유기EL소자, OEL)는 애노드단자가 상기 화소구동회로(DCx)의 접점(Nxc)에, 또 음극단자가 저전위전원(예를 들면 접지전위(V_{gnd}))에 각각 접속된 구성을 갖고 있다.

또 콘덴서(Cx)는 트랜지스터(Tr33)의 게이트-소스간에 형성되는 기생용량이라도 좋고, 그 기생용량에 덧붙여서 게이트-소스간에 추가로 용량소자를 별개로 부가하도록 한 것이라도 좋다.

이와 같은 구성을 갖는 화소구동회로(DCx)의 구동제어동작은 도 21에 나타내는 바와 같이 표시패널(110A)의 1화면에 소망한 화상정보를 표시하는 1주사기간(Tsc)을 1사이클로 하여 해당 1주사기간(Tsc)내의 기입동작기간(Tse)에 있어서, 우선 주사라인(SLa)에 대해서 하이레벨(선택레벨)의 주사신호(Vsel)를 인가하는 동시에, 주사라인(SLb)에 대해서 로레벨의 주사신호(Vsel*)를 인가하는 동시에, 주사라인(SLa)에 접속된 표시화소군을 선택해서 데이터드라이버(130A)로부터 공급되는 표시데이터(d0~d3)에 대응하는 계조전류(Ipix)를 데이터라인(DL)에 공급한다. 여기에서는 계조전류(Ipix)로서 양극성의 전류를 공급하고, 데이터드라이버(130A)측으로부터 데이터라인(DL)을 통하여 화소구동회로(DCx) 방향으로 해당 전류가 흘러 들어가도록 설정한다.

이에 따라 화소구동회로(DCx)를 구성하는 트랜지스터(Tr32 및 Tr34)가 ON동작하는 동시에, 트랜지스터(Tr31)가 OFF동작해서 데이터라인(DL)에 공급된 계조전류(Ipix)에 대응하는 양(陽)의 전위가 접점(Nxa)에 인가된다. 또 접점(Nxb) 및 접점(Nxc)간이 단락하여 트랜지스터(Tr33)의 게이트-드레인간이 동(同)전위로 제어된다. 이에 따라 트랜지스터(Tr33)가 포화영역에서 ON동작하는 동시에, 콘덴서(Cx)의 양단(접점(Nxa) 및 접점(Nxb)간)에는 계조전류(Ipix)에 따른 전위차가 발생하고, 해당 전위차에 대응하는 전하가 축적(충전)되며, 전압성분으로서 홀딩되는 동시에, 발광소자(유기EL소자, OEL)에 계조전류(Ipix)에 따른 발광구동전류가 흐르고, 유기EL소자(OEL)의 발광동작이 개시된다.

이어서 발광동작기간(Tnse)에 있어서 주사라인(SLa)에 대해서 로레벨(비선택레벨)의 주사신호(Vsel)를 인가하는 동시에, 주사라인(SLb)에 대해서 하이레벨의 주사신호(Vsel*)를 인가하는 동시에, 계조전류(Ipix)의 공급을 차단한다. 이에 따라 트랜지스터(Tr32 및 Tr34)가 OFF동작해서 데이터라인(DL) 및 접점(Nxa)간, 및 접점(Nxb) 및 접점(Nxc)간이 전기적으로 차단됨으로써 콘덴서(Cx)는 상기한 기입동작에 있어서 축적된 전하를 홀딩한다.

여기에서 각 행마다 설정되는 기입동작기간(Tse)은 상호 시간적인 겹침이 발생하지 않도록 설정되고, 기입동작기간(Tse)과 발광동작기간(Tnse)을 맞춘 기간은 주사기간(Tsc)에 대응한다($Tsc = Tse + Tnse$).

이와 같이 콘덴서(Cx)가 기입동작시의 충전전압을 홀딩함으로써 접점(Nxa) 및 접점(Nxb)간(트랜지스터(Tr33)의 게이트-소스간)의 전위차가 홀딩됨으로써 트랜지스터(Tr33)는 ON동작을 유지한다. 또 상기 주사신호(Vsel, 로레벨)의 인가에 의해 트랜지스터(Tr31)가 ON동작하므로 전원 접점(+V, 고전위전원)으로부터 트랜지스터(Tr31 및 Tr33)를 통하여 발광소자(유기EL소자, OEL)에 계조전류(Ipix, 보다 상세하게는 콘덴서(Cx)에 홀딩된 전하)에 따른 발광구동전류가 흐르고, 유기EL소자(OEL)의 소정의 휘도계조에서의 발광동작이 유지된다. 즉 본 실시형태에 관련되는 화소구동회로에 있어서 P 채널형 트랜지스터(Tr33)는 발광구동용 트랜지스터로서의 기능을 갖고 있다.

이와 같은 일련의 구동제어동작을 도 21에 나타내는 바와 같이 표시패널(110A)을 구성하는 모든 행의 표시화소군에 대해서 차례차례 반복하여 실행함으로써 표시패널 1화면분의 표시데이터가 기입되어 각 표시화소가 소정의 휘도계조로 발광하고, 소망한 화상정보가 표시된다.

< 데이터드라이버의 제 1 실시형태 >

이어서 상기한 실시형태에 있어서의 표시장치에 적용할 수 있는 데이터드라이버의 제 1 실시형태에 대해서 설명한다.

도 22는 본 실시형태에 관련되는 표시장치에 적용할 수 있는 데이터드라이버의 제 1 실시형태를 나타내는 개략 구성도이다.

여기에서 본 실시형태에 있어서의 데이터드라이버는 전류인가방식에 대응한 구성을 구비하는 것이고, 전류생성공급회로의 제 1 실시형태에 있어서의 구성을 적용한 것이다.

전류생성공급회로의 제 1 실시형태에 있어서의 구성과 대응 지우면서 설명하고, 동일한 구성에 대해서는 동등한 부호를 붙여서 설명을 생략 또는 간략화한다.

본 실시형태에 관련되는 표시장치(200A)에 적용되는 데이터드라이버(130A)의 제 1 실시형태에 있어서의 구성은 개략 도 1에 나타난 전류생성공급회로(100A)를 기본구성으로 하고, 표시패널(110A)에 배치 설치된 각 행의 데이터라인(DL)에 각 전류생성회로부의 전류생성회로에 있어서의 전류출력단자(상기한 전류생성회로 (ILA)의 전류출력단자(OUTi)에 상당한다)가 접속된다.

또 기준전압생성회로(10A)에 대해서 정전류발생원(IR)으로부터 일정한 전류값을 갖는 기준전류(Iref)가 공급됨으로써 커런트미러회로를 구성하는 공통접점(접점(Nrg)에 상당한다)에 발생하는 전압성분(기준전압(Vref))을 각 전류생성회로부에 공통으로 인가하도록 구성되어 있다.

또 본 구성예와 관련되는 데이터드라이버(130A)에 있어서는 예를 들면 각 데이터라인(DL)에 대해서 2개의 전류생성회로부가 1쌍으로 설치되고, 소정의 동작타이밍으로 상호의 전류생성회로부가 상보적(相補的) 또한 연속적으로 표시데이터의 받아 들임, 홀딩, 계조전류(Ipix)의 생성, 공급동작을 실행하도록 구성되어 있다.

즉 본 실시형태에 관련되는 데이터드라이버(130A)는 구체적으로는 예를 들면 도 22에 나타내는 바와 같이 시스템컨트롤러(140A)로부터 데이터제어신호로서 공급되는 시프트클록신호(SFC)에 의거하여 비반전클록신호(CKa) 및 반전클록신호(CKb)를 생성하는 반전래치회로(131)와, 비반전클록신호(CKa) 및 반전클록신호(CKb)에 의거하여 샘플링스타트신호(STR)를 시프트하면서 소정의 타이밍으로 시프트신호(SR1, SR2, ...), 상기한 타이밍제어신호(CLK)에 상당하는; 이하, 편의적으로 「시프트신호(SR)」로도 기입한다)를 차례차례 출력하는 시프트레지스터회로(132)와, 해당 시프트레지스터회로(132)로부터의 시프트신호(SR1, SR2, ...)의 입력타이밍에 의거하여 표시신호생성회로(150A)로부터 차례차례 공급되는 1행분의 표시데이터(d0~dp, 여기에서는, 편의적으로 p=3으로 하고, 상기한 디지털신호(d0~d3)에 상당한다)를 차례차례 받아 들이고, 각 표시화소에 있어서의 발광회도에 대응한 계조전류(Ipix)를 생성해서 각 데이터라인(DL1, DL2, ...)에 공급하는 복수의 계조전류생성공급회로부(상기한 전류생성회로부(20A)에 대응한다, PXA~1, PXA~2, ... 및 PXB~1, PXB~2, ..., 이하, 「계조전류생성공급회로부(PXA, PXB)」로도 기입한다)를 구비하며, 각 데이터라인(DL1, DL2, ...)에 대해서 2개의 계조전류생성회로부(예를 들면, PXA-1 및 PXB-1)가 1쌍(1벌)로서 구성되어 있다.

또 1쌍의 계조전류생성회로부에 있어서의 한쪽의 복수의 계조전류생성공급회로부(PXA-1, PXA-2, ...) 및 다른쪽의 복수의 계조전류생성공급회로부(PXB-1, PXB-2, ...)는 각각 계조전류생성공급회로군(133A 및 133B)을 구성하고, 시스템컨트롤러(140A)로부터 데이터제어신호로서 공급되는 전환제어신호(SEL)에 의거하여 상기 전류생성공급회로군(133A 및 133B)의 어느 쪽인가 한쪽을 선택적으로 동작시키기 위한 선택설정신호(전환제어신호(SEL)의 비반전신호(SLa) 및 반전신호(SLb))를 출력하는 선택설정회로(134)와, 각 계조전류생성공급회로부(PXA 및 PXB)에 일정한 기준전압(Vref)을 공통으로 인가하는 기준전압생성회로부(135A)를 구비하여 구성되어 있다.

이하 각 구성에 대해서 구체적으로 설명한다.

(기준전압생성회로)

기준전압생성회로부(135A)는 예를 들면 상기한 전류생성공급회로의 제 1 실시형태에 있어서의 구성(도 2 참조)과 똑같이 고전위전원(+V) 및 저전위전원(-V)간에 일정전류값을 갖는 기준전류(Iref)를 공급하는 정전류발생원(IR)과 해당 기준전류(Iref)를 전류로에 흘리는 기준전류트랜지스터(Tp11)를 구비한 기준전압생성회로(10A)가 직렬 접속된 구성을 갖고, 기준전압생성회로(10A, 기준전류트랜지스터(Tp11))의 전류로에 흐르는 기준전류(Iref)에 의거하여 게이트단자(접점(Nrg))에 발생하는 전위를 기준전압(Vref)로 하여 1쌍의 계조전류생성공급회로군(133A 및 133B)을 구성하는 각 계조전류생성공급회로부(PXA 및 PXB)에 정상적으로 인가한다.

(계조전류생성공급회로부)

도 23은 본 실시형태에 관련되는 데이터드라이버의 제 1 실시형태에 적용할 수 있는 계조전류생성공급회로부의 구체적 구성의 한 예를 나타내는 구성도이다.

계조전류생성공급회로군(133A, 133B)을 구성하는 각 계조전류생성공급회로부(PXA, PXB)는 예를 들면 도 23에 나타내는 바와 같이 적어도 신호홀딩회로(DLA)와 계조전류생성회로(PLA, 상기한 전류생성공급회로의 전류생성회로(ILA)에 상당한다)와 선택설정회로(134)로부터 출력되는 선택설정신호(전환제어신호(SEL)의 비반전신호(SLa) 및 반전신호(SLb))

에 의거하여 각 계조전류생성공급회로부(PXA, PXB)의 동작상태를 선택적으로 설정하는 동작설정부(ACA)와, 신호홀딩회로(DLA)로부터의 비반전출력신호(d10~d13)에 의거하여 표시화소를 흑(黑)표시동작 등의 특정의 구동상태로 동작시키는 경우에 표시화소(데이터라인(DL))에 특정전압을 인가하는 특정상태설정부(BKA)를 구비한 구성을 갖고 있다.

여기에서 신호홀딩회로(DLA) 및 계조전류생성회로(PLA)로 이루어지는 구성은 예를 들면 도 1에 나타난 전류생성공급회로(20A)에 있어서의 신호홀딩회로(DLA) 및 전류생성회로(ILA)에 대응하는 것이고, 동등한 기능 및 구성을 구비하는 것이므로 그 상세한 설명은 생략한다.

동작설정부(ACA)는 도 23에 나타내는 바와 같이 선택설정회로(134)로부터 출력되는 선택설정신호(비반전신호(SLa) 또는 반전신호(SLb))를 반전 처리하는 인버터(44)와 데이터라인(DL)에 전류로가 설치되고, 게이트단자에 상기 선택설정신호의 반전신호(인버터(44)의 출력신호)가 인가되는 p채널형 트랜지스터(Tp43)와, 선택설정신호(비반전신호(SLa) 또는 반전신호(SLb))의 반전신호 및 시프트레지스터회로(132)로부터의 시프트신호(SR)를 입력으로 하는 NAND회로(45)와, 해당 NAND회로(45)의 논리출력을 반전 처리하는 인버터(46)와, 해당 인버터(46)의 반전출력을 추가로 반전 처리하는 인버터(47)를 구비한 구성을 갖고 있다.

특정상태설정부(BKA)는 도 23에 나타내는 바와 같이 신호홀딩회로(DLA, 각 래치회로(LC0~LC3)의 비반전출력단자(OT0~OT3))로부터 출력되는 비반전출력신호(d10~d13)를 입력신호로 하는 논리합연산회로(이하, 「OR회로」라고 약기한다, 41)와, 해당 OR회로(41)의 출력레벨에 의거하여 계조전류생성회로(PLA)의 전류출력단자(OUTi)에 특정전압(Vbk)을 인가하는 특정전압인가트랜지스터(p채널형 전계효과형 트랜지스터, Tp42)를 구비한 구성을 갖고 있다. 즉 특정상태설정부(BKA)는 신호홀딩회로(DLA)로부터 출력되는 비반전출력신호(d10~d13)의 신호레벨이 모두 “0”이 되는 특정상태를 판별해서 데이터라인(DL)을 통하여 표시화소에 특정전압(Vbk)을 인가한다.

이와 같은 구성을 갖는 계조전류생성공급회로부(PXA, PXB)에 있어서는 선택설정회로(134)로부터 동작설정부(ACA)에 선택레벨(하イレ벨)의 선택설정신호(비반전신호(SLa) 및 반전신호(SLb))가 입력되면, 인버터(44)에 의해 신호극성이 반전 처리되어 인가됨으로써 p채널형 트랜지스터(Tp43)가 ON동작하여 계조전류생성공급회로부(PXA)의 전류출력단자(OUTi)가 p채널형 트랜지스터(Tp43)를 통하여 데이터라인(DL)에 접속된다. 이 때 동시에 NAND회로(45) 및 인버터(46, 47)에 의해 시프트신호(SR)의 출력타이밍에 관계 없이 신호홀딩회로(DLA)의 비반전입력접점(CK)에는 로레벨의 타이밍 제어신호가, 또 반전입력접점(CK*)에는 하イレ벨의 타이밍 제어신호가 정상적으로 입력되어 신호홀딩회로(DLA)에 홀딩되어 있는 표시데이터(d0~d3)에 의거하는 반전출력신호(d10*~d13*)가 (각 래치회로(LC0~LC3)의) 반전출력단자(OT0*~OT3*)를 통하여 계조전류생성회로(PLA)에 공급되어서 상기한 실시형태의 전류생성회로와 똑같이 표시데이터(d0~d3)에 따른 계조전류(Ipix)가 생성된다.

한편 선택설정회로(134)로부터 비선택레벨(로레벨)의 선택설정신호(비반전신호(SLa) 또는 반전신호(SLb))가 입력되면, 인버터(44)에 의해 신호극성이 반전 처리되어 인가됨으로써 p채널형 트랜지스터(Tp43)가 OFF동작하여 계조전류생성회로(PLA)의 전류출력단자(OUTi)가 데이터라인(DL)으로부터 잘라 내어진다. 또 이 때 동시에 NAND회로(45) 및 인버터(46, 47)에 의해 시프트신호(SR)의 출력타이밍에 대응하여 신호홀딩회로(DLA)의 비반전입력접점(CK)에는 하イレ벨의 타이밍 제어신호가, 또 반전입력접점(CK*)에는 로레벨의 타이밍 제어신호가 입력되어서 신호홀딩회로(DLA)에 표시데이터(d0~d3)가 받아 들여져 홀딩된다.

이에 따라 표시데이터(d0~d3)에 의거하여 신호홀딩회로(DLA)로부터 계조전류생성회로(PLA)에 반전출력신호(d10*~d13*)가 출력되는 것의 계조전류(Ipix)는 생성되지 않는 상태로 되고, 실질적으로 계조전류생성공급회로부(PXA, PXB)가 비선택상태로 설정된다. 즉 후술하는 선택설정회로(134)에 의해 1쌍의 계조전류생성공급회로군(133A 및 133B)에 입력하는 선택설정신호(전환제어신호(SEL)의 비반전신호(SLa) 및 반전신호(SLb))의 신호레벨을 적당히 설정함으로써 1쌍의 계조전류생성공급회로군(133A 및 133B)의 어느 쪽인가 한쪽을 선택상태로 하고, 다른쪽을 비선택상태로 설정할 수 있다.

(표시장치의 구동제어방법)

다음으로 상기한 구성의 데이터드라이버를 갖는 표시장치의 구동제어방법에 대해서 도면을 참조하여 설명한다.

도 24는 본 실시형태에 관련되는 데이터드라이버의 제 1 실시형태에 있어서의 제어동작의 한 예를 나타내는 타이밍 차트이다.

또한 여기에서는 도 22 및 도 23에 나타난 데이터드라이버의 구성에 덧붙여서 도 1 및 도 2에 나타난 전류생성공급회로의 구성도 적당히 참조하면서 설명한다.

우선 데이터드라이버(130A)에 있어서의 제어동작은 상기한 계조전류생성공급회로군(133A 또는 133B)을 구성하는 각 계조전류생성공급회로부(PXA 또는 PXB)에 설치된 신호홀딩회로(DLA)에 표시신호생성회로(150A)로부터 공급되는 표시데이터(d0~d3)를 받아 들이고, 일정기간 홀딩하는 신호홀딩동작과, 해당 신호홀딩회로(DLA)로부터의 반전출력신호(d10*~d13*)에 의거하여 각 계조전류생성공급회로부(PXA 또는 PXB)에 설치된 계조전류생성회로(PLA)에 의해 상기 표시데이터(d0~d3)에 대응하는 계조전류(Ipix)를 생성하며, 각 데이터라인(DL1, DL2, ...)을 통하여 각 표시화소에 공급하는 전류생성공급동작을 차례차례 실행하는 동시에, 해당 일련의 동작에 있어서 선택설정회로(134)에 의해 1쌍의 계조전류생성공급회로군(133A, 133B) 중, 한쪽의 계조전류생성공급회로군에 의해 상기 전류생성공급동작을 하면서 다른쪽의 계조전류생성공급회로군에 의해 상기 신호홀딩동작을 동시에 병행하여 실행하는 동작을 교호로 반복해서 실행함으로써 실현된다.

(신호홀딩동작)

신호홀딩동작에 있어서는 도 24에 나타내는 바와 같이 우선 선택설정회로(134)에 의해 한쪽의 계조전류생성공급회로군(133A 또는 133B)이 선택상태로 설정된 후, 시프트레지스터회로(132)로부터 차례차례 출력되는 시프트신호(SR1, SR2, ...)에 의거하여 해당 계조전류생성공급회로군(133A 또는 133B)의 각 계조전류생성공급회로부(PXA 또는 PXB)에 설치된 신호홀딩회로(DLA)에 의해 각 열의 표시화소(즉 각 데이터라인(DL1, DL2, ...))에 대응해서 전환하는 표시데이터(d0~d3)를 차례차례 받아 들이는 동작이 1행분 연속적으로 실행되고, 해당 표시데이터(d0~d3)가 받아 들여진 계조전류생성공급회로부(PXA 또는 PXB)의 신호홀딩회로(DLA)로부터 차례로 일정기간(다음의 전환제어신호(SEL)에 의거하여 선택설정회로(134)에 의해 한쪽의 계조전류생성공급회로군(133B 또는 133A)이 비선택상태로, 또 다른쪽의 계조전류생성공급회로군(133A 또는 133B)이 선택상태로 설정되기때까지의 기간, 신호홀딩회로(DLA)로부터의 반전출력신호(d10*~d13*)가 계조전류생성공급회로(PLA)에 출력된다.

(전류생성공급동작)

또 전류생성공급동작에 있어서는 도 24에 나타내는 바와 같이 상반전 출력신호(d10*~d13*)에 의거하여 각 계조전류생성회로(PLA)에 설치된 복수의 선택트랜지스터(도 2에 나타난 선택 트랜지스터(Tp16~Tp19, Tp26~Tp29, ...))의 ON/OFF 상태가 제어되고, ON동작한 선택트랜지스터에 접속된 단위전류트랜지스터(도 2에 나타난 단위전류트랜지스터(Tp12~Tp15, Tp22~Tp25, ...))에 흐르는 단위전류의 합성전류가 계조전류(Ipix)로서 각 데이터라인(DL1, DL2, ...)을 통하여 차례차례 공급된다.

여기에서 계조전류(Ipix)는 예를 들면 모든 데이터라인(DL1, DL2, ...)에 대해서 적어도 일정기간, 동시에 병렬하여 공급되도록 설정된다.

또 본 실시형태에 있어서 상기한 바와 같이 기준전압생성회로(10A)에 흐르는 기준전류(Iref)에 대해서 미리 트랜지스터 사이즈에 의해 규정된 소정 비율(예를 들면 $a \times 2^k$; $k=0, 1, 2, 3, \dots$)의 전류값을 갖는 복수의 단위전류를 생성하고, 상기 신호홀딩회로(DLA)로부터의 반전출력신호(d10*~d13*)에 의거하여 선택트랜지스터의 ON/OFF동작을 제어함으로써 소정의 단위전류를 선택하여 합성하며, 양극성의 계조전류(Ipix)를 생성해서 데이터드라이버(130A)측으로부터 데이터라인(DL1, DL2, ...)방향으로 흘러 들어가도록 계조전류(Ipix)를 흘린다.

또한 흑표시 동작에 있어서는 도 24에 나타내는 바와 같이 표시데이터(d0~d3)가 흑표시 상태(신호홀딩회로(DLA)로부터의 반전출력신호(d10*~d13*)가 모두 "0")로 설정됨으로써 계조전류생성회로(PLA)에 설치된 어느 쪽인가의 선택트랜지스터도 OFF동작해서 단위전류가 차단되고, 계조전류(Ipix)의 공급이 정지된다. 이 때 동시에 특정상태설정부(BKA)에 설치된 OR회로(41)로부터 표시데이터의 흑표시 상태가 판별되고, 특정전압인가트랜지스터(Tp42)가 ON동작해서 흑표시(최저 휘도계조에서의 발광동작)에 대응한 전압(Vbk)이 각 데이터라인(DL1, DL2, ...)에 인가된다.

표시패널(110A)에 있어서의 표시화소의 화소구동회로(DCx)의 구동제어동작은 상기의 도 21에 나타내는 바와 같이 기입 동작기간(Tse)에 있어서, 계조전류(Ipix)를 화소구동회로(DCx)에 기입하고, 발광동작기간(Tnse)에 있어서, 콘텐서(Cx)에 홀딩된 전하에 의거하는 계조전류(Ipix)에 따른 발광구동전류가 발광소자(유기EL소자, OEL)에 흘러서 유기EL소자

(OEL)가 소정의 휘도계조로 발광 동작하도록 제어되며, 여기에서 본 실시형태에 있어서는 각 행의 표시화소군으로의 기입동작에 동기 해서 데이터드라이버(130A)에 설치된 1쌍의 계조전류생성회로군(133A, 133B)이 교호로 선택상태로 설정되고, 예를 들면 홀수행째의 표시화소군에 대해서는 한쪽의 계조전류생성공급회로군(133A)으로부터 계조전류(Ipix)가 공급되며, 짝수행째의 표시화소군에 대해서는 다른쪽의 계조전류생성공급회로군(133B)으로부터 계조전류(Ipix)가 공급되도록 제어된다.

따라서 본 실시형태에 관련되는 데이터드라이버(130A) 및 표시장치(200A)에 있어서, 통상의 계조표시 동작시에는 각 데이터라인(DL1, DL2, ...)에 대응해서 설치된 각 계조전류생성공급회로부(PXA~1, PXA~2, ... 및 PXB~1, PXB~2, ...)에 의해 표시데이터(d0~d3)에 따른 단위전류가 생성, 합성되고, 적절한 전류값을 갖는 계조전류(Ipix)로서 각 표시화소에 공급된다.

또한 흑표시 동작시에는 각 계조전류생성공급회로부(PXA, PXB)에 의해 계조전류(Ipix)의 공급이 차단되는 동시에, 표시화소에 있어서의 최저 휘도계조에서의 발광동작에 대응한 소정의 흑표시 전압(Vbk)이 각 데이터라인(DL1, DL2, ...)에 인가되므로 양호한 계조표시를 실현하면서 흑표시 동작시에 있어도 각 데이터라인(DL1, DL2, ...)의 신호레벨을 특정의 전압으로 안정화시켜서 신속히 흑표시 상태로 이행할 수 있고, 표시장치에 있어서의 표시응답특성 및 표시화질의 향상을 꾀할 수 있다.

또 데이터드라이버(130A, 계조전류생성공급회로부(PXA, PXB))에 있어서, 커런트미러회로 구성을 적용하는 동시에, 해당 커런트미러회로를 구성하는 각 계조전류생성공급회로부(PXA, PXB)에 설치된 복수의 단위전류트랜지스터의 채널폭을 기준전압생성회로(10A)에 설치된 기준전류트랜지스터에 대해서 각각 소정의 비율(예를 들면 $a \times 2^n$ 배)이 되도록 설정함으로써 정전류발생원(IR)에 의해 공급되는 기준전류(Iref)에 대해서 상기 비율에 의해 규정되는 전류값을 갖는 복수의 단위전류를 흘릴 수 있고, 표시데이터(복수 비트의 디지털신호, d0~d3)에 의해 이들을 적당히 합성함으로써 2^n 단계의 전류값을 갖는 계조전류(Ipix)를 생성할 수 있으므로 표시데이터(d0~d3)에 대응한 적절한 전류값을 갖는 아날로그 전류로 이루어지는 계조전류(Ipix)를 비교적 간단한 회로구성에 의해 생성하여 공급할 수 있으며, 표시화소를 적정한 휘도계조로 발광 동작시킬 수 있다.

또한 본 실시형태에 있어서는 표시패널에 배치 설치된 각 데이터라인에 대해서 1쌍의 계조전류생성공급회로군을 구비한 데이터드라이버를 적용한 경우에 대해서 설명했는데, 본 발명은 이것에 한정되는 것은 아니고, 예를 들면 각 데이터라인에 대해서 단일의 계조전류생성회로군만을 구비하며, 시계열적으로 표시데이터의 받아 들임, 홀딩, 계조전류의 생성, 공급동작을 실행하는 데이터드라이버를 적용하는 것 이라도 좋다.

또 본 실시형태에 있어서는 각 표시화소를 소망한 휘도계조로 발광 동작시키기 위한 표시데이터(제어신호)로서 4비트의 디지털신호를 입력해서 16단계의 다른 구동상태로 동작시키는 경우에 대해서 설명했는데, 본 발명은 이것에 한정되는 것은 아니고, 표시패널의 사양 등에 의한 휘도계조수에 따라 비트수를 적당히 변경 설정하는 것 이라도 좋은 것은 말할 필요도 없다.

(표시장치의 제 2 실시형태)

상기한 표시장치의 제 1 실시형태에 있어서는 데이터드라이버측으로부터 각 표시화소에 계조전류가 흘러 들어가도록 공급되는 전류인가방식에 대응한 회로구성을 구비하는 것으로 했는데, 본 발명은 이것에 한정되는 것은 아니고, 각 표시화소측으로부터 데이터드라이버 방향으로 계조전류를 끌어 들이는 전류싱크방식에 대응한 회로구성을 갖는 것 이라도 좋다.

이하에 전류싱크방식에 대응한 구성을 구비하는 표시장치의 제 2 실시형태에 대해서 설명한다.

도 25는 본 실시형태에 관련되는 전류생성공급회로를 적용 가능한 표시장치의 제 2 실시형태를 나타내는 개략 블록도이다.

도 26은 본 실시형태에 관련되는 표시장치에 적용할 수 있는 표시패널의 구성의 한 예를 나타내는 개략 구성도이다.

여기에서 상기한 표시장치의 제 1 실시형태(도 18, 도 19 참조)와 동일 또는 동등한 구성에 대해서는 동등한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

도 25, 도 26에 나타내는 바와 같이 본 실시형태에 관련되는 표시장치(200B)는 개략 제 1 실시형태에 나타난 표시장치(100A)와 동등한 구성을 갖는 표시패널(110B)과 주사드라이버(120B)와 데이터드라이버(130B)와 시스템컨트롤러(140B)와 표시신호생성회로(150B)를 갖고, 덧붙여서 각 행마다의 주사라인(SL)에 병행하여 배치 설치되며, 각 행마다 배열된 표시화소군에 공통으로 접속된 전원라인(VL)에 접속된 전원드라이버(160)를 구비하여 구성되어 있다.

이하 본 실시형태 특유의 구성에 대해서 설명한다.

표시패널(110B)은 예를 들면 도 26에 나타내는 바와 같이 상호 병렬로 배치 설치된 복수의 주사라인(SL) 및 전원라인(VL)과, 해당 주사라인(SL) 및 전원라인(VL)에 직교하도록 배치 설치된 복수의 데이터라인(DL)의 각 교점 근방에 후술하는 바와 같은 구성을 갖는 표시화소가 배열된 구성을 갖고 있다.

또 표시화소는 구체적으로는 주사라인(SL)을 통하여 인가되는 주사신호(Vsel) 및 데이터라인(DL)을 통하여 공급되는 게조전류(Ipix), 전원드라이버(160)로부터 전원라인(VL)을 통하여 인가되는 전원전압(Vsc)에 의거하여 각 표시화소에 있어서의 게조전류(Ipix)의 기입동작 및 발광동작을 제어하는 화소구동회로(DCy)와, 해당 화소구동회로(DCy)로부터 공급되는 발광구동전류의 전류값에 따라서 발광휘도가 제어되는 유기EL소자(발광소자, OEL)를 갖고 구성되어 있다. 또한 화소구동회로(DCy)에 적용 가능한 회로구성예에 대해서는 후술한다.

주사드라이버(120B)는 상기한 제 1 실시 형태(도 19 참조)와 똑같이 시스템컨트롤러(140B)로부터 공급되는 주사제어신호에 의거하여 소정의 타이밍으로 각 주사라인(SL)에 선택레벨의 주사신호(Vsel)를 차례차례 인가함으로써 각 행마다의 표시화소군을 선택상태로 하고, 각 데이터라인(DL)을 통하여 공급되는 게조전류(Ipix)를 각 표시화소에 기입하도록 제어한다.

데이터드라이버(130B)는 상기한 전류싱크방식에 대응한 전류생성공급회로의 제 2 실시 형태에 있어서의 구성(도 3, 도 4 참조)을 기본구성으로 하여 적용한 구성을 갖고, 시스템컨트롤러(140B)로부터의 데이터제어신호에 의거하여 복수 비트의 디지털신호로 이루어지는 표시데이터를 받아 들여 홀딩하며, 해당 표시데이터에 따라서 흐르는 특정의 단위전류를 합성해서 소정의 전류값을 갖는 게조전류(Ipix)를 생성하고, 각 데이터라인(DL)에 동시에 병행해서 공급하도록 제어한다. 또한 본 실시형태에 있어서는 표시화소측으로부터 데이터드라이버 방향으로 끌어 들이도록 게조전류를 흘린다.

전원드라이버(160)는 시스템컨트롤러(140A)로부터 공급되는 전원제어신호에 의거하여 주사드라이버(120B)에 의해 각 행마다의 표시화소군이 선택상태로 설정되는 타이밍에 동기하여 전원라인(VL)에 선택레벨의 전원전압(Vsc, 예를 들면 접지 전위 이하에 설정된 로레벨)을 인가함으로써 전원라인(VL)으로부터 표시화소(화소구동회로(DCy))를 통하여 데이터드라이버(130B) 방향으로 표시데이터에 의거하는 소정의 게조전류(Ipix)를 끌어 들이고, 한편 주사드라이버(120B)에 의해 각 행마다의 표시화소군이 비선택상태로 설정되는 타이밍에 동기하여 전원라인(VL)에 비선택레벨(예를 들면, 하이레벨)의 전원전압(Vsc)을 인가함으로써 전원라인(VL)으로부터 표시화소(화소구동회로(DCy))를 통하여 유기EL소자(OEL) 방향으로 상기 게조전류(Ipix)와 동등한 발광구동전류를 흘리도록 제어한다.

전원드라이버(160)는 구체적으로는 도 26에 나타내는 바와 같이 상기한 주사드라이버(120A, 도 19 참조)와 똑같이 시프트레지스터와 버퍼로 이루어지는 시프트블록(SB)을 각 행마다의 전원라인(VL)에 대응시켜서 복수단 구비하고, 시스템컨트롤러(140B)로부터 공급되며, 상기 주사제어신호에 동기하는 전원제어신호(전원스타트신호(VSTR), 전원클록신호(VCLK) 등)에 의거하여 시프트레지스터에 의해 표시패널(110B)의 위쪽에서 아래쪽으로 차례차례 시프트하면서 출력된 시프트신호가 버퍼를 통하여 소정의 전압레벨(예를 들면 주사드라이버(120B)에 의한 선택상태에 있어서 로레벨, 비선택상태에 있어서 하이레벨)을 갖는 전원전압(Vsc)으로서 각 전원라인(VL)에 인가된다.

시스템컨트롤러(140B)는 표시신호생성회로(150B)로부터 공급되는 타이밍신호에 의거하여 적어도 주사드라이버(120B) 및 데이터드라이버(130B), 전원드라이버(160)의 각각에 대해서 주사제어신호 및 데이터제어신호, 전원제어신호(전원스타트신호(VSTR), 전원클록신호(VCLK) 등)를 생성해서 출력함으로써 각 드라이버를 소정의 타이밍으로 동작시켜서 표시패널(110B)에 주사신호(Vsel) 및 게조전류(Ipix), 전원전압(Vsc)을 출력시키고, 화소구동회로(DCy)에 있어서의 소정의 제어동작을 연속적으로 실행시켜서 영상신호에 의거하는 소정의 화상정보를 표시패널(110B)에 표시시키는 제어를 실행한다.

또한 본 실시형태에 있어서는 표시패널(110B)의 주변에 부설되는 드라이버로서 도 25, 도 26에 나타난 바와 같이 표시패널(110B)에 대해서 주사드라이버(120B) 및 전원드라이버(160)를 개별로 배치한 구성에 대해서 설명했는데, 본 발명은 이것에 한정되는 것은 아니다. 예를 들면 상기한 바와 같이 주사드라이버(120B) 및 전원드라이버(160)는 타이밍이 동기하는

동등한 제어신호(주사제어신호 및 전원제어신호)에 의거하여 동작하므로, 예를 들면 주사드라이버(120B)에 주사신호(Vsel)의 생성, 출력타이밍에 동기해서 전원전압(Vsc)을 공급하는 기능을 갖도록 하여 일체적으로 구성한 것이라도 좋다. 이와 같은 구성에 따르면, 주변회로의 구성을 간소화, 공간절약화할 수 있다.

(표시화소)

이어서 상기한 표시장치에 있어서의 각 표시화소에 적용할 수 있는 화소구동회로의 한 실시형태에 대해서 설명한다.

도 27은 본 실시형태에 관련되는 표시장치에 있어서의 표시화소의 화소구동회로에 적용 가능한 한 실시형태를 나타내는 회로 구성도이다.

도 28은 본 실시형태에 관련되는 화소구동회로에 있어서의 제어동작의 한 예를 나타내는 타이밍 차트이다.

또한 여기서 나타내는 화소구동회로는 본 실시형태에 관련되는 표시장치에 적용 가능한 극히 한 예를 나타내는 것에 지나지 않고, 동등한 동작기능을 갖는 다른 회로구성을 갖는 것이라도 좋은 것은 말할 필요도 없다.

도 27에 나타내는 바와 같이 본 실시형태에 관련되는 화소구동회로(DCy)는 예를 들면 주사라인(SL)과 데이터라인(DL)의 교점 근방에 게이트단자가 주사라인(SL)에, 소스단자가 주사라인(SL)에 평행하게 배치 설치된 전원라인(VL)에, 드레인단자가 접점(Nya)에 각각 접속된 n채널형 트랜지스터(Tr81)와, 게이트단자가 주사라인(SL)에, 소스-드레인단자가 데이터라인(DL) 및 접점(Nyb)에 각각 접속된 n채널형 트랜지스터(Tr82)와, 게이트단자가 접점(Nya)에, 소스-드레인단자가 접점(Nyb) 및 전원라인(VL)에 각각 접속된 n채널형 트랜지스터(Tr83)와, 접점(Nya) 및 접점(Nyb)간에 접속된 콘덴서(Cy)를 구비한 구성을 갖고 있다.

또 이와 같은 화소구동회로(DCy)로부터 공급되는 발광구동전류에 의해 발광회도가 제어되는 유기EL소자(OEL)는 애노드단자가 상기 화소구동회로(DCy)의 접점(Nyb)에, 또 음극단자가 접지전위(Vgnd)에 각각 접속된 구성을 갖고 있다. 여기에서 콘덴서(Cy)는 n채널형 트랜지스터(Tr83)의 게이트-소스간에 형성되는 기생용량이라도 좋고, 그 기생용량에 덧붙여서 게이트-소스간에 추가로 용량소자를 별개로 부가하도록 한 것이라도 좋다.

이와 같은 화소구동회로(DCy)의 구동제어동작은 도 28에 나타내는 바와 같이 우선 기입동작기간에 있어서 주사라인(SL)에 대해서 하이레벨(선택레벨)의 주사신호(Vsel)를 인가하는 동시에, 전원라인(VL)에 대해서 로레벨의 전원전압(Vsc)을 인가한다. 또 이 타이밍에 동기해서 유기EL소자(OEL)를 소정의 휘도계조로 발광 동작시키기 위해 필요한 소정의 계조전류(Ipix)를 데이터드라이버(130B)로부터 데이터라인(DL)에 공급한다. 여기에서는 계조전류(Ipix)로서 후술하는 바와 같이 음극성의 전류를 공급하고, 표시화소(화소구동회로(DCy))측으로부터 데이터라인(DL)을 통하여 데이터드라이버(130B) 방향으로 해당 전류를 끌어 들이도록 설정한다.

이에 따라 화소구동회로(DCy)를 구성하는 n채널형 트랜지스터(Tr81 및 Tr82)가 ON동작해서 로레벨의 전원전압(Vsc)이 접점(Nya, 즉 n채널형 트랜지스터(Tr83)의 게이트단자 및 콘덴서(Cy)의 일단측)에 인가되는 동시에, 계조전류(Ipix)의 끌어 들임 동작에 의해 n채널형 트랜지스터(Tr82)를 통하여 로레벨의 전원전압(Vsc)보다도 저전위의 전압레벨이 접점(Nyb, 즉 n채널형 트랜지스터(Tr83)의 소스단자 및 콘덴서(Cy)의 타단측)에 인가된다.

이와 같이 접점(Nya 및 Nyb)간(n채널형 트랜지스터(Tr83)의 게이트-소스간)에 전위차가 발생하게 되고, n채널형 트랜지스터(Tr83)가 ON동작해서 전원라인(VL)으로부터 n채널형 트랜지스터(Tr83), 접점(Nyb), n채널형 트랜지스터(Tr82)를 통하여 데이터라인(DL) 방향으로 계조전류(Ipix)에 대응한 전류가 흐른다.

이 때 콘덴서(Cy)에는 접점(Nya 및 Nyb)간에 발생한 전위차에 대응하는 전하가 축적되어 전압성분으로서 홀딩된다(충전된다). 또 이 때 유기EL소자(OEL)의 애노드단자(접점(Nxb))에 인가되는 전위는 음극단자의 전위(접지전위)보다도 낮아지고, 유기EL소자(OEL)에 역바이어스 전압이 인가되는 것으로 되기 때문에 유기EL소자(OEL)에는 발광구동전류가 흐르지 않으며, 발광동작은 실행되지 않는다.

이어서 발광동작기간에 있어서는 주사라인(SL)에 대해서 로레벨(비선택레벨)의 주사신호(Vsel)를 인가하는 동시에, 전원라인(VL)에 대해서 하이레벨의 전원전압(Vsc)을 인가한다. 또 이 타이밍에 동기해서 계조전류(Ipix)의 끌어 들임 동작을 정지한다.

이에 따라 n채널형 트랜지스터(Tr81 및 Tr82)가 OFF동작해서 접점(Nya)으로의 전원전압(Vsc)의 인가가 차단되는 동시에, 접점(Nyb)으로의 계조전류(Ipix)의 끌어 들임 동작에 기인하는 전압레벨의 인가가 차단되므로 콘덴서(Cy)는 상기한 기입동작에 있어서 축적된 전하를 홀딩한다.

이와 같이 콘덴서(Cy)가 기입동작시의 충전전압을 홀딩함으로써 접점(Nya 및 Nyb)간(n채널형 트랜지스터(Tr83)의 게이트-소스간)의 전위차가 홀딩되는 것으로 되고, n채널형 트랜지스터(Tr83)는 ON상태를 유지한다. 또 전원라인(VL)에는 접지 전위보다도 높은 전압레벨을 갖는 전원전압(Vsc)이 인가되므로 전원라인(VL)으로부터 n채널형 트랜지스터(Tr83), 접점(Nxb)을 통하여 유기EL소자(OEL)에 순바이어스 방향으로 발광구동전류가 흐른다.

여기에서 콘덴서(Cy)에 홀딩되는 전위차(충전전압)는 상기 기입동작시에 있어서 n채널형 트랜지스터(Tr83)에 계조전류(Ipix)에 대응하는 전류를 흘릴 때의 전위차에 상당하므로 유기EL소자(OEL)에 흐르는 발광구동전류는 상기 전류와 동등한 전류값을 갖게 되고, 발광동작기간에 있어서는 기입동작기간에 기입된 계조전류에 대응하는 전압성분에 의거하여 유기EL소자(OEL)는 소망한 휘도계조로 발광하는 동작을 계속한다.

따라서 이와 같은 일련의 구동제어동작을 도 28에 나타내는 바와 같이 주사드라이버(120B), 전원드라이버(160) 및 후술하는 데이터드라이버(130B)를 이용해서 표시패널(110B)을 구성하는 모든 행의 표시화소군에 대해서 차례차례 반복하여 실행함으로써 표시패널 1화면분의 표시데이터가 기입되어 각 표시화소가 소정의 휘도계조로 발광하고, 소망한 화상정보가 표시된다.

< 데이터드라이버의 제 2 실시형태 >

이어서 상기한 실시형태에 있어서의 표시장치에 적용할 수 있는 데이터드라이버의 제 2 실시형태에 대해서 도면을 참조하여 설명한다.

도 29는 본 실시형태에 관련되는 표시장치에 적용할 수 있는 데이터드라이버의 제 2 실시형태를 나타내는 개략 구성도이다.

도 30은 본 실시형태에 관련되는 데이터드라이버의 제 2 실시형태에 적용할 수 있는 계조전류생성회로의 구체적인 구성의 한 예를 나타내는 구성도이다.

본 실시형태에 있어서의 데이터드라이버는 전류싱크방식에 대응한 구성을 구비하는 것이고, 상기한 전류생성공급회로의 제 2 실시형태에 있어서의 구성을 적용 한 것이다.

전류생성공급회로의 제 2 실시형태에 있어서의 구성과 대응 지우면서 설명하고, 동일한 구성에 대해서는 동등한 부호를 붙여서 설명을 생략 또는 간략화한다.

즉 본 실시형태에 있어서의 데이터드라이버(130B)는 예를 들면 도 29에 나타내는 바와 같이 상기한 데이터드라이버의 제 1 실시형태에 있어서의 구성과 동등한 구성을 갖는 반전래치회로(131)와, 시프트레지스터회로(132)와, 계조전류생성공급회로군(133C 및 133D)과, 선택설정회로(134)에 덧붙여서 상기한 전류생성공급회로의 제 2 실시형태에 있어서의(도 4 참조) 기준전압생성회로(10B)와 동등한 회로구성을 갖는 기준전압생성회로부(135B)를 구비하는 것이다.

즉 기준전압생성회로부(135B)는 예를 들면 고전위전원(+V) 및 저전위전원(-V)간에 정전류발생원(IR)과 기준전류트랜지스터(Tn11)를 구비한 기준전압생성부(10B)가 직렬 접속된 구성을 갖고, 기준전압생성부(10B)에 흐르는 기준전류(Iref)에 의거하여 게이트단자(접점(Nrg))에 발생하는 전위를 기준전압(Vref)으로서 1쌍의 계조전류생성공급회로군(133C 및 133D)에 정상적으로 인가한다.

계조전류생성공급회로군(132C 및 133D)은 각각 복수의 계조전류생성공급회로부(PXC-1, PXC-2, ... 및 PXD-1, PXD-2, ..., 이하, 「계조전류생성공급회로부(PXC, PXD)」로도 기입한다)를 구비한 구성C 갖고, 각 계조전류생성공급회로부(PXC, PXD)는 도 30에 나타내는 바와 같이 적어도 데이터래치부(DLB)와 계조전류생성회로(PLB, 구동전류생성부(ILB)에 상당한다)와 선택설정신호(전환제어신호(SEL)의 비반전신호(SLa) 및 반전신호(SLb))에 의거하여 각 계조전류생성공급회로부(PXC, PXD)의 동작상태를 선택적으로 설정하는 동작설정부(ACB)와 신호홀딩회로(DLB)로부터의 비반전출력신호(d10~d13)에 의거하여 표시화소를 흑표시 동작 등의 특성의 구동상태로 동작시키는 경우에 표시화소(데이터라인(DL))에 특정전압을 인가하는 특정상태설정부(BKB)를 구비한 구성을 갖고 있다.

여기에서 데이터래치부(DLB) 및 계조전류생성회로(PLB)로 이루어지는 구성은 도 3에 나타난 전류생성회로부(20B)에 있어서의 신호홀딩회로(DLB) 및 전류생성회로(ILB)에 대응하는 것이고, 동등한 기능 및 구성을 구비하는 것이므로 그 상세한 설명은 생략한다.

동작설정부(ACB)는 도 30에 나타내는 바와 같이 선택설정회로(134)로부터 출력되는 선택설정신호(비반전신호(SLa) 또는 반전신호(SLb))가 입력되고, 데이터라인(DL)에 전류로가 설치되며, 게이트단자에 상기 선택설정신호가 인가되는 n채널형 트랜지스터(Tn93)와, 선택설정신호(비반전신호(SLa) 또는 반전신호(SLb))를 반전 처리하는 인버터(94)와, 선택설정신호의 반전신호 및 시프트레지스터회로(132)로부터의 시프트신호(SR)를 입력으로 하는 NAND회로(95)와, 해당 NAND회로(95)의 논리출력을 반전 처리하는 인버터(96)와, 해당 인버터(96)의 반전출력을 추가로 반전 처리하는 인버터(97)를 구비한 구성을 갖고 있다.

특정상태설정부(BKA)는 도 30에 나타내는 바와 같이 신호홀딩회로(DLB)로부터 출력되는 비반전출력신호(d10~d13)를 입력신호로 하는 NOR회로(91)와, 해당 NOR회로(91)의 출력레벨에 의거하여 계조전류생성회로(PLB)의 전류출력단자(OUTi)에 특정전압(Vbk)을 인가하는 특정전압인가트랜지스터(n채널형 전계효과형 트랜지스터, Tn92)를 구비한 구성을 갖고 있다. 즉 특정상태설정부(BKB)는 신호홀딩회로(DLB)로부터 출력되는 비반전출력신호(d10~d13)의 신호레벨이 모두 "0"이 되는 특정상태를 판별해서 데이터라인(DL)을 통하여 표시화소에 특정전압(Vbk)을 인가한다.

이와 같은 구성을 갖는 데이터드라이버(130B)에 있어서의 제어동작은 상기의 도 24에 나타난 구성과 똑같고, 선택설정신호(전환제어신호(SEL)의 비반전신호(SLa) 또는 반전신호(SLb))에 의거하여 선택상태로 설정된 한쪽의 계조전류생성공급회로군(예를 들면, 계조전류생성공급회로군(133C))의 신호홀딩동작에 있어서는 시프트레지스터회로(132)로부터 차례차례 출력되는 시프트신호(SR1, SR2, SR3,...)에 의거하여 각 계조전류생성공급회로부(PXC-1, PXC-2,...)에 설치된 신호홀딩회로(DLB)에 각 열 마다의 표시데이터(d0~d3)가 차례차례 받아 들여져 홀딩되며, 해당 표시데이터(d0~d3)의 비반전신호가(각 래치회로(LC0~LC3)의) 비반전출력단자(OT0~OT3를 통하여 출력신호(d10~d13)로서 계조전류생성회로(PLB)에 출력되고, 전류생성공급동작에 있어서는 데이터래치회로(DLB)로부터의 비반전출력신호(d10~d13)에 의거하여 계조전류생성회로(PLB)에 의해 음극성의 계조전류(Ipix)를 생성해서 각 표시화소측으로부터 각 데이터라인(DL1, DL2,...)을 통하여 데이터드라이버(130B) 방향으로 계조전류(Ipix)를 끌어 들이도록 공급하며, 선택설정회로(134)에 의해 1쌍의 계조전류생성공급회로군(133C, 133D) 중, 한쪽의 계조전류생성공급회로군에 의해 상기 전류생성공급동작을 하면서 다른쪽의 계조전류생성공급회로군에 의해 상기 신호홀딩동작을 동시에 병행하는 동작을 교호로 반복해서 실행하도록 제어된다.

따라서 본 실시형태에 관련되는 데이터드라이버(130B)를 적용한 표시장치에 있어서도 각 데이터라인(DL1, DL2,...)에 대응해서 설치된 각 계조전류생성회로(PLB)에 의해 표시데이터(d0~d3)에 따른 단위전류를 생성, 합성함으로써 적절한 전류값을 갖는 계조전류(Ipix)를 각 표시화소(화소구동회로(DCy))에 공급해서 신속하고 또한 양호한 계조표시동작을 실현할 수 있다.

< 데이터드라이버의 제 3 실시형태 >

이어서 상기한 실시형태에 있어서의 표시장치에 적용할 수 있는 데이터드라이버의 제 3 실시형태에 대해서 도면을 참조하여 설명한다.

도 31은 본 실시형태에 관련되는 표시장치에 적용할 수 있는 데이터드라이버의 제 3 실시형태를 나타내는 개략 구성도이다.

도 32는 본 실시형태에 관련되는 데이터드라이버의 제 3 실시형태에 있어서의 제어동작의 한 예를 나타내는 타이밍 차트이다.

본 실시형태에 있어서의 데이터드라이버는 상기의 전류생성공급회로의 기준전압생성회로 및 전류생성회로의 제 3 실시형태(도 5 참조)의 구성을 적용한 것이다.

여기에서 상기한 실시형태와 동일한 구성에 대해서는 동등한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

또 본 실시형태는 전류인가방식에 대응한 회로구성을 갖는데, 이것에 한정하지 않고, 전류싱크방식에 대응한 회로구성을 갖는 것이라도 좋다.

이와 같은 구성을 갖는 전류생성공급회로를 적용한 데이터드라이버(130C)는 도 31에 나타내는 바와 같이 예를 들면 상기의 데이터드라이버의 제 1 실시형태(도 22, 도 23 참조)와 동등한 구성을 갖는 반전래치회로(131)와, 시프트레지스터회로(132)와, 계조전류생성공급회로군(133E 및 133F)과, 선택설정회로(134)에 덧붙여서 상기한 전압생성회로 및 전류생성회로의 제 3 실시형태에 있어서의 기준전압생성부(10C)와 동등한 회로구성을 갖고, 각 계조전류생성공급회로부(PXE-1, PXE-2, ... 및 PXF-1, PXF-2, ...)에 타이밍제어신호로서 입력되는 시프트신호(SR1, SR2, ...)에 동기하는 제어신호(TCL, TCL*)에 의거하여 기준전압(Vref)을 소정의 타이밍으로 반복하여 리프레시동작을 실행하면서 각 계조전류생성공급회로부(PXE-1, PXE-2, ... 및 PXF-1, PXF-2, ...)에 대해서 일정한 전압을 갖는 기준전압(Vref)을 정상적으로 인가하는 기준전압생성회로부(135C)를 구비한 구성을 갖고 있다.

그리고 이와 같은 구성을 갖는 데이터드라이버(130C)에 있어서의 제어동작은 도 32에 나타내는 바와 같이 선택레벨(하이레벨)의 선택설정신호(전환제어신호(SEL)의 비반전신호(SLa) 또는 반전신호(SLb))에 의거하여 선택상태로 설정된 계조전류생성공급회로군(예를 들면, 계조전류생성공급회로군(133E))의 신호홀딩동작에 있어서는 시프트레지스터회로(131)로부터 차례차례 출력되는 시프트신호(SR1, SR2, SR3, ...)에 의거하여 각 계조전류생성공급회로부(PXE-1, PXE-2, ...)에 설치된 신호홀딩회로(DLA)에 각 열마다의 표시데이터(d0~d3)가 차례차례 받아 들여져 홀딩된다.

여기에서 도 23에 나타낸 바와 같이 각 계조전류생성공급회로부(PXE-1, PXE-2, ...)의 동작설정부(ACA)에 있어서, 로레벨의 선택설정신호(비반전신호(SLa))가 입력됨으로써 데이터라인(DL)으로의 계조전류(Ipix)의 공급을 제어하는 p채널형 트랜지스터(Tp43)가 OFF동작해서 계조전류생성공급회로군(133E, 계조전류생성공급회로부(PXE-1, PXE-2, ...))으로부터의 계조전류(Ipix)의 공급을 차단하는 동시에, 시프트레지스터회로(132)로부터의 시프트신호(SR1, SR2, ...)의 출력타이밍에 의거하여 신호홀딩회로(DLA)에 의해 표시데이터(d0~d3)가 받아 들여진다.

또 이 때 기준전압생성회로부(135C)에 있어서, 시프트신호(SR1, SR2, ...), 비반전제어신호(TCL) 및 반전제어신호(TCL*)의 출력타이밍에 동기해서 정전류발생원(IR)으로부터 접점(Nrg)에 전하가 공급되고, 해당 전위(기준전압(Vref))이 재충전(리프레시)되어 계조전류생성회로(PLA)에 인가됨으로써 각 단위전류트랜지스터의 게이트단자에 기준전압(Vref)이 정상적으로 인가된다. 이 기준전압은 도 5에 나타내는 바와 같이 기준전압생성회로부(135C)를 구성하는 기준전류트랜지스터(Tp101)의 게이트-소스간에 설치된 콘덴서(Cc)에 전압성분으로서 홀딩된다.

이어서 비선택레벨(로레벨)의 선택설정신호(비반전신호(SLa) 또는 반전신호(SLb))에 의거하여 비선택상태에 설정된 계조전류생성공급회로군(예를 들면, 계조전류생성공급회로군(133E))의 전류생성공급동작에 있어서는 신호홀딩회로(DLA)로부터 계조전류생성회로(PLA)에 출력되는 반전출력신호(d10*~d13*)에 의거하여 각 단위전류트랜지스터(Tp12~Tp15, Tp22~Tp25, ...)에 대응해서 접속된 선택트랜지스터(Tp16~Tp19, Tp26~Tp29, ...)가 선택적으로 ON 동작함으로써 특정의 단위전류트랜지스터에 흐르는 단위전류를 합성하고, 양극성의 계조전류(Ipix)를 생성한다.

이 때 각 계조전류생성공급회로부(PXE-1, PXE-2, ...)의 동작설정부(ACA)에 있어서, 하이레벨의 선택설정신호(비반전신호(SLa))가 입력됨으로써 p채널형 트랜지스터(Tp43)가 ON동작하므로 상기 계조전류(Ipix)가 각 데이터라인(DL1, DL2, ...)을 통하여 각 표시화소에 차례차례 공급된다.

또 도 31에 나타낸 1쌍의 계조전류생성공급회로군(133E 및 133F)에 대해서 상호 신호극성이 반전관계에 있는 선택설정신호(비반전신호(SLa) 및 반전신호(SLb))가 동기하여 공급됨으로써 도 32에 나타내는 바와 같이 한쪽의 계조전류생성회로군(예를 들면, 계조전류생성공급회로군(133E))으로 신호홀딩동작을 실행하면서 다른쪽의 계조전류생성공급회로군(예를 들면, 계조전류생성공급회로군(133F))으로 전류생성공급동작이 동시에 병행해서 실행된다.

여기에서 각 계조전류생성회로부에 있어서 생성되는 계조전류(Ipix)는 상기한 바와 같이 신호홀딩동작에 있어서, 기준전압생성회로부(135C)의 콘덴서(Cc)에 충전된 전압성분에 의해 기준전압(Vref)이 홀딩되어 각 단위전류트랜지스터의 게이트단자에 인가되므로 각 단위전류트랜지스터에 있어서 생성되는 단위전류의 전류값을 규정값으로 설정할 수 있고, 이와 같은 단위전류를 선택, 합성해서 생성되는 계조전류(Ipix)를 불균형을 억제한 균일한 전류값으로 설정할 수 있다. 따라서 각 단위전류트랜지스터에 있어서의 전류리크 등에 의한 게이트전압(기준전압)의 저하를 억제해서 표시데이터(d0~d3)에 따른 적절한 전류값을 갖는 계조전류(Ipix)를 각 표시화소에 공급할 수 있으므로 양호한 계조표시동작을 실현할 수 있다.

< 데이터드라이버의 제 4 실시형태 >

다음으로 상기한 실시형태에 있어서의 표시장치에 적용할 수 있는 데이터드라이버의 제 4 실시형태에 대해서 도면을 참조하여 설명한다.

도 33은 본 실시형태에 관련되는 표시장치에 적용할 수 있는 데이터드라이버의 제 4 실시형태를 나타내는 개략 구성도이다.

본 실시형태에 있어서의 데이터드라이버는 상기의 전류생성공급회로의 기준전압생성회로 및 전류생성회로의 제 4 실시형태(도 6 참조)의 구성을 적용한 것이다.

여기에서 상기한 실시형태와 동일한 구성에 대해서는 동등한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

또 본 실시형태는 전류인가방식에 대응한 회로구성을 갖는데, 이것에 한정하지 않고, 전류싱크방식에 대응한 회로구성을 갖는 것이라도 좋다.

이와 같은 구성을 갖는 전류생성공급회로를 적용한 데이터드라이버(130D)는 예를 들면 도 33에 나타내는 바와 같이 상기한 제 1 실시형태(도 22, 도 23 참조)와 동등한 구성을 갖는 반전래치회로(131)와, 시프트레지스터회로(132)와, 계조전류생성공급회로군(133K 및 133L)과, 선택설정회로(134)에 덧붙여서 상기한 정전압발생원(VR)으로 이루어지는 기준전압생성부(10D)를 구비한 구성을 갖고 있다.

이와 같은 구성을 갖는 데이터드라이버(130D)에 있어서의 제어동작은 상기한 데이터드라이버의 제 1 실시형태에 있어서의 제어동작(도 24 참조)과 똑같이 1쌍의 계조전류생성회로부군 중, 선택상태에 설정된 계조전류생성회로군에 있어서, 각 열마다의 표시데이터($d_0 \sim d_3$)를 차례차례 받아 들여 홀딩하는 신호홀딩동작과, 해당 표시데이터($d_0 \sim d_3$, 반전출력신호($d_{10}^* \sim d_{13}^*$))에 의거하는 단위전류를 합성해서 계조전류(I_{pix})를 생성하여 각 표시화소에 공급하는 전류생성공급동작이 차례차례 실행되는 동시에, 일련의 동작이 1쌍의 계조전류생성공급회로군(133K, 133L)에 의해 교호로 반복해서 실행된다.

따라서 본 실시형태에 있어서도 상기한 데이터드라이버의 제 1 실시형태에 있어서의 구성과 똑같이 각 표시화소에 대응해서 개별의 계조전류생성회로부가 설치되고, 또한 해당 계조전류생성회로부에 의해 표시데이터에 따른 단위전류를 선택, 합성해서 계조전류를 생성하여 직접 표시화소에 공급할 수 있으므로, 낮은 계조로 표시화소를 발광시키는 경우(계조전류의 전류값이 작은 경우)나, 표시패널의 화소수를 증가시켜 고정밀화한 경우(표시화소로의 계조전류의 공급시간이 짧게 설정되어 있는 경우) 등이라도 데이터라인 등의 기생용량의 영향을 억제해서 표시화소를 적절한 휘도계조로 발광 동작시킬 수 있다.

또 계조전류생성회로부에 적용되는 단위전류생성회로에 대해서 공유화된 유일한 정전압발생원에 의해 생성되는 기준전압을 정상적으로 공급하는 구성을 적용할 수 있으므로 각 표시화소(데이터라인)마다 기준전압발생회로 및 단위전류생성회로로 이루어지는 커런트미러회로 구성을 적용하는 경우에 비교해서 트랜지스터 등의 기능소자의 수를 삭감하여 회로구성을 간소화할 수 있어 데이터드라이버의 회로면적을 축소해서 제품비용의 저감을 꾀할 수 있다.

또한 정전압발생원으로부터 공급되는 기준전압에 의거하여 각 계조전류생성공급회로부에 있어서 계조전류가 생성되므로 기준전압을 균일화할 수 있고, 각 계조전류공급회로부에 있어서 생성되는 계조전류의 불균형을 억제해서 표시패널의 전역에 걸쳐 표시데이터에 따른 적절한 전류값을 갖는 계조전류를 표시화소에 공급할 수 있다. 또한 상기에 있어서, 표시패널에 배치 설치된 데이터라인에 대응해서 계조전류생성회로부가 개별로 설치되고, 해당 계조전류생성회로부의 모두에 대해서 유일한 정전압발생원을 설치한 구성을 나타냈는데, 본 발명은 이것에 한정되는 것은 아니고, 예를 들면 표시패널을 복수의 영역에 분할해서 각 영역마다의 데이터라인에 대응하여 설치된 복수의 계조전류생성회로부마다 개별의 정전압발생원을 설치하도록 구성해도 좋다.

< 데이터드라이버의 제 5 실시형태 >

다음으로 상기한 실시형태에 있어서의 표시장치에 적용할 수 있는 데이터드라이버의 제 5 실시형태에 대해서 도면을 참조하여 설명한다.

도 34는 본 실시형태에 관련되는 표시장치에 적용할 수 있는 데이터드라이버의 제 5 실시형태를 나타내는 개략 구성도이다.

여기에서 상기한 각 실시형태와 동일한 구성에 대해서는 동등한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

도 34에 나타내는 바와 같이 본 실시형태에 관련되는 전류생성공급회로가 적용되는 데이터드라이버(130E)는 적어도 상기의 각 실시형태에 나타난 1개의 기준전압생성회로와, 계조전류생성회로를 구비하는 복수의 계조전류생성공급회로부로 이루어지는 조합이 소정수의 데이터라인마다, 복수쌍 설치된 구성을 갖고 있다.

보다 구체적으로는 예를 들면 표시화소가 n 행 $\times m$ 열 배치되고, 해당 표시화소에 대응해서 m 개의 데이터라인(DL)이 배치 설치된 표시패널(110E)에 있어서, 해당 표시패널(110E)이 소정수의 데이터라인마다 복수의 영역으로 분할되고, 각 영역에 대응해서 데이터라인의 각각에 대응하여 설치된 복수의 계조전류생성회로부와 1개의 기준전압생성회로를 설치한 구성을 갖고 있다.

예를 들면 도 34에 나타난 데이터드라이버(130E)의 구성에 있어서는 표시패널(110E)이 소정수($m/4$ 개)의 데이터라인(DL)마다 4영역으로 분할되어 각 영역마다 데이터라인(DL)의 각각에 대응해서 설치된 복수의 계조전류생성공급회로부(PXJ-1, PXJ-2, ..., 이하, 편의적으로 「계조전류생성공급회로부(PXJ)」라고도 기입한다)와, 기준전압(V_{ref})을 생성, 인가하는 기준전압생성회로(10E)를 구비한 계조전류생성공급회로군(133J-1, 133J-2, 133J-3, 133J-4, 이하, 편의적으로 「계조전류공급회로군(133J)」으로도 기입한다)이 설치되어 있다.

여기에서 각 계조전류공급회로군(133J)에 설치되는 복수의 계조전류생성공급회로부(PXJ)는 예를 들면 상기의 각 실시형태에 나타난 데이터드라이버에 있어서의 구성과 똑같이 1쌍(1벌)의 계조전류생성회로부를 갖고, 선택제어신호에 의거하여 각 계조전류생성회로부에 있어서, 교호로 신호홀딩동작 및 전류생성공급동작을 실행하도록 제어되는 것이라도 좋다.

이 경우 각 계조전류생성공급회로군(133J)에 있어서의 각 계조전류생성공급회로부(PXJ)의 선택이나 동작상태를 제어하는 시프트레지스터회로나 선택설정회로 등은 모든 계조전류생성공급회로군(133J)에 대해서 공통화하도록 유일하게 설치되는 것이라도 좋고, 각 계조전류생성공급회로군(133J)마다 설치되는 것이라도 좋다.

또 각 계조전류생성공급회로군(133J)에 설치된 기준전압생성회로(10E)는 1개의 정전류발생원(IR)에 공통으로 접속된 구성을 갖고 있어도 좋고, 각 계조전류생성공급회로군(133J)마다 개별의 정전류발생원에 접속된 구성을 갖고 있어도 좋다. 전자의 구성에 따르면, 복수의 기준전압생성회로(10E)에 대해서 1개의 정전류발생원(IR)만을 설치하면 종으로 회로규모의 소형화 및 제품비용의 삭감을 꾀할 수 있고, 또 후자의 구성에 따르면, 각 계조전류생성공급회로군(133J)에 있어서, 정전류발생원(IR)과 기준전압생성회로(10E) 사이의 전류공급라인의 배선길이를 균일화할 수 있으므로 기준전류를 균일화하여 보다 적절한 전류값을 갖는 계조전류를 생성할 수 있다.

또 각 계조전류생성공급회로군(133J)의 기준전압생성회로(10E)가 1개의 정전류발생원(IR)에 공통으로 접속되는 구성에 있어서, 각 계조전류생성공급회로군(133J)마다 정전류발생원(IR)과 기준전압생성회로(10E)의 접속상태를 제어하는 스위치회로를 설치하고, 기준전류가 공급되는 각 계조전류생성공급회로군(133J, 기준전압생성회로)을 선택적으로 설정함으로써 동시에 복수의 기준전압생성회로에 기준전류가 흐르지 않도록 제어한 구성을 적용하는 것이라도 좋다. 이것에 따르면, 전류생성공급동작을 실행하는 계조전류생성공급회로군(133J)의 기준전압생성회로에만 기준전류가 흐르도록 제어할 수 있으므로 데이터드라이버가 복수의 계조전류공급회로군을 구비하고 있는 경우라도 표시장치의 전력절약화를 꾀할 수 있다.

이와 같은 구성을 갖는 데이터드라이버(130E)에 있어서의 제어동작은 상기한 데이터드라이버의 제 1 실시형태에 있어서의 제어동작(도 24 참조)과 똑같이 신호홀딩동작에 있어서는 각 계조전류생성공급회로군(133J)의 계조전류생성공급회로부(PXJ)에 설치된 신호홀딩회로(DLA)에 있어서, 시프트레지스터회로(131)로부터 차례차례 출력되는 시프트신호(SR1, SR2, SR3, ...)에 의거하여 표시데이터($d_0 \sim d_3$)를 차례차례 받아 들이는 동작이 표시패널(110E)의 열순서(데이터라인의 배열순서)에 대응해서 1행분 연속적으로 실행된다.

이에 따라 해당 표시데이터($d_0 \sim d_3$)가 받아 들여진 계조전류생성공급회로부(PXJ)로부터 차례로 신호홀딩회로(DLA)로부터의 반전출력신호($d_{10}^* \sim d_{13}^*$)가 계조전류생성회로(PLA)에 출력된다.

또 전류생성공급동작에 있어서는 상기 신호홀딩회로(DLA)로부터의 반전출력신호(d10*~d13*)에 의거하여 선택트랜지스터가 선택적으로 ON동작함으로써 특정의 단위전류트랜지스터에 흐르는 단위전류를 합성해서 생성된 계조전류(Ipix)가 각 계조전류생성공급회로부(PXJ)로부터 각 데이터라인(DL1, DL2, ...)을 통하여 각 표시화소에 차례차례 공급된다.

이에 따라 예를 들면 상기한 각 실시형태에 나타난 바와 같이 복수의 계조전류생성공급회로부에 대해서 1개의 기준전압생성회로를 구비한 데이터드라이버에 있어서, 기준전압생성회로에 의해 각 계조전류생성회로부에 기준전압을 인가하는 공통의 신호선의 배선저항이 무시할 수 없을 정도로 커진 경우(즉 상기 신호선이 길어진 경우)에, 그 배선저항이 기준전압의 저하를 초래할 가능성이 있는데, 본 실시형태에 나타난 바와 같이 표시패널에 배치 설치된 소정수의 데이터라인마다 적어도 복수의 계조전류생성공급회로부 및 1개의 기준전압생성회로를 구비한 계조전류생성공급회로군을 설치한 데이터드라이버를 적용함으로써 각 계조전류생성공급회로군에 있어서의 기준전압생성회로와 각 계조전류생성공급회로부의 사이의 배선길이를 실질적으로 짧게하는 동시에 균일화해서 해당 배선저항에 의한 기준전압으로의 영향을 억제하고, 표시데이터에 대응한 적절한 전류값을 갖는 계조전류를 각 표시화소에 공급해서 발광 휘도의 불균형을 억제하여 표시화질의 향상을 꾀할 수 있다.

또한 본 실시형태에 있어서의 기준전압생성회로 및 계조전류생성공급회로부에 있어서의 계조전류생성회로의 구체적인 구성은 특별히 한정하는 것은 아니고, 예를 들면 상기의 전류생성공급회로의 각 실시형태에 있어서의 기준전압생성회로 및 전류생성회로 구성의 각 실시형태에 있어서의 구성을 매우 적합하게 적용할 수 있는 것이다.

< 데이터드라이버의 제 6 실시형태 >

이어서 상기한 실시형태에 있어서의 표시장치에 적용할 수 있는 데이터드라이버의 제 6 실시형태에 대해서 도면을 참조하여 설명한다.

도 35는 본 실시형태에 관련되는 표시장치에 적용할 수 있는 데이터드라이버의 제 6 실시형태에 있어서의 데이터드라이버와 표시패널의 관계를 나타내는 구성 개념도이다.

도 36은 본 실시형태에 관련되는 데이터드라이버의 제 6 실시형태에 있어서의 주요부 구성을 나타내는 블록도이다.

즉 본 실시형태에 있어서의 데이터드라이버(130G)는 도 35에 나타내는 바와 같이 표시패널(110)의 행방향(주사라인의 연신방향)에 배열된 표시화소군을 복수의 데이터라인(DL, 데이터라인(DL)군)을 갖는 복수의 영역(RG, 예를 들면, 4영역)으로 분할하고, 각 영역(RG)에 배치 설치된 데이터라인(DL)군(여기에서는, 각 영역이 8개의 데이터라인을 포함하고 있는 것으로 한다)에 접속되는 복수의 출력단자(Tout)를 1그룹(블록)으로서 해당 그룹마다 1개의 전류생성회로(ILG)를 갖도록 구성되어 있다.

데이터드라이버(130G)는 구체적으로는 도 36에 나타내는 바와 같이 대별하여 시스템컨트롤러(140A) 등으로부터 공급되는 데이터제어신호(시프트클럭신호(CK1), 샘플링스타트신호(STR) 등)에 의거하여 차례차례 시프트신호(SR1, SR2, ...)를 출력하는 시프트레지스터회로(301)와, 해당 시프트신호(SR)의 입력타이밍에 의거하여 표시신호생성회로(150A) 등으로부터 공급되는 1행분의 표시데이터(Data)를 차례차례 받아 들이고, 데이터제어신호(데이터래치신호(CK2) 등)에 의거하여 받아 들여진 1행분의 표시데이터(Data)를 각 표시화소 단위로 복수 비트의 디지털신호로서 병렬적으로 홀딩하는 데이터래치회로(신호홀딩회로, 302)와, 데이터제어신호(타이밍신호(CK3) 등)에 의거하여 데이터래치회로(132)에 홀딩된 표시데이터(Data)에 의거하는 디지털신호를 각 표시화소 단위로 선택적으로 추출하는 스위치회로(입력측 스위치회로, 303)와, 스위치회로(303)를 통하여 꺼내어진 상기 디지털신호에 의거하여 상기 표시데이터(Data)에 대응한 소정의 야날로그 전류값을 갖는 전류(Ipxa)를 생성하는 복수의 전류생성회로(ILG)를 구비하는 계조전류생성회로(304)와, 데이터제어신호(타이밍신호(CK3) 등)에 의거하여 계조전류생성회로(304)에 의해 각 표시화소마다 생성된 전류(Ipxa)의 출력치를 차례차례 전환하는 스위치회로(출력측 스위치회로, 305)와, 데이터제어신호(출력이네이블신호(EN1, EN2) 등)에 의거하여 스위치회로(305)를 통하여 각각 다른 출력처에 출력된 전류(Ipxa)를 각 표시화소마다 병렬적으로 홀딩하고, 소정의 타이밍으로 계조전류(Ipix)로서 각 출력단자 (Tout)를 통하여 각 데이터라인(DL)에 일제히 공급하는 전류래치회로(306)를 구비한 구성을 갖고 있다. 여기에서 “CK1 ~ CK3” 및 “EN1”, “EN2”는 어느 것이나 시스템컨트롤러(140A) 등으로부터 공급되는 타이밍제어신호이고, 표시신호생성회로(150A) 등에 의해 영상신호로부터 추출되는 타이밍신호성분(기본클럭신호)에 의거하는 신호주기(신호주파수)를 갖고 있다.

이하 데이터드라이버의 각 구성에 대해서 구체적으로 설명한다. 여기에서는 특별히 설명하지 않는 한 상기 표시패널의 특정의 영역에 대응해서 설치된 1 블록(여기에서는, 8개의 데이터라인에 대응한다)에 대해서 설명한다.

(시프트레지스터회로/ 데이터래치회로)

도 37은 본 실시형태에 관련되는 데이터드라이버의 제 6 실시형태에 적용 가능한 데이터래치회로의 구성예를 나타내는 개략 구성도이다.

본 실시형태에 있어서의 데이터드라이버에 적용 가능한 데이터래치회로(302)는 시프트레지스터회로(301)로부터 차례차례 출력되는 시프트신호(SR)에 의거하는 타이밍으로 상기한 표시신호생성회로(150A) 등으로부터 공급되는 표시데이터(Data, 복수 비트의 디지털신호(d0~d3)))를 받아 들이고, 각 표시화소 단위로 병렬적으로 홀딩한다. 여기에서 데이터래치회로(302)에 공급되는 표시데이터(Data)는 예를 들면 각 표시화소에 대응한 복수 비트의 디지털신호를 1단위로서 해당 디지털신호가 1비트씩 시계열적으로 차례차례 공급되는 것(1비트의 직렬데이터)이라도 좋고, 상기 복수 비트의 디지털신호가 병렬적으로 일괄하여 공급되는 것(복수 비트의 병렬데이터)이라도 좋다.

각 표시화소에 대응해서 공급되는 표시데이터(Data)가 복수 비트의 직렬데이터인 경우에는 데이터래치회로(302)로서 예를 들면 도 37의 (A)에 나타내는 바와 같이 시계열적으로 공급되는 각 비트의 디지털신호(여기에서는, 4비트의 경우를 나타낸다, d0, d1, d2, d3(d0~d3))를 시프트레지스터회로(301)로부터 차례차례 출력되는 시프트신호(SR1, SR2, ...)에 의거하는 타이밍으로 차례차례 개별로 받아 들이는 전단의 래치회로군(신호홀딩회로, LCA0, LCA1, LCA2, LCA3(LCA0~LCA3))과, 전단의 래치회로군(LCA0~LCA3)에 의해 받아 들여진 복수 비트의 디지털신호(d0~d3)를 개별 병렬적으로 받아 들여 홀딩하고, 소정의 타이밍으로 일제히 출력하는 후단의 래치회로군(LCB0, LCB1, LCB2, LCB3(LCB0~LCB3))을 구비한 구성이 각 데이터라인(DL, 표시화소)에 대응하여 병렬로 설치된 구성을 적용할 수 있다.

또 표시데이터(Data)가 복수 비트의 병렬데이터인 경우에는 데이터래치회로(302)로서 예를 들면 도 37의 (B)에 나타내는 바와 같이 상기한 래치회로군(LCB0~LCB3)과 똑같이 병렬적으로 공급되는 표시데이터(Data)에 의거하는 복수 비트(4비트)의 디지털신호(d0~d3)를 시프트레지스터회로(301)로부터 차례차례 출력되는 시프트신호(SR1, SR2, ...)에 의거하는 타이밍으로 개별로 병렬적으로 받아 들이는 전단의 래치회로군(LCC0, LCC1, LCC2, LCC3(LCC0~LCC3))과, 전단의 래치회로군(LCC0~LCC3)에 의해 받아 들여진 복수 비트의 디지털신호(d0~d3)를 개별 병렬적으로 받아 들여 홀딩하고, 소정의 타이밍으로 일제히 출력하는 후단의 래치회로군(LCD0, LCD1, LCD2, LCD3(LCD0~LCD3))을 구비한 구성이 각 데이터라인(DL, 표시화소)에 대응하여 병렬로 설치된 구성을 적용할 수 있다.

여기에서 상기한 데이터래치회로(301)를 구성하는 각 래치회로(LCA0~LCA3, LCB0~LCB3, LCC0~LCC3, LCD0~LCD3)에 있어서, "IN"는 표시데이터(Data)에 의거하는 각 디지털신호(d0~d3)가 입력되는 입력단자이고, "CK"는 시프트신호(SR1, SR2, ..., 타이밍제어신호)가 입력되는 클록단자이며, "OT"는 디지털신호(d0~d3)에 대해서 비반전극성을 갖는 신호(비반전출력신호)가 출력되는 비반전출력단자, "OT*"는 디지털신호(d0~d3)에 대해서 반전극성을 갖는 신호(반전출력신호)가 출력되는 반전출력단자이다.

이와 같은 구성을 갖는 데이터래치회로(302)에 따르면, 전단의 래치회로군으로 각 표시화소에 대응한 표시데이터(Data, 디지털신호(d0~d3))를 차례차례 받아 들이는 동작과, 후단의 래치회로군으로 앞의 타이밍으로 전단의 래치회로군에 의해 받아 들여 홀딩되어 전송된 각 표시화소 단위의 디지털신호(d0~d3, 비반전출력신호(d10~d13, d20~d23, ...))를 후술하는 스위치회로(303)를 통하여 계조전류생성회로(304)에 개별로 병렬적으로 출력하는(또는, 출력 가능한 상태로 설정한다) 동작을 동시에 병행해서 실행할 수 있다.

(스위치회로)

도 38은 본 실시형태에 관련되는 데이터드라이버에 적용 가능한 스위치회로의 구성예를 나타내는 개략 구성도이다.

본 실시형태에 적용 가능한 스위치회로(입력측 스위치회로, 303)는 예를 들면 도 38의 (A)에 나타내는 바와 같이, 상기한 데이터래치회로(302)에 있어서 표시화소 단위로 개별로 받아 들여 홀딩된 표시데이터(Data, 복수 비트의 디지털신호(d0~d3)의 비반전출력신호(d10~d13, d20~d23, ...))를 각 블록마다 유일하게 설치된 계조전류생성회로(304)에 선택적

으로 받아 들일 때의 타이밍을 설정하는 시프트레지스터부(SRA)와, 해당 시프트레지스터부(SRA)로부터 차례차례 출력되는 시프트신호(SA1, SA2,...)에 의거하여 데이터래치회로(302)로부터 계조전류생성회로(304)에의 디지털신호(d0~d3, 비반전출력신호)의 선택, 공급상태를 제어하는 스위치부(SWA)를 구비한 구성을 갖고 있다.

또 스위치회로(출력측 스위치회로, 305)는 예를 들면 도 38의 (B)에 나타내는 바와 같이 후술하는 계조전류생성회로(304)에 있어서 표시데이터(Data, 비반전출력신호(d10~d13, d20~d23,...))에 따라 표시화소마다 개별로 생성된 전류(I_{pxa})를 각 데이터라인(DL)마다 설치된 전류기억회로부(IM1, IM2,...)에 선택적으로 공급할 때의 타이밍을 설정하는 시프트레지스터부(SRB)와, 해당 시프트레지스터부(SRB)로부터 차례차례 출력되는 시프트신호(SB1, SB2,...)에 의거하여 계조전류생성회로(304)로부터 전류래치회로(306, 각 전류기억회로부(IM1, IM2,...))에의 전류(I_{pxa})의 공급상태를 제어하는 스위치부(SWB)를 구비한 구성을 갖고 있다.

여기에서 본 실시형태에 있어서는 표시패널의 특정의 영역(RG)에 대응하는 데이터드라이버(130G)의 블록에 단일의 시프트레지스터부(SRA, SRB)가 설치되고, 해당 시프트레지스터부(SRA, SRB)로부터의 시프트신호(SA1, SA2,..., SB1, SB2,...)에 의해 스위치부(SWA, SWB)를 선택적으로 ON동작시키는 구성을 나타냈는데, 본 발명은 이것에 한정되는 것은 아니고, 모든 영역(RG)에 대응해서 스위치회로(303 및 305)의 각각에 대해서 유일한 시프트레지스터부를 설치하며, 해당 시프트레지스터부로부터 출력되는 시프트신호를 각 블록에 공통으로 공급하도록 구성한 것이라도 좋다.

이와 같은 구성을 갖는 스위치회로(303, 305)에 따르면, 시스템컨트롤러(140A) 등으로부터 공급되는 데이터제어신호에 의거하여 각 시프트레지스터부(SRA, SRB)로부터 차례차례 시프트신호가 출력되어 특정의 표시화소에 대응해서 데이터래치회로(302)에 받아 들여 홀딩된 표시데이터(Data, 복수 비트의 디지털신호(d0~d3)의 비반전출력신호(d10~d13))가 선택적으로 계조전류생성회로(304)에 출력되도록 스위치부(SWA)가 변경 제어되는 동시에, 계조전류생성회로(304)에 있어서 해당 표시데이터(Data)에 따라 생성된 전류(I_{pxa})가 해당 특정의 표시화소에 대응해서 설치된 전류기억회로(IM1, IM2,...)에 선택적으로 출력되도록 스위치부(SWB)가 변경 제어된다.

또한 본 실시형태에 있어서는 스위치회로(303, 305)의 양쪽에 개별의 시프트레지스터부(SRA, SRB)를 설치한 구성을 나타냈는데, 본 발명은 이것에 한정되는 것은 아니다. 즉 스위치회로(303, 305)에 있어서는 특정의 표시데이터(Data)의 계조전류생성회로(304)에의 공급동작과, 계조전류생성회로(304)에 있어서 생성된 전류(I_{pxa})의 전류래치회로(306, 전류기억회로(IM1, IM2,...))에의 출력동작을 동일한 타이밍으로 실행할 수 도 있으므로 단일의 시프트레지스터로부터 출력되는 시프트신호를 스위치회로(303, 305) 양쪽의 스위치전환신호로서 적용하는 것이라도 좋다.

(계조전류생성회로)

본 실시형태에 적용 가능한 계조전류생성회로(304)는 도 35에 나타난 바와 같이 표시패널(110)의 각 영역에 대응한 블록마다 유일한 전류생성회로(ILG)를 구비한 구성을 갖는다.

그리고 각 전류생성회로(ILG)는 상기 데이터래치회로(302)로부터 스위치회로(303)를 통하여 선택적으로 추출된 각 표시화소마다의 표시데이터(Data, 여기에서는 상기한 데이터래치회로를 구성하는 각 래치회로의 비반전출력단자로부터 출력되는 비반전출력신호(d10~d13))를 받아 들이고, 소정의 기준전류(I_{ref})에 의거하여 상기 표시데이터(Data, 즉 비반전출력신호(d10~d13))에 따른 전류값을 갖는 전류(I_{pxa}, 후술하는 계조전류(I_{pix})에 상당한다)를 생성해서 스위치회로(305)를 통하여 후술하는 전류래치회로(306, 각 데이터라인(DL)마다 개별로 설치된 전류기억회로(IM1, IM2,...))로 출력하도록 구성되어 있다.

또 본 실시형태에 있어서는 정전류발생원(IR)으로부터 기준전류(I_{ref})가 각 전류생성회로(ILG)에 공급되도록 구성된다. 여기에서 정전류발생원(IR)은 각 블록의 전류생성회로(ILG)마다 별개로 설치되는 것이라도 좋고, 계조전류생성회로(304)를 구성하는 모든 블록의 전류생성회로(ILG)에 대해서 유일하게 설치되는 것이라도 좋다. 또한 복수의 블록마다 유일하게 설치되는 것이라도 좋다.

이에 따라 시프트레지스터회로(301)로부터 출력되는 시프트신호(SR1, SR2,...)에 의거하는 타이밍으로 데이터래치회로(302)에 표시신호생성회로(150A) 등으로부터 공급되는 각 표시화소마다의 표시데이터(Data, 복수 비트의 디지털신호(d0~d3))가 받아 들여져 개별로 병렬적으로 홀딩되고, 스위치회로(303)의 전환타이밍에 의거하여 각 표시화소 단위의 비반전출력신호(d10~d13)가 차례차례 선택되어 계조전류생성회로(304)에 입력되며, 해당 비반전출력신호(d10~d13)의 비트값에 의거하여 전류생성회로(ILG)에 의해 소정의 전류값을 갖는 아날로그전류로 이루어지는 전류(I_{pxa})가 생성되어 후단의 전류래치회로(306)에 출력되게 된다.

또한 계조전류생성회로(304)에 있어서의 전류생성회로(ILB)의 구성은 특별히 한정하는 것은 아니고, 상기의 전류생성공급회로의 각 실시형태에 있어서의 전류생성회로의 각 실시형태에 있어서의 구성을 매우 적합하게 적용할 수 있는 것이고, 전류인가형 및 전류싱크형의 어느 쪽이라도 좋다.

(전류래치회로)

도 39는 본 실시형태에 관련되는 데이터드라이버에 적용 가능한 전류래치회로의 제 1 실시형태를 나타내는 개략 구성도이다.

도 40은 본 실시형태에 관련되는 전류래치회로에 적용 가능한 전류기억부의 한 구체적인 예를 나타내는 회로 구성도이다.

도 41은 본 실시형태에 관련되는 데이터드라이버에 적용 가능한 전류래치회로의 제 2 실시형태를 나타내는 개략 구성도이다.

또한 여기에서는 전류래치회로의 구성을 전류인가형이라고 한 경우에 대해서 나타냈는데, 이것에 한정하는 것은 아니고, 전류싱크라고 하는 것이라도 좋은 것은 말할 필요도 없다.

본 실시형태에 관련되는 전류래치회로(306)의 제 1 실시형태는 도 39에 나타내는 바와 같이 각 데이터라인(DL, 표시화소)이 접속되는 출력단자(Tout)마다 직렬로 접속된 2단의 전류기억부(제 1 전류기억부, 제 2 전류기억부, IMA, IMB)를 설치하고, 상기 계조전류생성회로(304)에 의해 생성, 출력되는 각 표시화소마다의 전류(Ipxa)를 스위치회로(305)의 전환타이밍에 따라서 전단의 각 전류기억부(IMA)에 차례차례 홀딩하는 동작(전류기억동작)과, 전단의 각 전류기억부(IMA)로부터 후단의 각 전류기억부(IMB)에 전송된 전류(Ipxa)를 소정의 타이밍으로 출력단자를 통하여 계조전류(Ipix)로서 각 데이터라인(DL)에 일제히 출력하는 동작(전류출력동작)을 병행해서 실행하도록 구성되어 있다.

본 실시형태에 관련되는 전류래치회로(306)는 구체적으로는 도 39에 나타내는 바와 같이 각 데이터라인(DL1, DL2,...)이 접속되는 출력단자(Tout)마다 직렬로 2단 설치되고, 각 블록마다 유일하게 설치된 전류생성회로(ILA)로부터 스위치회로(305)를 통하여 소정의 타이밍으로 선택적으로 공급되는 전류(Ipxa)를 받아 들여 홀딩하며, 예를 들면, 시스템컨트롤러(140A) 등으로부터 공급되는 출력이네이블신호(EN1)에 의거하여 해당 홀딩전류를 전송 출력하는 제 1 전류기억부(전류래치회로, IMA)와, 해당 전류기억부(IMA)로부터 전송된 전류를 받아 들여 홀딩하고, 시스템컨트롤러(140A) 등으로부터 공급되는 출력이네이블신호(EN2)에 의거하여 해당 전류를 각 출력단자(Tout)를 통하여 각 데이터라인(DL)에 계조전류(Ipix)로서 출력하는 제 2 전류기억부(전류래치회로, IMB)로 이루어지는 전류기억회로부(IM1, IM2,...)가 복수 설치된 구성을 갖고 있다.

여기에서 전류기억부(IMA, IMB)는 구체적으로는 예를 들면 도 40에 나타내는 바와 같이 전류(Ipxa)에 의거하여 소정의 제어전류를 생성하는 전류성분홀딩부(CLx, 스위치부(SWB)를 포함한다)와, 상기 제어전류에 의거하여 다음단의 전류기억부(IMB)에 출력하는 출력전류 또는 각 데이터라인(DL)에 출력하는 계조전류(Ipix)를 생성하는 커런트미러회로부(CLy 또는 CLz)로 이루어지는 회로구성을 적용할 수 있다.

전류성분홀딩부(CLx)는 예를 들면 도 40의 (A)에 나타내는 바와 같이 접점(N21) 및 입력신호(lin, 전단의 전류기억부(IMA)에 적용하는 경우에는 계조전류생성회로(304)로부터 공급되는 전류(Ipxa)이고, 후단의 전류기억부(IMB)에 적용하는 경우에는 전단의 전류기억부(IMA)로부터 공급되는 출력전류(Iout)가 된다)가 공급되는 입력단자(TMi)간에 전류로(소스 및 드레인)가 접속되고, 상기한 스위치회로(305)의 시프트레지스터(SRB)로부터의 시프트신호(SB1, SB2,...(SB))가 입력되는 시프트단자(TMs)에 게이트단자가 접속된 p채널형 트랜지스터(Tp21)와, 고전위전원(Vdd) 및 접점(N22)간에 전류로가 접속되며, 접점(N21)에 게이트단자가 접속된 p채널형 트랜지스터(Tp22)와, 접점(N22) 및 상기 입력단자(TMi)간에 전류로가 접속되고, 상기 시프트단자(TMs)에 게이트단자가 접속된 p채널형 트랜지스터(Tp23)와, 고전위전원(Vdd) 및 접점(N21)간에 접속된 축적용량(C21)과, 접점(N22) 및 후단의 커런트미러회로부(CLy)에의 출력접점(N23)간에 전류로가 접속되며, 후단의 커런트미러회로부(CLy)에의 제어전류의 출력상태를 제어하는 출력이네이블신호(EN1 또는 EN2)가 입력되는 게이트단자(TMe)에 게이트단자가 접속된 p채널형 트랜지스터(Tp24)를 구비한 구성을 갖고 있다.

여기에서 시프트레지스터(SRB)로부터의 시프트신호(SB1, SB2,...)에 의거하여 ON/OFF동작하는 p채널형 트랜지스터(Tp21, Tp23)는 상기한 스위치회로(출력측 스위치회로, 305)의 스위치부(SWB)를 구성한다.

또 고전위전원(Vdd) 및 접점(N21)간에 설치되는 축적용량(C21)은 p채널형 트랜지스터(Tp22)의 게이트-소스간에 형성되는 기생용량이라도 좋다.

전단의 전류기억부(IMA)에 설치되는 커런트미러회로부(CLy)는 예를 들면 도 40의 (A)에 나타내는 바와 같이 상기 전류성분홀딩부(CLx)의 출력접점(N23)에 컬렉터 및 베이스가 공통으로 접속되고, 접점(N24)에 이미터가 접속된 npn형 바이폴러 트랜지스터(이하, 「npn트랜지스터」로 약기한다, TQ21, TQ22)와, 접점(N24) 및 저전위전원(Vss)간에 접속된 저항(R21)과, 후단의 전류기억부(IMB)에의 출력전류(Iout)가 출력되는 출력단자(TMo)에 컬렉터가 접속되며, 상기 전류성분홀딩부(CLx)의 출력접점(N23)이 베이스에 접속된 npn트랜지스터(TQ23)와, 해당 npn트랜지스터(TQ23)의 이미터 및 저전위전원(Vss)간에 접속된 저항(R22)을 구비한 구성을 갖고 있다.

또 후단의 전류기억부(IMB)에 설치되는 커런트미러회로부(CLz)는 예를 들면 도 40의 (B)에 나타내는 바와 같이, 커런트미러회로부(CLy)에 나타낸 회로구성에 대해 npn트랜지스터(TQ23)의 컬렉터가 고전위전원(Vdd)에 접속되는 동시에, 이미터가 저항(R22)을 통하여 계조전류(Ipix)가 출력되는 출력단자(Tout)에 접속되는 구성을 갖고 있다.

또한 전류래치회로의 구성을 전류싱크형으로 하는 경우에는 후단의 전류기억부(IMB)에 설치되는 커런트미러회로부의 구성으로서 도 40의 (A)에 나타내는 커런트미러회로부(CLy)와 똑같은 구성을 적용할 수 있다.

여기에서 전류기억부(IMA, IMB)의 출력단자(TMo, Tout)로부터 출력되는 출력전류(Iout, Ipix)는 상기 전류성분홀딩부(CLx)로부터 출력접점(N23)을 통하여 입력되는 제어전류의 전류값에 대해서 커런트미러회로 구성에 의해 규정되는 소정의 전류비율에 따른 전류값을 갖고 있다. 또한 본 실시형태에 관련되는 전류기억부(IMB)에 있어서는 출력단자(Tout)에 대해서 양극성의 전류성분을 공급함으로써 계조전류(Ipix)가 전류기억회로부(IM)측으로부터 각 데이터라인(DL, 표시화소) 방향으로 흘러 들어가도록 설정된다.

또 도 40에 나타낸 전류기억부(IMA, IMB)는 본 실시형태에 관련되는 전류래치회로(306)에 적용 가능한 한 예를 나타내는 것에 지나지 않고, 이 회로구성에 한정되는 것은 아니다.

또한 본 실시형태에 있어서 전류기억부(IMA, IMB)로서 전류성분홀딩부(CLx)와 커런트미러회로부(CLy, CLz)를 구비한 구성을 나타냈는데, 이것에 한정되는 것은 아니고, 예를 들면 전류성분홀딩부(CLx)만을 구비한 회로구성을 적용하고, 상기 제어전류를 그대로 출력전류(Iout) 또는 계조전류(Ipix)로서 출력하는 것이라도 좋다.

이와 같은 구성을 갖는 전류기억부(IMA, IMB)에 있어서, 전류기억동작에 있어서는 시스템컨트롤러(140A) 등으로부터 출력제어단자(TMe)를 통하여 하이레벨의 출력이네이블신호(EN1, EN2)를 인가하고, 이 상태에서 계조전류생성회로(304)로부터 표시데이터(Data, 디지털신호(d0~d3))에 따른 아날로그 전류값을 갖는 전류(Ipxa)를 입력단자(TMi)를 통하여 공급하는 동시에, 스위치회로(305)의 시프트레지스터부(SRB)로부터 시프트단자(TMs)를 통하여 소정의 타이밍으로 로레벨의 시프트신호(스위치전환신호, SB1, SB2,...)를 인가한다.

이에 따라 출력제어수단으로서의 p채널형 트랜지스터(Tp24)가 OFF동작하고, 스위치부(SWB)로서의 p채널형 트랜지스터(Tp21, Tp23)가 ON동작하기 때문에 접점(N21, 즉 p채널형 트랜지스터(Tp22)의 게이트단자 및 축적용량(C21)의 일단측)에 음극성을 갖는 전류(Ipxa)에 따른 로레벨의 전압레벨이 인가되어 고전위전원(Vdd) 및 접점(N21)간(p채널형 트랜지스터(Tp22)의 게이트-소스간)에 전위차가 발생하며, p채널형 트랜지스터(Tp22)가 ON동작해서 고전위전원(Vdd)으로부터 p채널형 트랜지스터(Tp22, Tp23)를 통하여 입력단자(TMi) 방향으로 전류(Ipxa)와 동등한 기입전류가 흐른다.

이 때 축적용량(C21)에는 고전위전원(Vdd) 및 접점(N21)간(p채널형 트랜지스터(Tp22)의 게이트-소스간)에 발생한 전위차에 대응하는 전하가 축적되어 전압성분으로서 홀딩된다. 여기에서 축적용량(C21)에 축적된 전하(전압성분)는 전류기억동작의 종료에 의해 p채널형 트랜지스터(Tp21, Tp23)가 OFF동작해서 상기 기입전류가 정지된 후에 있어도 홀딩된다.

또 전류출력동작에 있어서는 시스템컨트롤러(140A) 등으로부터 출력제어단자(TMe)를 통하여 로레벨의 출력이네이블신호(EN1, EN2)를 인가함으로써 p채널형 트랜지스터(Tp24)가 ON동작한다. 이 때 축적용량(C21)에 홀딩된 전압성분에 의해 p채널형 트랜지스터(Tp22)의 게이트-소스간에 상기 전류기억동작시와 동등한 전위차가 발생하고 있으므로 고전위전원(Vdd)으로부터 p채널형 트랜지스터(Tp22, Tp24)를 통하여 출력접점(N23, 커런트미러회로부(CLy)) 방향으로 상기 기입전류(=전류(Ipxa))와 동등한 전류값을 갖는 제어전류가 흐른다.

이에 따라 커런트미러회로부(CLy)에 공급된 제어전류는 커런트미러회로 구성에 의해 규정되는 소정의 전류비율에 따른 전류값을 갖는 출력전류 또는 계조전류로 변환되어 출력단자(TMo)를 통하여 후단의 전류기억부(IMB) 또는 데이터라인(DL)에 공급된다. 여기에서 전류기억회로(IMB)로부터 출력되는 계조전류는 전류출력동작의 종료에 의해 시스템컨트롤러(140A) 등으로부터 출력제어단자(TMe)를 통하여 하이레벨의 출력이네이블신호(EN2)가 인가되고, p채널형 트랜지스터(Tp24)가 OFF동작함으로써 공급이 정지된다.

따라서 각 전류기억회로(IM)에 대응하여 개별로 설치된 스위치부(SWB, 도 38의 (B) 참조)에 시프트레지스터부(SRB)로부터의 시프트신호(SB1, SB2, ...)가 차례차례 출력됨으로써, 각 스위치부(SWB)가 소정기간만 선택적으로 ON동작해서 계조전류생성회로(304)로부터 공급되는 전류(I_{pxa})가 각 데이터라인(DL)에 대응하여 설치된 전단의 전류기억부(IMA)에 차례차례 기입된다. 전단의 각 전류기억부(IMA)에 기입하여 홀딩된 전류(I_{pxa})는 시스템컨트롤러(140A) 등으로부터 소정의 타이밍으로 출력이네이블신호(EN1)가 공통으로 공급됨으로써 후단의 전류기억부(IMB)에 일제히 출력된다.

또 상기 전단의 전류기억부(IMA)에 전류(I_{pxa})를 기입하는 동작에 동기해서 시스템컨트롤러(140A) 등으로부터 소정의 타이밍으로 출력이네이블신호(EN2)가 모든 후단의 전류기억부(IMB)에 공통으로 공급됨으로써 각 전류기억부(IMB)에 이미 (앞의 타이밍으로) 전송, 홀딩되어 있는 전류(I_{pxa})가 각 출력단자(Tout)를 통하여 계조전류(I_{pix})로서 일제히 출력된다.

이에 따라 상기 일련의 동작을 소정의 동작주기마다 반복해서 실행함으로써 전단의 전류기억부(IMA)에 있어서의 전류기억동작과 후단의 전류기억부(IMB)에 있어서의 전류출력동작이 병행하고 또한 연속적으로 실행된다.

또한 상기한 실시형태에 있어서는 전류기억회로(IM)를 구성하는 전류기억부(IMA, IMB)가 직렬로 2단 접속된 구성을 나타냈는데, 본 발명은 이것에 한정되는 것은 아니고, 예를 들면 도 41에 나타내는 바와 같이 1쌍의 전류기억부(IMC, IMD)를 병렬로 배치하고, 시스템컨트롤러(140A) 등으로부터 공급되는 제어신호(SEa, SEb)에 의거하여 전환스위치(SWC, SWD)를 전환 제어함으로써 한쪽의 전류기억부(도면에서는 전류기억부(IMC))에 계조전류생성회로(304)에 의해 생성된 전류(I_{pxa})를 기입하는 동작을 실행하면서 다른쪽의 전류기억부(도면에서는 전류기억부(IMD))에 앞의 타이밍으로 홀딩된 전류(I_{pxa})를 계조전류(I_{pix})로서 출력단자(Tout)를 통하여 출력하는 동작을 실행하도록 한 구성을 적용하는 것이라도 좋다. 이 경우, 전류기억부(IMC, IMD)의 회로 구성으로서는 도 40에 나타난 전류성분홀딩부(CLx) 및 커런트미러회로부(CLz)로 이루어지는 구성을 적용할 수 있다.

이 경우에 있어서는 전류래치회로의 구성을 전류싱크형으로 하는 경우에는 커런트미러회로부의 구성으로서 도 40의 (A)에 나타내는 커런트미러회로부(CLy)와 똑같은 구성을 적용할 수 있다.

(표시장치의 구동제어방법)

다음으로 상기한 구성의 데이터드라이버를 갖는 표시장치의 구동제어방법에 대해서 도면을 참조하여 설명한다.

도 42는 본 실시형태에 관련되는 데이터드라이버의 제 6 실시형태에 있어서의 제어동작의 한 예를 나타내는 타이밍 차트이다.

여기에서는 도 36~도 41에 나타난 데이터드라이버의 구성을 적당히 참조하면서 설명한다.

우선 데이터드라이버(130D)에 있어서의 제어동작은 상기한 데이터래치회로(302)에 설치된 각 래치회로에 표시신호생성회로(150A) 등으로부터 공급되는 표시데이터(Data, 복수 비트의 디지털신호(d0~d3))를 받아 들여 홀딩하는 동시에, 해당 표시데이터(Data, 디지털신호(d0~d3))에 의거하는 비반전출력신호(d10~d13, d20~d23, ...)를 일정기간 출력 가능한 상태로 설정하는 신호홀딩동작과, 데이터래치회로(302)로부터 출력되는 표시화소 단위의 비반전출력신호(d10~d13, d20~d23, ...)에 의거하여 계조전류생성회로(304)에 각 블록(표시패널(110)의 각 분할영역(RG))마다 설치된 전류생성회로(ILA)에 의해 상기 표시데이터(Data, 디지털신호(d0~d3))에 대응하는 전류(I_{pxa})를 차례차례 생성하는 전류생성동작과, 해당 생성된 전류(I_{pxa})를 전류래치회로(306)에 각 데이터라인(DL1, DL2, ...)마다 설치된 전류기억회로(IM1, IM2, ...)에 차례차례 홀딩한 후, 각 데이터라인(DL1, DL2, ...)을 통하여 계조전류(I_{pix})로서 각 표시화소에 일제히 공급하는 전류공급동작을 설정함으로써 실행된다. 그리고 이와 같은 신호홀딩동작 및 전류생성동작과 전류공급동작은 1수평선택기간내의 귀선시간을 제외하는 기간에 병렬적으로 실행되는 동시에, 일련의 동작이 각 블록단위로 동시 병렬적으로 실행된다. 이하, 각 블록에 있어서의 동작에 대해서 설명한다.

신호홀딩동작에 있어서는 도 42에 나타내는 바와 같이 시프트레지스터회로(301)로부터 차례차례 출력되는 시프트신호(SR1, SR2, SR3, ...)에 의거하여 상기 데이터래치회로(302, 각 래치회로)에 의해 각 열의 표시화소에 대응하여 전환하는 표시데이터(Data, 디지털신호(d0~d3))를 차례차례 받아 들이는 동작이 1행분 연속적으로 실행되고, 데이터래치회로(302)에 공급되는 타이밍제어신호(CK2)에 의거하여 상기 받아 들여진 표시데이터(Data, 디지털신호(d0~d3))가 개별 병렬적으로 일괄 홀딩되는 동시에, 출력 가능 상태로 설정된다.

여기에서 표시데이터(Data)가 1비트의 직렬 디지털신호인 경우에는 각 비트마다 받아 들여진 디지털신호가 표시화소 단위로 병렬적으로 홀딩되고, 표시데이터(Data)가 복수 비트의 병렬 디지털신호인 경우에는 해당 디지털신호가 그대로 표시화소 단위로 병렬적으로 홀딩된다. 따라서 표시데이터(Data)로서 1비트 직렬 디지털신호를 받아 들이는 경우에는 복수 비트의 병렬 디지털신호를 받아 들이는 경우와 비교해서 시프트레지스터회로(301)로부터 출력되는 시프트신호(SR1, SR2, ...)의 출력주기를 짧게(즉, 시프트레지스터회로(301)의 동작을 규정하는 시프트클록신호(CK1)의 신호주파수를 높게) 설정할 필요가 있다.

또 전류생성동작에 있어서는 도 42에 나타내는 바와 같이 스위치회로(303)에 공급되는 타이밍제어신호(CK3)에 의거하는 타이밍(시프트레지스터부(SRA)로부터 차례차례 출력되는 시프트신호(SA1, SA2, ...))으로 데이터래치회로(302)에 각 표시화소 단위로 홀딩된 표시데이터(Data)의 비반전출력신호(d10~d13, d20~d23, ...)가 선택적으로 추출되고, 해당 비반전출력신호에 의거하여 게조전류생성회로(304)의 각 블록마다 유일하게 설치된 전류생성회로(ILA)에 의해 소정의 단위 전류가 선택적으로 합성된다. 해당 합성전류(전류(I_{pxa}))는 스위치회로(305)에 공급되는 타이밍제어신호(CK3)에 의거하는 타이밍(시프트레지스터부(SRB)로부터 차례차례 출력되는 시프트신호(SB1, SB2, ...))으로 전류래치회로(306)의 각 표시화소에 대응해서 설치된 전류기억회로(IM1, IM2, ..., 전단의 전류기억부(IMA))에 차례차례 공급, 홀딩된다.

또 전류공급동작에 있어서는 도 42에 나타내는 바와 같이 전류래치회로(306)에 공급되는 출력이네이블신호(EN1)에 의거하여 상기 표시화소마다 전단의 전류기억부(IMA)에 홀딩된 전류(I_{pxa})가 적어도 블록단위로 후단의 전류기억부(IMB)에 전송되고, 출력이네이블신호(EN2)에 의거하여 상기 표시화소마다 후단의 전류기억부(IMB)에 홀딩된 전류(I_{pxa})가 게조전류(I_{pix})로서 각 데이터라인(DL)을 통하여 병렬적이고 또한 일괄하여 각 표시화소에 공급된다.

여기에서 i행째의 각 표시화소에 대해서 게조전류(I_{pix})를 일제히 공급하는 전류공급동작은 도 42에 나타내는 바와 같이 (i+1)행째의 각 표시화소에 대응하는 표시데이터(Data)를 받아 들이는 신호홀딩동작 및 해당 표시데이터(Data)에 따른 전류(I_{pxa}, 합성전류)를 생성하는 전류생성동작과 동기해서 실행된다.

< 패턴레이아웃방법 >

다음으로 본 실시형태에 관련되는 전류생성공급회로에 있어서의 기준전압생성회로 및 전류생성회로를 이루는 커런트미러회로 구성의 회로패턴의 레이아웃(배치)방법에 대해서 도면을 참조하여 설명한다.

도 43은 전계효과형 트랜지스터의 제조프로세스에 있어서의 치수변환차의 영향을 나타내는 개념도이다.

상기한 바와 같이 본 실시형태에 관련되는 전류생성공급회로에 있어서의 기준전압생성회로 및 전류생성회로는 커런트미러회로를 구성하고, 복수 비트의 디지털신호에 의거하여 기준전류(I_{ref})에 대해서 상호 전류비율이 다른 전류값을 갖는 단위전류(I_{sa}~I_{sd})를 선택적으로 합성해서 구동전류를 생성하도록 구성되어 있다.

그리고 단위전류의 전류비율(전류값)은 상기한 바와 같이 기준전류트랜지스터 및 단위전류트랜지스터를 구성하는 전계효과형 트랜지스터의 채널폭에 의해 규정된다.

여기에서 전계효과형 트랜지스터(박막트랜지스터)의 제조프로세스에 있어서의 설계치수와 마무리치수의 관계(치수변환차)에 대해서 검증하면, 일반적으로 집적회로의 제조프로세스에 있어서는 에칭공정 등에 있어서의 사이드에칭량이나 마스크의 위치맞춤 어긋남 등에 의거하는 치수시프트에 의해 마무리치수가 설계치수에 대해서 어느 정도 어긋나는 것이 알려져 있다. 예를 들면 도 43의 (a)에 나타내는 바와 같이 전계효과형 트랜지스터(여기에서는 편의적으로 p채널형 트랜지스터를 나타낸다)의 채널폭의 설계치수를 $W1=a$ 로 한 경우, 치수시프트에 의해 전계효과형 트랜지스터의 채널폭 방향의 양단측에서 각각 $-\Delta a$ 만 어긋남이 발생한 경우, 전체로 $2 \times \Delta a$ 의 치수변환차가 발생하고, 마무리치수가 $W1=a-2\Delta a$ 로 된다. 이 치수변환차는 트랜지스터 사이즈와 비교해서 미소하기 때문에 설계수법에 의해 보정하는 것이 매우 곤란하다는 특징을 갖고 있다.

또 이 치수변환차는 동일한 프로세스를 이용한 경우, 트랜지스터 사이즈(채널폭)에 관계없이 대략 일정한 값이 되기 때문에, 예를 들면, 도 43의 (b)에 나타내는 바와 같이, 채널폭의 설계치수를 $W2=2a$ 로 한 경우라도 상기한 경우와 똑같이 $-2\Delta a$ 의 치수변환차가 발생하여 마무리치수는 $W2=2a-2\Delta a$ 로 된다. 그로 인해 전계효과형 트랜지스터의 채널폭이 다르면, 치수변환차의 영향의 정도가 다르고, 채널폭이 작을수록 치수변환차의 영향을 크게 받게 되며, 상기한 바와 같은 전류생성공급회로(커런트미러회로)에 있어서는 미소한 전류값의 구동전류 정도 본래의 구동상태로부터 특성이 어긋나게 되고, 상기한 바와 같은 표시장치의 데이터드라이버에 적용한 경우에 있어서는 표시계조가 저계조가 되는 것에 따라서 표시회도의 선형성이 손상되게 된다.

또한 집적회로의 제조프로세스에 있어서는 일반적으로 동일한 웨이퍼나 기판내라도, 막두께나 막특성, 얼라이먼트정밀도, 제조프로세스에 있어서는 온도나 유체밀도 등의 조건의 불균일에 기인하여 가공 불균형이 발생하는 것이 알려져 있다. 그로 인해 동일한 트랜지스터 사이즈의 전계효과형 트랜지스터라도 기판상에서의 배치위치에 따라서 소자특성에 불균형이 발생하고, 이와 같은 전계효과형 트랜지스터를 전류생성공급회로(커런트미러회로부)에 적용한 경우, 상기한 경우와 똑같이 부하의 구동상태의 선형성을 손상시킬뿐만 아니라, 예를 들면, 이와 같은 전류생성공급회로를 복수 구비한 표시장치의 데이터드라이버 있어서는 전류생성공급회로 상호간의 회로특성도 불균일이 될 가능성이 있었다.

그래서 본 발명에 있어서는 상기한 바와 같은 치수변환차나 가공 불균형의 영향을 억제하기 위해서 전류생성공급회로에 있어서는 커런트미러회로를 구성하는 전계효과형 트랜지스터(기준전류트랜지스터 및 단위전류트랜지스터)를 기본이 되는 최소의 트랜지스터 사이즈(채널폭)를 갖는 전계효과트랜지스터를 기본트랜지스터로하고, 이 기본트랜지스터를 복수 병렬 접속함으로써 소망한 채널폭을 갖는 전계효과형 트랜지스터를 구성하고, 또한 상기 복수의 기본트랜지스터를 소위 코멘트트로이드형상 또는 그것에 준한 패턴 레이아웃을 갖도록 배치하도록 한 구성을 갖고 있다.

즉 예를 들면 도 43의 (a)에 나타낸 바와 같이 채널폭 $W1=a$ 를 갖는 전계효과형 트랜지스터를 최소치수를 갖는 기본의 트랜지스터(기본트랜지스터)에 설정하고, 도 43의 (c)에 나타내는 바와 같이 이 기본트랜지스터를 복수개(여기에서는 2개) 병렬로 접속함으로써 도 43의 (b)에 나타낸 경우와 똑같이 채널폭이 복수배 ($W2=2a$)의 전계효과형 트랜지스터를 구성한다. 이것에 따르면, 각 기본트랜지스터의 채널폭은 $W1=a$ 로 항상 일정하므로 이들을 병렬로 복수 접속한 경우라도 각 기본트랜지스터에 발생하는 치수변환차는 항상 $2\Delta a$ 로 일정하게 된다.

따라서 이 경우의 채널폭은 도 43의 (a)에 나타낸 경우의 복수배(여기에서는 2배) 즉 $W3=2 \times (a-2\Delta a)=2 \times W$ 로 되고, 전계효과형 트랜지스터의 채널폭이 다른 경우라도 치수변환차의 영향은 일정하게 된다. 이에 따라 표시장치의 데이터드라이버에 적용한 경우에 있어서는 지정계조에 대한 구동전류의 전류값의 관계에 양호한 선형성을 갖게할 수 있다.

여기에서 도 43의 (c)에 있어서는 채널폭을 기본으로 되는 기본트랜지스터의 2배로 설정한 경우를 나타냈는데, 상기한 바와 같이 2 이상의 $2k(k=2, 4, 8, \dots)$ 배의 채널폭으로 설정하는 경우에는 각각 상기 기본트랜지스터를 2개, 4개, 8개, ... 병렬로 접속한다.

또 가공 불균형은 일반적으로 특성의 경향(1차원적인 경사분포)을 갖고 있는 것이 알려져 있고, 이와 같은 가공 불균형에 의한 소자특성에의 영향을 억제하는 수법으로서 코멘트트로이드형상이 알려져 있다. 즉 특성의 기준점에 대해서 대칭(선대칭, 점대칭)으로 되는 위치에 배치된 소자끼리(소자의 설계사이즈 및 소자의 배치방향은 동일)에서는 상기 가공 불균형의 1차원적인 경사분포에 의해 각종의 패러미터나 특성이 상기 기준점에 대해서 대칭적으로 변화한다고 생각할 수 있다. 즉 예를 들면 기준점에서 특성 P 가 얻어진 경우, 한쪽의 소자에서는 특성 $P+\Delta P$ 가 얻어지고, 다른쪽의 소자에서는 특성 $P-\Delta P$ 가 얻어지므로 이와 같은 소자 상호를 병렬로 접속함으로써 1차원적인 불균형 분포를 캔슬(상쇄)할 수 있다. 이와 같은 패턴레이아웃수법을 코멘트트로이드형상이라고 말하고, 예를 들면 차동증폭회로의 차동대나 용량의 형성에 적용되고 있다.

(패턴레이아웃방법의 제 1 실시형태)

도 44는 본 실시형태에 관련되는 전류생성공급회로에 있어서는 커런트미러회로를 구성하는 기본트랜지스터의 레이아웃방법의 제 1 실시형태를 나타내는 개념도이다.

도 45는 본 실시형태에 관련되는 전류생성공급회로에 있어서는 커런트미러회로를 구성하는 기본트랜지스터의 배치 및 결선패턴의 제 1 실시형태를 나타내는 회로 구성도이다.

또한 이하에 있어서는 한 예로서 도 2에 나타낸, 단위전류트랜지스터 (Tp12~Tp15)를 구비하는 단위전류생성회로(21A) 및 기준전류트랜지스터(Tp11)를 구비하는 기준전압생성회로(10A)를 형성하는 경우의 회로패턴의 레이아웃방법에 대해서 설명하는데, 본 발명은 이것에 한정하지 않고, 상기한 각 실시형태의 전류생성공급회로에 적용할 수 있는 것이다.

또 신호홀딩회로(DLA)에 받아 들여 홀딩되는 디지털신호(d0, 또는 그 반전출력신호(d10*))에 의해 선택제어되는 단위전류(Isa)를 생성하는 단위전류트랜지스터 (Tp12)를 최소치수를 갖는 기본의 트랜지스터(기본트랜지스터)에 설정하고, 다른 단위전류(Isb, Isc, Isd)의 전류값이 각각 단위전류(Isa)의 $2(=2^1)$ 배, $4(=2^2)$ 배, $8(=2^3)$ 배가 되도록 각 단위전류트랜지스터(Tp13, Tp14, Tp15)가 상기 기본트랜지스터를 2개, 4개, 8개 병렬로 접속한 구성을 갖고 있는 것으로 한다.

본 실시형태에 관련되는 커런트미러회로부의 레이아웃방법은, 우선 도 44의 (A)에 나타내는 바와 같이 제 1 비트의 디지털신호(d0)에 대응하는 단위전류트랜지스터(Tp12)를 구성하는 기본트랜지스터(도면 중, “0”로 표기한다; 이하, 「트랜지스터 “0”」로 기입한다)를 소정의 기준위치에 배치하고, 해당 트랜지스터 “0”의 양옆(도면 좌우측)에 제 2 비트의 디지털신호(d1)에 대응하는 단위전류트랜지스터(Tp13)를 구성하는 2개의 기본트랜지스터(도면 중, “1”로 표기한다; 이하, 「트랜지스터 “1”」로 기입한다)를 배치한다.

이어서 도 44의 (b)에 나타내는 바와 같이 트랜지스터 “0” 및 “1”을 각각 끼워 넣는 위치(트랜지스터 “0” 및 “1”의 각 양옆)에 제 3 비트의 디지털신호(d2)에 대응하는 단위전류트랜지스터(Tp14)를 구성하는 4개의 기본트랜지스터(도면 중, “2”로 표기한다; 이하, 「트랜지스터 “2”」로 기입한다)를 배치하고, 또한 도 44의 (c)에 나타내는 바와 같이 트랜지스터 “0”, “1”, “2”를 각각 끼워 넣는 위치(트랜지스터 “0”, “1”, “2”의 각 양옆)에 제 3 비트의 디지털신호(d3)에 대응하는 단위전류트랜지스터(Tp15)를 구성하는 8개의 기본트랜지스터(도면 중, “3”으로 표기한다; 이하, 「트랜지스터 “3”」으로)를 배치한다.

또한 4 비트의 디지털신호(d0~d3)를 입력신호로 한 경우에는 도 44의 (c)에 나타낸 바와 같은 트랜지스터배치로 되는데, 디지털신호의 비트수가 보다 많은 경우에는 상기 패턴레이아웃방법에 따라서 추가로 상위의 비트에 대응하는 기본트랜지스터를 배치하는 조작을 반복하도록 배치한다.

이어서 도 44의 (d)에 나타내는 바와 같이 차례차례 배열된 기본트랜지스터군(단위전류트랜지스터를 구성하는 기본트랜지스터군)의 양 외측에 기준전류트랜지스터(Tp11)를 구성하는 소정수의 기본트랜지스터(도면 중, “ref”로 표기한다; 이하, 「트랜지스터 “ref”」로 기입한다)를 반수(半數)씩 배치한다.

여기에서 트랜지스터 “ref”의 배치는 도 44의 (d)에 있어서는 복수개의 기본트랜지스터를 연속적으로 배치한 구성을 나타냈는데, 본 발명은 이것에 한정되는 것은 아니고, 상기한 기준위치에 배치된 트랜지스터 “0”에 대해서 선대칭으로 되는 위치이면, 임의의 위치에 배치하는 것이더라도 좋다.

이와 같은 패턴레이아웃방법에 의해 도 2에 나타낸 단위전류생성회로(21A) 및 기준전압생성회로(10A)의 커런트미러회로를 구성하는 각 기본트랜지스터(트랜지스터(“0”~“3”, “ref”))를 코먼센트로이드형상에 의거하여 1차원 레이아웃할 수 있다.

그리고 이와 같이 배치된 트랜지스터(“0”~“3”, “ref”)의 결선패턴은 도 2에 나타낸 전류생성회로(ILA) 및 기준전압생성회로(10A)의 구성에 대응시켜서 설명하면, 도 45에 나타내는 바와 같이 각 트랜지스터(“0”~“3”, 상기한 단위전류트랜지스터(Tp12~Tp15에 상당한다))의 드레인단자가 고전위전원(+V)에 공통으로 접속되는 동시에, 게이트단자가 접점(Nga)에 공통으로 접속되어 있다.

또, 트랜지스터 “0”의 소스단자는, 접점(Na) 및 스위치(SW0, 상기한 선택트랜지스터(Tp16)에 상당한다))를 통하여 전류출력접점(OUTi, 부하)에 접속되고, 2개의 트랜지스터 “1”의 각 소스단자는 공통의 접점(Nb) 및 스위치(SW1, 상기한 선택트랜지스터(Tp17)에 상당한다))를 통하여 전류출력접점(OUTi)에 접속되며, 4개의 트랜지스터 “2”의 각 소스단자는 공통의 접점(Nc) 및 스위치(SW2, 상기한 선택트랜지스터(Tp18)에 상당한다))를 통하여 전류출력접점(OUTi)에 접속되고, 8개의 트랜지스터 “3”의 각 소스단자는 공통의 접점(Nd) 및 스위치(SW3, 상기한 선택트랜지스터(Tp19)에 상당한다))를 통하여 전류출력접점(OUTi)에 접속되어 있다.

즉, 각 단위전류트랜지스터($Tp12 \sim Tp15$)를 구성하는 각 트랜지스터 “0”~“3”은 각각 접점(Na~Nd)과 고전위전원(+V)의 사이에 전류로가 병렬로 접속된 구성을 갖고 있다. 또한 도 45에 있어서, 배선 도중에 나타난 작은 검은점은 배선 상호의 접속점을 나타내고, 또 큰 검은 동그라미는 배선 상호의 접속점으로서, 다른 배선층에 접속하기 위한 콘택트홀을 나타내고 있다.

또한 기준전류트랜지스터($Tp11$)를 구성하는 각 트랜지스터 “ref”의 드레인단자는 고전위전원(+V)에 공통으로 접속되어 게이트단자제어단자점(Nga)을 통하여 드레인단자 및 전류입력접점(INi)에 접속되어 있다. 또 접점(Nga)과 고전위전원(+V)의 사이에는 용량(ca)이 접속되어 있다. 즉, 기준전류트랜지스터($Tp11$)를 구성하는 복수의 트랜지스터 “ref”는 각각, 전류입력접점(INi)과 고전위전원(+V)의 사이에 전류로가 병렬로 접속된 구성을 갖고 있다.

이에 따라 각 단위전류트랜지스터($Tp12 \sim Tp15$)를 구성하는 전계효과형 트랜지스터의 실질적인 채널폭은 도 43의 (c)에 나타난 경우와 똑같이 단위전류트랜지스터($Tp12$)를 기본으로 하여 각각 2배, 4배, 8배의 치수가 되도록 형성되고, 또 기준전류트랜지스터($Tp11$)의 채널폭도 단위전류트랜지스터($Tp12$)를 기본으로 하여 소정의 비율이 되도록 형성됨으로써 기준전류(I_{ref})에 대한 각 단위전류($I_{sa} \sim I_{sd}$)의 전류값이 규정된다.

덧붙여서, 본 실시형태에 관련되는 전류생성부에 있어서의 기본트랜지스터의 결선패턴에 있어서는 이하에 나타내는 바와 같은 특징적인 배선방법을 적용하고 있다.

즉 제 1 특징은 도 45에 나타난 결선패턴에 있어서, 각 트랜지스터 “0”~“3”의 드레인배선과 소스배선 및 게이트배선이 배선되는 영역을 분리하여(도면 중, 위쪽영역과 아래쪽영역으로 분리해서 겹치지 않도록) 배치 설정함으로써 출력 배선(드레인배선)이 게이트배선과는 교차하지 않도록 배선하여 각 트랜지스터 “0”~“3”로부터의 출력전류(즉 단위전류에 상당하고, 또한 합성전류인 구동전류에도 관련한다)가 전위변동이 큰 게이트전압의 영향을 받지 않도록 하고 있다.

또 제 2 특징은 도 45에 나타난 바와 같이 트랜지스터 “0”~“3”의 출력배선(드레인배선)끼리가 필연적으로 교차하게 되기 때문에 각 트랜지스터 “1”~“3”마다의 출력배선 상호의 접속을 상기 출력배선이 형성되는 층(출력배선층)과는 다른 배선층(예를 들면, 콘택트홀을 통하여 게이트배선이 형성되는 배선층)에 있어서 실행하고, 접점(Na~Nd)과 각 스위치(SW0~SW3)의 접속은 재차 콘택트홀을 통하여 출력배선층에 있어서 실행한다.

여기에서 각 트랜지스터(“0”~“3”)와 스위치(SW0~SW3)간의 콘택트홀의 수(즉 콘택트홀을 개재시킴으로써 부가되는 저항값에 상당한다; 콘택트저항)를 균일화하기 위해서 본래 다른 배선층으로의 이행을 필요로 하지 않는 트랜지스터 “0”와 스위치(SW0)간에 있어서도 상기 다른 트랜지스터 “1”~“3”의 출력배선 상호의 접속을 실행하는 배선층으로 이행하도록 콘택트홀을 2회 경유하도록 결선패턴(배선경로)을 설정하고 있다. 이에 따라 콘택트저항의 불균일에 기인하는 출력전류의 불균형을 억제할 수 있다.

이와 같이 본 실시형태에 관련되는 전류생성공급회로에 있어서는 커런트미러회로를 구성하는 각 전계효과형 트랜지스터를 기본이 되는 트랜지스터 사이즈를 갖는 기본트랜지스터를 복수개 병렬로 접속함으로써 소망한 채널폭을 갖는 전계효과형 트랜지스터를 구성하고, 또한 상기 복수의 기본트랜지스터를 소위 코멘트트로이드형상을 갖지도록 배치함으로써 전계효과 트랜지스터의 제조프로세스에 있어서 발생하는 치수변환차를 균일화하면서 가공 불균형을 상쇄하여 그 영향을 억제할 수 있으므로 지정계조에 대응하는 적절한 전류값을 갖는 구동전류를 생성, 공급할 수 있고, 부하의 구동상태를 저계조에서 고계조까지 선형성 좋게 제어할 수 있는 동시에, 전류생성공급회로를 복수 구비한, 예를 들면 표시장치의 데이터드라이버에 적용한 경우에 있어서도 전류생성공급회로 상호간의 회로특성(전류출력특성)의 불균형을 억제해서 복수의 부하(표시화소)를 균일한 구동상태로 동작시킬 수 있다.

(패턴레이아웃방법의 제 2 실시형태)

도 46은 본 실시형태에 관련되는 전류생성공급회로에 있어서의 커런트미러회로를 구성하는 기본트랜지스터의 배치 및 결선패턴의 제 2 실시형태를 나타내는 회로 구성도이다.

여기에서 상기한 실시형태와 동등한 구성에 있어서는 동등한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

본 실시형태에 관련되는 전류생성부를 구성하는 기본트랜지스터의 배치는 도 46의 (a)에 나타내는 바와 같이 상기한 제 1 실시형태와 똑같이 제 0 비트의 디지털신호(d0)에 대응하는 트랜지스터 “0”를 기준위치에 배치하고, 해당 트랜지스터

“0”의 양옆에 제 1 비트의 디지털신호(d1)에 대응하는 트랜지스터 “1”를 1개씩 배치하며, 추가로 그 양옆에 제 2 비트의 디지털신호(d2)에 대응하는 트랜지스터 “2”를 2 개씩 배치하고, 추가로 그 양옆에 제 3 비트의 디지털신호(d3)에 대응하는 트랜지스터 “3”를 4개씩 배치한다.

그리고 상기와 같이 차례차례 배열된 기본트랜지스터군의 양 외측에 기준전류트랜지스터를 구성하는 소정수의 트랜지스터 “ref”를 반수씩 배치한다.

따라서 이와 같은 패턴레이아웃방법에 의해 도 2에 나타난 단위전류생성회로 (21A) 및 기준전압생성회로(10A)의 커런트미러회로를 구성하는 각 기본트랜지스터(트랜지스터 “0”~“3”, “ref”)를 적어도 기준위치에 대해서 대칭이 되는 위치에 배치할 수 있고, 코멘센트로이드형상에 준한 패턴레이아웃으로 1차원 레이아웃할 수 있다.

그리고 이와 같이 배치된 트랜지스터 “0”~“3”, “ref”의 결선패턴에 있어서도 도 46의 (b)에 나타내는 바와 같이 상기한 실시형태와 똑같이 각 단위전류트랜지스터(Tp12~Tp15)를 구성하는 각 트랜지스터 “0”~“3”가 각각 접점 (Na~Nd)과 고전위전원(+V)의 사이에 전류로가 병렬로 접속된 구성을 갖고 있으므로 상기한 실시형태와 똑같이 치수변환차를 균일화하면서, 가공 불균형을 상쇄해서 지정제조에 대응하는 구동전류의 전류값을 선형성 좋게 제어할 수 있다.

또 도 46의 (b)에 나타난 결선패턴에 따르면, 도 45에 나타난 결선패턴과 비교해서 트랜지스터 “0”~“3”의 출력배선(드레인배선)끼리의 교차를 큰폭으로 삭감할 수 있으므로 출력배선 상호의 접속을 출력 배선층과는 다른 배선층에서 실행하기 위한 컨택트홀의 수를 줄일 수 있고(도 45에 나타난 결선패턴에 나타난 19곳에 대해서, 도 46의 (b)에 나타난 결선패턴에서는 8곳), 제조제품비율(가공프로세스에 있어서의 제품비율)을 향상시킬 수 있다.

(패턴레이아웃방법의 제 3 실시형태)

도 47은 본 실시형태에 관련되는 전류생성공급회로에 있어서의 커런트미러회로를 구성하는 기본트랜지스터의 레이아웃방법의 제 3 실시형태를 나타내는 개념도이다.

도 48은 본 실시형태에 관련되는 전류생성공급회로에 있어서의 커런트미러회로를 구성하는 기본트랜지스터의 배치 및 결선패턴의 제 3 실시형태를 나타내는 회로 구성도이다.

여기에서 상기한 실시형태와 동등한 구성에 있어서는 동등한 부호를 붙여서 그 설명을 간략화 또는 생략한다.

상기한 제 1 및 제 2 실시형태에 있어서는 전류생성공급회로의 커런트미러회로를 구성하는 전계효과형 트랜지스터(기준전류트랜지스터 및 단위전류트랜지스터를 구성하는 기본트랜지스터)를 기준위치를 중심으로 하여 선대칭이 되는 위치에 1차원적으로 배치한 구성에 대해서 나타냈는데, 본 실시형태에 있어서는 상기 기본트랜지스터를 기준위치를 중심으로 하여 점대칭이 되는 위치에 2차원적으로 배치한 구성을 갖고 있다.

본 실시형태에 관련되는 커런트미러회로부의 레이아웃방법은 우선 도 47의 (a)에 나타내는 바와 같이 단위전류트랜지스터(Tp12)를 구성하는 트랜지스터 “0”를 소정의 기준위치에 배치하고, 해당 트랜지스터 “0”에 인접하는 외주영역(이하, 편의적으로 「배치영역」으로 기입한다, R1)에, 단위전류트랜지스터(Tp13)를 구성하는 2개의 트랜지스터 “1”를 상기 기준위치(트랜지스터 “0”)에 대해서 서로 점대칭의 관계가 되도록 배치한다.

이어서 도 47의 (b)에 나타내는 바와 같이 트랜지스터 “1”이 배치된 상기 주변영역(R1)에 인접하는 영역(배치영역, R2)에 단위전류트랜지스터(Tp14)를 구성하는 4개의 트랜지스터 “2”를 상기 기준위치에 대해서 서로 점대칭의 관계가 되도록 배치하고, 추가로 도 47의 (c)에 나타내는 바와 같이 상기 주변영역(R2)에 인접하는 영역(배치영역, R3)에 단위전류트랜지스터(Tp15)를 구성하는 8개의 트랜지스터 “3”을 상기 기준위치에 대해서 서로 점대칭의 관계가 되도록 배치한다.

또한 4 비트의 디지털신호(d0~d3)를 입력신호로 한 경우에는 도 47의 (c)에 나타낸 바와 같이 기준위치를 중심으로 하여 동심원상(同心圓狀)으로 각 트랜지스터 “1”, “2”, “3”이 배치된다. 따라서 디지털신호의 비트수가 보다 많은 경우에는 상기 패턴레이아웃방법에 의거하여 추가로 상위의 비트에 대응하는 기본트랜지스터를 한층 더 외주측에 설정되는 배치영역에 배치하는 조작을 반복하도록 배치한다.

이어서 도 47의 (d)에 나타내는 바와 같이 차례차례 배열된 기본트랜지스터군(단위전류트랜지스터를 구성하는 기본트랜지스터군)의 한층 더 바깥 둘레가 되는 배치영역(Rr)에 기준전류트랜지스터(Tp11)를 구성하는 소정수의 트랜지스터 “ref”를 상기 기준위치에 대해서 서로 점대칭의 관계가 되도록 배치한다.

따라서 이와 같은 패턴레이아웃방법에 의해 도 2에 나타난 단위전류생성회로(21A) 및 기준전압생성회로(10A)의 커런트미러회로를 구성하는 각 기본트랜지스터(트랜지스터 “0”~“3”, “ref”)를 코먼센트로이드형상에 의거하여 2차원 레이아웃할 수 있다. 여기에서 배치영역(R1, R2, R3, Rr)에 상기 각 트랜지스터 “1”, “2”, “3”, “ref”를 배치할 때 형성되는 “1”, “2”, “3” “ref”가 배치되어 있지 않은 영역(R1a 및 R1b, R2a 및 R2b, R3a 및 R3b, Rra 및 Rrb)을 배선영역에 설정한다.

그리고 이와 같이 배치된 트랜지스터 “0”~“3”, “ref”의 결선패턴에 있어서도 도 48에 나타내는 바와 같이 각 단위전류트랜지스터(Tp12~Tp15)를 구성하는 각 트랜지스터 “0”~“3”가 각각 접점(Na~Nd)과 고전위전원(+V)의 사이에 전류로가 병렬로 접속된 구성을 갖고 있으므로, 상기한 각 실시형태와 똑같이 치수변환차를 균일화하면서, 가공 불균형을 상쇄해서 지정계조에 대응하는 구동전류의 전류값을 선형성 좋게 제어할 수 있다.

또, 도 47, 도 48에 나타난 레이아웃방법 및 결선패턴에 따르면, 전류생성부(커런트미러회로부)를 구성하는 각 기본트랜지스터가 2차원적으로 배치되어 있으므로, 계조를 지정하는 디지털신호의 비트수가 증가한 경우라도 상기한 제 1 및 제 2 실시형태에 나타난 레이아웃방법과 비교해서 특정방향(1차원방향)의 치수가 장대화(長大化)하는 현상을 억제할 수 있어 레이아웃 설계상의 자유도를 향상시킬 수 있다.

또한 상기한 각 실시형태에 나타난 바와 같은 출력배선(드레인배선) 상호의 교차가 회피되므로 컨택트홀을 통하여 다른 배선층으로 이행할 필요가 없어져 제조제품비율을 향상시킬 수 있는 동시에, 출력전류가 컨택트저항의 영향을 받는 일이 없고, 지정계조에 대해서 적절한 전류값을 갖는 구동전류(출력전류)를 생성할 수 있다.

또한 본 실시형태에 있어서 기본트랜지스터가 배치되는 배치영역으로서 중공(中空) 네모꼴 형상(네모꼴의 도너츠형상)을 갖는 영역을 적용한 경우에 대해서 설명했는데, 본 발명은 이것에 한정되는 것은 아니고, 기본트랜지스터를 기준위치를 중심으로 하여 점대칭으로 배치할 수 있는 영역형상, 예를 들면, 중공의 다각형 형상이나 중공 원형 형상 등을 갖는 것이라도 좋다.

또 특정의 단위전류트랜지스터를 구성하는 복수의 기본트랜지스터를 상기 기준위치를 중심으로 하는 특정의 (동일한) 배치영역내에 배치하는 수법만을 나타냈는데, 본 발명은 이것에 한정되는 것은 아니고, 기본트랜지스터 상호의 접속관계를 유지하고, 또한 상기 점대칭의 배치관계를 유지한 상태에서 일부의 기본트랜지스터만을 내주측의 배치영역에 배치하도록 해도 좋다. 이것에 따르면, 도 47에 나타난 바와 같이 기본트랜지스터가 배치되어 있지 않은 영역에 기본트랜지스터를 배치할 수가 있어 기판면적의 이용효율을 향상시킬 수가 있다.

발명의 효과

또 상기한 각 실시형태에 있어서는 p채널형 트랜지스터를 적용하여 구성되는 전류생성공급회로(전류생성부)에 대해서 자세하게 설명했는데, 예를 들면 전류생성공급회로의 제 2 실시형태에 있어서 나타난 바와 같은, n채널형 트랜지스터를 적용한 구성(예를 들면, 도 4 참조)에 있어서도 똑같은 개념이 적용되는 것은 말할 필요도 없다.

도면의 간단한 설명

도 1은 본 실시형태에 관련되는 전류생성공급회로의 제 1 실시형태를 나타내는 개략 구성도이다.

도 2는 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 1 실시형태를 나타내는 회로 구성도이다.

도 3은 본 실시형태에 관련되는 전류생성공급회로의 제 2 실시형태를 나타내는 개략 구성도이다.

도 4는 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 2 실시형태를 나타내는 회로 구성도이다.

도 5는 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 3 실시형태를 나타내는 회로 구성도이다.

도 6은 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 4 실시형태를 나타내는 회로 구성도이다.

도 7은 본 실시형태에 관련되는 전류생성공급회로에 적용되는 p채널형의 전계효과형 트랜지스터의 전압-전류특성을 나타내는 도면이다.

도 8은 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 5 실시형태를 나타내는 회로 구성도이다.

도 9는 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 6 실시형태를 나타내는 회로 구성도이다.

도 10은 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 7 실시형태를 나타내는 회로 구성도이다.

도 11은 본 실시형태에 관련되는 전류생성공급회로에 적용 가능한 기준전압생성회로 및 전류생성회로의 제 8 실시형태를 나타내는 회로 구성도이다.

도 12는 본 실시형태에 관련되는 전류생성공급회로의 정전류발생원에 적용 가능한 제 1 실시형태를 나타내는 회로 구성도이다.

도 13은 본 실시형태에 관련되는 전류생성공급회로의 정전류발생원에 적용 가능한 제 2 실시형태를 나타내는 회로 구성도이다.

도 14는 본 실시형태에 관련되는 전류생성공급회로의 정전류발생원에 적용할 수 있는 다른 실시형태를 나타내는 회로 구성도이다.

도 15는 본 실시형태에 관련되는 전류생성공급회로에 있어서의 구동전류의 전류특성의 한 예를 나타내는 특성도이다.

도 16은 본 실시형태에 관련되는 전류생성공급회로의 신호홀딩회로에 적용 가능한 한 실시형태를 나타내는 회로 구성도이다.

도 17은 본 실시형태에 관련되는 전류생성공급회로의 신호홀딩회로에 적용 가능한 다른 실시형태를 나타내는 회로 구성도이다.

도 18은 본 실시형태에 관련되는 전류생성공급회로를 적용 가능한 표시장치의 제 1 실시형태를 나타내는 개략 블록도이다.

도 19는 본 실시형태에 관련되는 표시장치에 있어서의 표시패널에 적용 가능한 구성의 한 예를 나타내는 개략 구성도이다.

도 20은 본 실시형태에 관련되는 표시장치에 있어서의 표시화소의 화소구동회로에 적용 가능한 한 실시형태를 나타내는 회로 구성도이다.

도 21은 본 실시형태에 관련되는 화소구동회로에 있어서의 제어동작의 한 예를 나타내는 타이밍 차트이다.

도 22는 본 실시형태에 관련되는 표시장치에 적용할 수 있는 데이터드라이버의 제 1 실시형태를 나타내는 개략 구성도이다.

도 23은 본 실시형태에 관련되는 데이터드라이버의 제 1 실시형태에 적용할 수 있는 계조전류생성회로부의 구체적 구성의 한 예를 나타내는 구성도이다.

도 24는 본 실시형태에 관련되는 데이터드라이버의 제 1 실시형태에 있어서의 제어동작의 한 예를 나타내는 타이밍 차트이다.

도 25는 본 실시형태에 관련되는 전류생성공급회로를 적용 가능한 표시장치의 제 2 실시형태를 나타내는 개략 블록도이다.

도 26은 본 실시형태에 관련되는 표시장치에 적용할 수 있는 표시패널의 구성의 한 예를 나타내는 개략 구성도이다.

도 27은 본 실시형태에 관련되는 표시장치에 있어서의 표시화소의 화소구동회로에 적용 가능한 한 실시형태를 나타내는 회로 구성도이다.

도 28은 본 실시형태에 관련되는 화소구동회로에 있어서의 제어동작의 한 예를 나타내는 타이밍 차트이다.

도 29는 본 실시형태에 관련되는 표시장치에 적용할 수 있는 데이터드라이버의 제 2 실시형태를 나타내는 개략 구성도이다.

도 30은 본 실시형태에 관련되는 데이터드라이버의 제 2 실시형태에 적용할 수 있는 계조전류생성회로부의 구체적 구성의 한 예를 나타내는 구성도이다.

도 31은 본 실시형태에 관련되는 표시장치에 적용할 수 있는 데이터드라이버의 제 3 실시형태를 나타내는 개략 구성도이다.

도 32는 본 실시형태에 관련되는 데이터드라이버의 제 3 실시형태에 있어서의 제어동작의 한 예를 나타내는 타이밍 차트이다.

도 33은 본 실시형태에 관련되는 표시장치에 적용할 수 있는 데이터드라이버의 제 4 실시형태를 나타내는 개략 구성도이다.

도 34는 본 실시형태에 관련되는 표시장치에 적용할 수 있는 데이터드라이버의 제 5 실시형태를 나타내는 개략 구성도이다.

도 35는 본 실시형태에 관련되는 표시장치에 적용할 수 있는 데이터드라이버의 제 6 실시형태에 있어서의 데이터드라이버와 표시패널의 관계를 나타내는 구성 개념도이다.

도 36은 본 실시형태에 관련되는 데이터드라이버의 제 6 실시형태에 있어서의 주요부 구성을 나타내는 블록도이다.

도 37은 본 실시형태에 관련되는 데이터드라이버의 제 6 실시형태에 적용 가능한 데이터래치회로의 구성예를 나타내는 개략 구성도이다.

도 38은 본 실시형태에 관련되는 데이터드라이버에 적용 가능한 스위치회로의 구성예를 나타내는 개략 구성도이다.

도 39는 본 실시형태에 관련되는 데이터드라이버에 적용 가능한 전류래치회로의 제 1 실시형태를 나타내는 개략 구성도이다.

도 40은 본 실시형태에 관련되는 전류래치회로에 적용 가능한 전류기억부의 한 구체적인 예를 나타내는 회로 구성도이다.

도 41은 본 실시형태에 관련되는 데이터드라이버에 적용 가능한 전류래치회로의 제 2 실시형태를 나타내는 개략 구성도이다.

도 42는 본 실시형태에 관련되는 데이터드라이버의 제 6 실시형태에 있어서의 제어동작의 한 예를 나타내는 타이밍 차트이다.

도 43은 전계효과형 트랜지스터의 제조프로세스에 있어서의 치수변환차의 영향을 나타내는 개념도이다.

도 44는 본 실시형태에 관련되는 전류생성공급회로에 있어서의 커런트미러회로를 구성하는 기본트랜지스터의 레이아웃 방법의 제 1 실시형태를 나타내는 개념도이다.

도 45는 본 실시형태에 관련되는 전류생성공급회로에 있어서의 커런트미러회로를 구성하는 기본트랜지스터의 배치 및 결선패턴의 제 1 실시형태를 나타내는 회로 구성도이다.

도 46은 본 실시형태에 관련되는 전류생성공급회로에 있어서의 커런트미러회로를 구성하는 기본트랜지스터의 배치 및 결선패턴의 제 2 실시형태를 나타내는 회로 구성도이다.

도 47은 본 실시형태에 관련되는 전류생성공급회로에 있어서의 커런트미러회로를 구성하는 기본트랜지스터의 레이아웃 방법의 제 3 실시형태를 나타내는 개념도이다.

도 48은 본 실시형태에 관련되는 전류생성공급회로에 있어서의 커런트미러회로를 구성하는 기본트랜지스터의 배치 및 결선패턴의 제 3 실시형태를 나타내는 회로 구성도이다.

※도면의 주요부분에 대한 부호의 설명

10A, 10B, 10C, 10D, 10E, 10F, 10G, 10H: 기준전압생성회로

20A, 20B: 전류생성회로부

21A, 21B, 21C, 21D, 21E: 단위전류생성회로

22A, 22B: 선택스위치회로

23a, 23b: 커런트미러회로

100A, 100B: 전류생성공급회로

110A, 110B: 표시패널

120A, 120B: 주사드라이버

130A, 130B, 130C, 130G: 데이터드라이버:

140A, 140B: 시스템컨트롤러

150A, 150B: 표시신호생성회로

160: 전원드라이버

200A: 표시장치

Ca, Cb: 기생용량

Cc: 콘덴서

CLK, CLK*: 타이밍 제어신호

CLy, CLz: 커런트미러회로부

d0~d3: 디지털신호

d10~d13: 비반전출력신호

d10*~d13*: 반전출력신호

DLA, DLB: 신호홀딩회로

IA, IB: 구동전류

IN: 입력단자

ILA, ILB: 전류생성회로

IR, IRA, IRB, IRC: 정전류발생원

LC: 래치회로

OT: 비반전출력단자

OT*: 반전출력단자

OUTi: 전류출력단자

VR: 정전압발생원

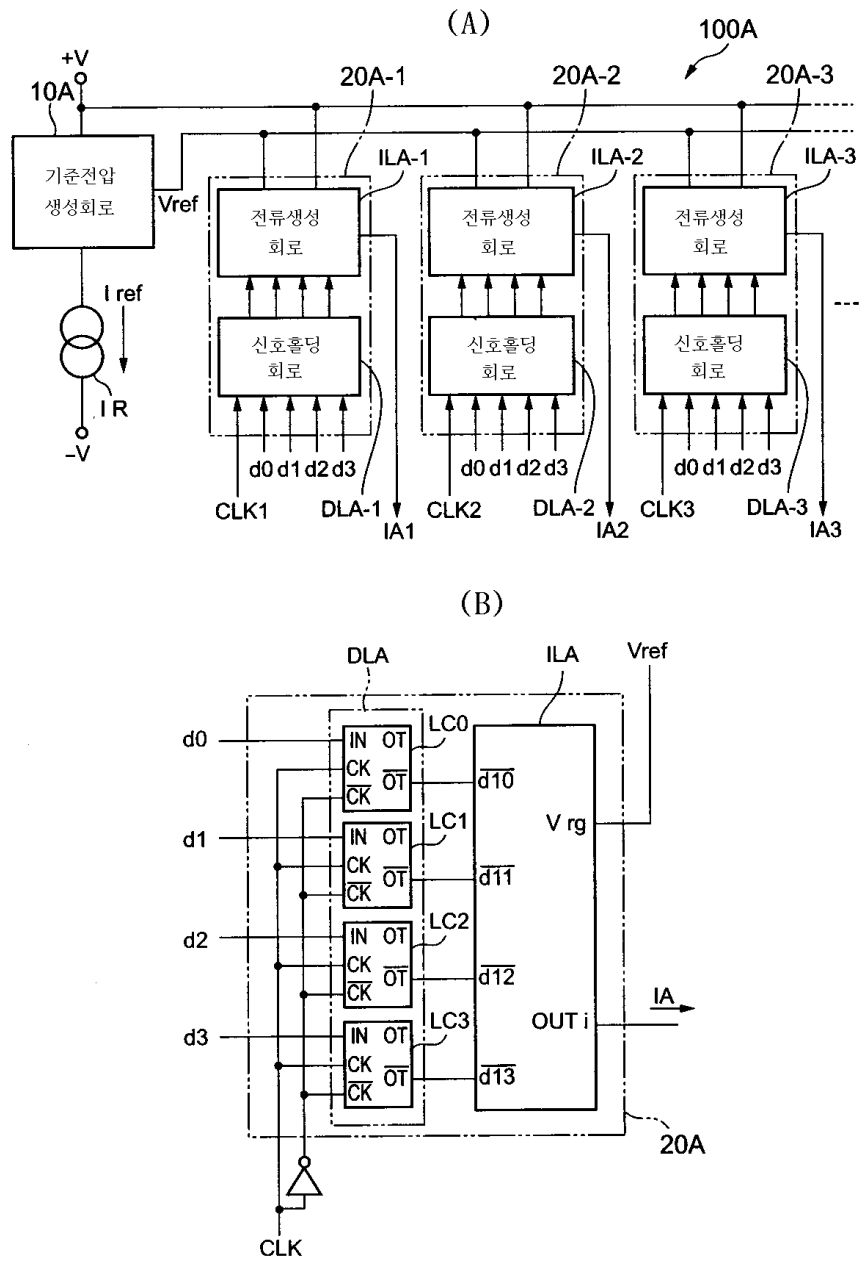
SR: 시프트신호

PXA, PXB, PXJ: 계조전류생성회로부

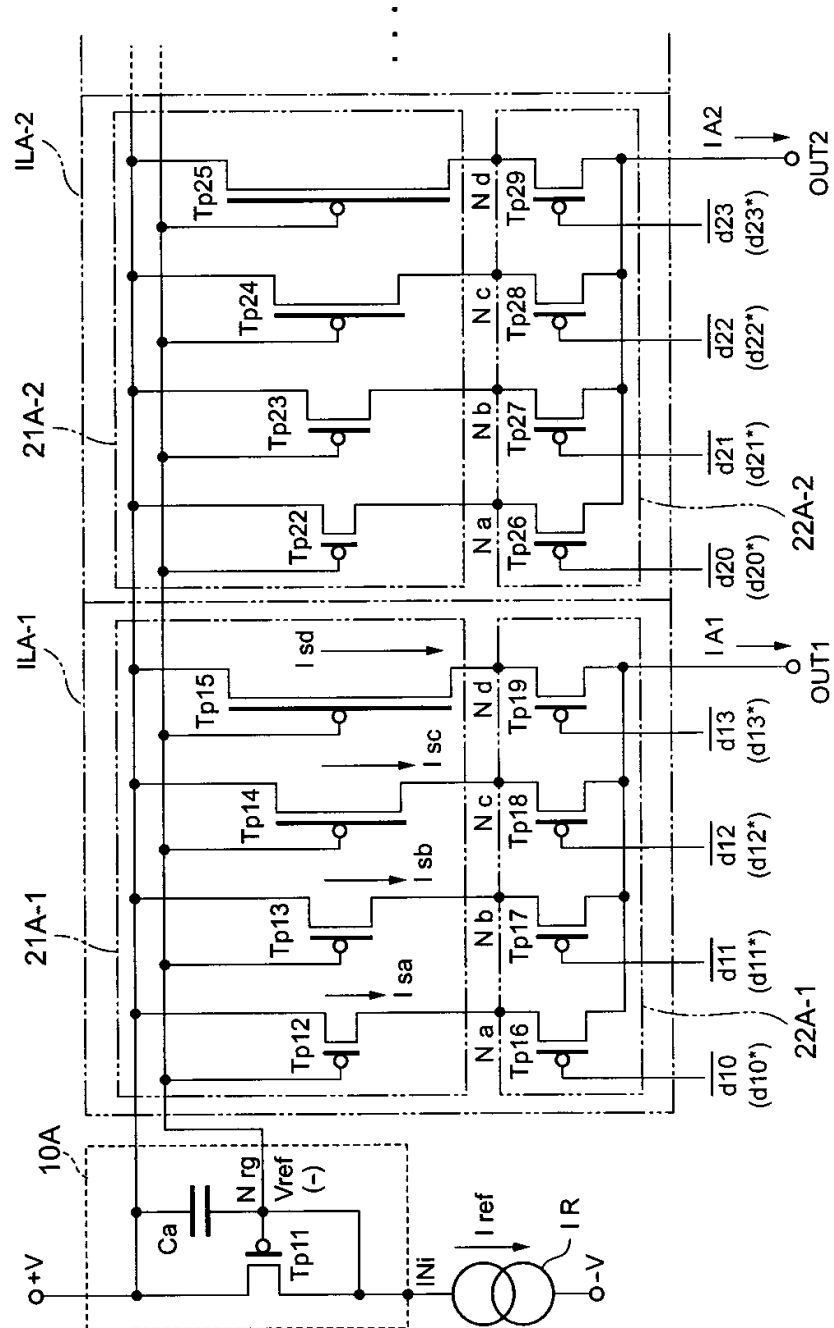
PXC, PXD: 계조전류공급회로부

도면

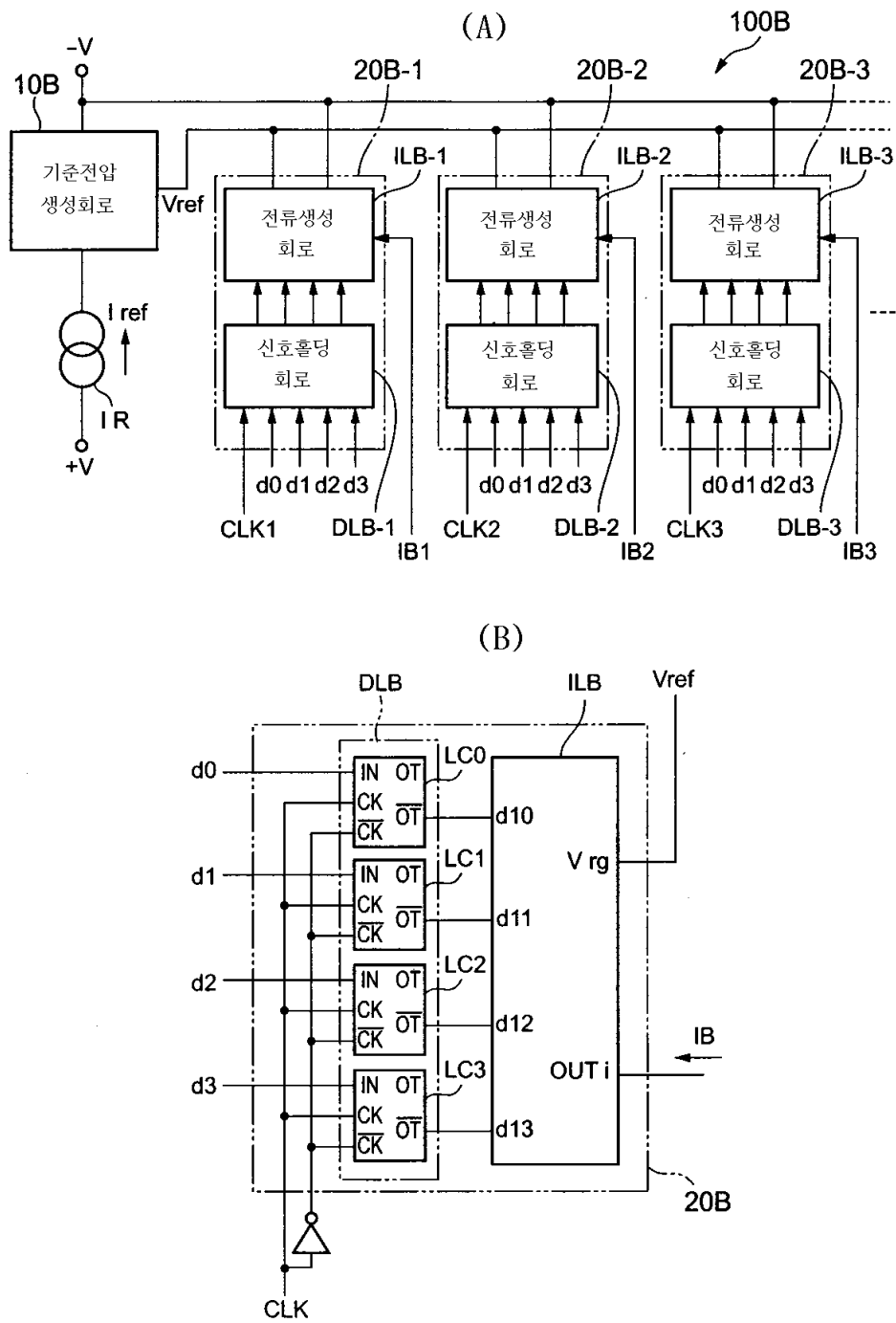
도면1



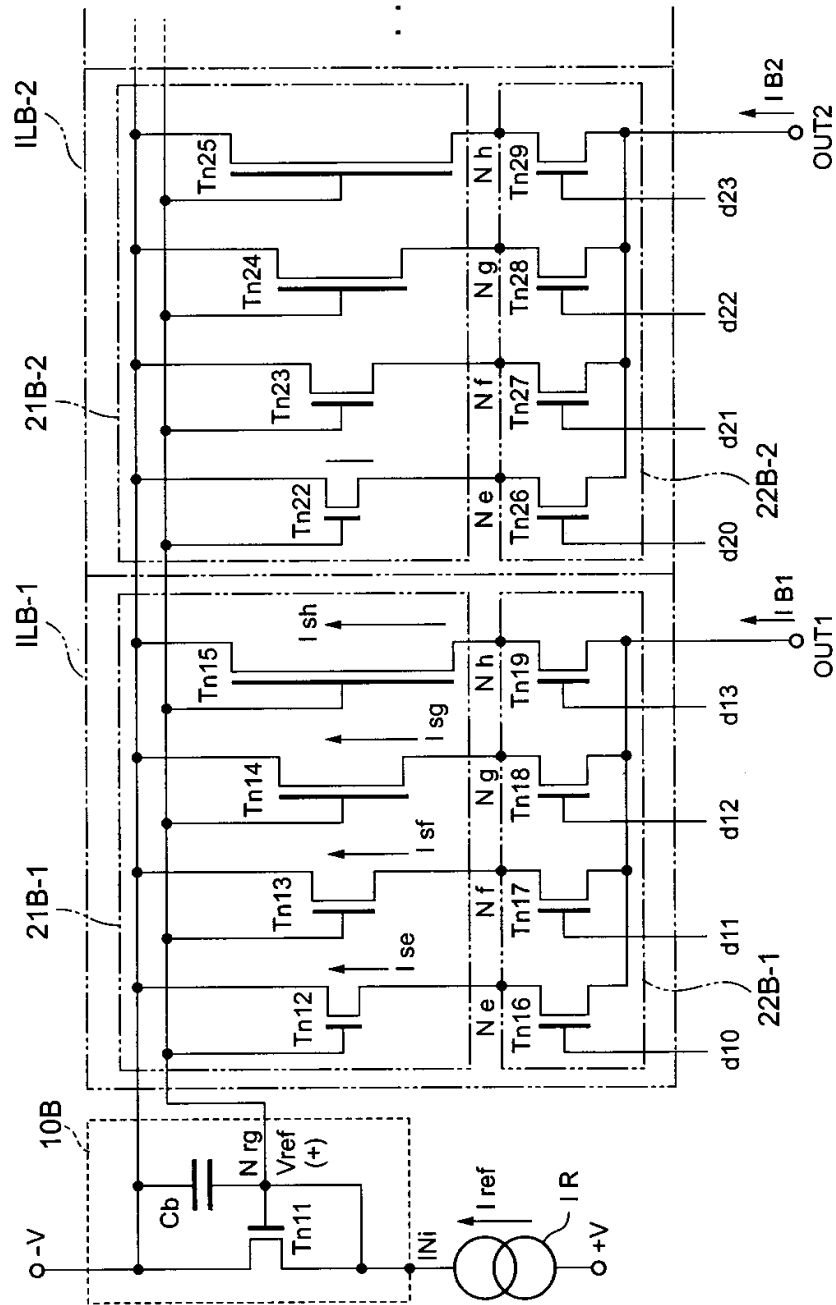
도면2



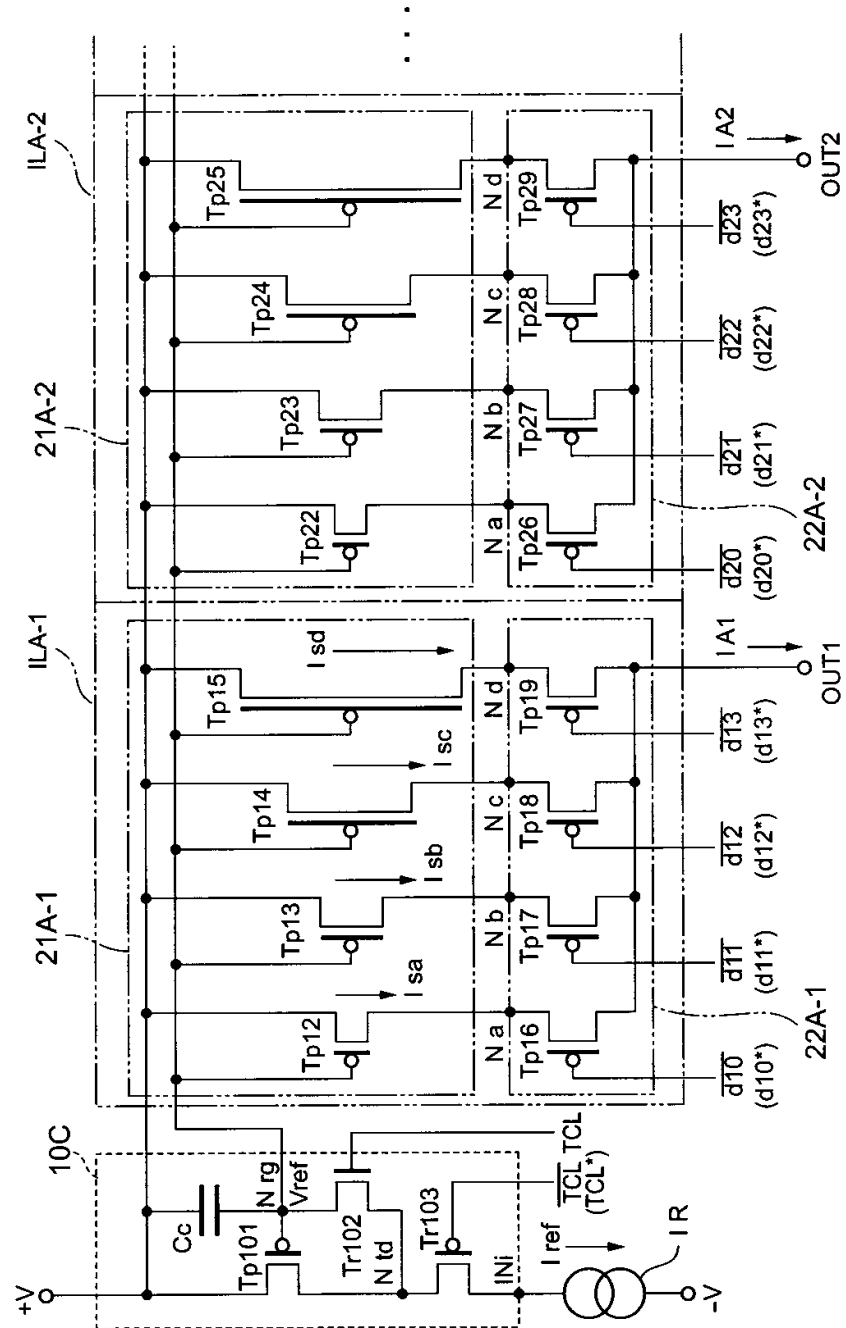
도면3



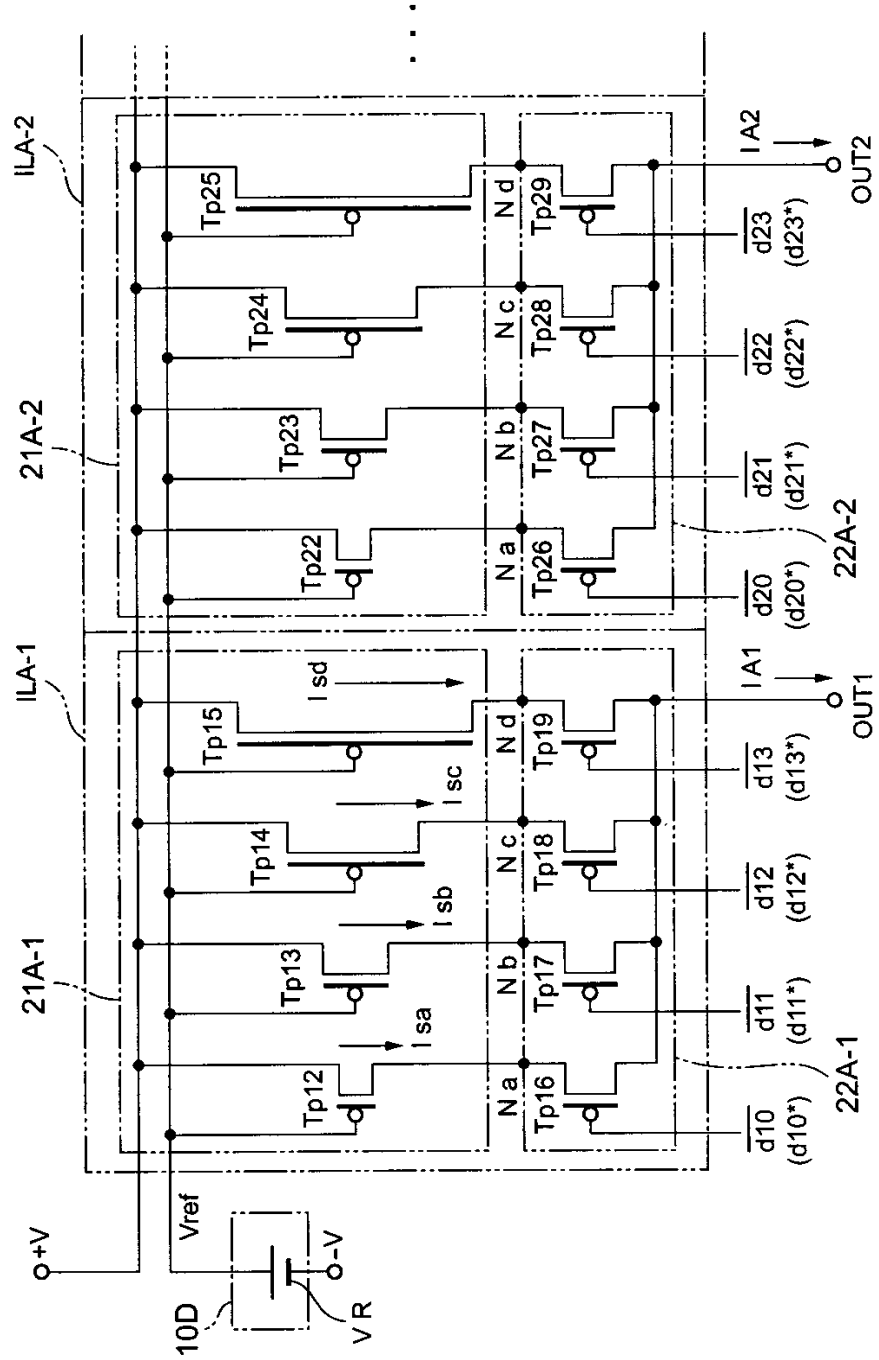
도면4



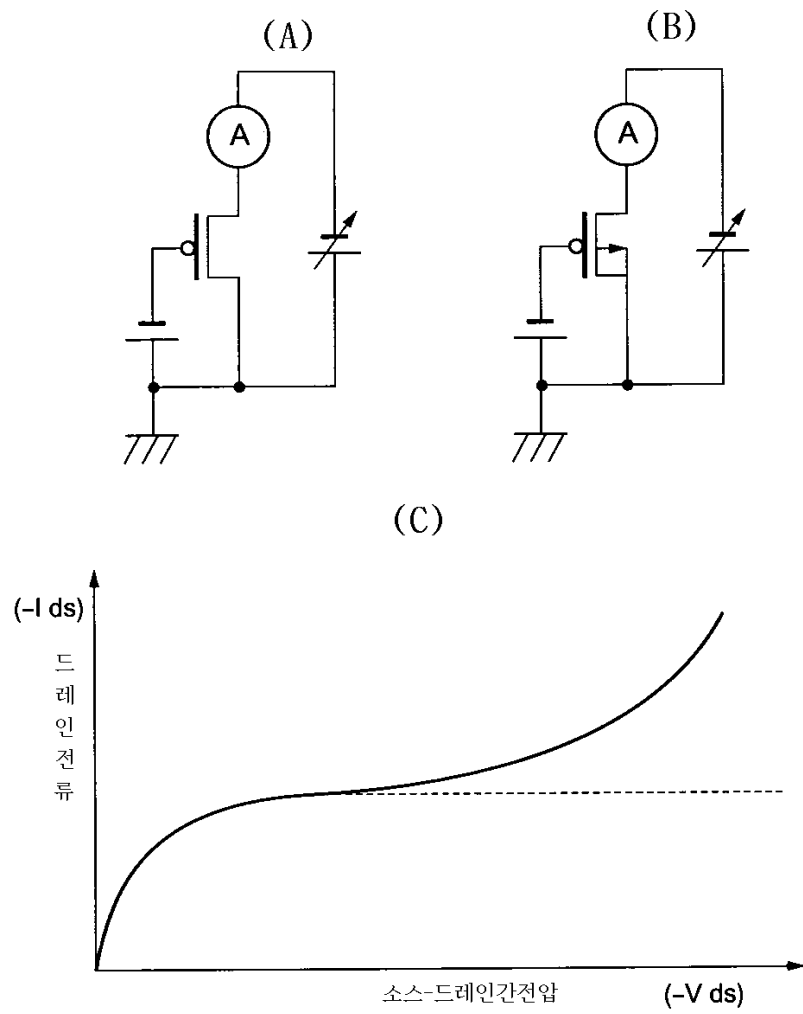
도면5



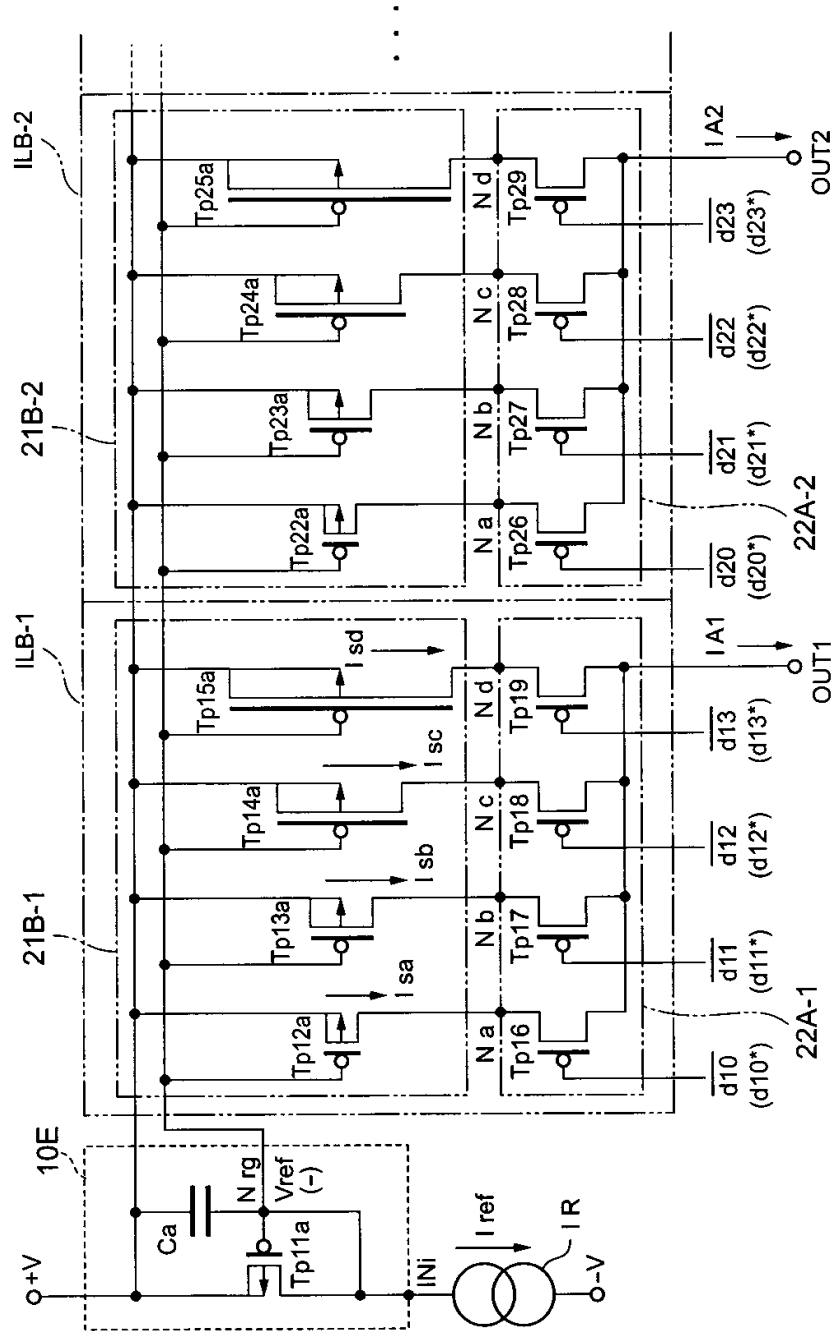
도면6



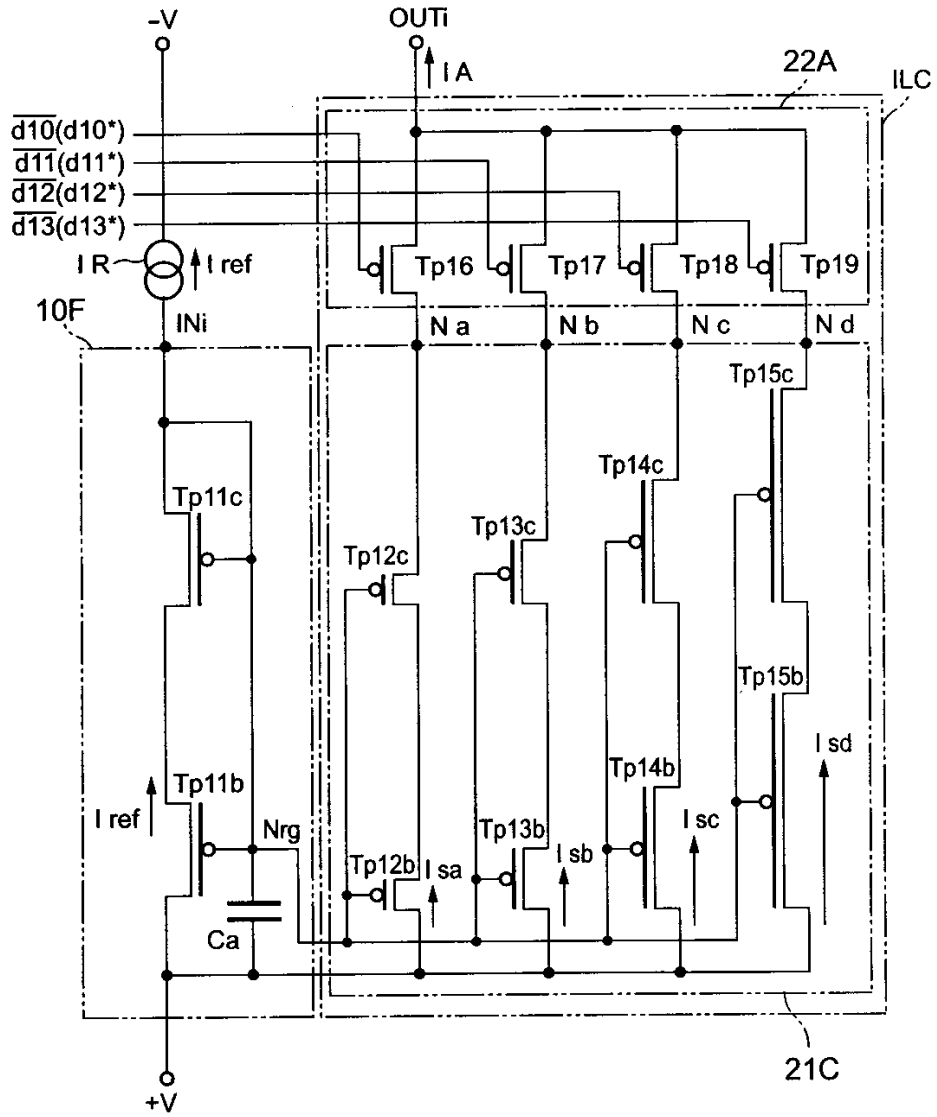
도면7



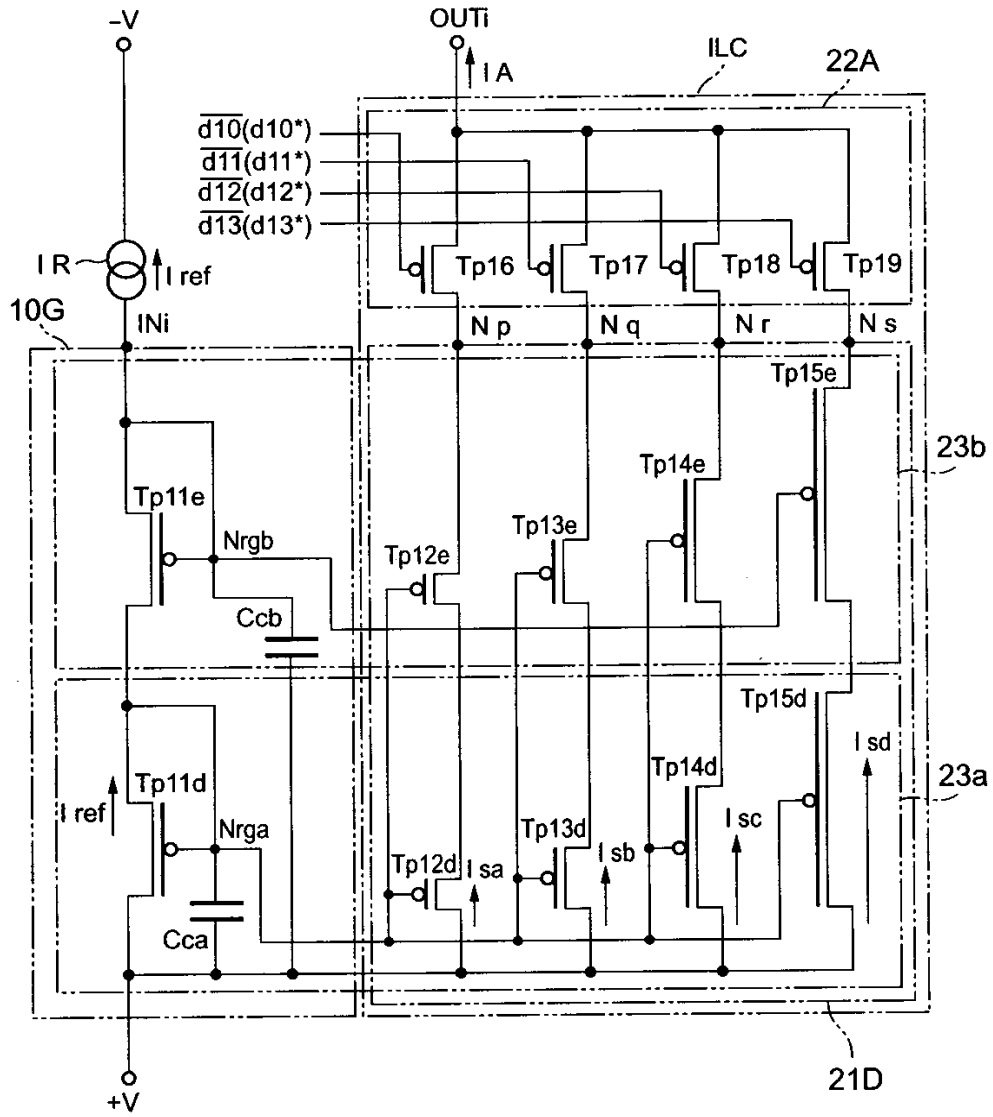
도면8



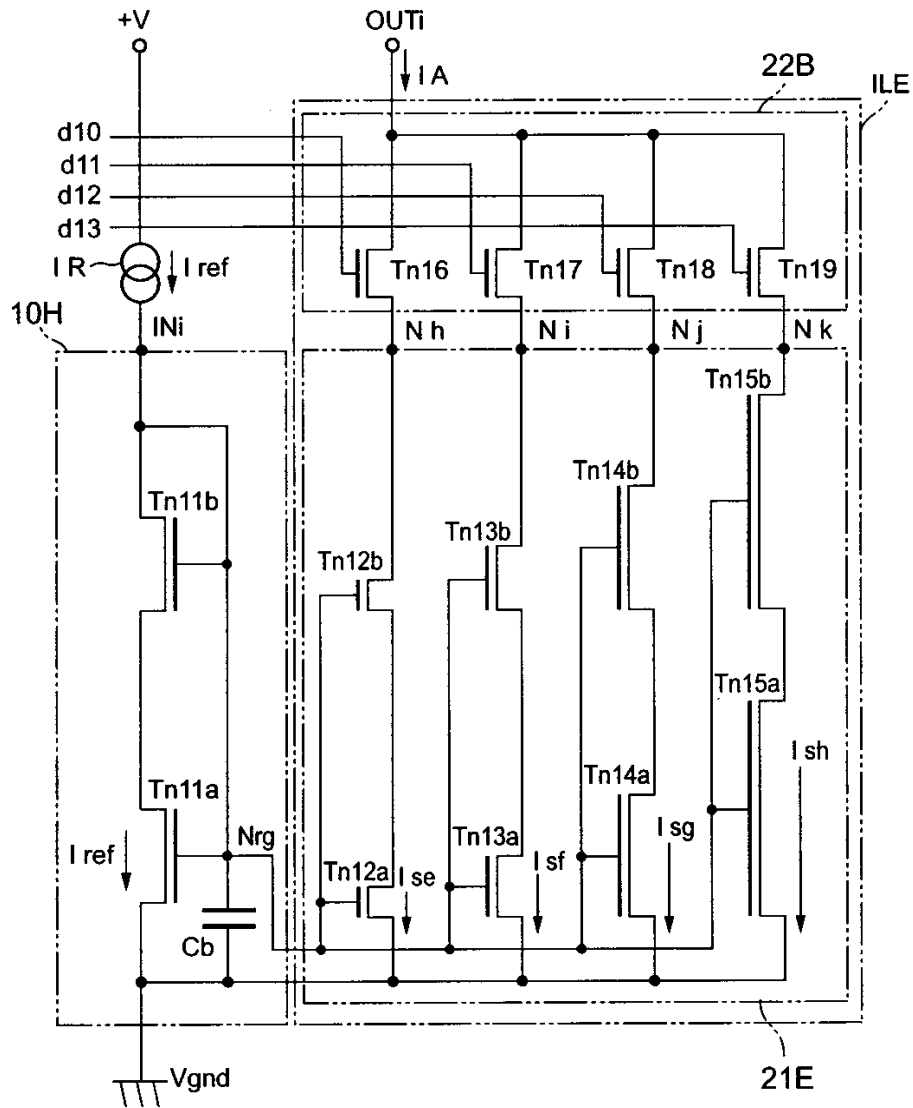
도면9



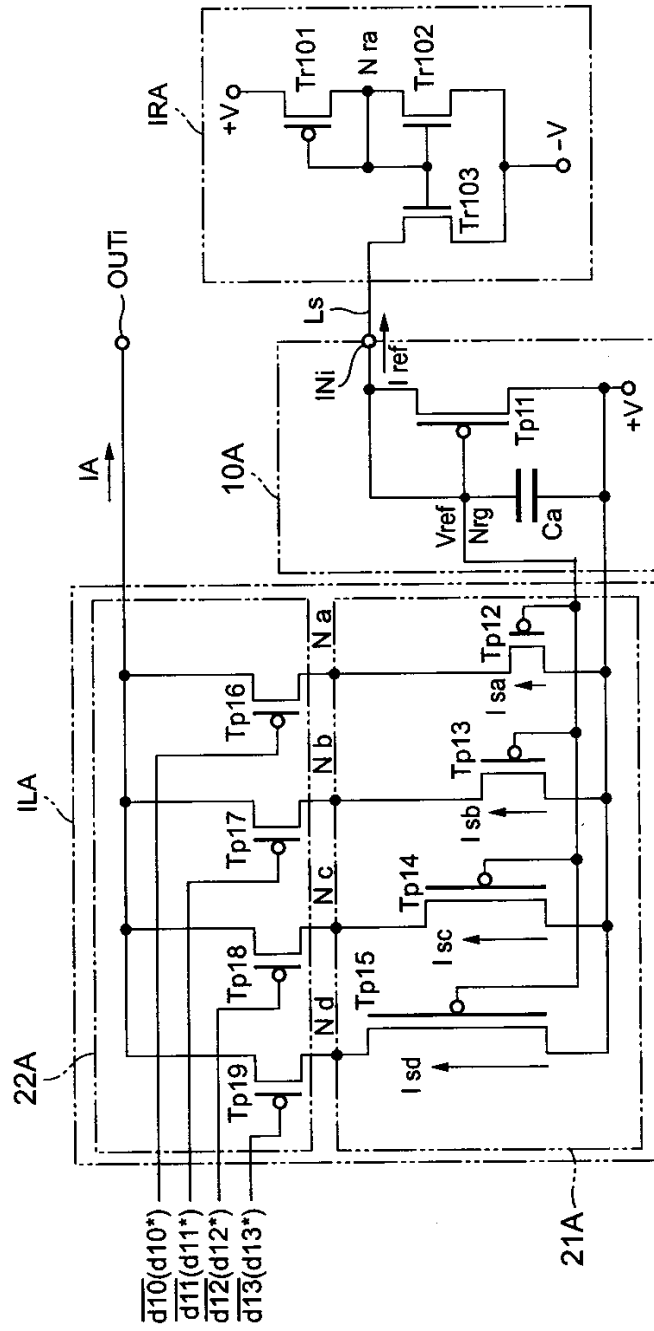
도면10



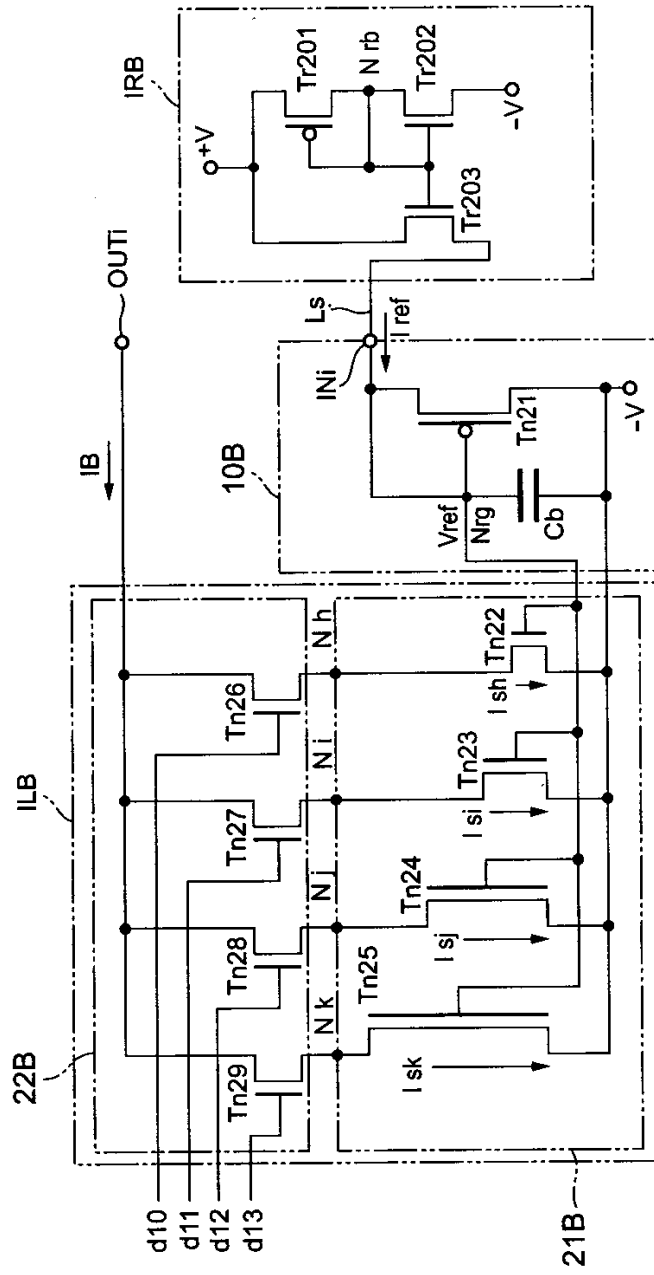
도면11



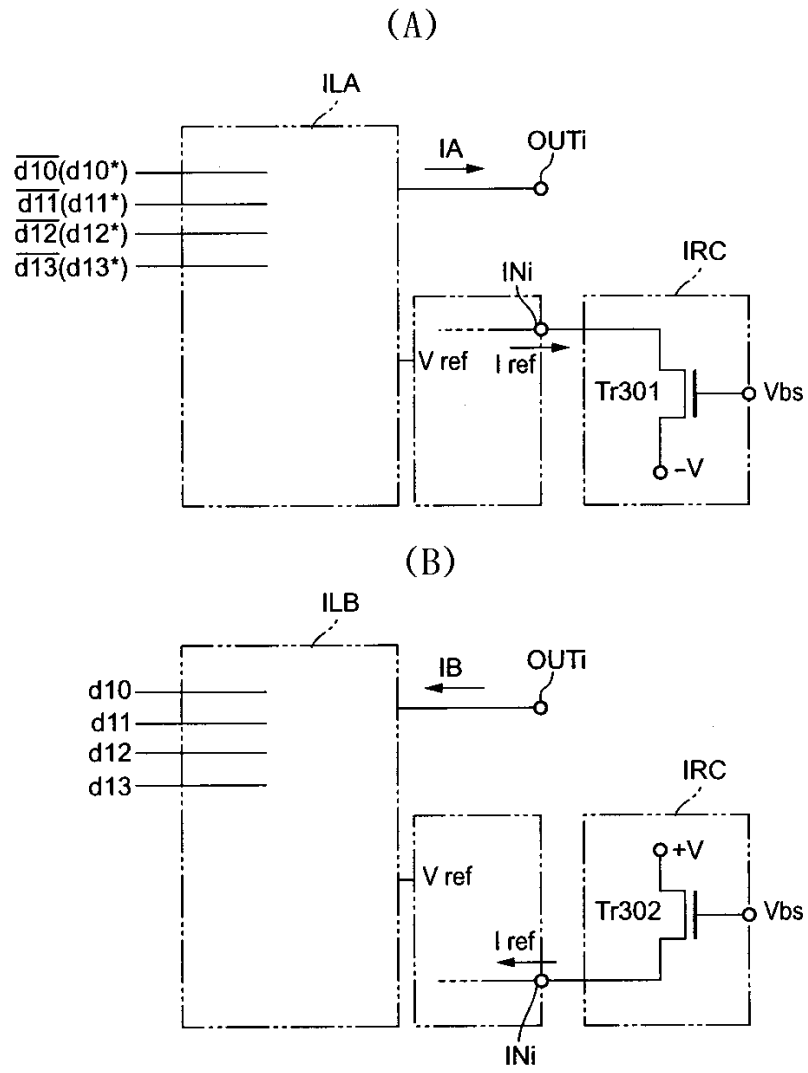
도면12



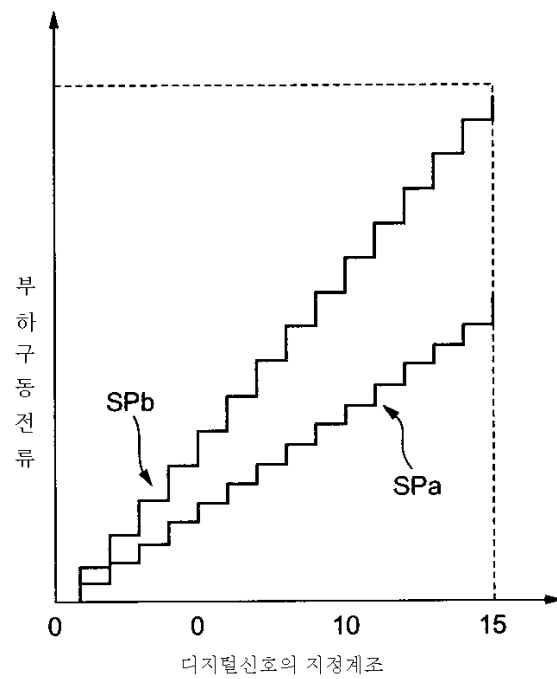
도면13



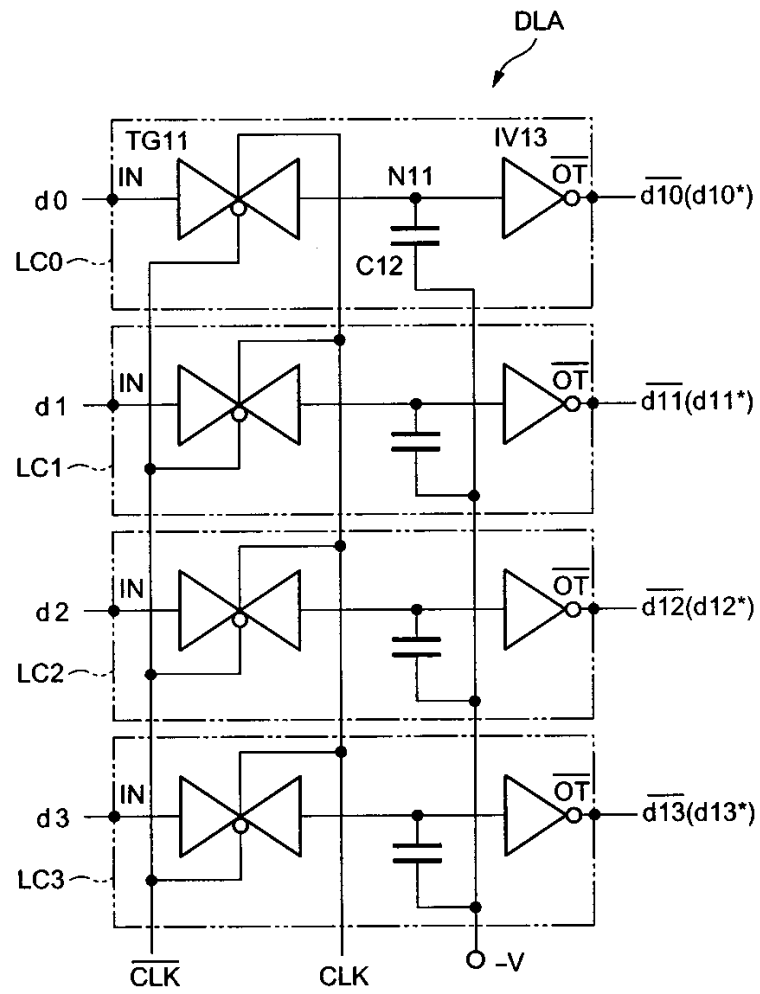
도면14



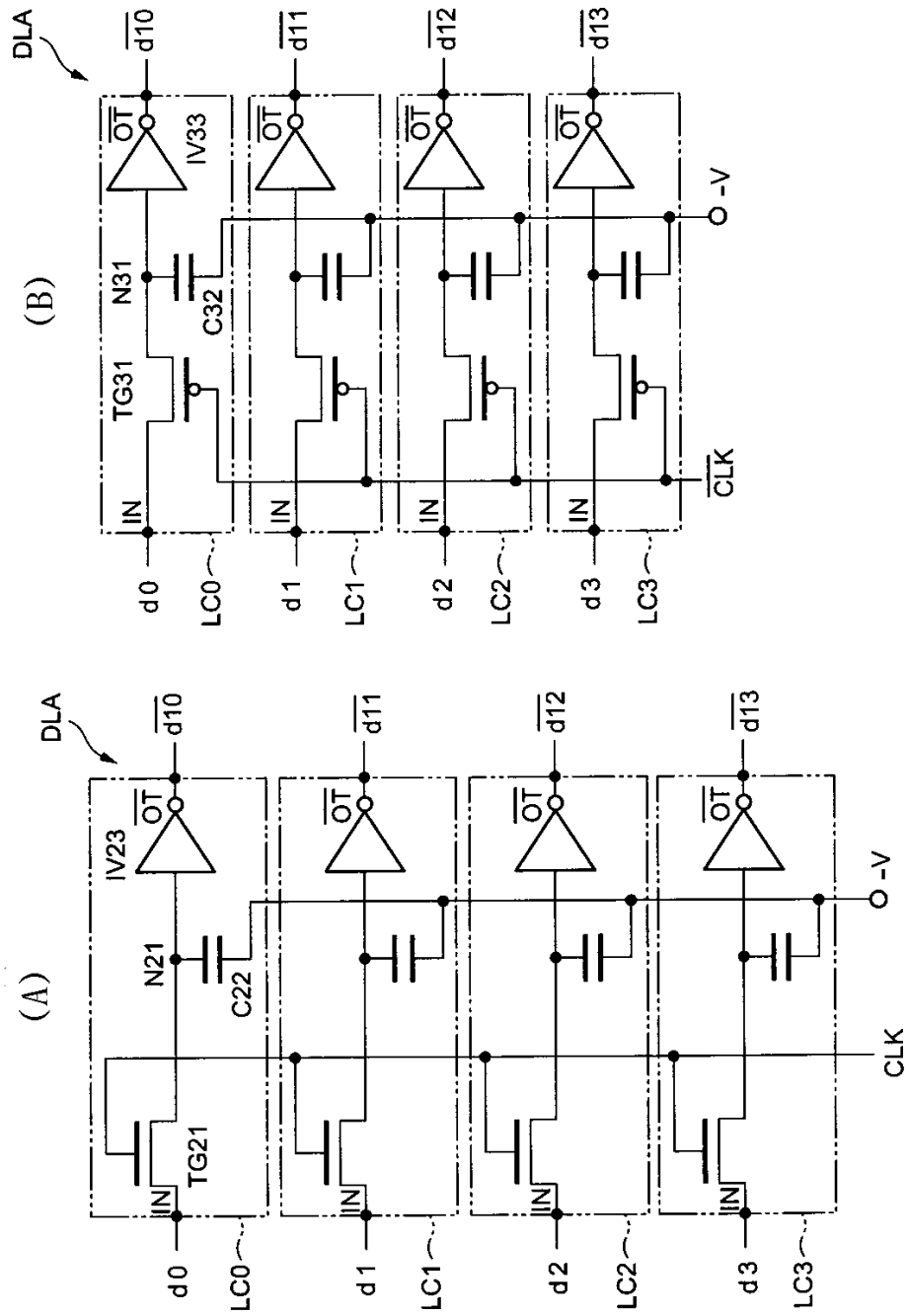
도면15



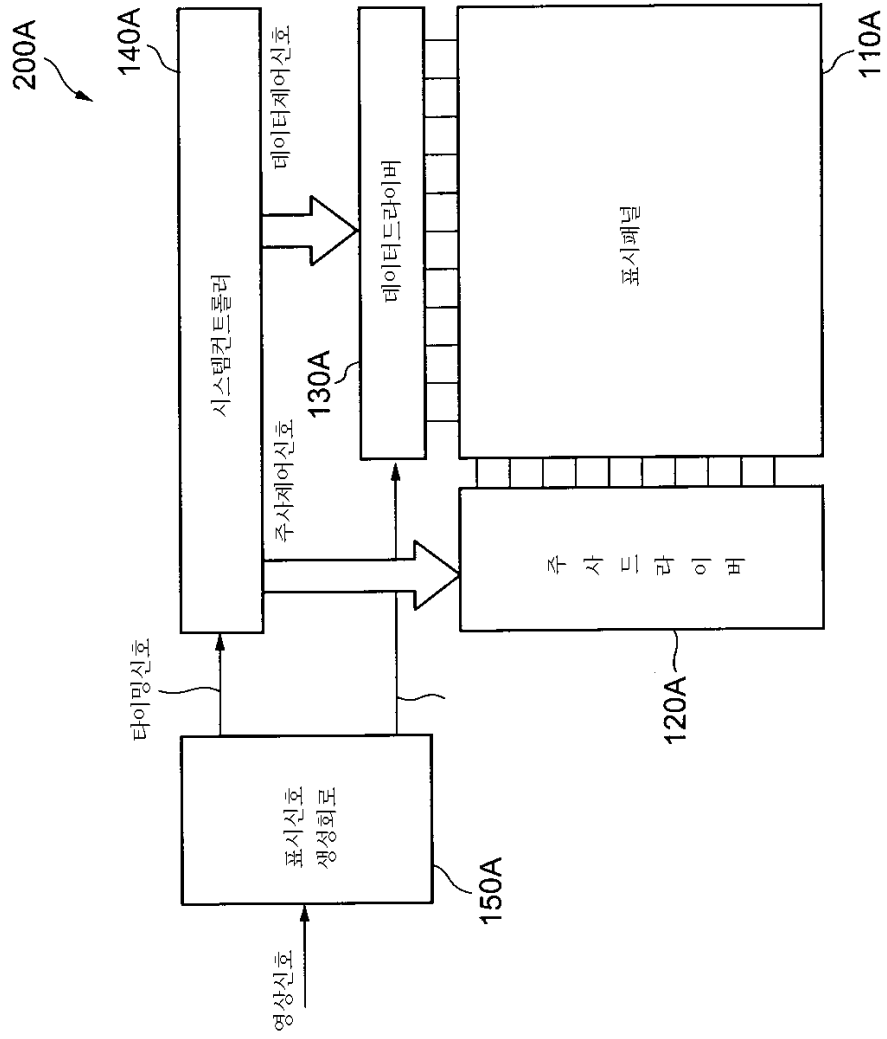
도면16



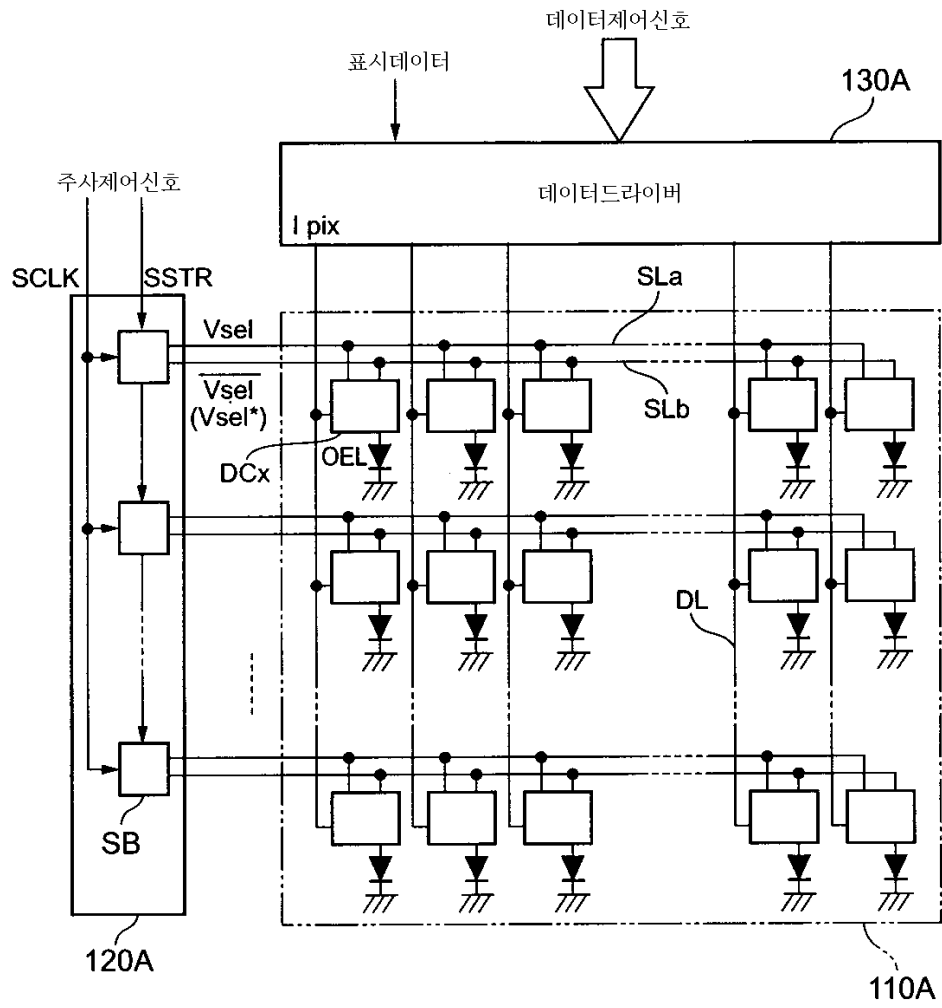
도면17



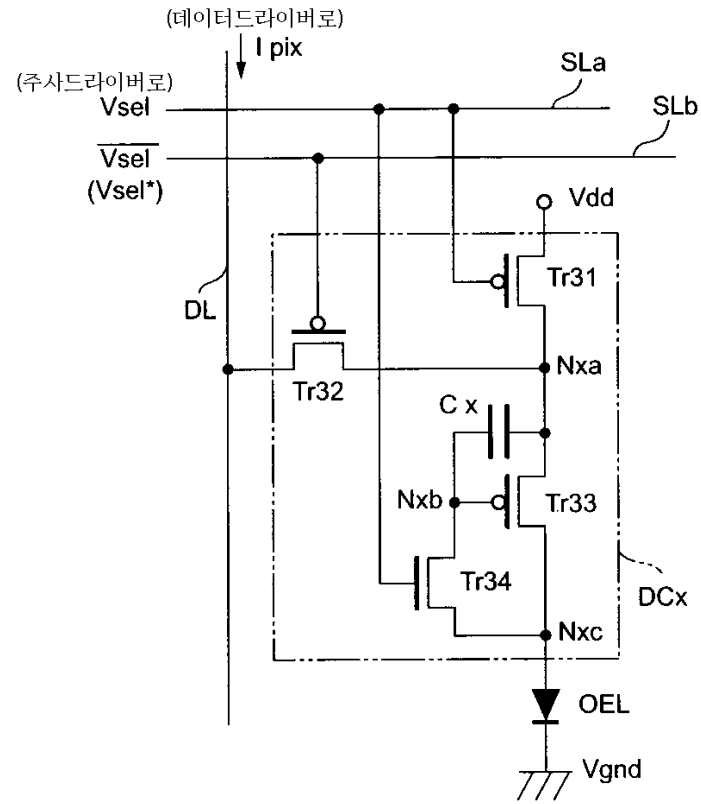
도면18



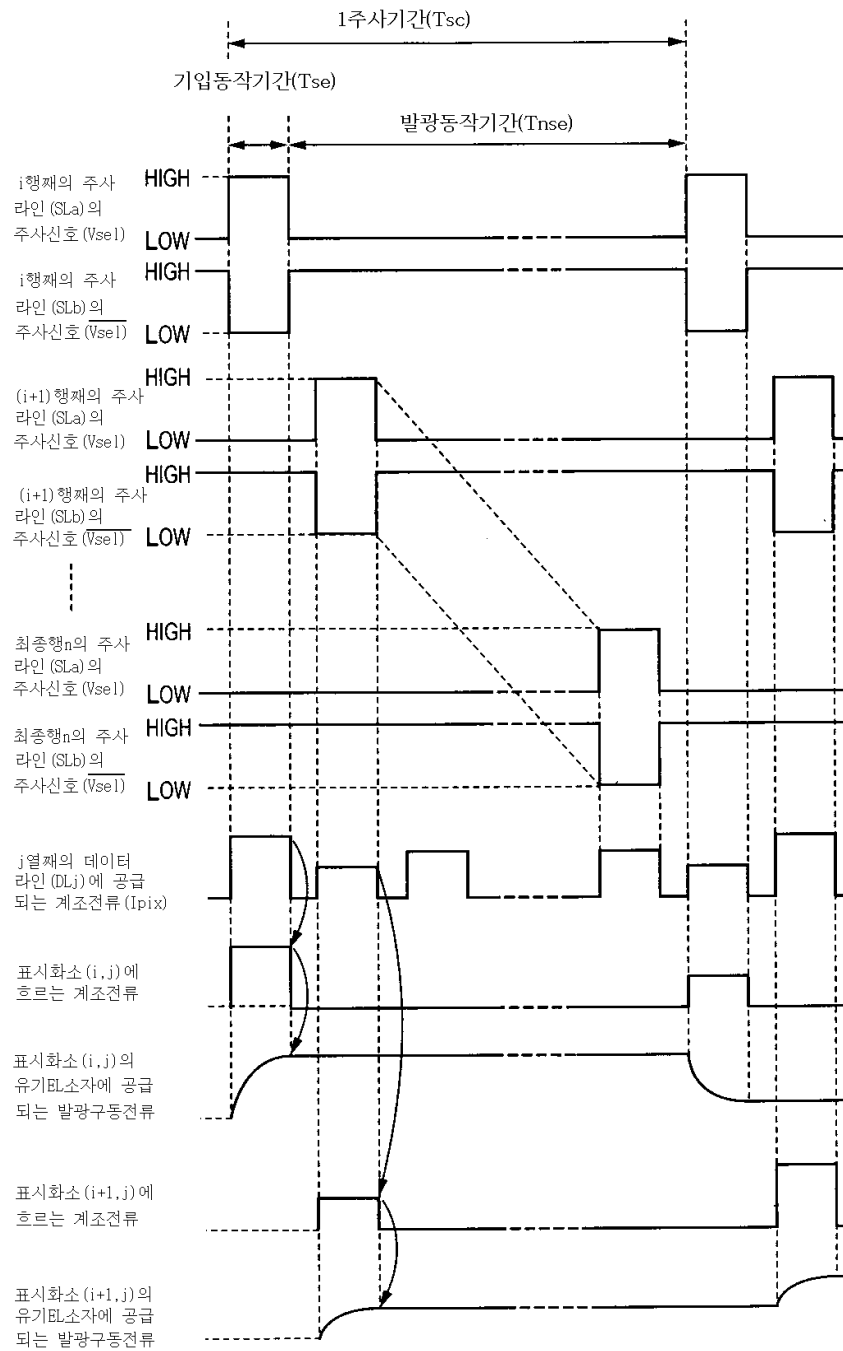
도면19



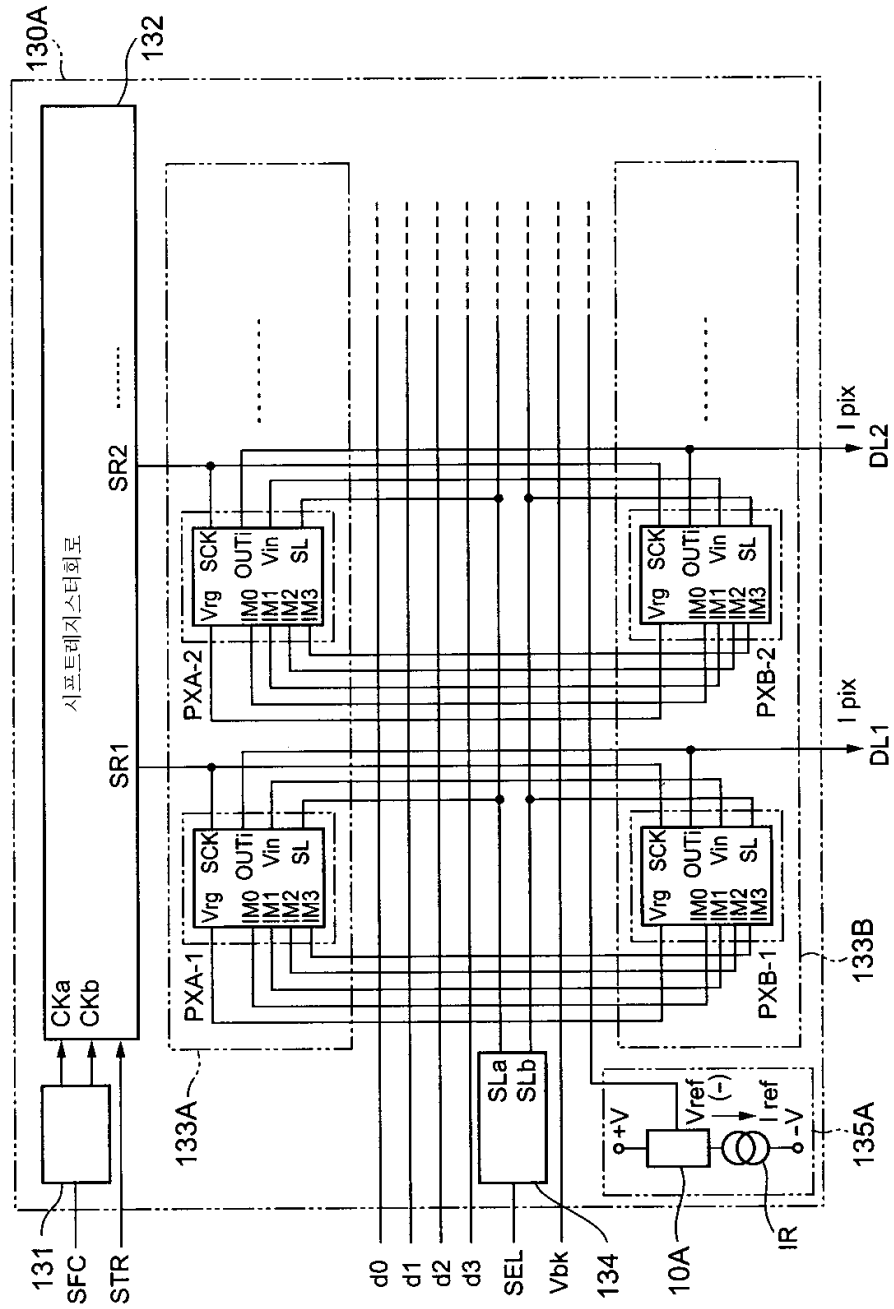
도면20



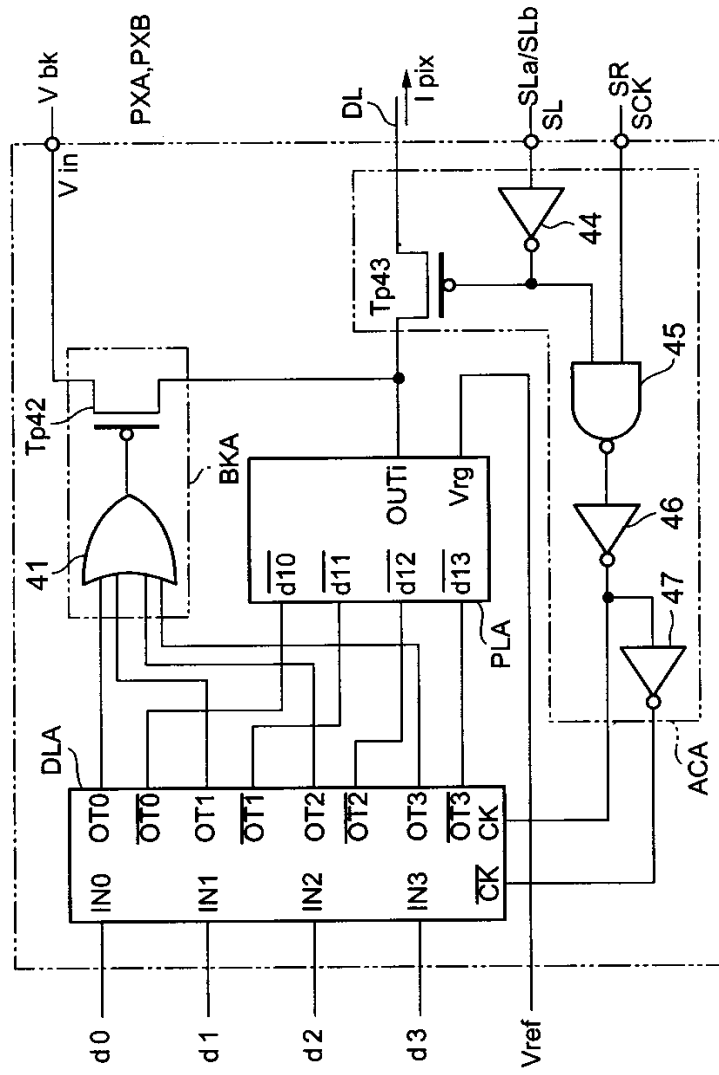
도면21



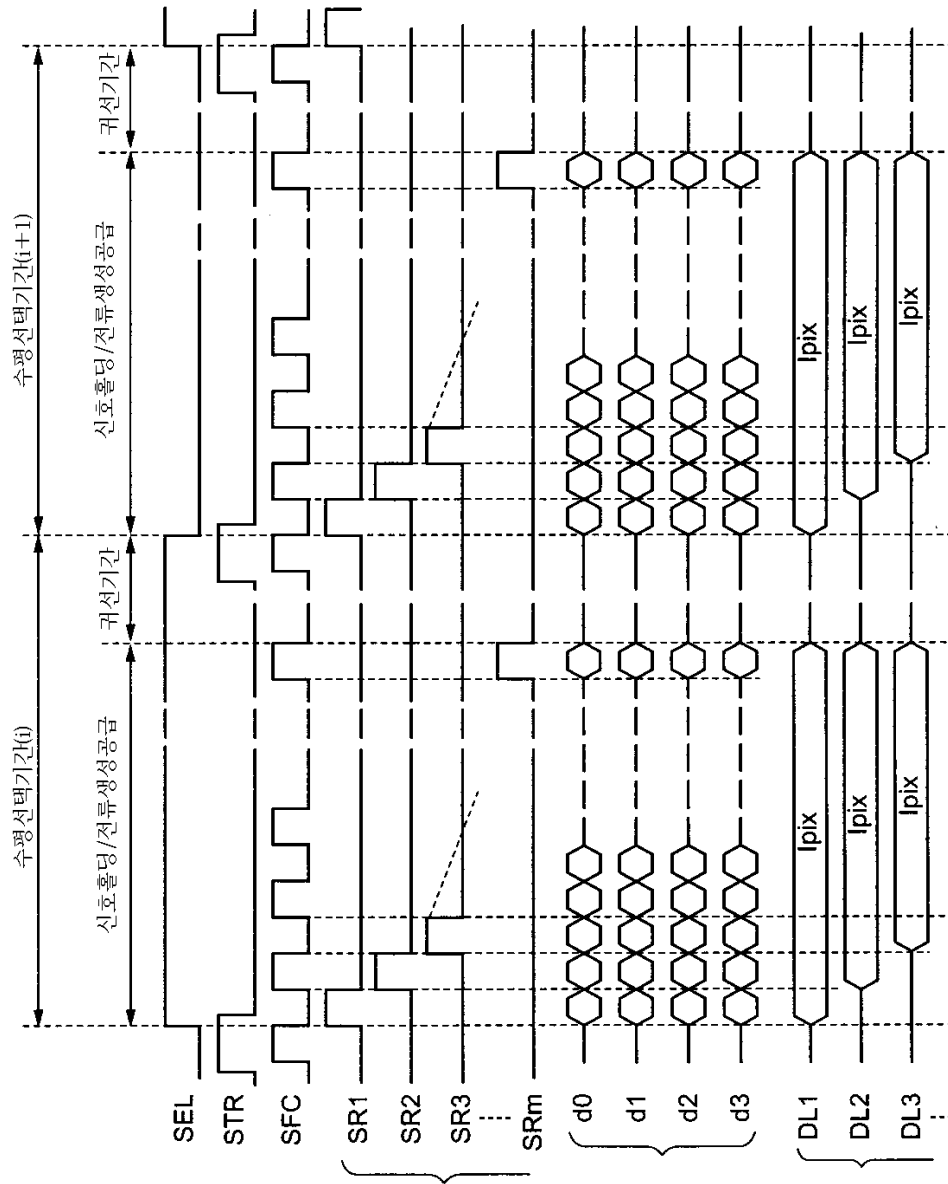
도면22



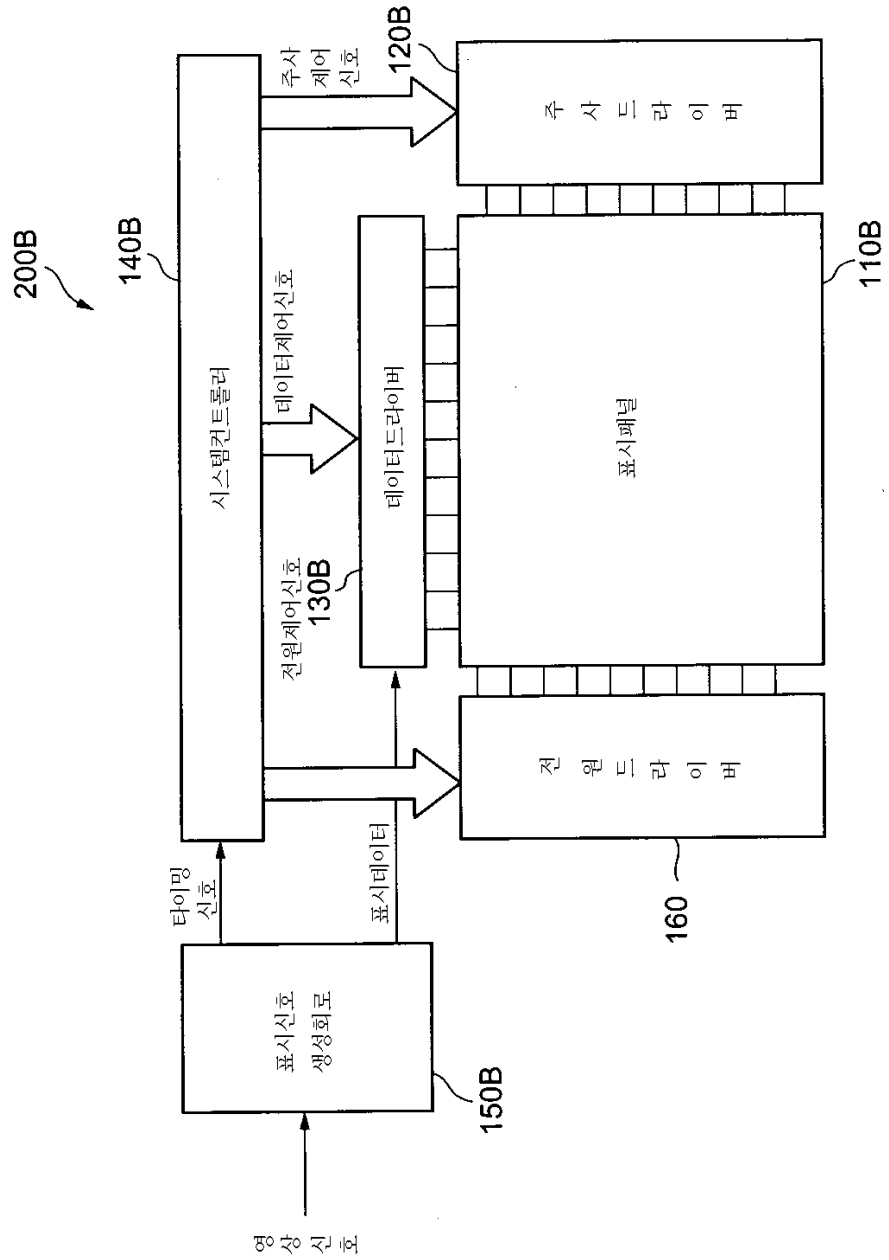
도면23



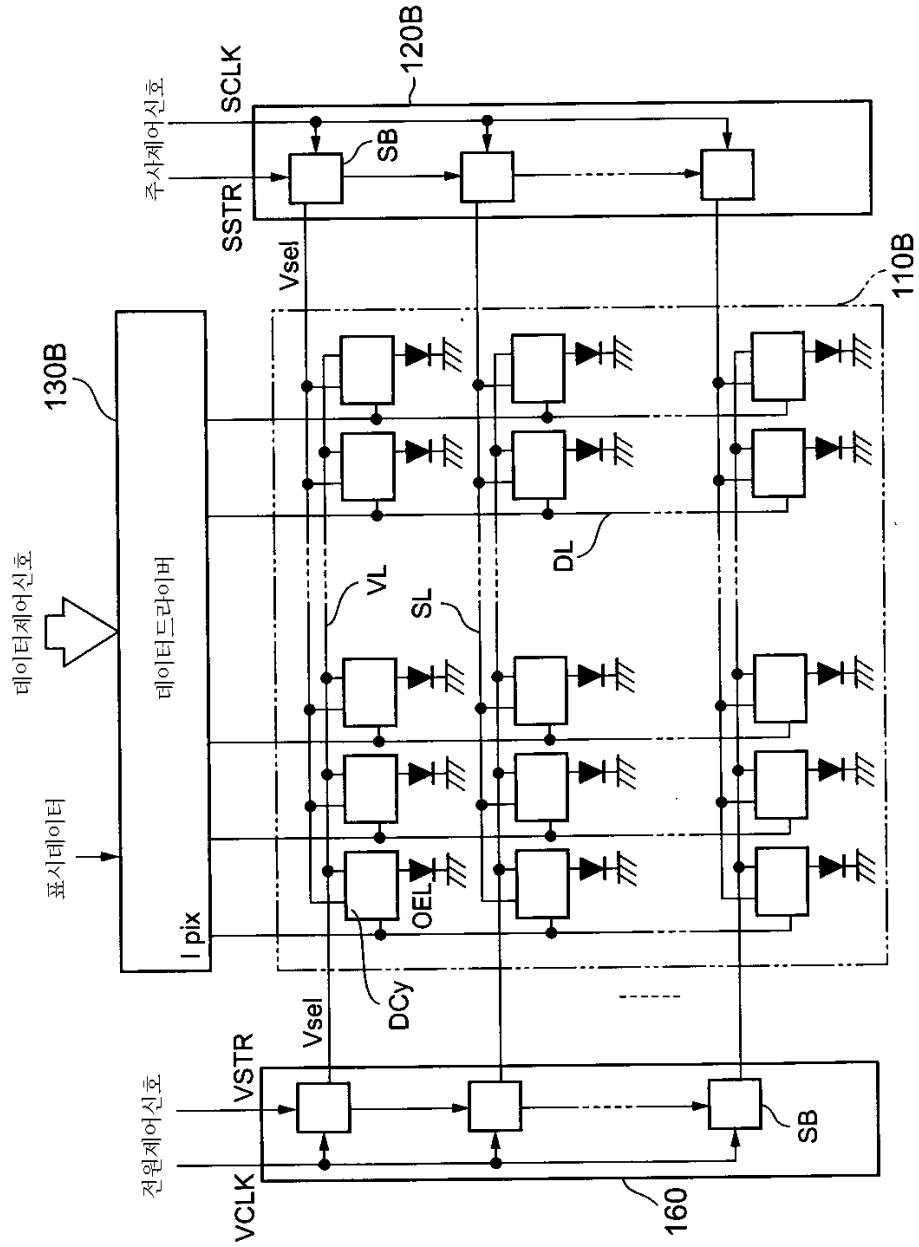
도면24



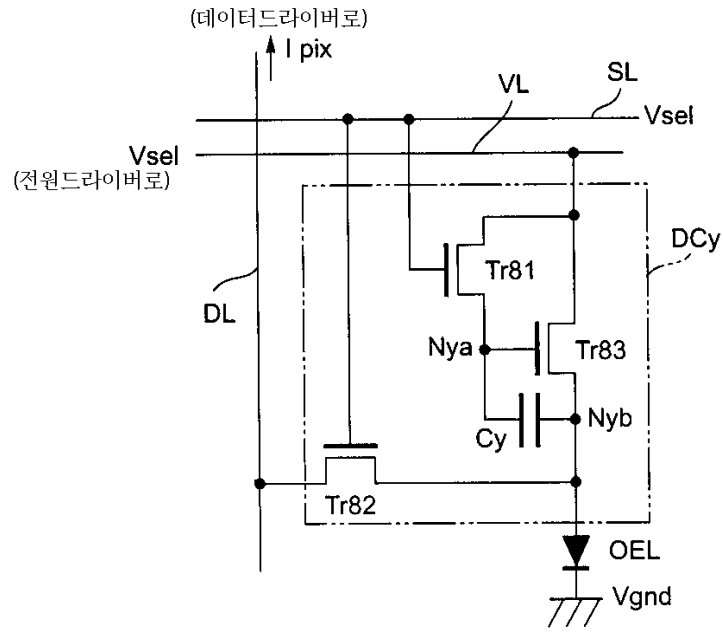
도면25



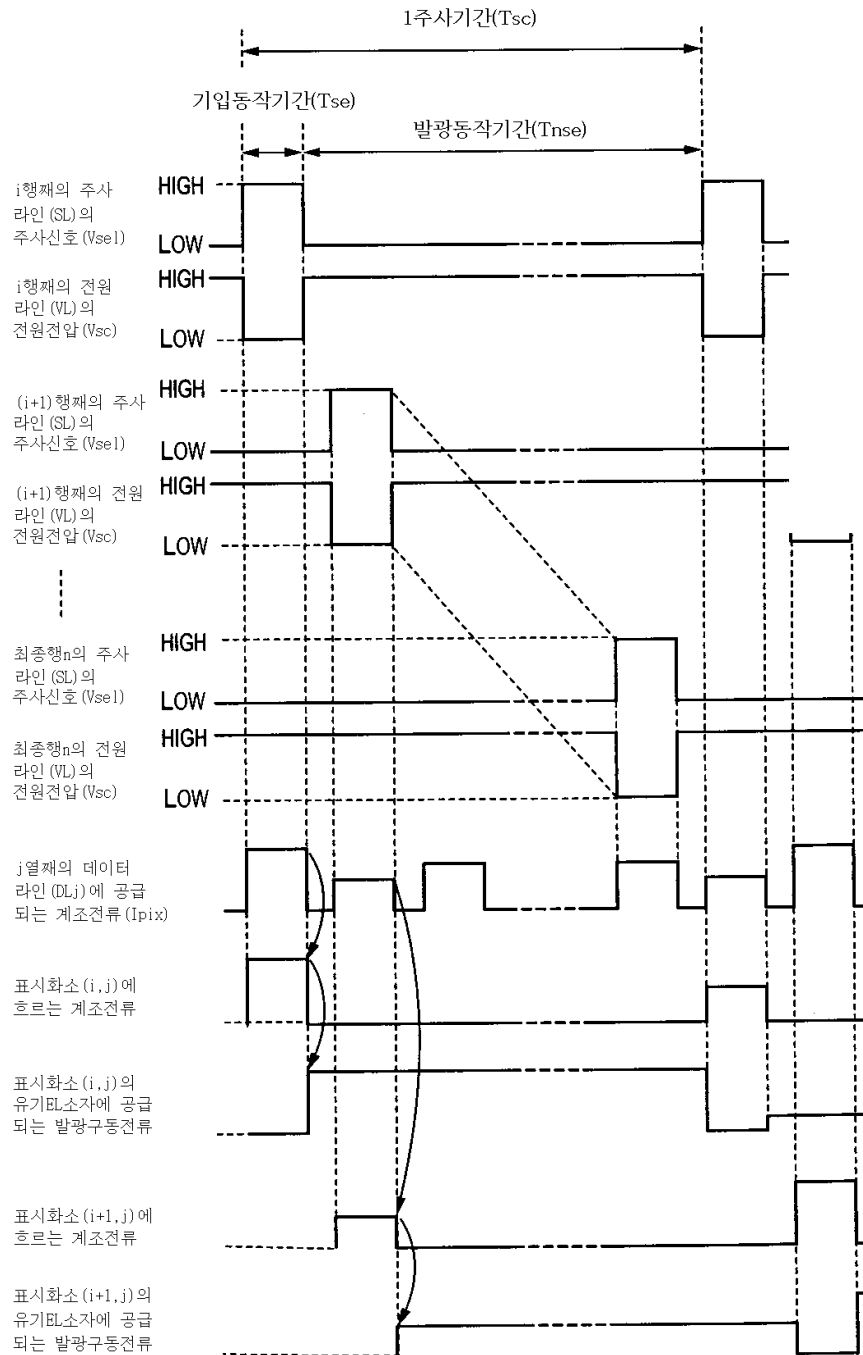
도면26



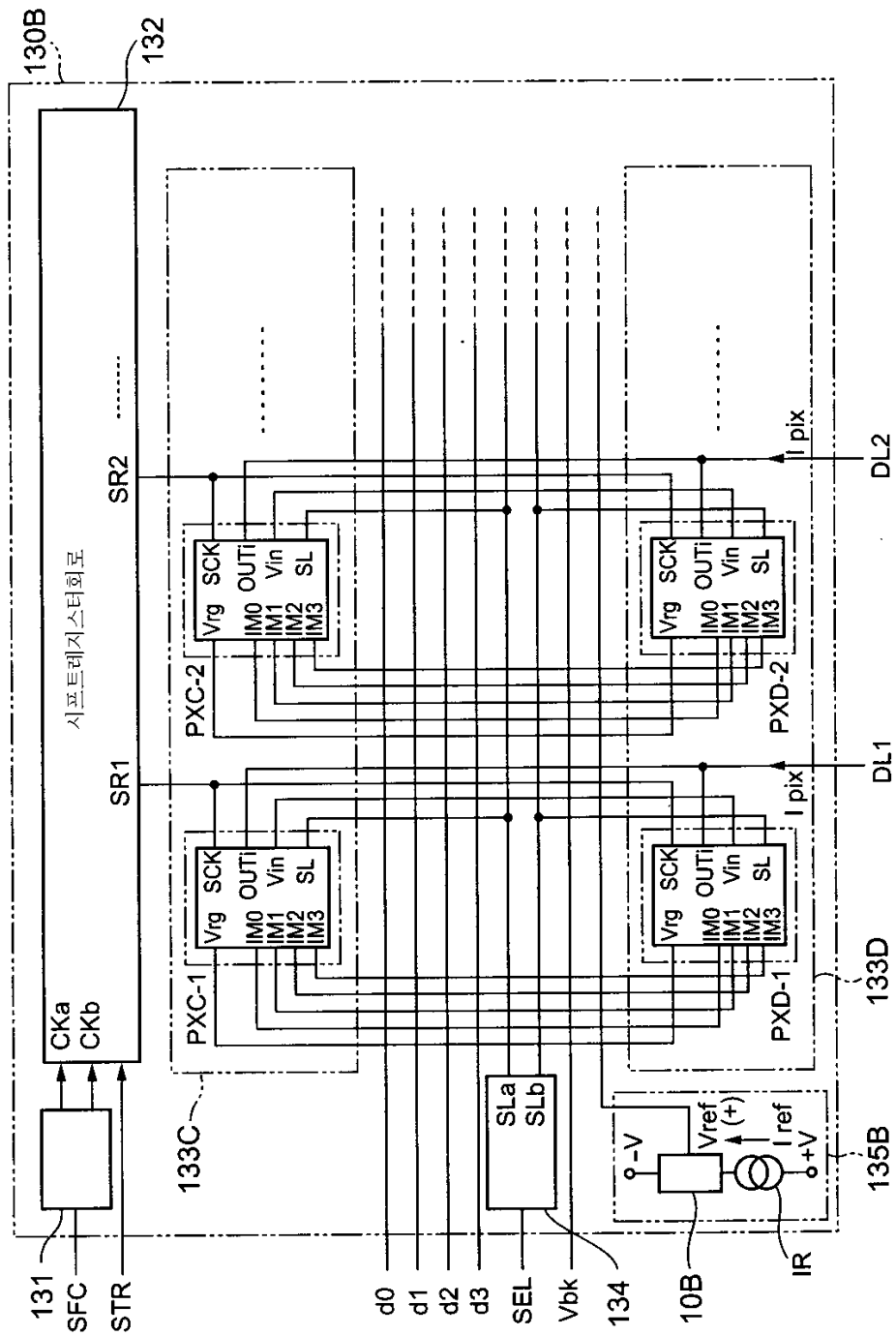
도면27



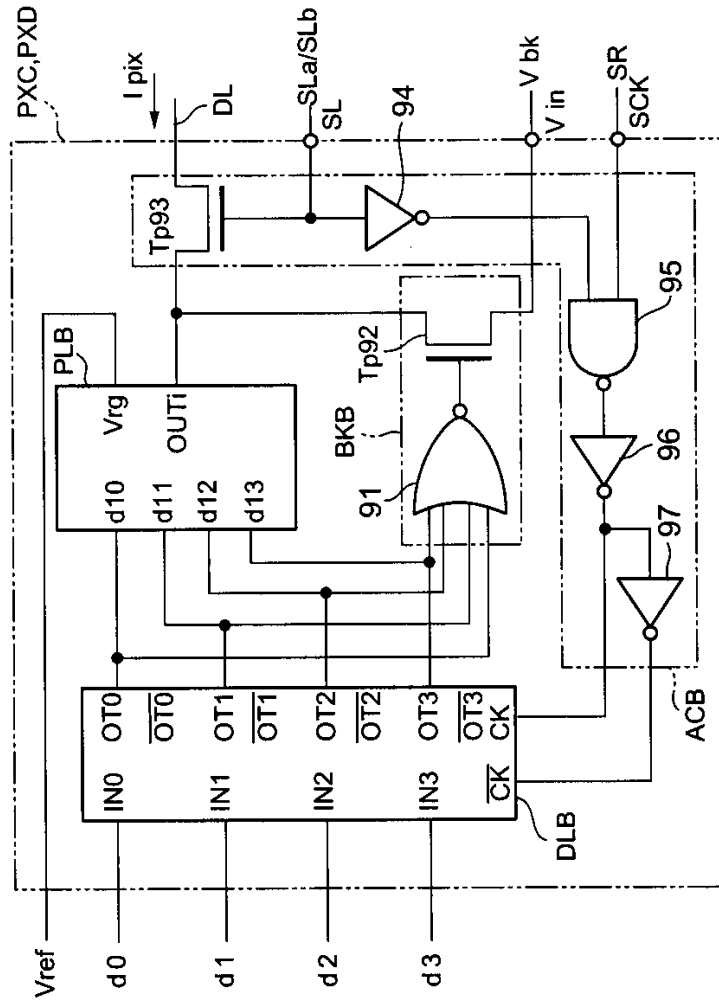
도면28



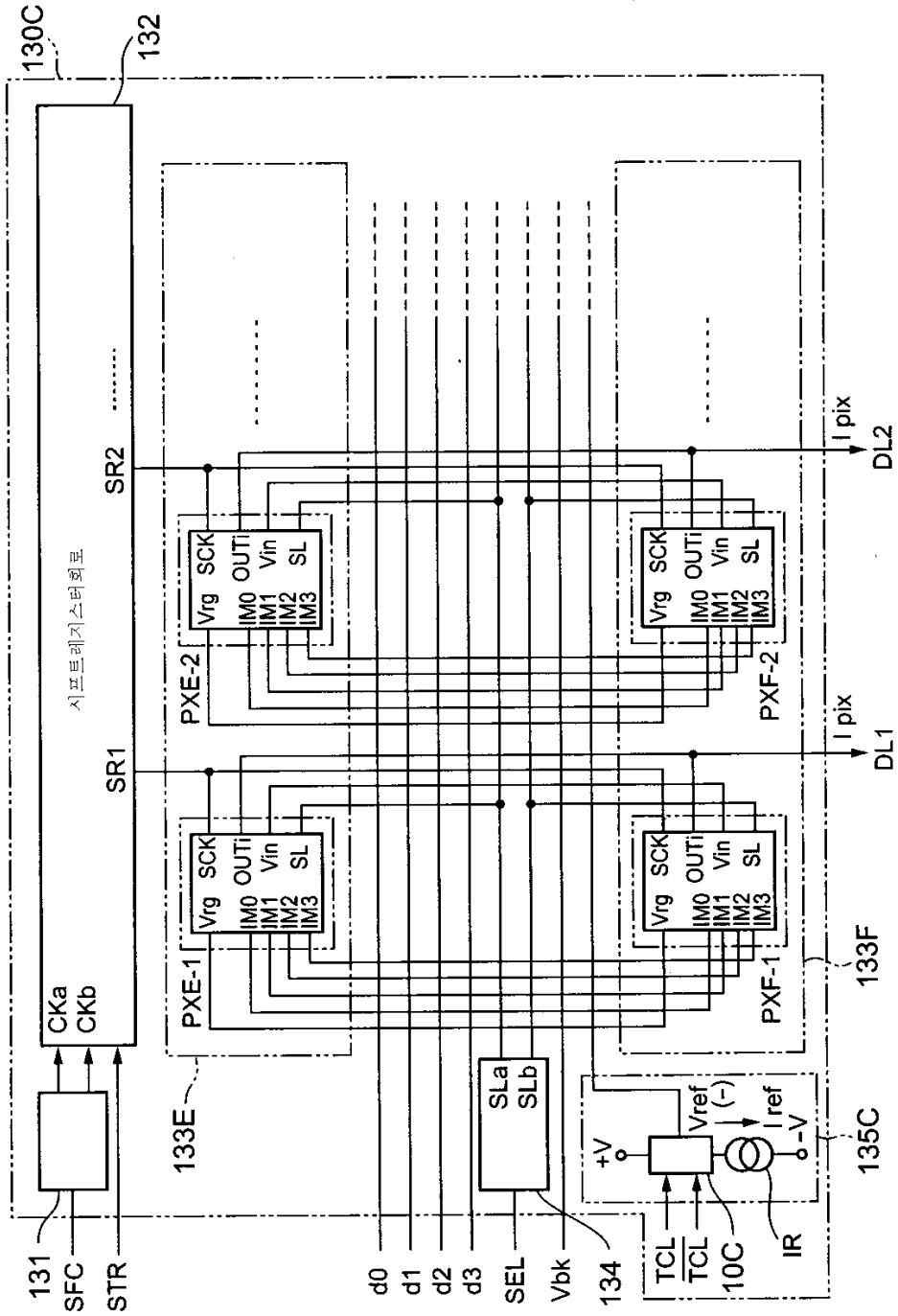
도면29



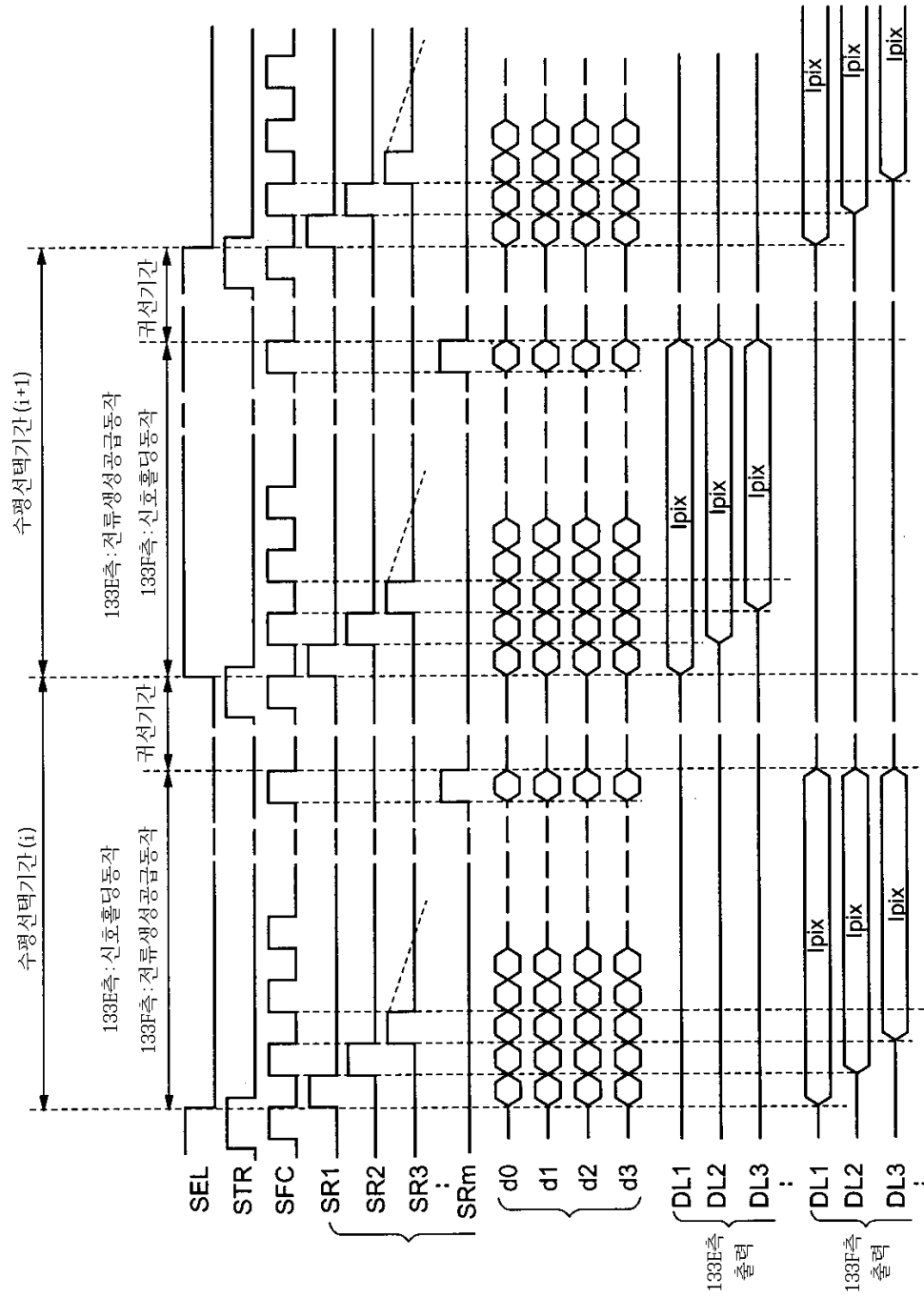
도면30



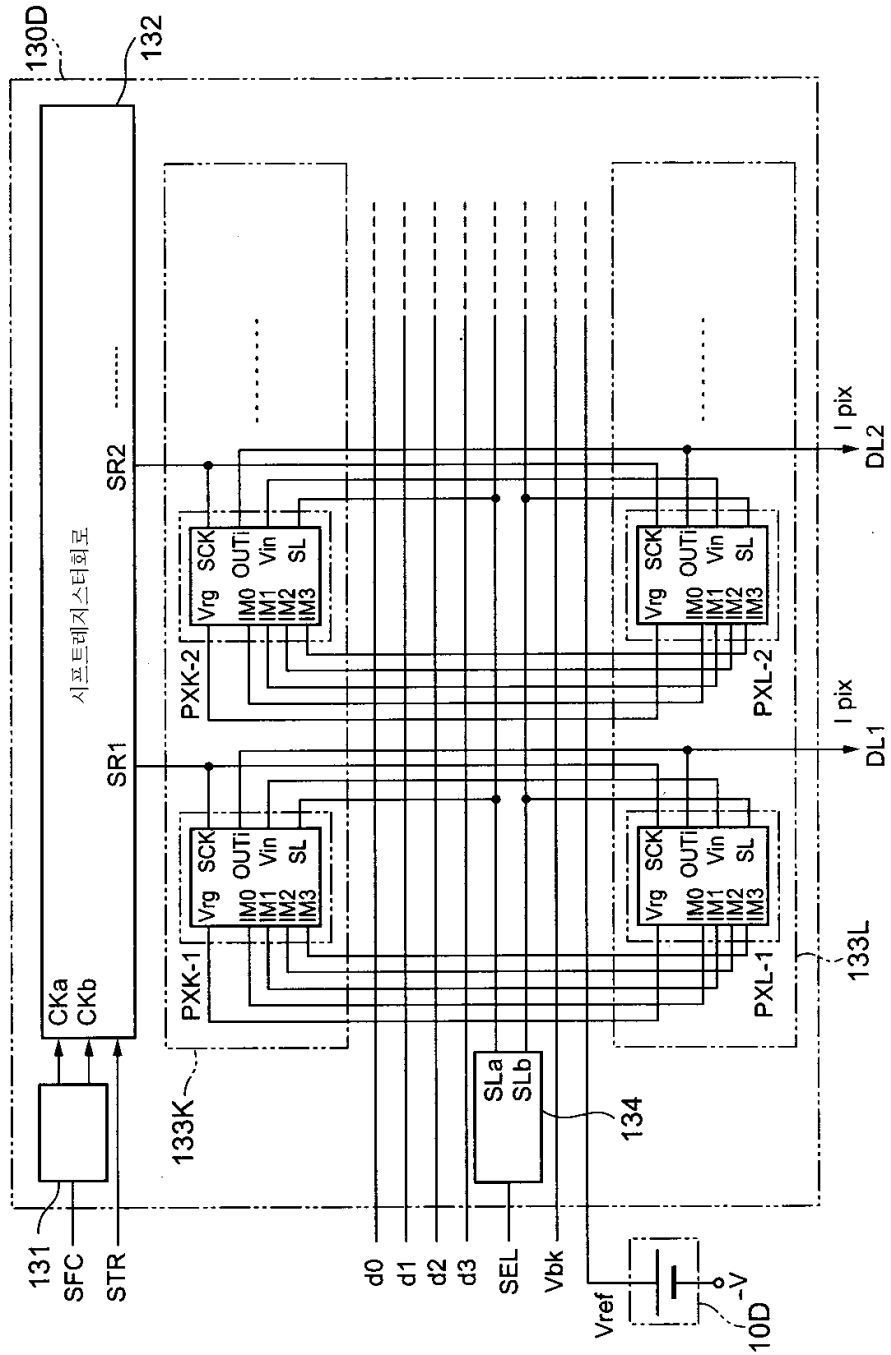
도면31



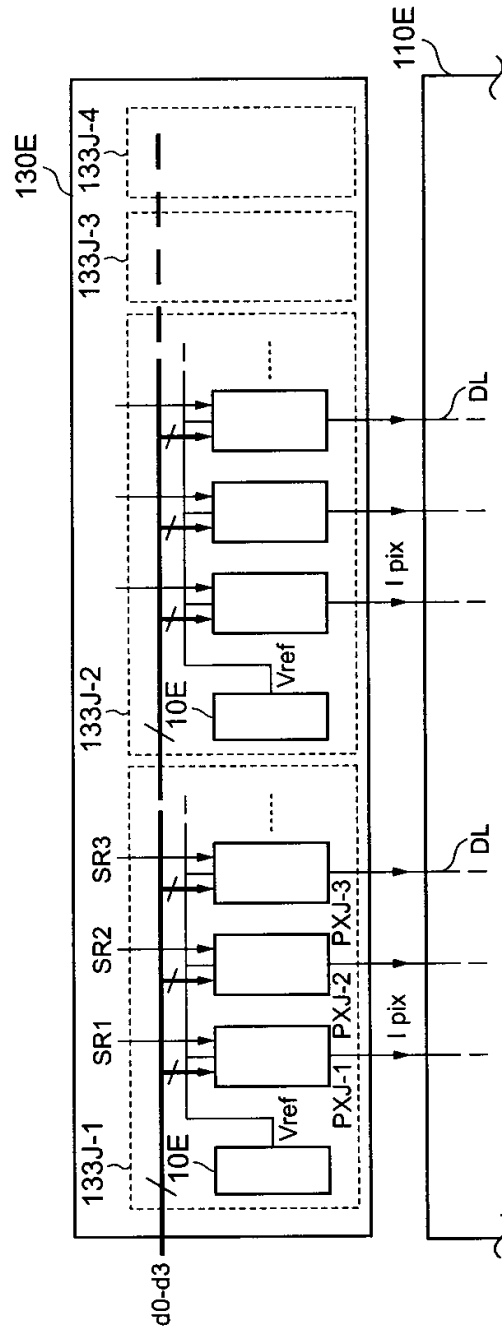
도면32



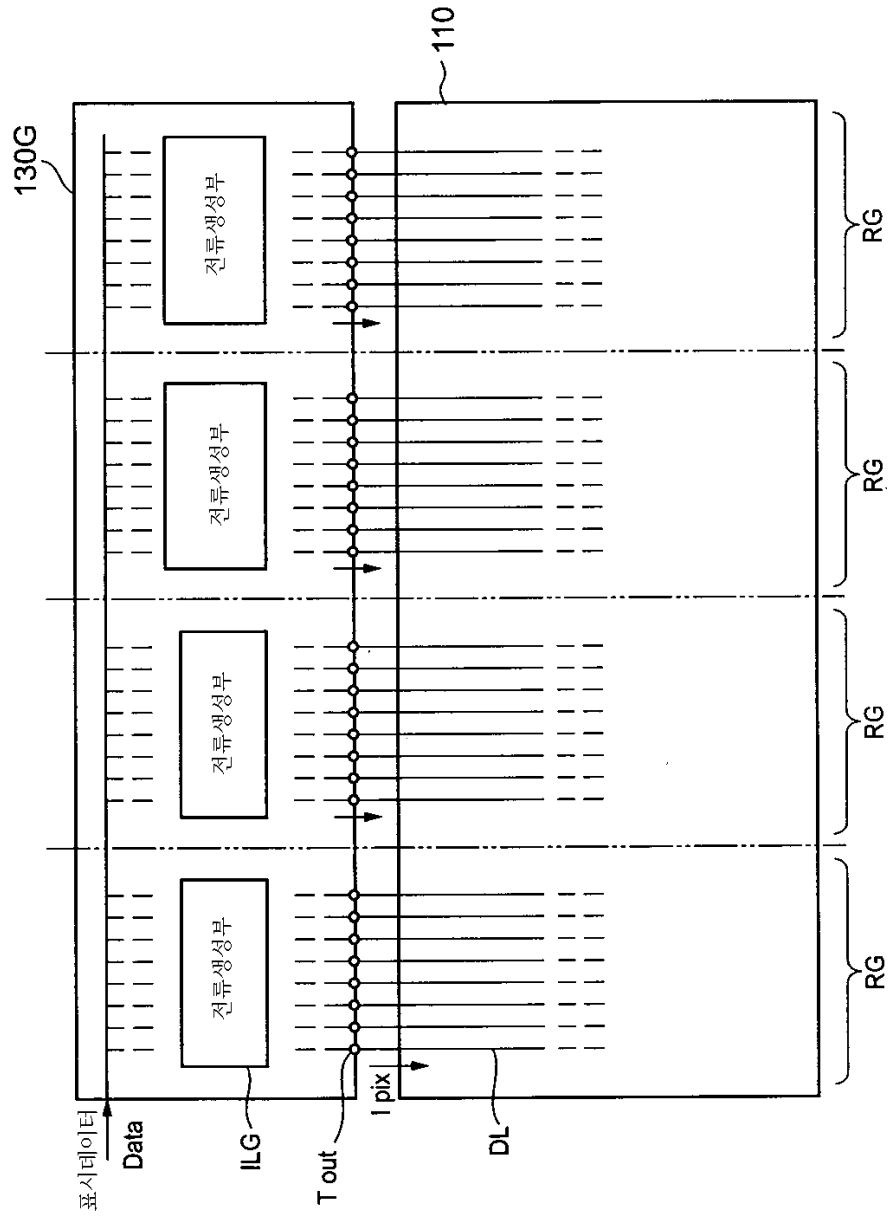
도면33



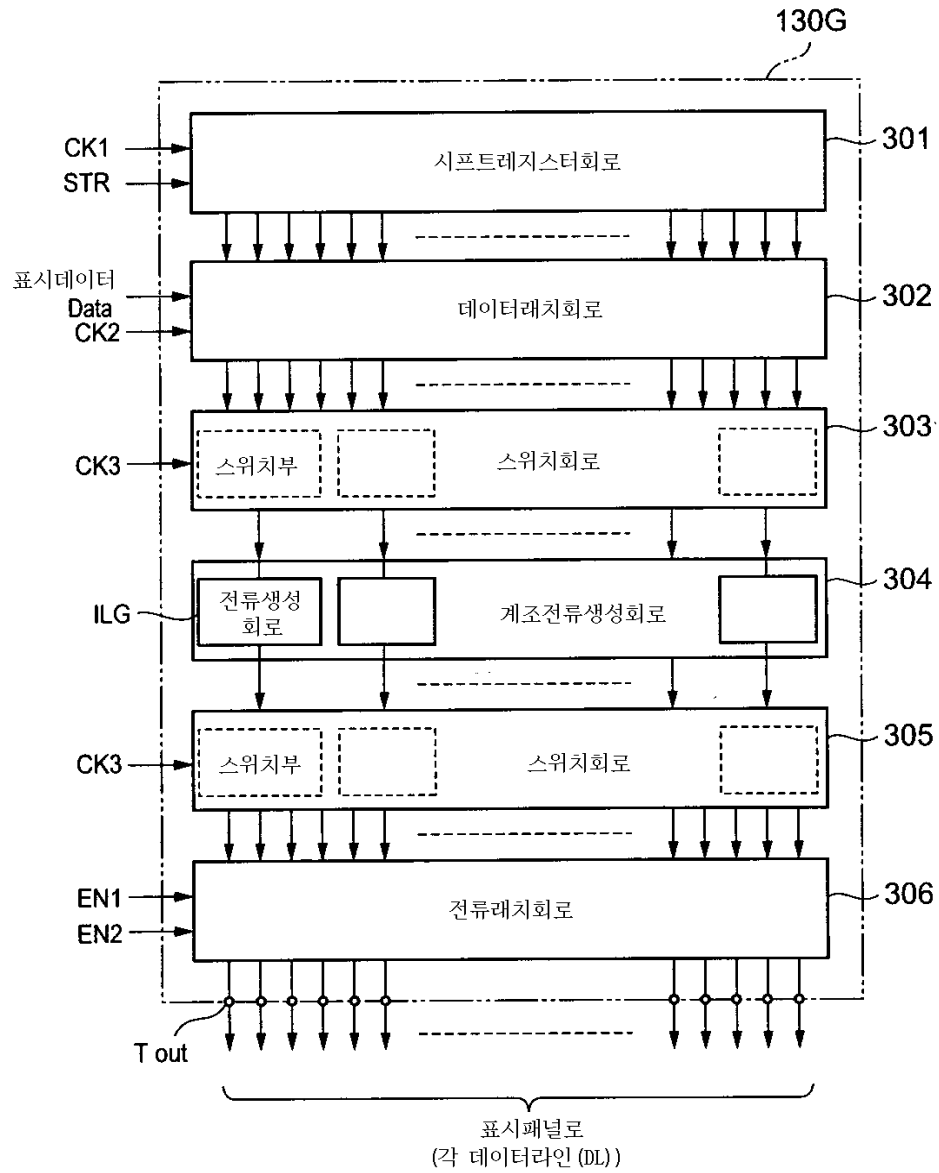
도면34



도면35

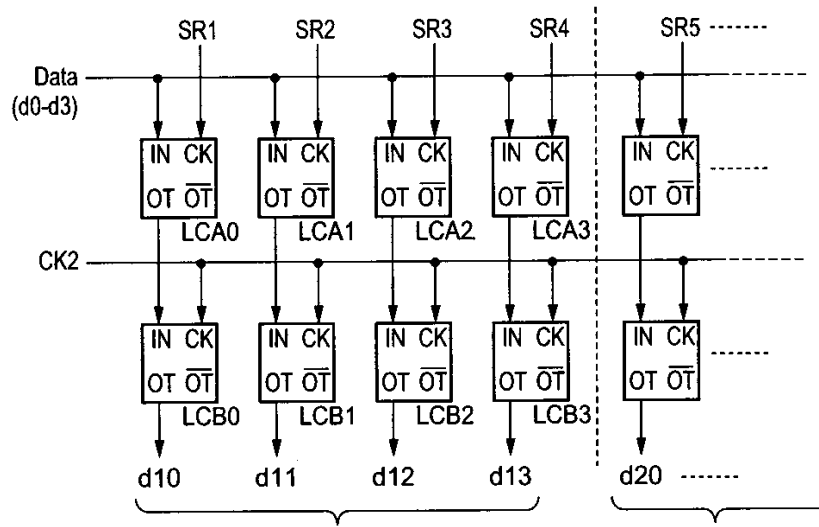


도면36

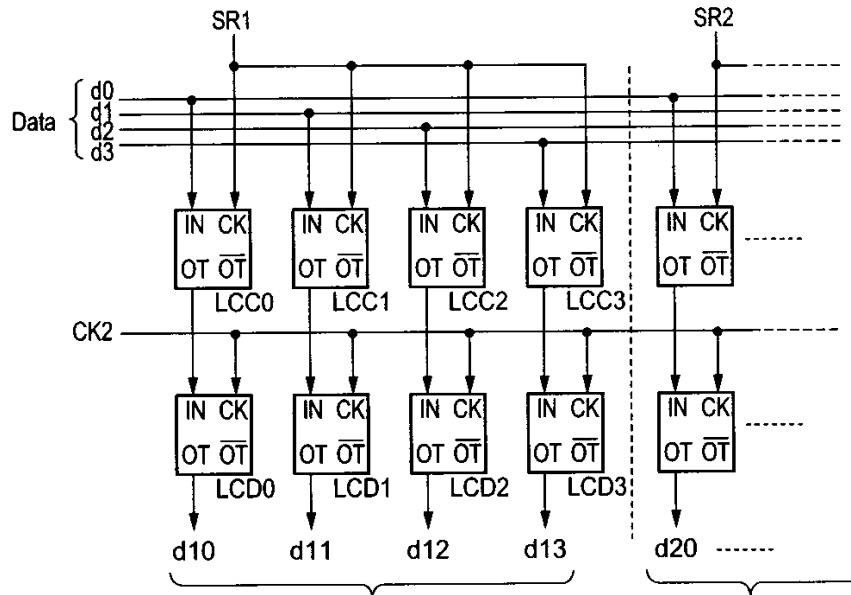


도면37

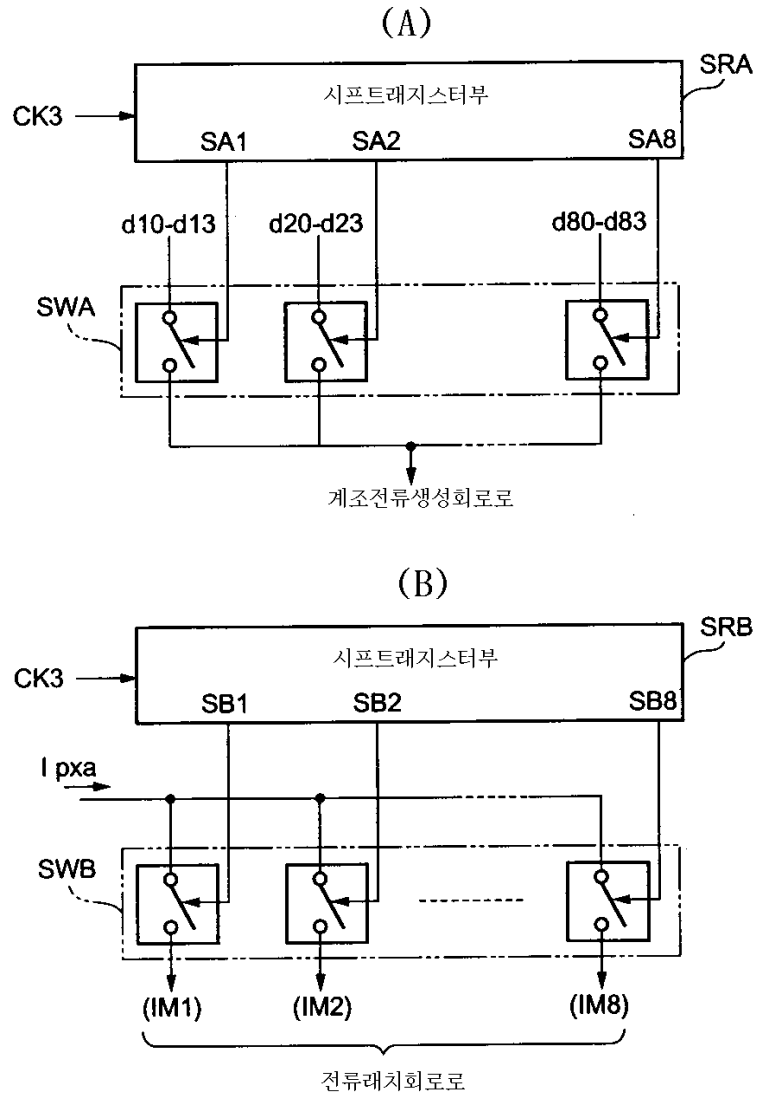
(A)



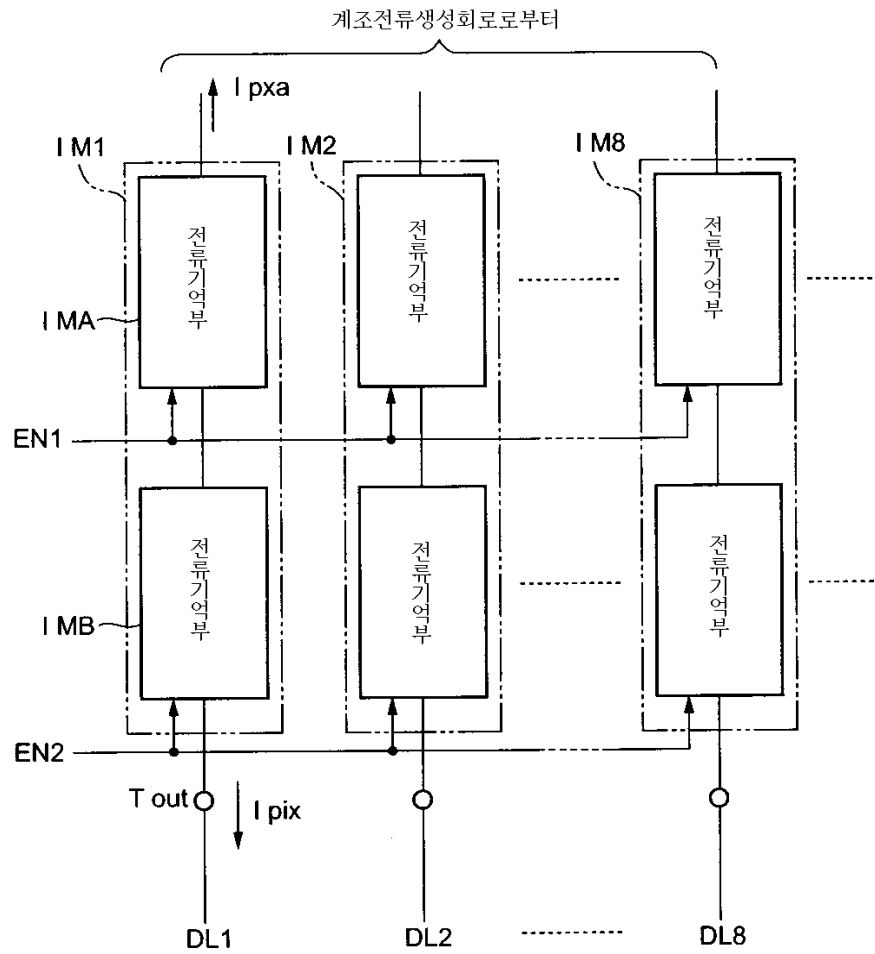
(B)



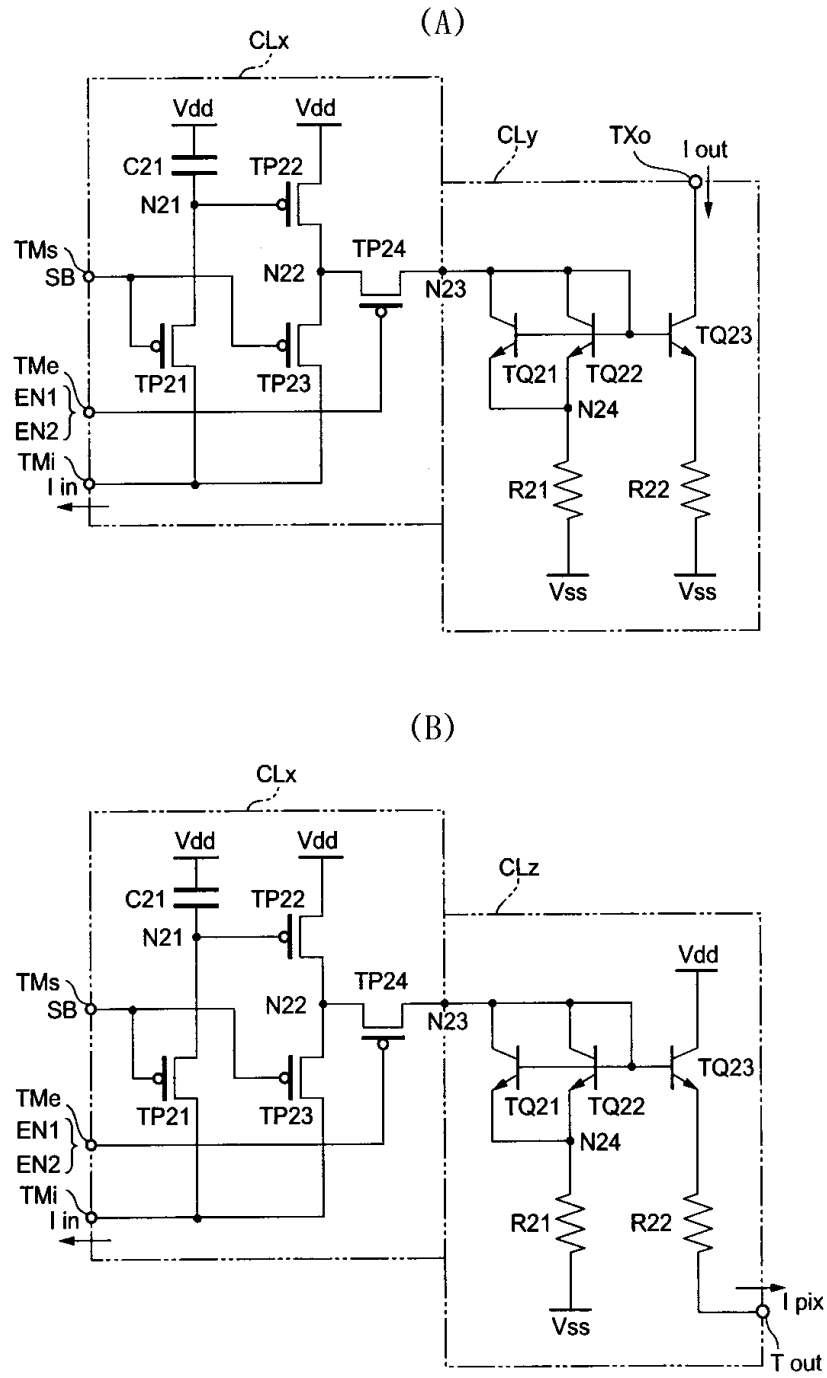
도면38



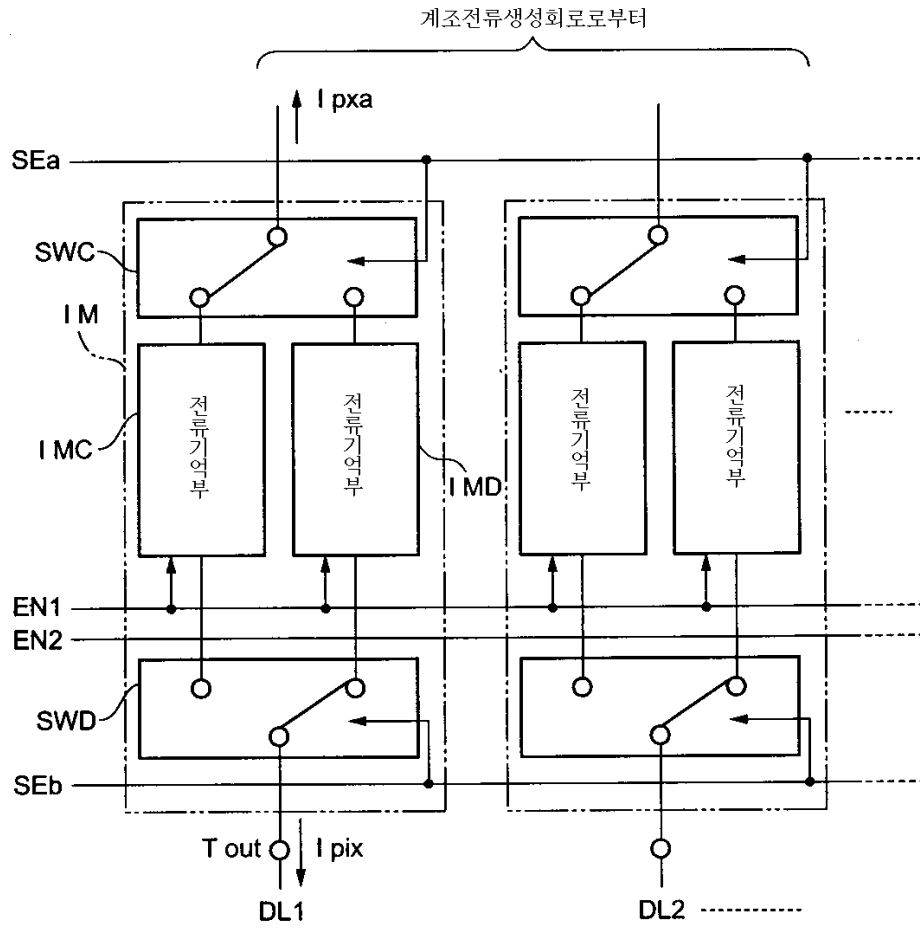
도면39



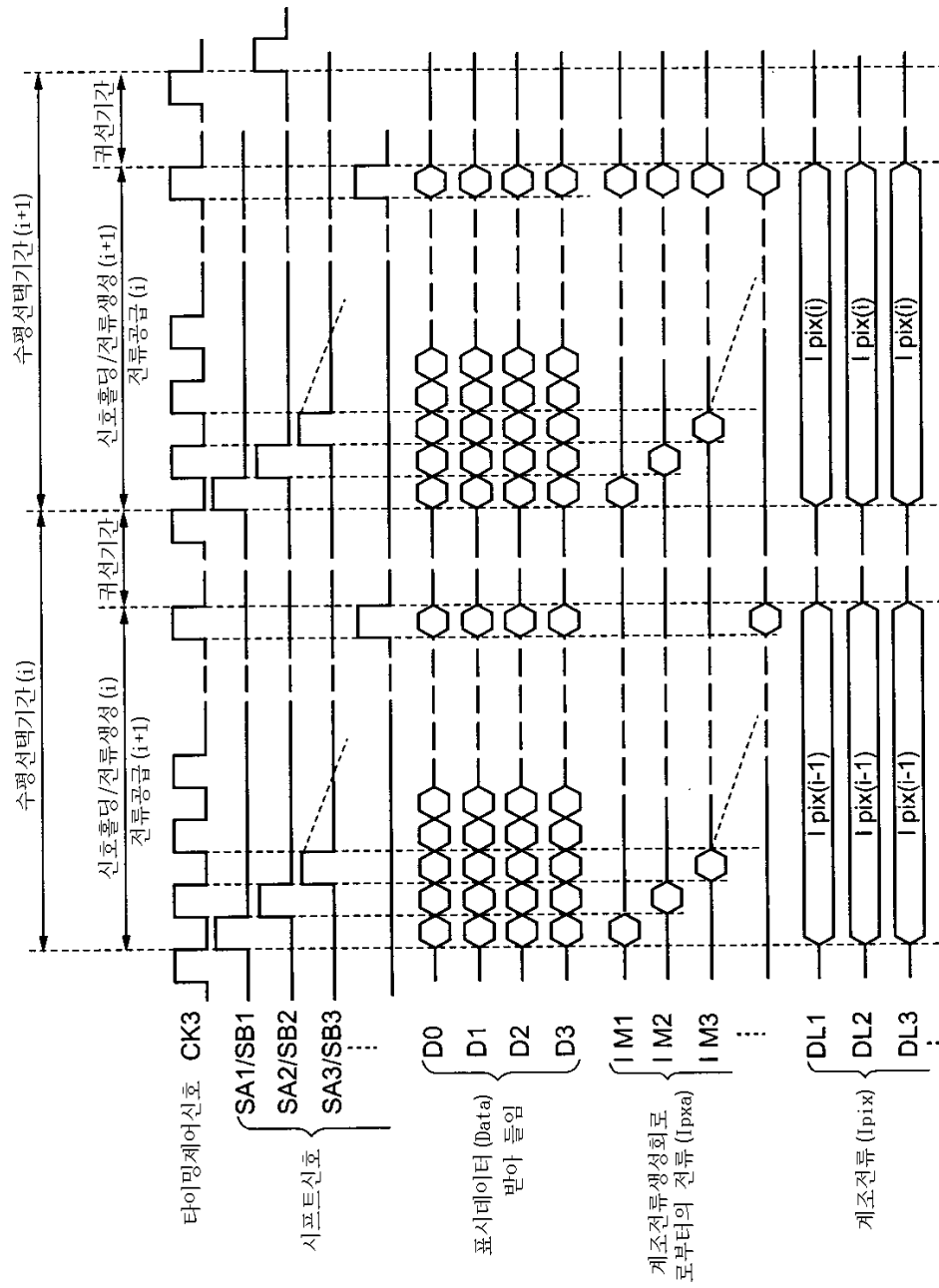
도면40



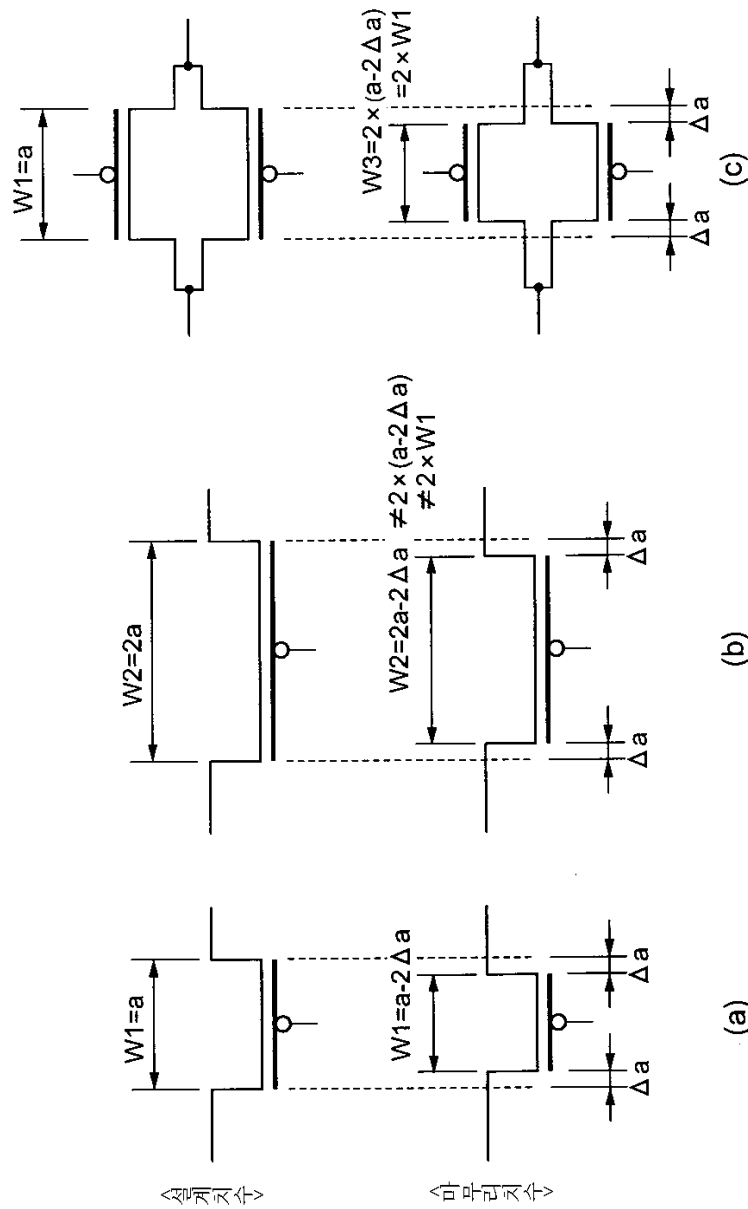
도면41



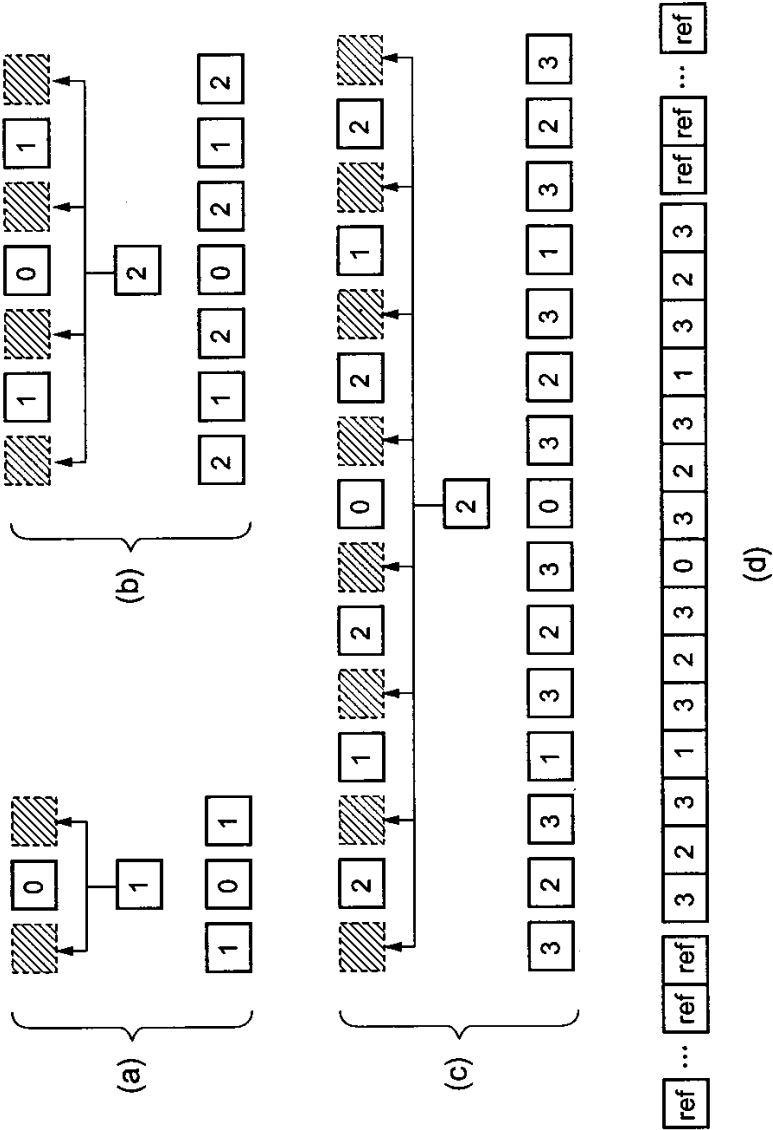
도면42



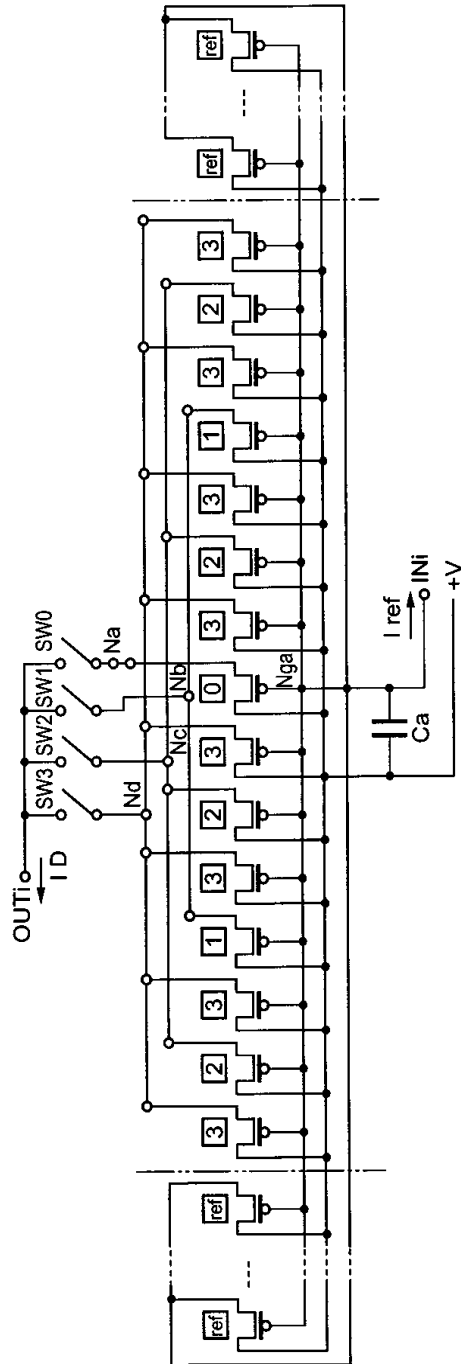
도면43



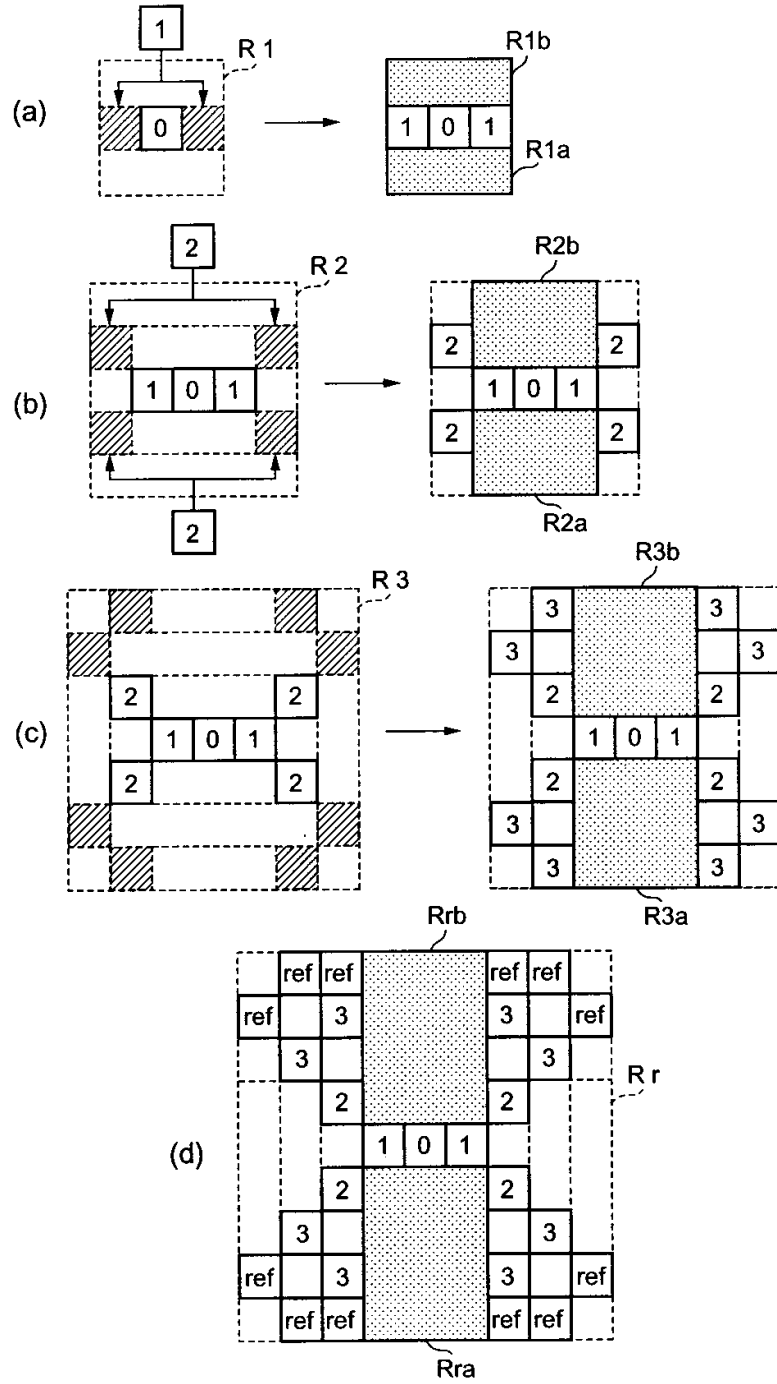
도면44



도면45



도면47



도면48

