

申請日期	89 2 25
案 號	89103398
類 別	H01L 21/90

A4
C4

462105

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明名稱	中 文	氣體蝕刻劑組成物以及用以同時蝕刻氧化矽與聚矽之方法，以及用之來製造半導體元件之方法
	英 文	GAS ETCHANT COMPOSITION AND METHOD FOR SIMULTANEOUSLY ETCHING SILICON OXIDE AND POLYSILICON, AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE USING THE SAME
二、發明人	姓 名	(1)丁光鎮 (2)朴一正
	國 籍	韓 國
	住、居所	(1)大韓民國京畿道水原市勸善區故索洞泰山第2公寓203-1504 (2)大韓民國漢城市瑞草區良才洞18-1番地B01戶
三、申請人	姓 名 (名稱)	韓商·三星電子股份有限公司
	國 籍	韓 國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞416番地
	代 表 人 姓 名	尹種龍

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

韓國(地區) 申請專利，申請日期：1999,09,28 案號：99-41463，有 無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

1. 發明領域

本發明供於一種氣體蝕刻劑組成物以及用以同時蝕刻氧化矽與聚矽之方法，以及用之來製造半導體元件之方法。更特別地，本發明相關於一種在製造供半導體記憶元件用之電容器之回蝕程序期間用以同時蝕刻氧化矽與聚矽之蝕刻組成物、其蝕刻方法、以及用之來製造半導體元件之方法。

2. 習知技藝說明

目前，由於在資訊媒介中電腦的普遍運用，在半導體記憶元件上的發展正踏著迅速的步伐以提供具有高記憶儲存電容以及較快的操作速度之半導體元件。為此，目前在本技藝中的技術著眼於發展並實現具有高整合積集度、回應速度以及可靠度之記憶元件。傳統地，具有高記憶電容與隨機開啟輸出/輸入功能之動態隨機存取記憶體(DRAM)元件被寬泛地使用作為半導體記憶元件。

DRAM元件一般以由至少一電晶體與一電容器所組成之記憶體晶胞構成，以使進行輸入/輸出資訊資料功能之電荷充電/放電之。此外，DRAM傳統由用以儲存大量的資訊資料之記憶體晶胞區域以及用以進行資訊資料輸出/輸出之周邊電路所組成。為了在此類由一電容器所組成之DRAM元件中得到高整合積集度，必須減少晶胞的尺寸，其係導致在半導體基材上被形成之圖案邊界程度與尺寸上

(請先閱讀背面之注意事項再填寫本頁)

表

訂

覽

五、發明說明 (2)

的減少。因此，各包含而組成基材之成分的形成比會增加。

傳統地，一具有由聚矽層與以氮化矽所形成之介電薄膜構成之電極的堆疊電容器晶胞被廣泛地使用作為一供Mb DRAM用之DRAM晶胞。然而，就高整合積集度之DRAM中具有此類簡單的堆疊結構之電容器晶胞而言，難於得到充分的晶胞電容量。照此，具有較高介電常數之氧化鉭層代替氮化矽層作為介電層，或是堆疊電容器之結構被改變以增加電容器的有效面積。

一般，如同在DRAM中增加晶胞電容量之有效手段，儲存電極被升高以形成堆疊結構。然而，以非常高的半導體元件之整合積集度而言，晶胞的尺寸必須被減少。因此，為了增加晶胞電容量，在晶胞上被形成之儲存電極之間的臨界距離應該被減少，或是儲存電極的高度應該被增加。藉由減少臨界距離，會發生在相鄰儲存電極之間形成電氣橋接之問題，而增加儲存電極的高度會造成在元件中全面落差上的增加，其係會導致在微影程序期間減少影像邊際，而造成在後續程序中金屬導線之間的金屬橋接短路現象。

為了增加電容器之有效面積，已建議有一種在用來得到電容器之儲存電極之聚矽層表面上形成一凹凸不平的形狀之方法。此類凹凸不平的形狀藉由蝕刻程序或藉由控制聚矽層之生成程序的製造變數而被得到。一種使用上述在聚矽層表面上形成凹凸不平的形狀之方法來製造電容器之方法被說明於下。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

首先，主儲存電極於半導體基材表面處被形成，接著一半球形粒化(HSG)聚矽層在儲存電極的整個表面上被形成，之後進行使儲存電極帶有半球形粒化形狀之非等向性蝕刻程序，最後得到一凹凸不平形狀的儲存電極。

上述之HSG聚矽層在主儲存電極表面上藉由使用經氬來稀釋之 SiH_4 氣體在壓力1.0 Torr溫度 550°C 下被形成。藉由使用此類的HSG聚矽層，晶胞電容量可以被顯著地增加。此外，透過在其晶粒邊界部分之間具有微弱束縛之聚矽層表面上產生凹凸不平形狀之方法，可以達到超過傳統未具有凹凸不平形狀結構之聚矽層二至三倍有效面積之增加，其係明顯地歸因於非常高整合積集度之DRAM本質。

如上所示，目前增加DRAM的晶胞電容量之技術使用製造一具有堆疊結構之電容器並形成用以增加有效面積之HSG矽層之方法。特別地，對於256Mb DRAM，一具有圓柱堆疊結構之儲存電極正被廣泛地使用。

上述形成用以增加有效面積之HSG聚矽層之方法被U.S.專利第5,721,153(issue to Kim, Kyung-hoon et. al.)、5,817,555(issued to Cho, Bok-won)與5,759,894號揭露。

為了製造上述堆疊電容器，一用以蝕刻由氧化矽與聚矽材料兩者所組成之結構的選擇蝕刻程序必須被同時進行。傳統地，為了在一具有聚矽與氧化矽之複合層中選擇地蝕刻聚矽，一四氯化碳氣體與氫氣之混合組成物、一 CF_4 與氧之混合氣體、 CF_3Cl 氣體、以及氟碳型化合物與氟化物氣體之混合組成物被使用。另一方面，四氯化碳氣體、

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (4)

C_2F_4 氣體、以及 CHF_3 氣體被用來選擇性地蝕刻氧化矽。

然而，如同時機所需，氧化矽與聚矽可以被同時地蝕刻。例如，U.S.專利第5,228,950(issue to Webb et. al.)揭露一種藉由使用以 NF_3 組成之蝕刻劑氣體作為主要成分從氧化物與矽材料中移除殘餘物之方法。

因此，在傳統的蝕刻程序中，一蝕刻劑與蝕刻設備依據欲被蝕刻之材料型式諸如聚矽、氧化物或金屬而為專用者。較佳地，為了選擇性地蝕刻在不被蝕刻層附近或相鄰於不被蝕刻層之層，一對於欲被蝕刻層具有高選擇性之蝕刻劑被無條件地選擇。在此方面，傳統由聚矽組成之閘極電極與位元線藉由使用一聚矽蝕刻設備被蝕刻，而一氧化矽蝕刻設備被用來蝕刻熱溫度氧化物(HTO)與BPSG之絕緣層，其係傳統地由氧化矽所組成。

然而，近來由於半導體元件變成具有較高的整合積集度，因此上述之傳統蝕刻程序對於更複雜的程序變得不適當。特別地，在半導體元件之製造程序中，一由若干諸如聚矽與氧化矽之不同材料所組成之複合層目前被用在與傳統單一層結構不同之不同的組成中。因此，對於半導體製造產業尋求有效地蝕刻由聚矽與氧化矽所組成之複合層的方法已變成為一普及的任務。

第1A至1J圖為例示一包含有具有圓柱形狀之電容器的傳統半導體元件之製造程序。

參考第1A圖，在由諸如矽之半導體材料所形成之半導體基材70上，一用以在基材70上界定不同元件之主動區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

域之場氧化層75藉由矽區域氧化法(LOCUS)被形成。在由場氧化層75界定之主動區域上，一閘極氧化層80藉由熱氧化法被形成。

之後，一第一聚矽層與由氧化矽所形成之第一絕緣層接著在由場氧化層75與閘極氧化層80組成之基材70表面上被形成。第一聚矽層與第一絕緣層接著被蝕刻以在其個別之閘極氧化層80與場氧化層75上得到各具有聚矽圖案85與絕緣層圖案90之閘極電極95。其後，使用閘極電極95作為一離子植入罩幕，一低濃度不純物區域在半導體基材70上藉由植入一低濃度之不純物被形成。

接著，在目前由閘極電極95所組成之基材70上，一第二絕緣層藉由使用高溫氧化物(HTO)或相似的氧化物材料之電漿增強化學蒸氣沉積方法或低壓化學蒸氣沉積法被形成。經沉積的第二絕緣層接著藉由非等向性蝕刻方法蝕刻，以在閘極電極95之個別側壁上形成一墊層100。

其後，使用閘極電極95與墊層100作為一離子植入罩幕，一具有經輕度摻雜汲極(LLD)結構之電晶體源極/汲極區域105藉由在主動區域上植入高濃度之不純物被形成。

一由氧化矽所組成之絕緣間層87接著在具有閘極電極95之基材70表面上被形成，之後在絕緣間層87中形成一孔以藉由傳統的微影程序而將一部分的共用源極/汲極區域105暴露出來。接著，一填滿上述孔之金屬層藉由使用鋁或相似金屬之濺鍍方法而被沉積在絕緣間層87之表面上，並且一如所示者之位元線89藉由將金屬層形成圖案而被形

(請先閱讀背面之注意事項再填寫本頁)

長

訂

五、發明說明 (6)

成。

接著，一由BPSG或PSG所組成之第二絕緣間層160藉由低壓化學蒸氣沉積方法或一電漿增強化學沉積方法被形成，並且為了後續之後的沉積與形成圖案程序而作準備，第二絕緣間層160之表面藉由化學機械研磨(CMP)方法被平坦化。

參考第1B圖，一用以將一部分的源極/汲極區域105暴露出來之接觸孔107藉由使第一與第二絕緣間層87與160經歷一傳統微影程序被形成。接觸孔107接著被填滿以在第二絕緣間層160之表面上形成第一導電層165。第一導電層165藉由以一低壓化學蒸氣法沉積一經摻雜聚矽而被形成。

參考第1C圖，上述第一導電層165接著經歷一CMP程序或一回蝕程序以在與源極/汲極區域105連通之接觸孔107中形成一接件170。

參考第1D圖，在接件170與絕緣間層160之共用表面上，一由BPSG、PSG、USG或相似的氧化物材料所組成之犧牲層115被形成，接著在犧牲層115之表面上形成一光阻膜120。

參考第1E圖，在犧牲層115之表面上被形成之光阻膜120接著經歷一微影程序以形成一光阻圖案120a，並使用光阻圖案120a作為一罩幕，犧牲層115被蝕刻以形成用以在其個別的晶胞單元中將接件170與第二絕緣間層160暴露出來之孔125。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (7)

參考第1F圖，在移除光阻圖案120a之後，第二導體層175之連續層在被孔125暴露出來之接件170與第二絕緣間層160之表面上，以及在犧牲層115之側壁與上部表面上被形成。第二導電層175藉由以低壓化學蒸氣沉積法沉積摻雜不純物之聚矽被形成。結果，各晶胞被形成有一井或是一覆蓋有以聚矽所形成之第二導電層175之凹槽。此後，一HSG矽層150在目前在犧牲層115與源極/汲極區域105上被形成之第二導電層175之表面上被形成。HSG矽層藉由減壓化學蒸氣沉積法在第二導電層175之井的內部與底部表面上被形成。

參考第1G圖，在目前被以HSG覆蓋之第二導電層175上，一保護層155藉由一使用具有氧化矽為其主要組成之未經摻雜矽玻璃(USG)之減壓化學蒸氣法被形成。填滿被第二導電層175界定之井的保護層155被平坦地形成，並在後續形成儲存電極之蝕刻程序期間用來保護在第二導電層175上被形成之HSG矽層150。

參考第1H圖，保護層155經歷一回蝕程序留下一保護層殘餘物155a，而暴露在犧牲層115上被形成之剩下的HSG矽層150與第一導電層175。在此，一蝕刻氧化物材料設備與使用電漿之乾蝕刻方法被用來供回蝕程序使用，並且蝕刻氣體組成物被調整以對由氧化矽材料所組成之保護層155具有較高的選擇性，並且對於皆由聚矽材料所組成之HSG矽層150與第二導電層175具有較低的選擇性。適當地，一具有 C_2F_4 氣體之氣體蝕刻劑、 CHF_3 氣體、或 CF_4 氣

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (8)

體為其主要組成之氣體蝕刻劑被採用，以對於由氧化矽材料所形成之保護層155具有較高的選擇性。因為回蝕程序於中間部分較有效，井之中心部分與周邊部分相反會顯示更多的蝕刻，留下具有凹入中心部分之保護層殘餘物155a。

參考地1I圖，半導體基材70接著被傳送至另一個用以蝕刻在犧牲層115表面上被形成之HSG矽層150與第二導電層175之蝕刻設備，直到犧牲層115的上部部分被暴露出來。在此，蝕刻藉由一聚矽蝕刻設備經由使用電漿之乾蝕刻法而被進行，並且氣體蝕刻劑被調整對於兩者皆由聚矽材料所組成之HSG矽層150與第二導電層175具有較高的選擇性，並且對於兩者皆由氧化矽材料所形成之保護層殘餘物155a與犧牲層115具有較低的選擇性。例如，藉由利用主要由對於聚矽材料具有較高選擇性之氣氣所組成的乾蝕刻劑組成物，HSG矽層150與第二導電層175可以被選擇地蝕刻掉。其後，如所示者，一被形成有一第二導電層圖案175a與一HSG矽層圖案150a之圓柱形儲存電極130在各單元晶胞上被形成。在此，在蝕刻第二導電層175與HSG矽層150之蝕刻成序期間，保護層殘餘物155a亦同時地被部分地蝕刻。

在上述之蝕刻程序中，在蝕刻第二導電層175之水平部分之後，垂直部分隨後亦被蝕刻。如圖所示，垂直蝕刻於中心部分處比周邊區域更有效，而使第二導電層175具有一凹入中心之輪廓。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

參考地1J圖，藉由利用一蝕刻劑組成物來完全地移除所有留在半導體基材70上之氧化矽，留在儲存電極130之井中的犧牲層115與保護層殘餘物155a被溼式蝕刻程序移除。接著，在儲存電極130之表面上，一介電薄膜135與平板電極140隨後被形成以得到一電容器145。

其後，形成有一電晶體與一電容器145之DRAM元件藉由傳統半導體元件製造程序而被製造。

根據上述之製造半導體記憶元件程序，在形成一儲存電極之程序中，覆蓋有皆由聚矽材料所組成之HSG矽層與保護層155之第二導電層175藉由利用兩種分離的蝕刻設備(氧化矽蝕刻設備與聚矽蝕刻設備)並使用其個別的氣體蝕刻劑而經歷一回蝕程序。使用此兩種供回蝕程序用之分離蝕刻步驟產生不令人滿意的表面輪廓。特別地，當保護層155首先使用氧化矽蝕刻設備而被蝕刻蝕，在保護層155被蝕刻的同時，構成第二導電層175與HSG矽層之聚矽會暴露出來。在此狀態中，蝕刻程序對於構成保護層155之氧化矽更有選擇性，第二導電層175與HSG矽層150被蝕刻地較少，而導致具有如地1H圖所示之向上突出的輪廓。此外，在使用聚矽蝕刻設備來選擇地蝕刻第二導電層175與HSG矽層之後續程序中，因為聚矽構成層被蝕刻更多，由氧化矽材料所組成之層與其鄰近部分向上伸出，而聚矽構成層之中心部分顯示一具有凹入處之輪廓。

第3A圖為第1I圖之A部分的放大截面圖，而第3B圖為例示溼式蝕刻第3A圖之犧牲層115之程序的截面圖。傳統

(請先閱讀背面之注意事項再填寫本頁)

訂

後

五、發明說明 (10)

地，具有第1I圖所示之基材70的相同或相似輪廓之半導體基材稍後經歷一濕式蝕刻程序以移除犧牲層115與保護層殘餘物155a。在此類的濕式蝕刻程序中，如第3B圖所示，一佔據如第3A圖所示之HSG矽層最上部分之HSG聚矽顆粒H通常會分開或落下而與元件從相鄰或鄰近電容器形成電氣聚矽橋接現象，因而降低半導體元件之產率。

此類的聚矽橋接現象亦會因在半導體基材之邊緣部分上被形成之第二導電層而被形成，並且傳統地，一附加的微影程序被應用以移除在半導體基材之邊緣上被形成之聚矽。

第2A至2F圖為例示一用以處理第1D至1I圖所例示之半導體基材之邊緣部分的附加微影程序之截面圖。

參考第2A圖，在形成由氧化矽材料所構成之犧牲層115之後，一光阻薄膜120被形成，如第1D圖所示。

參考第2B圖，光阻薄膜120經歷一傳統微影程序以形成用以在各單元晶胞中形成一孔之光阻圖案120a與120b，如第1E圖所示。在此，被形成以主要佔據半導體基材之邊緣部分的光阻圖案120b在尺寸上比在晶胞區域上被形成之光阻圖案120a大得許多。接著，藉由使用光阻圖案120a與120b作為一蝕刻罩幕，犧牲層115被蝕刻以形成若干個欲被用來最後形成電容器之孔125。在此，藉由佔據在邊緣部分上之光阻圖案120b，一犧牲層圖案115a在半導體基材之邊緣部分上被形成。

參考第2C圖並如第1F圖所示，在藉由使用一剝除或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

灰化程序來移除光阻圖案120a與120b之後，在接件170與第二絕緣間層160之共用表面上，以及在犧牲層115的整個表面上，一第二導電層175被形成。在此，第二導電層175亦在基材之邊緣部分上以及在位於基材邊緣附近之犧牲層圖案115a上被形成。接著，一HSG矽層150在第二導電層175之表面上被形成。

參考第2D圖並如第1G圖所示，在覆蓋第二導電層175之HSG矽層150表面上，一保護層155使用低壓化學蒸氣沉基法，以由氧化矽所構成之USG(未經摻雜之矽玻璃)而被形成。

接著，如第1H與1I圖所示，保護層155與第二導電層175經歷一回蝕程序。在此，為了避免在回蝕程序之後在基材邊緣部分上殘留聚矽，如第2D與2E圖所示，部分覆蓋基材邊緣的保護層155在回蝕程序前首先被一額外的微影程序移除。

特別地，在第2D圖中，一第二光阻膜157接著藉由在保護層155表面上塗覆光阻而被形成。

其後，參考第2E圖，在選擇輕微地曝光並顯影半導體基材之邊緣部分之後，在基材邊緣上部分的光阻被移除，以形成用以暴露在邊緣附近的基材周邊上的部分保護層155之光阻圖案157a。接著，使用光阻圖案157a作為一蝕刻罩幕，一在邊緣附近的周邊保護層155b被蝕刻程序移除，如虛線所示，以暴露位於接近基材邊緣處之HSG矽層的周邊部分。其後，藉由以聚矽蝕刻劑進行濕式蝕刻程序，

(請先閱讀背面之注意事項再填寫本頁)

訂

檢

五、發明說明 (12)

如虛線所示之一部分的第二導電層175a與一部分的HSG矽層150a被移除，其係兩者皆為在基材邊緣附近的周邊上，接著藉由剝除程序來移除第二光阻圖案157a。

在第2E圖所示之步驟後，保護層155經歷一回蝕程序，如第1H圖所示。在此，因為犧牲層115亦被組成保護層155相同之氧化矽材料構成，一部分位在基材邊緣上之犧牲層155a同時藉由回蝕程序被部分地蝕刻。如第2F圖所示，周邊保護層155b、一部分的第二導電層175a、及一部分的HSG矽層150a目前由於上述之程序而被移除，前述三者皆位在基材邊緣附近之周邊上。

參考第2G圖並如第1I圖所示，使用保護層殘餘物155a作為一蝕刻罩幕，在基材邊緣附近並覆蓋犧牲層115上部部分之剩餘的HSG矽層150與第二導電層175被回蝕，直到犧牲層115與犧牲層圖案115a的上部部分被暴露出來。由於該程序，如所示者，在周邊上被形成並非常接近基材邊緣之第二導電層175與HSG矽層150的所有部分現在被完全地移除。因此，矽橋接之形成可以被避免。

根據上述之方法，為了避免形成矽橋接現象，在使保護層與第二導電層進行回蝕程序之前，位在周邊與基材邊緣上之保護層被預先移除，以將在相同位置處被形成之聚矽暴露出來。一旦暴露，聚矽接著被濕式蝕刻程序移除，而使半導體基材於其邊緣與周邊區域處無聚矽。為了處理基材邊緣，該方法藉由光阻塗覆、顯影、及蝕刻程序而被同時進行。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

發明概要說明

從前述之觀點來看，本發明之第一目的為提供一種用以有效地回蝕聚矽與氧化矽以避免在電容器製造程序中因聚矽殘餘物所造成之矽橋接現象的形成之乾式蝕刻氣體蝕刻劑組成物。

本發明之第二目的為提供一種用以使用上述乾式蝕刻氣體蝕刻劑組成物來乾式蝕刻氧化矽與聚矽之方法。

本發明之第三目的為提供一種用以藉由使用聚矽層之程序來避免聚矽橋接現象形成而製造供半導體元件用之電容器之方法。

為了達成第一目的，本發明提供一包含四氯化碳氣體與氮氣之乾式蝕刻氣體蝕刻劑組成物，其係用以在回蝕程序期間以大致相似的蝕刻率來同時地蝕刻聚矽與氧化矽。在此聚矽與氧化矽之蝕刻率比約為0.8-1.2:1，較佳地約為0.9-1.1:1，並且四氯化碳與氮氣之混合比約為25-40:1，較佳地約為28-38:1。

為了達成第二目的，本發明提供一種藉由使用上述之氣體蝕刻劑組成物以大致相似的蝕刻率同時地蝕刻聚矽以及覆蓋被形成在半導體基材上之聚矽層之氧化矽層之方法。為了蝕刻聚矽層與氧化矽層，一包含四氯化碳與氮氣壓力約為5-20m Torr之混合氣體蝕刻劑組成物被使用。

為了達成第三目的，本發明提供一種用以藉由使用包含四氯化碳氣體與氮氣之氣體蝕刻劑來製造一供半導體元件用之電容器之方法，以及一種用以同時地蝕刻聚矽與氧

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

五、發明說明 (14)

化矽層之方法。在該方法中，一絕緣層首先在半導體基材上被形成，其中絕緣層具有一欲被界定成一晶胞單元之開口，之後在絕緣層之一表面、開口之一內部表面、及被開口暴露出來之底層之一表面上形成具有一連續聚矽結構之第一導電層。一由氧化矽所組成並填滿開口之保護層在第一導電層上被形成。接著，一以晶胞單元所界定之第一導電圖案藉由以大致相似的蝕刻率同時地回蝕保護層與第一導電層，直到絕緣層之一上部部分被暴露出來之方式而被形成。其後，絕緣層與在回蝕程序之後來自保護層之殘餘物被移除，之後在第一導電層上形成一介電薄膜與一第二導電層以得到合成之電容器。

根據本發明之較佳實施例，一HSG矽層在第一導電層之表面上被形成，以得到凹凸不平的儲存電極表面。

根據本發明之較佳實施例，在回蝕程序之前，基材邊緣被物理地覆蓋以保護犧牲層與第一導電層在回蝕程序期間免於受到氣體蝕刻劑的蝕刻。在此，物理覆蓋基材邊緣之方法藉由使用一壓板而達到。

根據本發明，因為聚矽與氧化矽層藉由使用相同蝕刻設備以大致相似之蝕刻率被同時地蝕刻，因此具有聚矽與氧化矽材料兩個構成於其中之複合層可以被有效地蝕刻以得到具有良好輪廓之表面。特別地，製造供半導體記憶元件用之電容器之連續程序中，在藉由將一由以氧化物材料所構成之氧化矽及以聚矽材料所構成之導電層兩者所組成之複合層回蝕而形成一聚矽圖案之後，因聚矽殘餘物之分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

離或挪動所造成聚矽橋接的形成可以被避免。

本發明亦提供一種藉由在用以製造半導體元件之一電容器之回蝕程序中使用壓板來製造供半導體元件用之電容器的方法。根據此方法，一包含欲被界定成一晶胞單元之開口之絕緣層在半導體基材上被形成，接著由聚矽所組成並在絕緣層之一表面、開口之一內部表面、及被開口暴露出來之一底層表面上具有一連續結構之第一導電層被形成。第一導電層具有一開口對應之井。其後，由氧化矽所組成並用以填滿在第一導電層中之井的保護層被形成，之後藉由回蝕保護層與第一導電層直到絕緣層之上部部分被暴露出來之方式來形成被以晶胞單元界定之第一導電圖案，並同時物理覆蓋半導體基材之邊緣。在回蝕程序之後，絕緣層與來自保護層之殘餘物被移除，接著一介電薄膜與一第二導電層在第一導電層上被形成以得到一合成電容器。

在上述蝕刻以聚矽構成之導電層與保護層之回蝕程序期間，因為半導體基材之邊緣與周邊藉由使用一緊固方式而被覆蓋，一與用以移除在基材周邊與邊緣上被形成之聚矽的製造程序相伴進行之分離與額外的微影程序便不再需要，因此，增加的製造輸出可以被達成。

圖式之簡短說明

本發明之上述目的與其他優點將因參考附呈圖式而詳細地說明本發明實施例變得較為顯而易明，其中：

(請先閱讀背面之注意事項再填寫本頁)

長

訂

線

五、發明說明 (16)

第1A至1J圖為例示一包含有一具有圓柱形狀之電容器之半導體元件的傳統製造程序之截面圖；

第2A至2G圖為例示用以處理例示於第1D至1I圖中之半導體基材之一邊緣部分之額外的微影程序之截面圖；

第3A圖為第1I圖之A部分的放大截面圖，而第3B圖為例示濕式蝕刻第3A圖之犧牲層之程序的截面圖；

第4A至4I圖為例示根據本發明較佳實施例之半導體元件製造程序的截面圖；以及

第5A至5G圖為例示用以處理例示於第4D至4I圖中之半導體基材之一邊緣部分之額外的微影程序之截面圖。

較佳實施例之說明

本發明將會詳細地說明於下。

根據本發明，一用以乾式蝕刻之氣體蝕刻劑包含四氯化碳氣體與氟氣。

一 CF_4 與氟之混合氣體、 CF_3Cl 氣體、氟碳型化合物與氟化物氣體之混合組成物、及四氯化碳氣體與氫氣之混合組成物傳統被用來選擇地蝕刻在具有聚矽與氧化矽兩者之複合層中之聚矽，並且傳統被用來選擇性地蝕刻在複合層中之氧化矽的四氯化碳氣體、 C_2F_4 氣體、及 CHF_3 氣體不適合同時地蝕刻聚矽與氧化矽，其係由於在其蝕刻選擇性上急劇的差異所造成。

在用以與矽反應之電漿出現的情況下會釋放氟離子之氟碳型化合物被廣泛地使用作為在蝕刻氣體組成物中主要

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

的組成。更特別地，諸如四氯化碳 CF_4 之氟碳型化合物，其係與聚矽及氧化矽反應以釋放 SiF_4 ，並且矽氟化物在氧化物材料中展現高蝕刻活性。

藉由在數個使用聚矽蝕刻設備之實驗中使用四氯化碳氣體，本發明人已發現相對於聚矽在氧化矽中之四氯化碳的蝕刻率可以藉由添加氮氣而減少。結果，發明人確定當以一適當比例混合時，具有四氯化碳氣體與氮氣之混合氣體蝕刻劑組成物對於聚矽相對於氧化物展現出約為1之蝕刻選擇比。

在由本發明人重複進行的實驗中，其中若干種使用電漿之蝕刻程序與上述具有四氯化碳氣體與氮氣之混合氣體蝕刻劑在被形成有聚矽與氧化矽之半導體基材上被測試。對於改變於不同壓力下四氯化碳氣體、氮氣、氧氣的量，聚矽與氧化矽之蝕刻率被觀察與測量。

蝕刻程序藉由使用TCP(變換器耦合電漿)聚矽蝕刻設備來進行，並且對於聚矽與氧化矽兩者所測量之蝕刻率被表1顯示。

表 1

壓力 (mTorr)	TCP輸出 (watts)	CF_4 氣體量 (sccm)	氮氣量 (sccm)	氧氣量 (sccm)	氧化矽 蝕刻率 ($\text{\AA}/\text{min}$)	聚矽蝕 刻率 ($\text{\AA}/\text{min}$)	蝕刻選 擇比 (*)
10	450	100		3	2656	2326	1.4
13	200	100	5		1136	850	0.7
10	500	150	5		2198	2491	1.1
10	600	180	5		2602	2709	1.0

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (18)

(*)表示聚矽/氧化矽蝕刻選擇比。

對於回蝕一由聚矽與氧化矽層所組成之複合層，最適當的是調整對於聚矽與氧化矽層之蝕刻比以得到為1之蝕刻選擇比。然而，對於聚矽與氧化矽，實際上難於得到為1的精確蝕刻率因此可以被達到較接近1之蝕刻選擇比為較佳者。例如，本發明對於聚矽與氧化矽具有1.1之蝕刻選擇比之混合氣體蝕刻劑組成物適用於以大致相似的蝕刻率同時地回蝕由聚矽與氧化矽所組成之複合層。在此，藉由混合氣體蝕刻劑所進行之聚矽層蝕刻率與氧化矽層蝕刻率大致相似，如其非常接近1之蝕刻選擇比的1.1蝕刻選擇比所指示者，以便使複合層之表面不會產生劇烈的不平坦。結果，因HSG聚矽顆粒分離所造成之聚矽橋接之形成可被有效地避免。以蝕刻程序邊際與藉由蝕刻聚矽與氧化矽層所得到之複合層之表面輪廓的觀點來看，上述聚矽與氧化矽之蝕刻比約為0.8-1.2:1，較佳約為1.1-0.9:1。

在此，因為氧化矽以小於25:1之聚矽與氧化矽混合比(體積)，並以相對於聚矽較快之速率被蝕刻，並且因為聚矽以大於40:1之混合比並以相對於氧化矽較快之速率被蝕刻，因此四氯化碳氣體與氮氣之混合比約為25-40:1，較佳約為28-38:1。

上述包含四氯化碳氣體與氮氣之混合氣體蝕刻劑組成物在約5-20 mTorr的壓力下被採用，因為處於比5mTorr更小的壓力下難於得到所欲之選擇比，其係由於所存在之四氯化碳不充分的量所造成之慢蝕刻反應，而大於20mTorr

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

的壓力會逐漸變得難於控制蝕刻選擇比。

根據本發明，具有突起與凹入形狀之聚矽層以及覆蓋在半導體基材上被形成聚矽層之氧化矽層被相同的氣體蝕刻組成物以相似的蝕刻比同時地蝕刻。在此，上述包含四氯化碳氣體與氮氣之混合氣體蝕刻劑組成物被用來供回蝕程序用。

雖然，任何的蝕刻設備可以被用來供回蝕程序用，較佳的是使用用以回蝕聚矽之蝕刻設備。藉由使用聚矽蝕刻設備，適當的氮氣量在注入用以同時蝕刻聚矽與氧化矽層之四氯化碳期間可以被輕易地導入。在此，如上所述，蝕刻設備被使用在約為5-20mTorr的壓力下，並且四氯化碳氣體與氮氣的流率被以25-40:1的比率固定的維持，較佳約為28-30:1。

此後，使用本發明之氣體蝕刻劑組成物來製造半導體元件之方法的較佳實施例將會參考附呈圖式而作詳細地說明。

第4A與4I圖為例示根據本發明較佳實施例之半導體元件之製造程序的截面圖。

如第4A圖所示，在由諸如矽之半導體材料所製成之半導體基材270上，一用以在基材270上界定各種元件之主動區域之場氧化層275藉由使用局部矽氧化作用(LOCUS)而被形成。在由場氧化層275所界定之主動區域上，一薄閘極氧化層280被熱氧化作用形成。上述之場氧化層275具有約2000-6000Å的厚度，而閘極氧化層280具有約40-200Å

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (20)

的厚度。

在目前由場氧化層275與閘極氧化層280所組成之基材270上，一第一聚矽層且後來一由氧化矽材料所製成之第一絕緣膜被沉基。接著，一具有聚矽圖案285與絕緣膜圖案290之閘極電極295藉由選擇地蝕刻第一聚矽層與第一絕緣膜而在場氧化層275與閘極氧化層280上被個別地形成。

在此，聚矽圖案285藉由蝕刻具有約500-4000Å之第一聚矽層而被形成，該厚度已藉由低壓化學沉積(LPCVD)法而得到，而絕緣膜圖案290藉由蝕刻具有約500-2000Å的厚度之第一絕緣薄膜而被形成，該厚度係已由低壓化學沉積法或電漿增進化學沉積法(PECVD)而得到。

接著，在包含閘極電極295之基材270上，一具有1000-4000Å厚度之第二絕緣層藉由低壓化學蒸氣沉積法或電漿增進法以諸如HTO之氧化物材料被形成，之藉由使用非等向性蝕刻程序在個別閘極電極295之側壁上形成一墊層300。

接著，使用閘極電極295作為一罩幕，一源極/汲極區域305藉由在主動區域上利用離子植入法導入不純物而被形成，在此，除了傳統用在記憶體元件中作為存取電晶體之CMOS之外，各種其他包括FET與MOFET之存取電晶體可以被用在本發明中。

其後，由BPSG或PSG材料所組成之絕緣間層360在具有閘極電極295之基材270上被形成。具有厚度約3000-10000Å的絕緣間層360藉由低壓化學蒸氣沉積法或電漿增

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

進化學沉積法而達到。接著，為了後續的沉積與形成圖案程序作準備，絕緣間層360的上部部分藉由化學機械拋光程序被平坦化。

在本實施例中，雖未顯示，一由氮化矽材料所組成之蝕刻終止層可以被形成在經平坦化的絕緣間層360之上部部分上，以保護絕緣間層360在蝕刻犧牲層315的後續程序中免於被蝕刻。

參考第4B圖，絕緣間層360經歷一傳統微影方法以形成用以將源極/汲極區域305暴露出來之接觸孔307。藉由填滿接觸孔307，一第一導電層365在絕緣間層360之上部部分上被形成。第一導電層365藉由利用一低壓化學蒸氣沉積法來沉積聚矽而被形成。

參考第4C圖，藉由使用回蝕程序或CMP程序，第一導電層365被蝕刻以在與源極/汲極區域305連通之接觸孔307中形成一接件370。

參考第4D圖，在接件370與第二絕緣間層360之共用表面上，一由諸如BPSG、PSG、USG或相似者之氧化物材料所組成之犧牲層315被形成。在此，例如，在具有已由電晶體所形成之基材270表面上，一由BPSG材料所構成並具有大於 10000\AA ，即 13000\AA 之厚度的犧牲層315可以藉由使用TEOS(四乙基-原矽酸鹽)反應氣體被實現。

參考第4E圖，在如此而得到之犧牲層315之表面上被形成之光阻膜320接著經歷一微影程序以形成一光阻圖案320a，並使用光阻圖案320作為一罩幕，犧牲層315被蝕刻

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (22)

以形成用以將接件370暴露出來並在其個別的晶胞單元中圍繞第二絕緣間層360(其係為犧牲層315之一底層)。

參考第4F圖，在移除光阻圖案320之後，具有 500\AA 之厚度的第二導電層375之連續層在被孔325暴露出來之接件370表面與第二絕緣間層360之側壁上，以及在犧牲層315的整個表面上藉由使用低壓化學蒸氣沉積法被形成。結果，各晶胞被形成有一被由聚矽所構成之第二導電層375之井或凹槽。在此，具有突出或凹入形狀之第二導電層375被得到。其後，一具有約 $300\text{-}500\text{\AA}$ 厚度之HSG矽層350在高蒸氣狀態下或在低於 10^{-7} torr的壓力下，藉由在約 $400\text{-}600^{\circ}\text{C}$ 的溫度下利用 Si_2H_6 作為反應氣體來進行減壓化學蒸氣沉積法而被形成在覆蓋犧牲層315之第二導電層375的表面上，即第二導電層375之井之內部表面(包括側壁表面或底部表面)。

參考第4G圖，在目前被以HSG矽層350覆蓋之第二導電層375上，保護層355藉由使用具有氧化矽作為其主要組成之未經摻雜矽玻璃之減壓化學蒸氣沉積法而被形成。

完全填滿作為被第二導電層375所界定之凹入部分的井(或凹槽)之保護層355被平坦地形成，並且在之後的形成儲存電極之蝕刻程序期間供保護在第二導電層375上被形成之HSG矽層350之用。

參考第4H圖，保護層355、第二導電層375、及HSG矽層350同時經歷一回蝕程序。

在此，回蝕程序藉由TCP-聚矽蝕刻設備在約 $5\text{-}20$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

mTorr的壓力下被進行，較佳地壓力約為10 mTorr。藉由將電力維持在600 TCP watt且偏壓電力維持在200 watt，四氯化碳氣體以約180 sccm(每秒標準立方厘米)的流速被導入，而氮氣體約5 sccm的流速被導入。因此，如表1所示者，氧化矽以約2602Å/min的速率被蝕刻，而聚矽以非常接近理想直1的約1.04比被蝕刻。

由於上述回蝕程序的結果，保護層355被蝕刻以留下保護層殘餘物355a，而具有圓柱形並由第二導電層圖案375a與HSG矽層圖案350a所組成之儲存電極330藉由蝕刻在犧牲層315之頂部上被連續地形成之HSG矽層350與第二導電層375而被形成。因為保護層355、犧牲層350、及第二導電層375被如上述本發明之相同的氣體蝕刻劑組成物同時地蝕刻，保護層殘餘物355a、犧牲層315、第二導電圖案375a、及HSG矽層圖案350a的個別高度大致相似而產生一均化的表面。

參考第4I圖，藉由使用緩衝氧化物蝕刻劑(BOE)以完全地移除留在半導體基材270上所有的氧化矽，留在儲存電極330之井中的犧牲層315與保護層殘餘物355a被濕式蝕刻程序移除。接著，在儲存電極330的表面上，介電薄膜335與平板電極340被連續地形成以得到一電容器345。

其後，一形成有電晶體與電容器345之DRAM元件被傳統的半導體元件製造程序生產。

根據上述用以製造半導體元件之方法，保護層與由聚矽所形成並被以HSG矽層覆蓋之第二導電層藉由使用相同

(請先閱讀請背面之注意事項再填寫本頁)

訂

線

五、發明說明 (24)

的蝕刻設備與本發明相同的氣體蝕刻劑組成物被同時地回蝕。在回蝕程序期間，因為保護層與第二導電層以大致相似的蝕刻率，藉由具有聚矽/氧化矽選擇比接近1之數值的相同氣體蝕刻組成物而被同時地蝕刻，得到具有良好輪廓之平坦表面，如第4H圖所示。

結果，在第二導電層上被形成聚矽顆粒之分離可以被顯著地減少，以避免矽橋接現象之形成。

再者，在本發明中，因為由氧化矽所構成之保護層以及由聚矽所構成之第二導電層在單一程序中使用相同的蝕刻設備被同時地蝕刻，可以省略以不同的氣體蝕刻劑藉由分離的蝕刻設備來回蝕個別的保護層與第二導電層的分離程序，該程序係在傳統方法中被要求。因此，可以增進製造程序之效率，而增加製造輸出。

第5A至5F圖為例示一額外用以處理在第4D至4I圖中被例示之一半導體基材(晶圓)之一邊緣部分的微影程序之截面圖。

參考第5A圖並如第4D圖所示者，在形成由氧化矽材料所構成之犧牲層315之後，一光阻薄膜320在犧牲層315之表面上被形成。

參考第5B圖並如第4E圖所示者，光阻薄膜320經歷一傳統微影程序以形成用以在各單元晶胞中形成一孔之光阻圖案320a與320b。在此，被形成以主要佔據半導體基材之邊緣部分的光阻圖案320b在晶胞區域上被形成之光阻圖案320a的差別在於具有較大之尺寸。接著，藉由利用光阻圖

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

案320a與320b作為一蝕刻罩幕，犧牲層315被蝕刻以形成數個欲被用來最終形成一電容器之孔。在此，藉由在聚在邊緣部分上之光阻圖案320b，一犧牲層圖案315a在半導體基材之邊緣部分上被形成，其係在尺寸上比被形成在中心區域上之犧牲層315更大。

參考第5C並如第4F圖所示者，在藉由使用剝除與灰化程序來移除光阻圖案320a與320b之後，在接件370與第二絕緣間層360之共用表面上，以及在犧牲層315的整個表面上，一第二導電層375被形成。在此，第二導電層375亦在基材之表面部分上及在位於基材邊緣附近之犧牲層圖案315a上被形成。接著，一HSG矽層350在第二導電層375之表面上被形成。

參考第5D圖並如第4G圖所示者，在覆蓋第二導電層375之HSG矽層350的表面上，一保護層355以由使用低壓化學蒸氣法所構成之氧化矽之USG(位摻雜矽玻璃)而被形成。

參考第5E圖並如第4H圖所示，保護層355、第二導電層375、及HSG矽層350同時經歷一回蝕程序。由於回蝕程序，保護層被蝕刻而留下保護殘餘物355a，而具有圓柱形並由第二導電層圖案375a與HSG矽層圖案350a所組成之儲存電及330藉由蝕刻被形成在犧牲層315之頂部上的第二導電層375與HSG矽層350被形成。在此，如圖所示，基材邊緣之表面被一壓板物理地覆蓋(或被物理地遮蔽)。壓板被使用以避免基材邊緣與周邊部分在回蝕期間被暴露於乾式

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (26)

氣體蝕刻劑中。被押板覆蓋之基材部分，由L所示，從基材邊緣約為2mm。一般地，被使用之壓板由鋁或相似金屬製成，並為一具有平坦下部區域之圓環形狀，以完全地圍繞基材邊緣與接近邊緣之部分。

參考第5F圖，藉由使用緩衝氧化蝕刻劑(BOE)以完全地移除所有留在半導體基材270上的氧化矽，留在儲存電極330之井中的犧牲層315與保護層殘餘物355a被濕式蝕刻程序移除。在此，一部分位在接近於未被蝕刻程序蝕刻之基材邊緣處的犧牲層圖案315a留下犧牲層殘餘物315b。雖然，一濕式蝕刻程序呈現等向性蝕刻特性，但因為犧牲圖案315a的水平長度比其厚度更長，因此在濕式蝕刻程序之後留下的犧牲層殘餘物315b被觀察。

其後，參考第5G圖，在移除壓板600之後，一介電薄膜335並接著一平板電極340在儲存電極330之表面上被形成以得到一合成之電容器345。

如圖所示，皆由聚矽所構成並在半導體基材上被形成之第二導電層375b與HSG層350b目前藉由分別以保護殘餘物355b、介電薄膜335、及犧牲層殘餘物315a隔絕而其上部、側邊及下部分被隔絕。由於該隔絕的結果，因聚矽顆粒分離所造成的聚矽橋接之形成可以被避免。

在本發明中，一包含四氯化碳氣體與氮氣之乾式氣體蝕刻劑組成物被提供。當氣體被以適當的比例混合時，本發明之乾式蝕刻劑組成物可以被用來在回蝕程序期間以大致相似的蝕刻率同時地蝕刻聚矽與氧化矽。因此，由在經

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

高度整合之半導體基材上被形成之聚矽與氧化矽層所組成之複合層可以被有效地移除。在此，由於同時蝕刻聚矽與氧化矽，一具有良好輪廓之所得表面可以被得到，以使在欲被進行之移除複合層之後的後續製造程序可以更有效地進行。

特別地，在製造一供半導體元件用之程序期間，當本發明之乾式蝕刻劑組成物被用來回蝕由一聚矽所構成之導電層以及一由氧化矽材料所構成之氧化矽層所組成的複合層，欲用來形成儲存電極之具有良好表面輪廓的聚矽圖案可以被得到。此類輪廓的實現避免在後續程序中因聚矽顆粒分離而造成的聚矽橋接之形成。特別地，在使用供增加儲存電極之有效面積用之HSG的製造程序中，在儲存電極圖案表面上被形成之HSG聚矽顆粒的分離可以被顯著地減少。

再者，藉由分離的蝕刻設備以不同的氣體蝕刻劑來單獨地回蝕保護層與導電層的傳統方法現在可以藉由使用本發明相同的氣體蝕刻劑組成物在一單一的步驟程序中被進行。因此，能夠增加製造程序的效率與製造輸出。

根據本發明所提供之製造半導體元件的方法，藉由在蝕刻導電與保護層的回蝕程序期間使用一壓板來物理地覆蓋半導體基材邊緣，不再需要如傳統方法所要求之移除在基材邊緣上被形成之保護層的分離程序，其係用以最後移除在相同位置被形成聚矽。結果，傳統共同進行之光阻塗覆程序、曝光程序以及顯影程序與移除保護層之蝕刻程序

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (28)

可以被省略，因而增進半導體元件之製造輸出。

雖然本發明已參考其特定實施例而被特別地顯示與說明，熟習此技者將了解的是各種形式與細節的改變可以於其中實現，而不會背離如附呈申請專利範圍所界定之本發明的精神與範圍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

元件標號對照表

70	半導體基材	75	場氧化層
80	閘極氧化層	85	聚矽圖案
87	絕緣間層	89	位元線
90	絕緣層圖案	95	閘極電極
100	墊層	107	接觸孔
105	電晶體源極/汲極區域	115	犧牲層
115a	犧牲層圖案	120	光阻膜
120a	光阻圖案	125	孔
130	儲存電極	135	介電薄膜
140	平板電極	145	電容器
150	HSG矽層	150a	HSG矽層圖案
155	保護層	155a	保護層殘餘物
155b	周邊保護層	157	第二光阻膜
157a	光阻圖案	160	第二絕緣間層
165	第一導電層	170	接件
175	第二導電層	175a	第二導電層
270	半導體基材	275	場氧化層
280	閘極氧化層	285	聚矽圖案
290	絕緣膜圖案	295	閘極電極
300	墊層	305	源極/汲極區域
307	接觸孔	315	犧牲層
315a	犧牲層圖案	315b	犧牲層殘餘物

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (30)

- | | | | |
|------|---------|------|---------|
| 320 | 光阻膜 | 320a | 光阻圖案 |
| 320b | 光阻圖案 | 325 | 孔 |
| 330 | 儲存電極 | 335 | 介電薄膜 |
| 340 | 平板電極 | 345 | 電容器 |
| 350 | HSG矽層 | 350a | HSG矽層圖案 |
| 350b | HSG層 | 355 | 保護層 |
| 355a | 保護層殘餘物 | 355b | 保護殘餘物 |
| 365 | 第一導電層 | 360 | 絕緣間層 |
| 370 | 接件 | 375 | 第二導電層 |
| 375a | 第二導電層圖案 | 375b | 第二導電層 |
| 600 | 壓板 | | |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 氣體蝕刻劑組成物以及用以同時蝕刻氧化矽與聚矽之方法, 以及用之來製造半導體元件之方法)

本發明揭露一種氣體蝕刻劑組成物以及用以以大致相似的蝕刻率來同時地回蝕氧化矽與聚矽之方法, 以及用之來製造半導體元件之方法。欲被用來進行乾式蝕刻之氣體蝕刻劑組成物包含以25-40:1之比混合的四氯化碳氣體與氮氣, 而其對於聚矽與氧化矽之蝕刻率比為0.8-1.2:1。因為, 聚矽與氧化矽在一單一程序中被使用本發明之氣體蝕刻劑組成物之單一蝕刻設備蝕刻, 因此由聚矽與氧化矽所構成之複合層可以被有效地移除, 以得到一具有良好輪廓之所得表面。結果, 在後續製造程序中因聚矽顆粒之分離所造成的聚矽橋接之形成可以被避免。

英文發明摘要(發明之名稱: Gas Etchant Composition and Method for Simultaneously etching Silicon Oxide and Polysilicon, and Method for Manufacturing Semiconductor Device Using the Same)

A gas etchant composition and a method for simultaneously etching-back silicon oxide and polysilicon in substantially similar etching rate, and a method for manufacturing semiconductor device using the same are disclosed. The gas etchant composition to be utilized for dry-etching comprises carbon tetrafluoride gas and nitrogen gas mixed in a ratio of 25-40:1, while its etching rate ratio for polysilicon and silicon oxide is 0.8-1.2:1. Because, polysilicon and silicon oxide are simultaneously etched by a single etching equipment utilizing the gas etchant composition of the present invention in a single process, a composite layer being constituted with both polysilicon and silicon oxide can be effectively removed to obtain a resulting surface having a good profile. As a result, the formation of polysilicon bridge caused by the detachments of polysilicon particles in the subsequent manufacturing processes can be prevented.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

第89103398號專利申請案申請專利範圍修正本

修正日期：90年8月

1. 一種乾式蝕刻氣體蝕刻劑組成物，其係包含四氯化碳氣體與氮氣並用以在回蝕程序期間同時地蝕刻聚矽與氧化矽，其中四氯化碳氣體與氮氣之體積混合比約為25-40：1。
2. 如申請專利範圍第1項之乾式蝕刻氣體蝕刻劑組成物，其中聚矽與氧化矽之蝕刻率比約為0.8-1.2：1。
3. 一種用以蝕刻聚矽與氧化物材料之蝕刻方法，其中在一基材上被形成聚矽與近處的氧化矽藉由使用相同的氣體蝕刻劑組成物被同時地蝕刻，其中該氣體蝕刻劑組成物含有呈一為約25-40：1之混合比例的四氯化碳氣體與氮氣。
4. 如申請專利範圍第3項之用以蝕刻聚矽與氧化矽材料之蝕刻方法，其中聚矽與氧化矽之蝕刻率比約為0.8-1.2：1。
5. 如申請專利範圍第3項之用以蝕刻聚矽與氧化矽材料之蝕刻方法，其中包含四氯化碳與氮氣之混合氣體蝕刻劑在約5-20 mTorr的壓力下被使用。
6. 如申請專利範圍第3項之用以蝕刻聚矽與氧化矽材料之蝕刻方法，其中聚矽具有一層在該層上被形成有HSG聚矽層之重複似齒狀的突起與凹入處結構。
7. 如申請專利範圍第6項之用以蝕刻聚矽與氧化矽材料之蝕刻方法，其中氧化矽填滿凹入處以得到一平坦化

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

表面。

8. 一種製造電容器之方法，係包含下列步驟：

一在半導體基材上形成一絕緣層，其中該絕緣層具有一欲被界定成一晶胞單元之開口；

在該絕緣層之一表面、該開口之一內部表面、及被該開口暴露出來之一底層之一表面上形成一在該開口上被形成有一井並具有一連續聚矽結構之第一導電層；

形成一由氧化矽所組成之保護層以填滿該第一導電層之井；

藉由以大致相似的蝕刻率同時地回蝕該保護層與該第一導電層直到該絕緣層之一上部部分被暴露出來後才形成一以晶胞單元所界定之第一導電圖案；

移除該絕緣層與在該回蝕程序之後來自該保護層的殘餘物；以及

在該第一導電層上形成一介電薄膜與一第二導電層以形成一電容器。

9. 如申請專利範圍第8項之製造電容器之方法，其中該第一導電層與該保護層在約5-20 mTorr的壓力下被包含四氯化碳氣體與氮氣之混合氣體蝕刻劑蝕刻。
10. 如申請專利範圍第9項之製造電容器之方法，其中四氯化碳氣體與氮氣之混合比約為25-40：1。
11. 如申請專利範圍第8項之製造電容器之方法，其係進一步包含在該第一導電層之一表面上形成HSG聚矽層之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

步驟。

12. 如申請專利範圍第8項之製造電容器之方法，其係進一步包含物理覆蓋該半導體基材之一邊緣以保護在該等邊緣上被形成之該第一導電層與該保護層在回蝕程序期間免於被氣體蝕刻劑蝕刻之步驟。

13. 如申請專利範圍第12項之製造電容器之方法，其中該物理覆蓋該半導體邊緣之步驟藉由提供一壓板而被實現。

14. 一種製造電容器之方法，其係包含下列步驟：

在一半導體基材上形成一絕緣層，其中該絕緣層具有一欲被界定成晶胞單元之開口；

在該絕緣層之一表面、該開口之一內部表面、及被該開口暴露出來之一底層之一表面上形成一在該開口上被形成有一井並具有一連續聚矽結構之第一導電層；

形成一由氧化矽所組成之保護層以填滿在該第一導電層中之井；

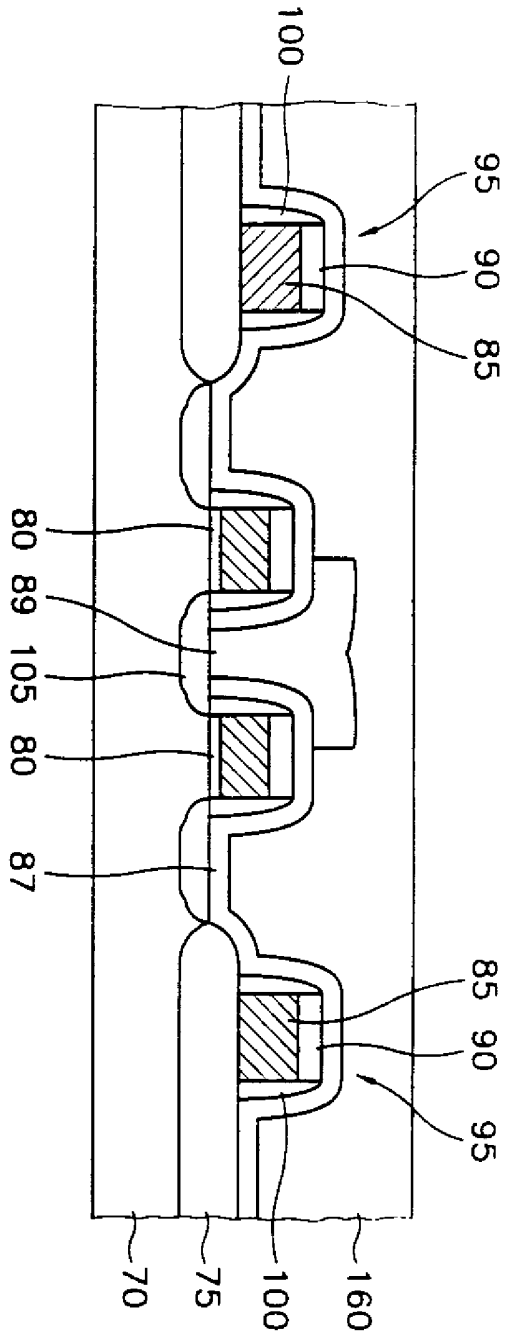
藉由回蝕該保護層與該第一導電層直到該絕緣層之一上部部分被暴露出來後才形成一以晶胞單元所界定之第一導電圖案，並同時物理覆蓋該半導體基材之一邊緣；

移除該絕緣層與在該回蝕程序之後來自該保護層的殘餘物；以及

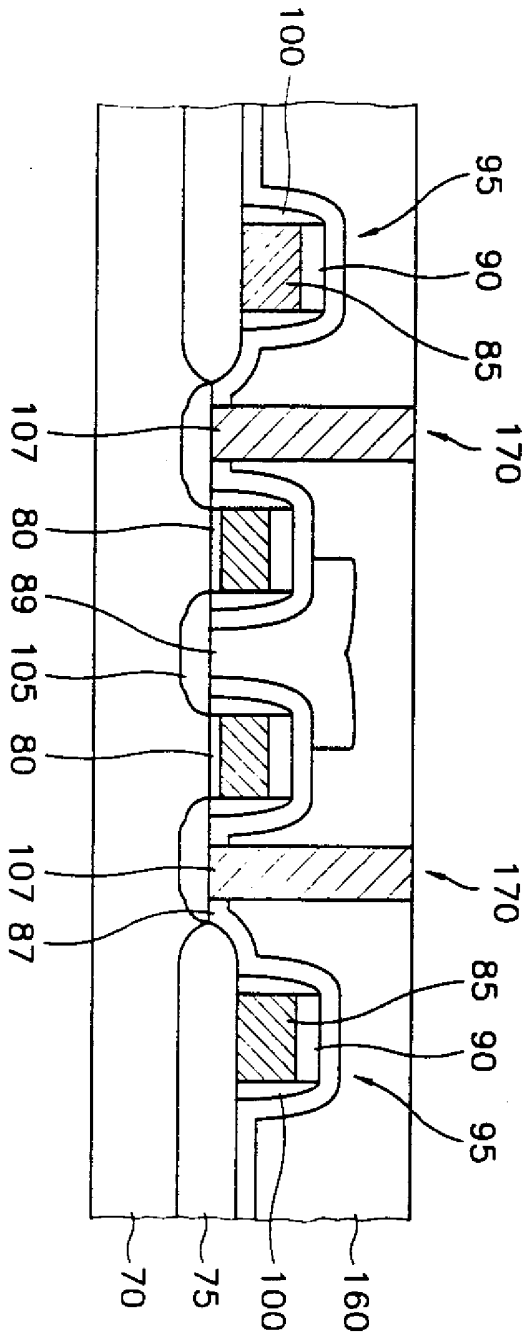
在該第一導電層上形成一介電薄膜與一第二導電

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

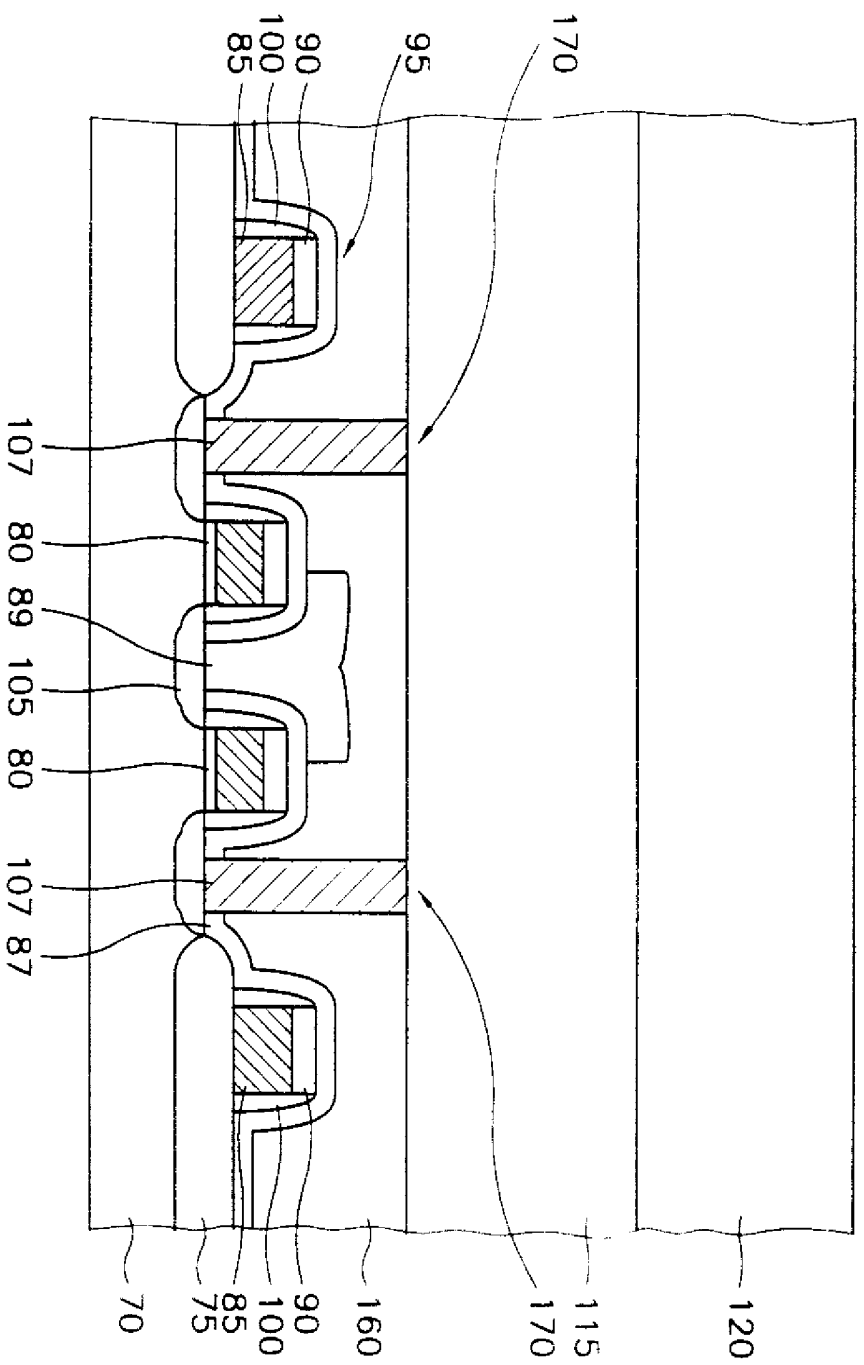


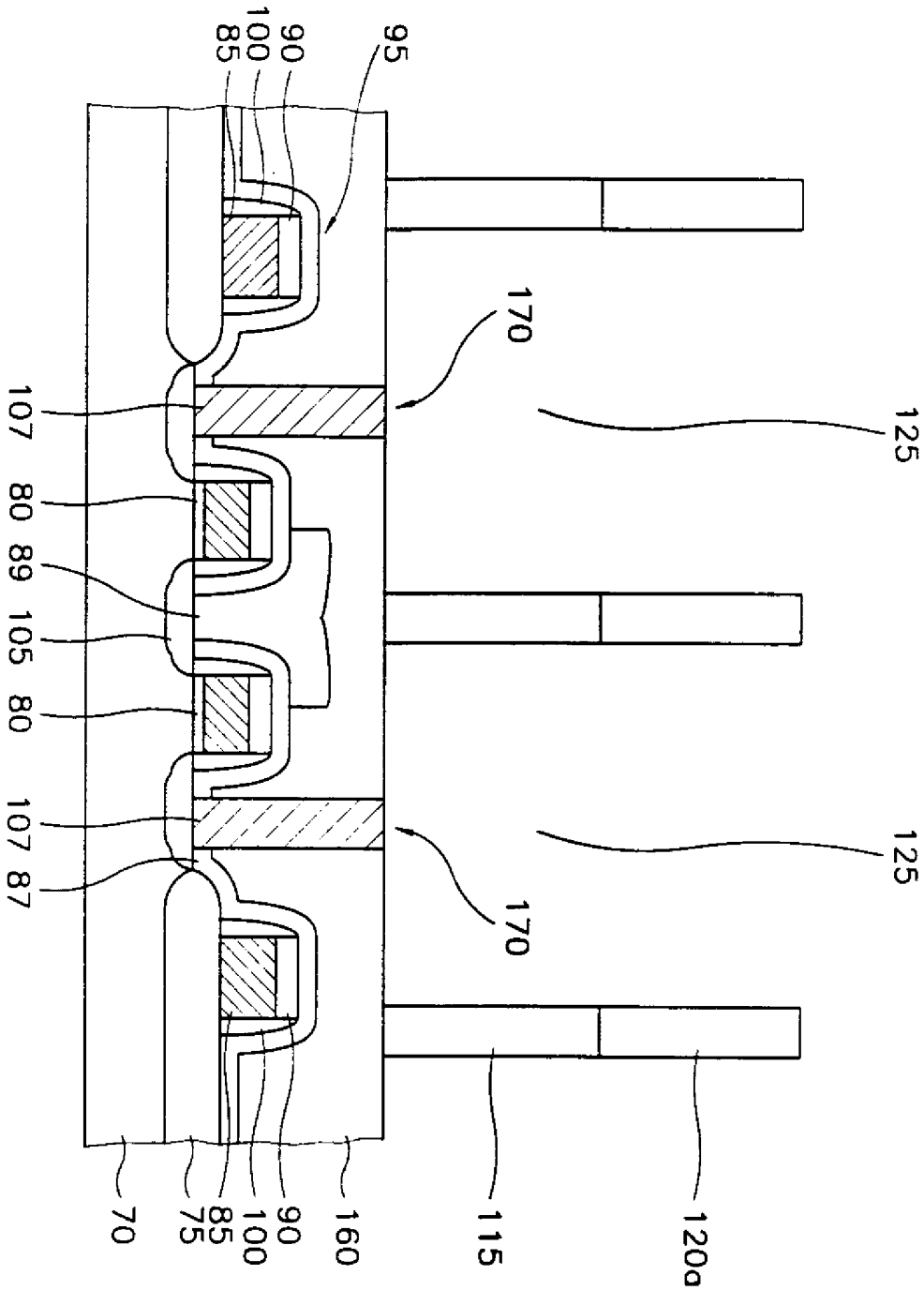
第1A圖
(習知技藝)



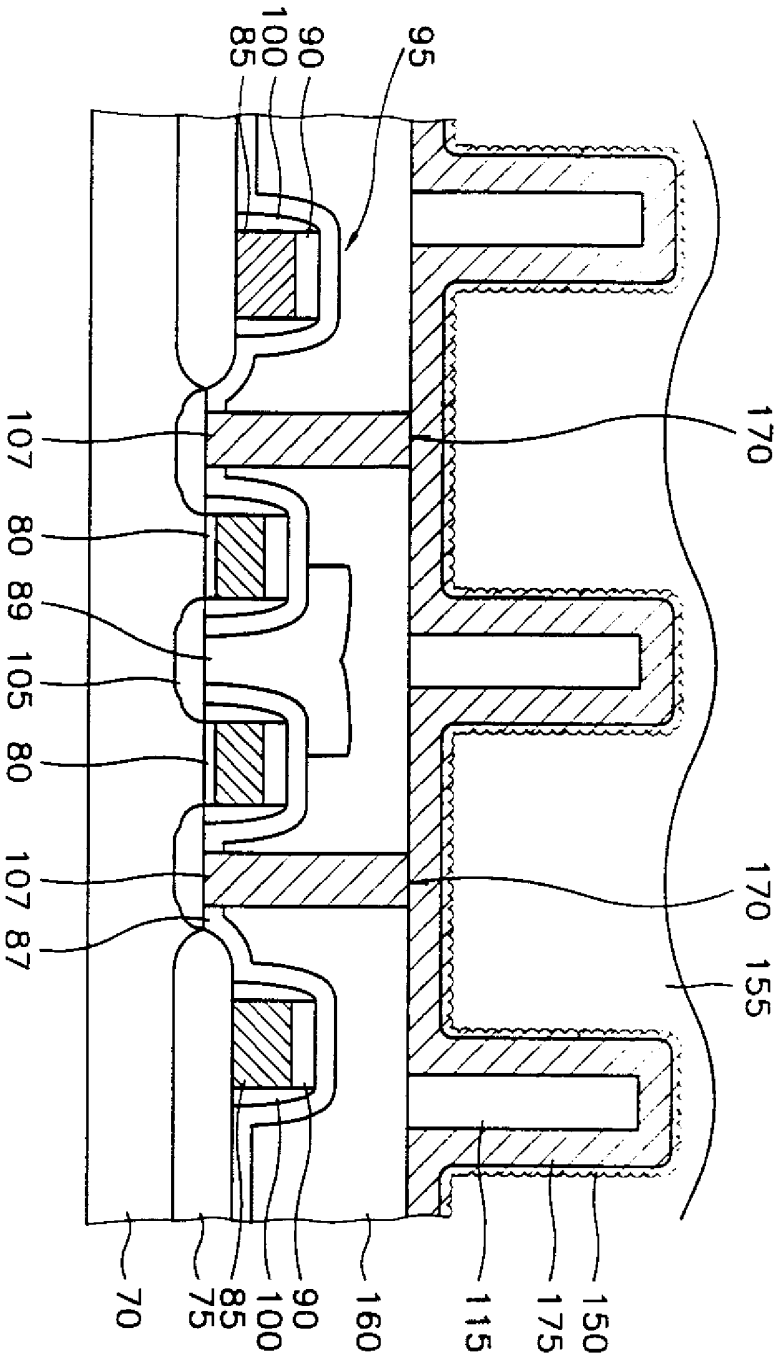
第 1C 圖
(習知技藝)

第 1D 圖
(習知技藝)



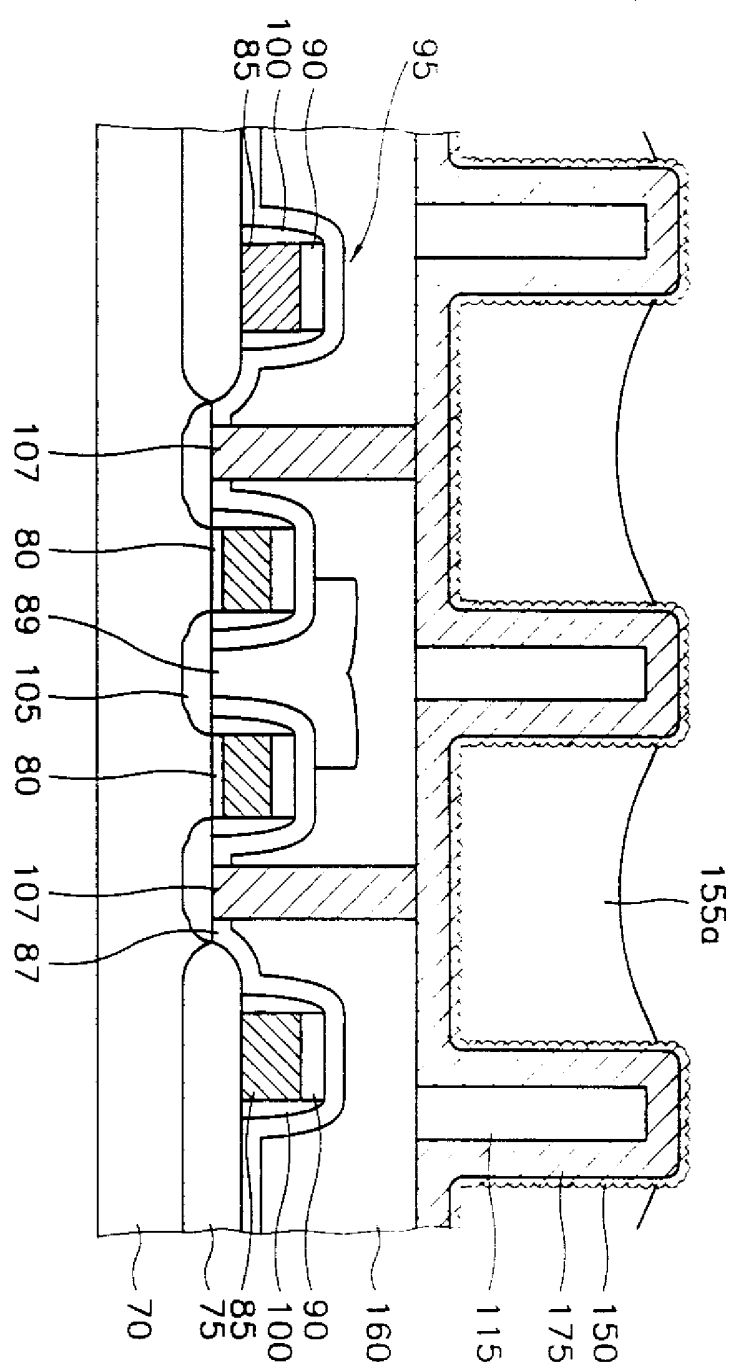


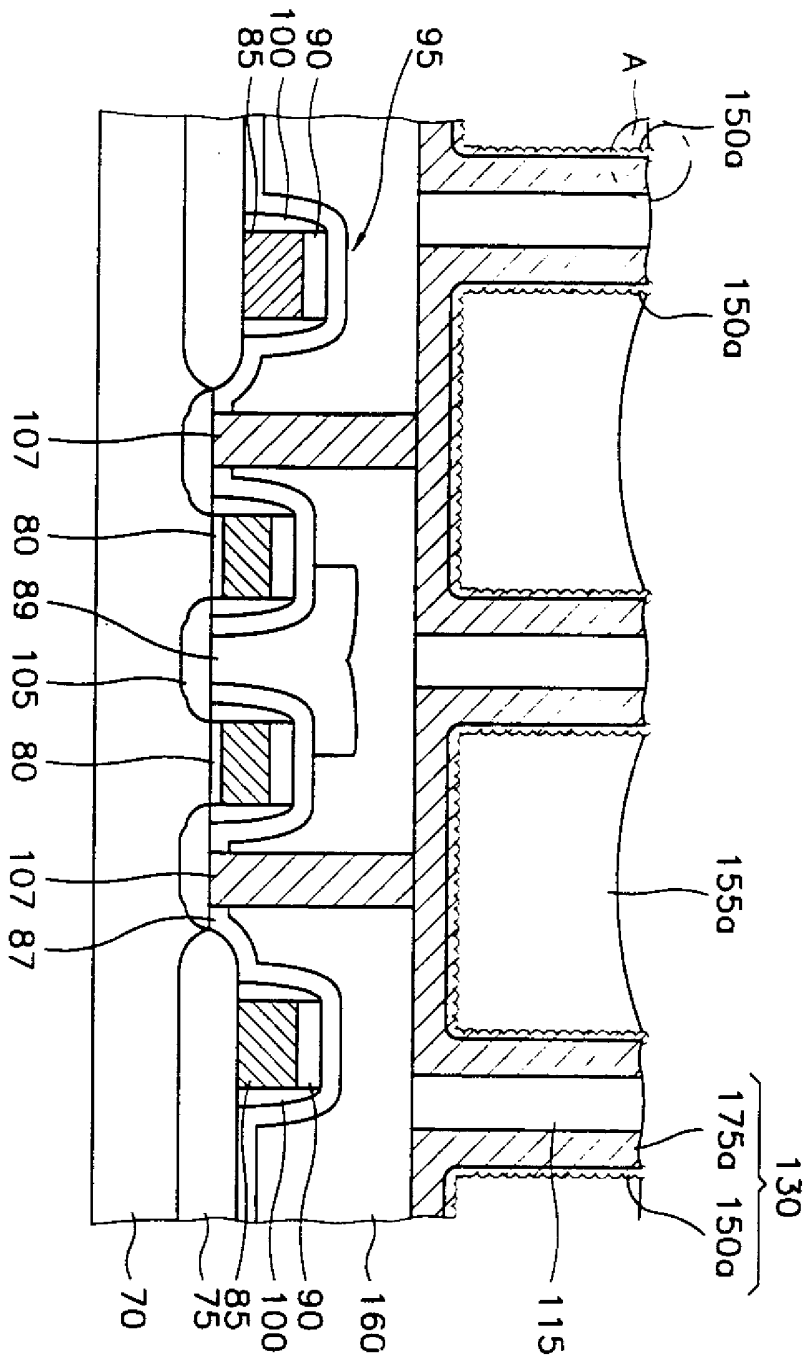
第1E圖
(習知技藝)



第 1G 圖
(習知技藝)

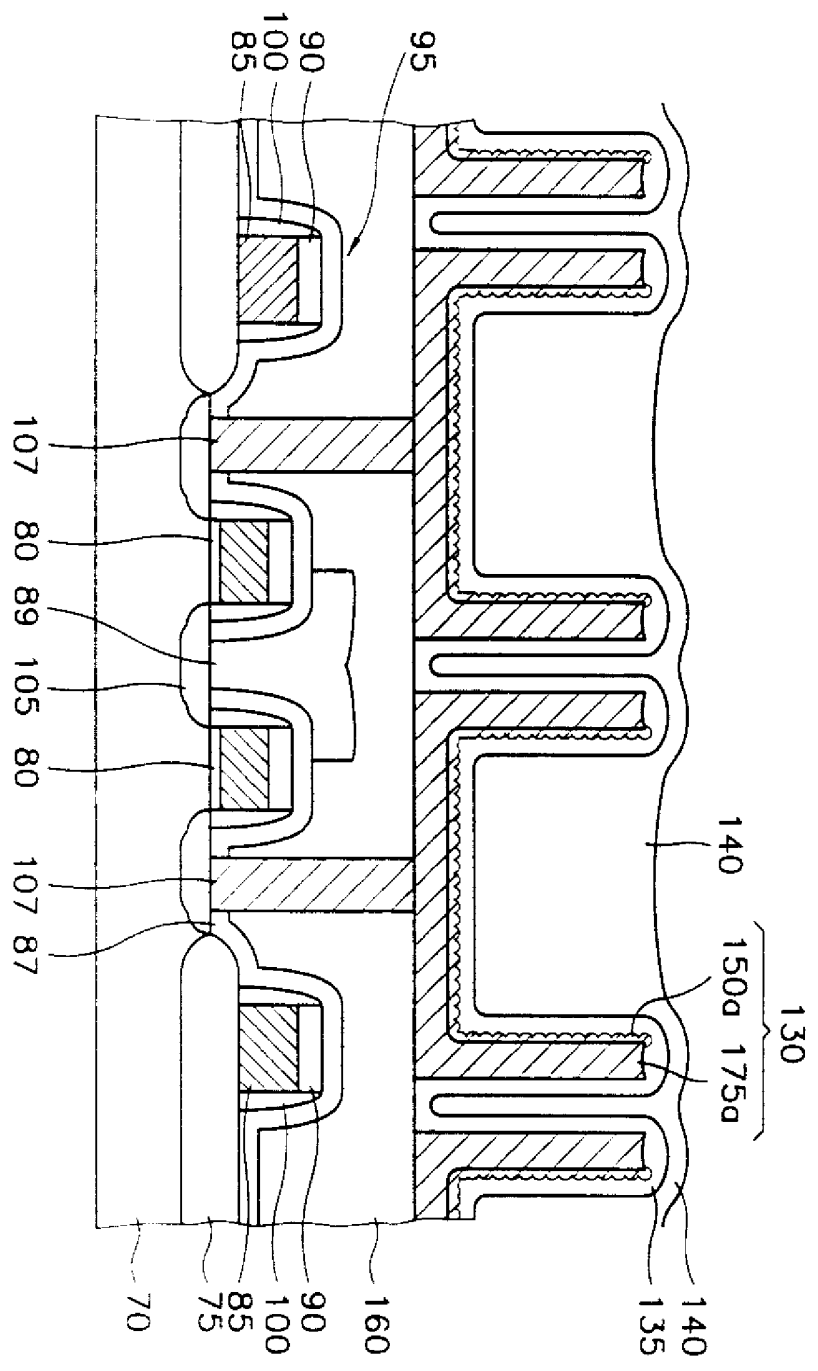
第1H圖
(習知技藝)

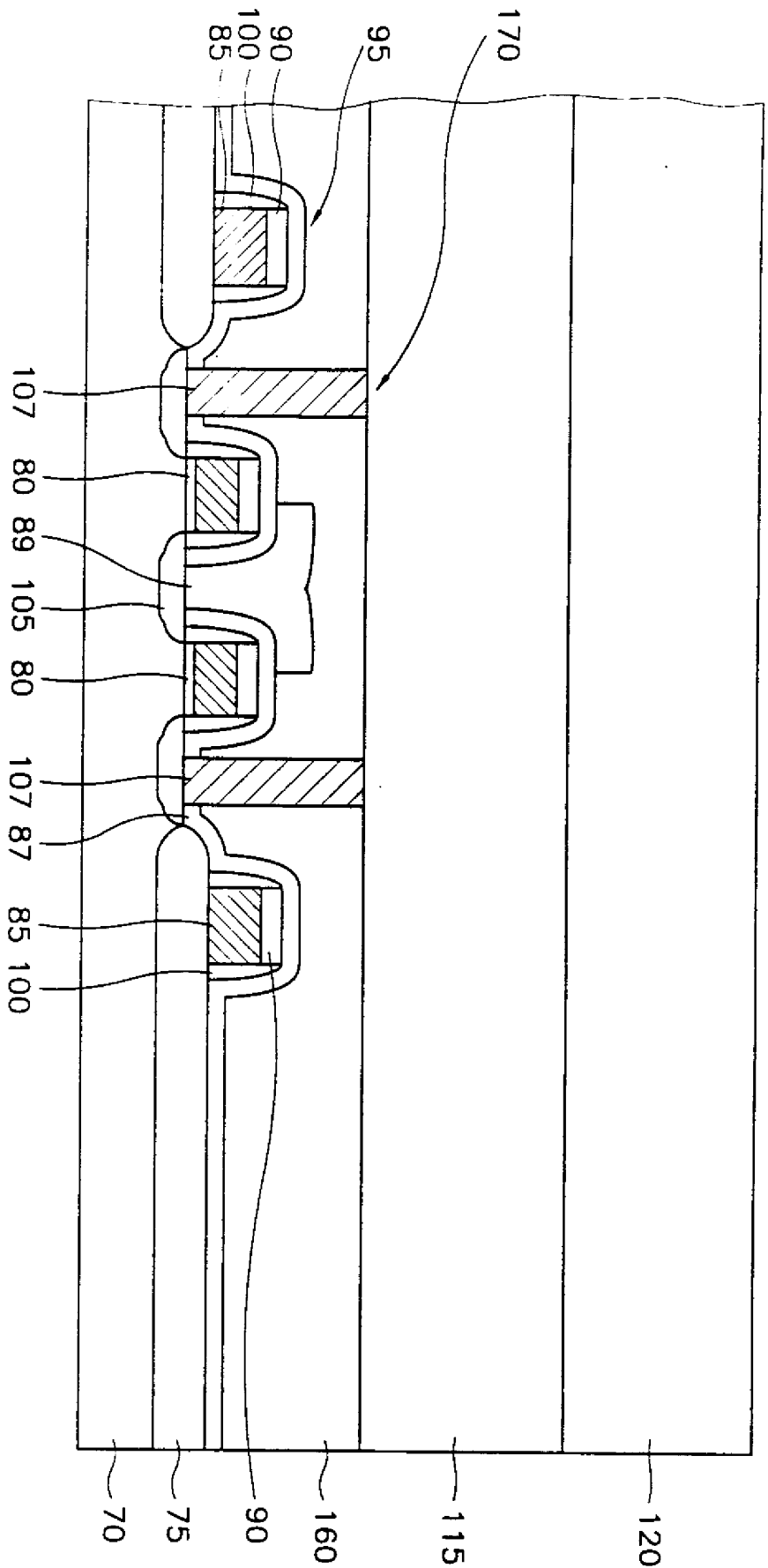




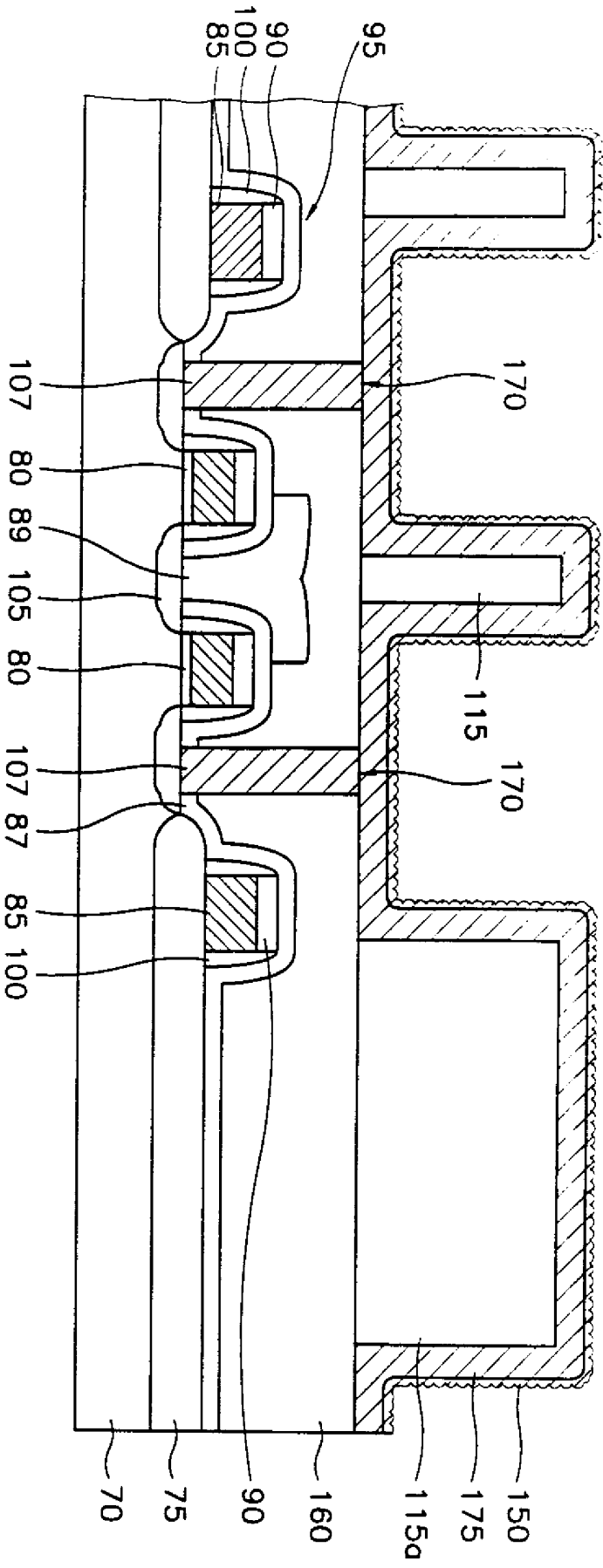
第 11 圖
(習知技藝)

第 1J 圖
(習知技藝)



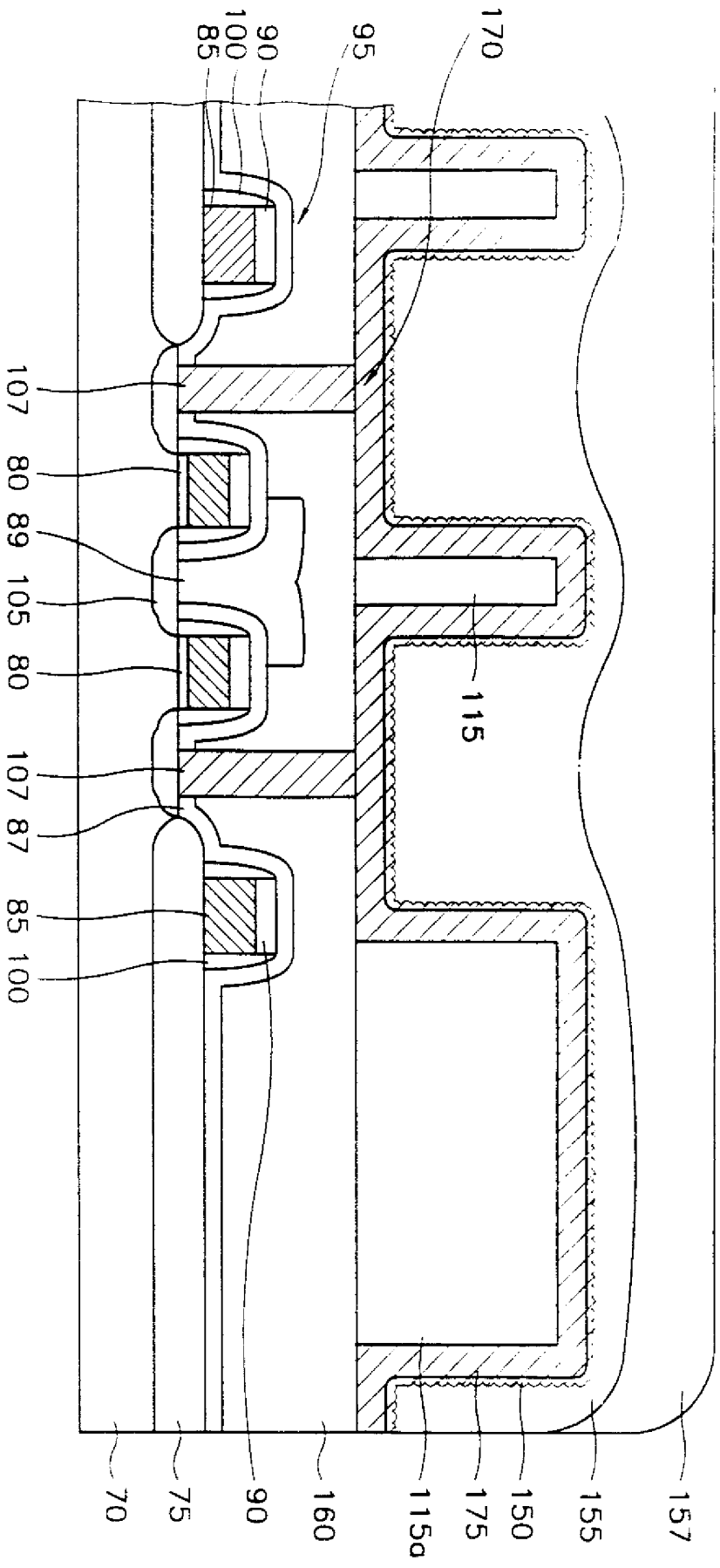


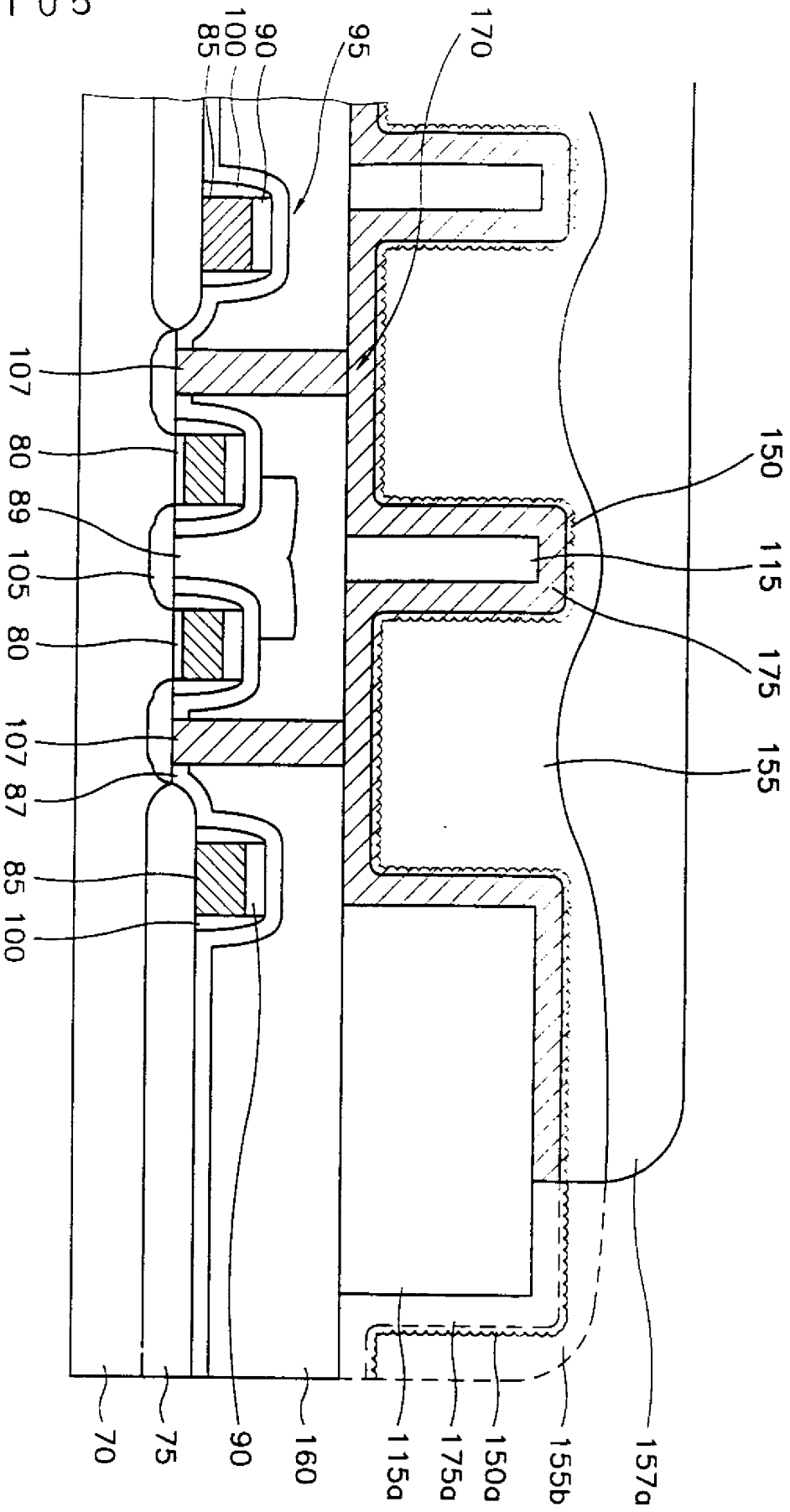
第 2A 圖
(習知技藝)



第 2C 圖
(習知技藝)

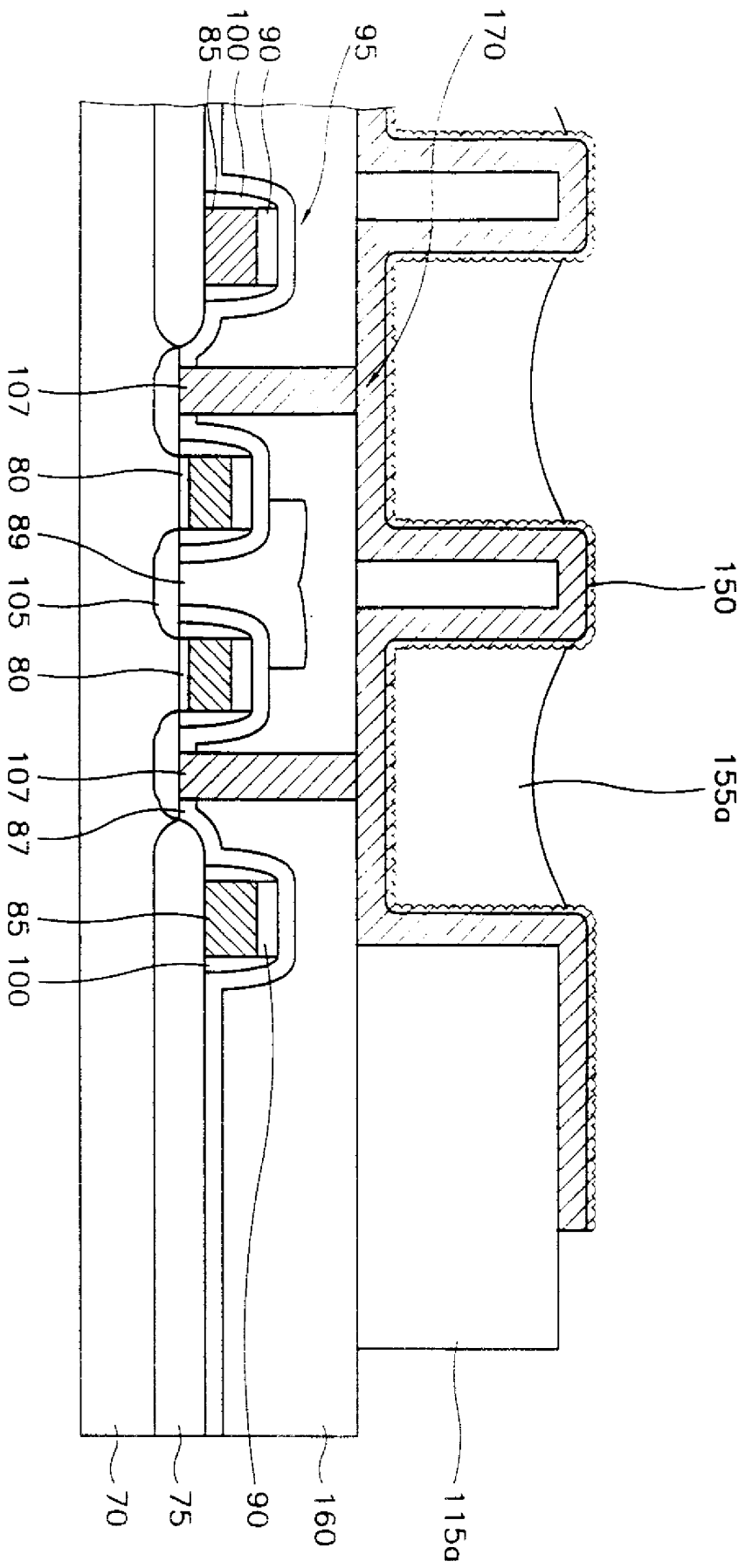
第 2D 圖
(習知技藝)

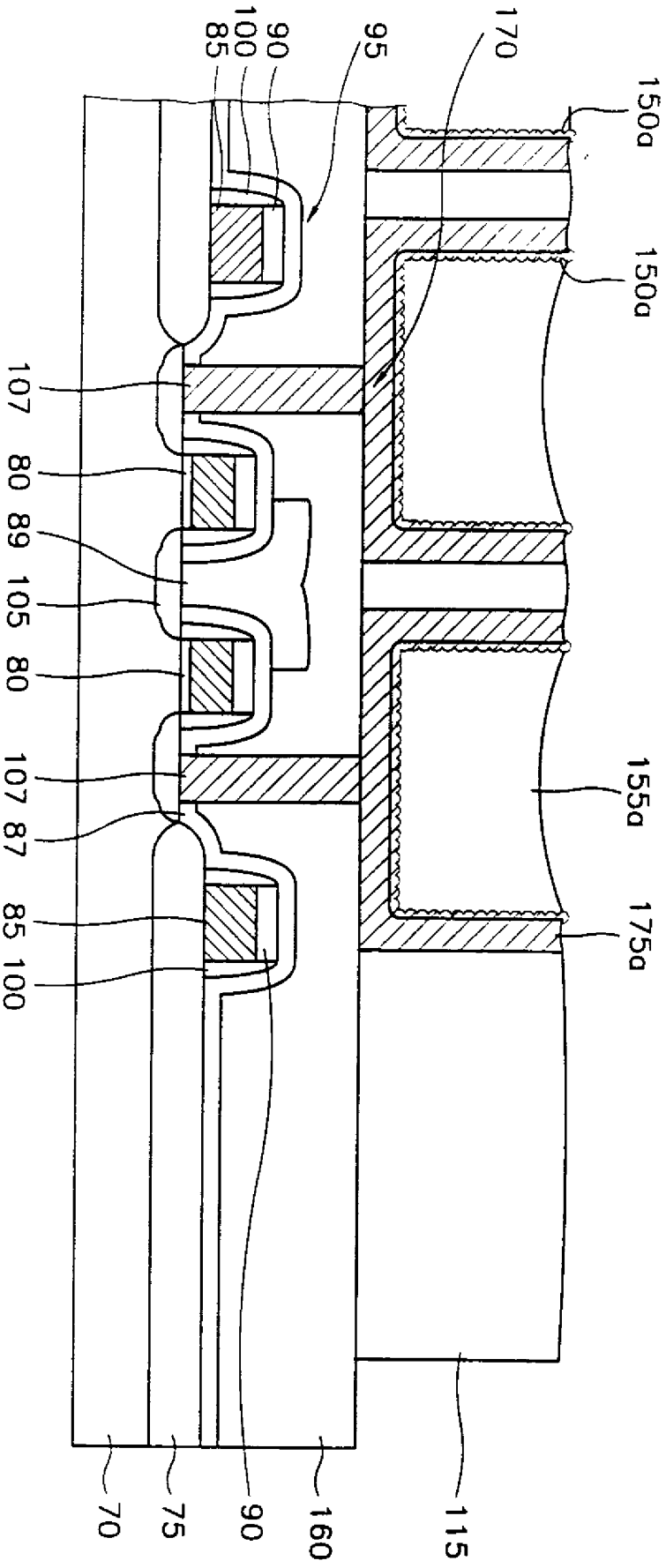




第2E圖
(習知技藝)

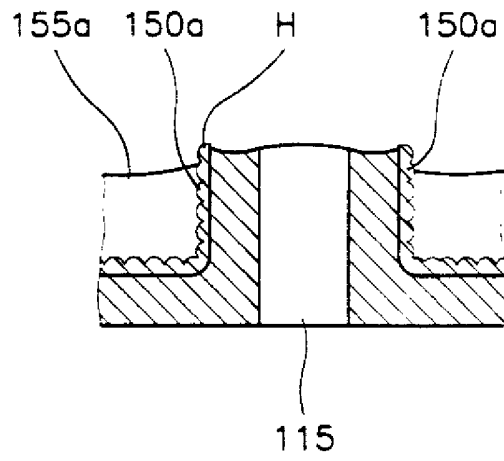
第 2F 圖
(習知技藝)



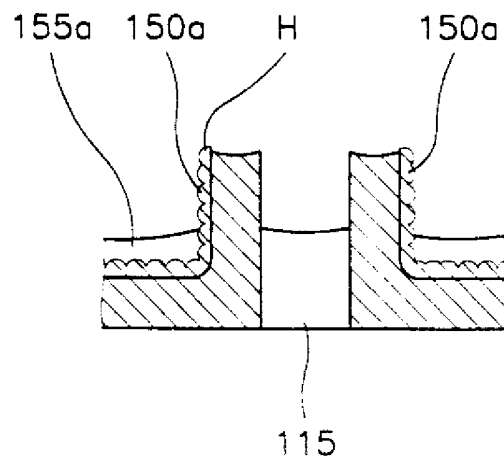


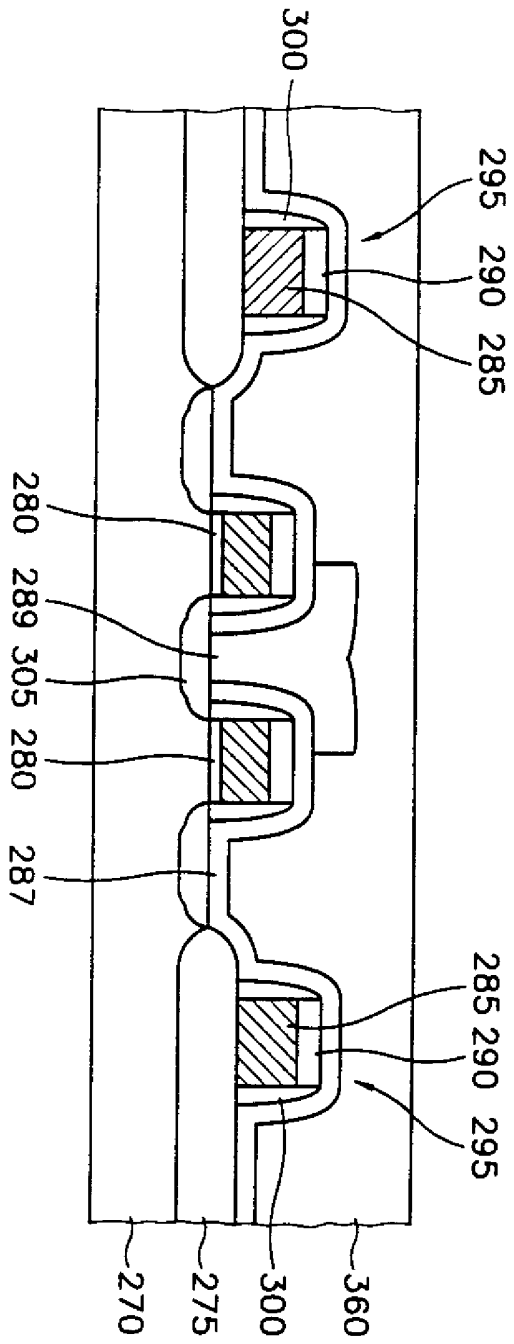
第 2G 圖
(習知技藝)

第3A圖
(習知技藝)



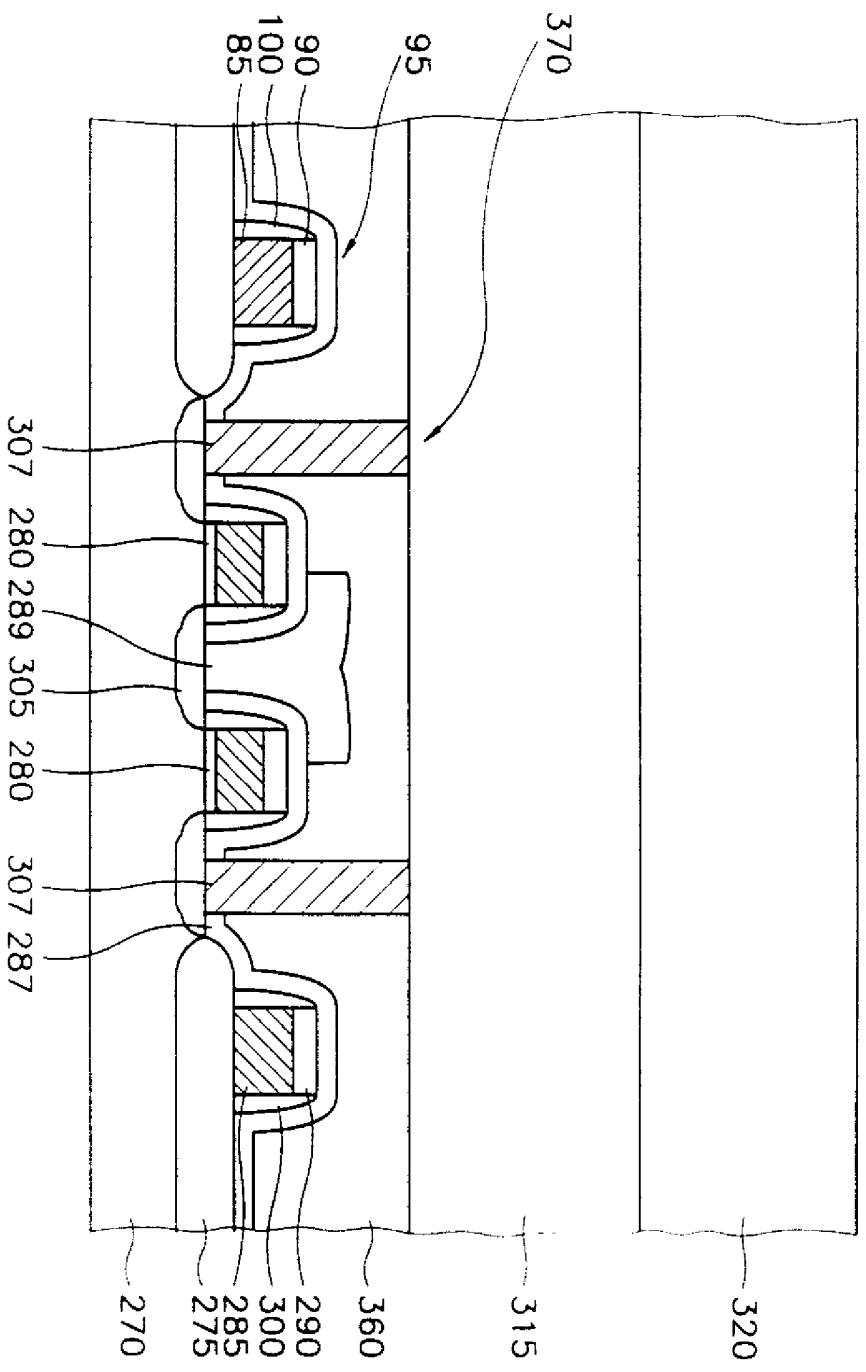
第3B圖
(習知技藝)



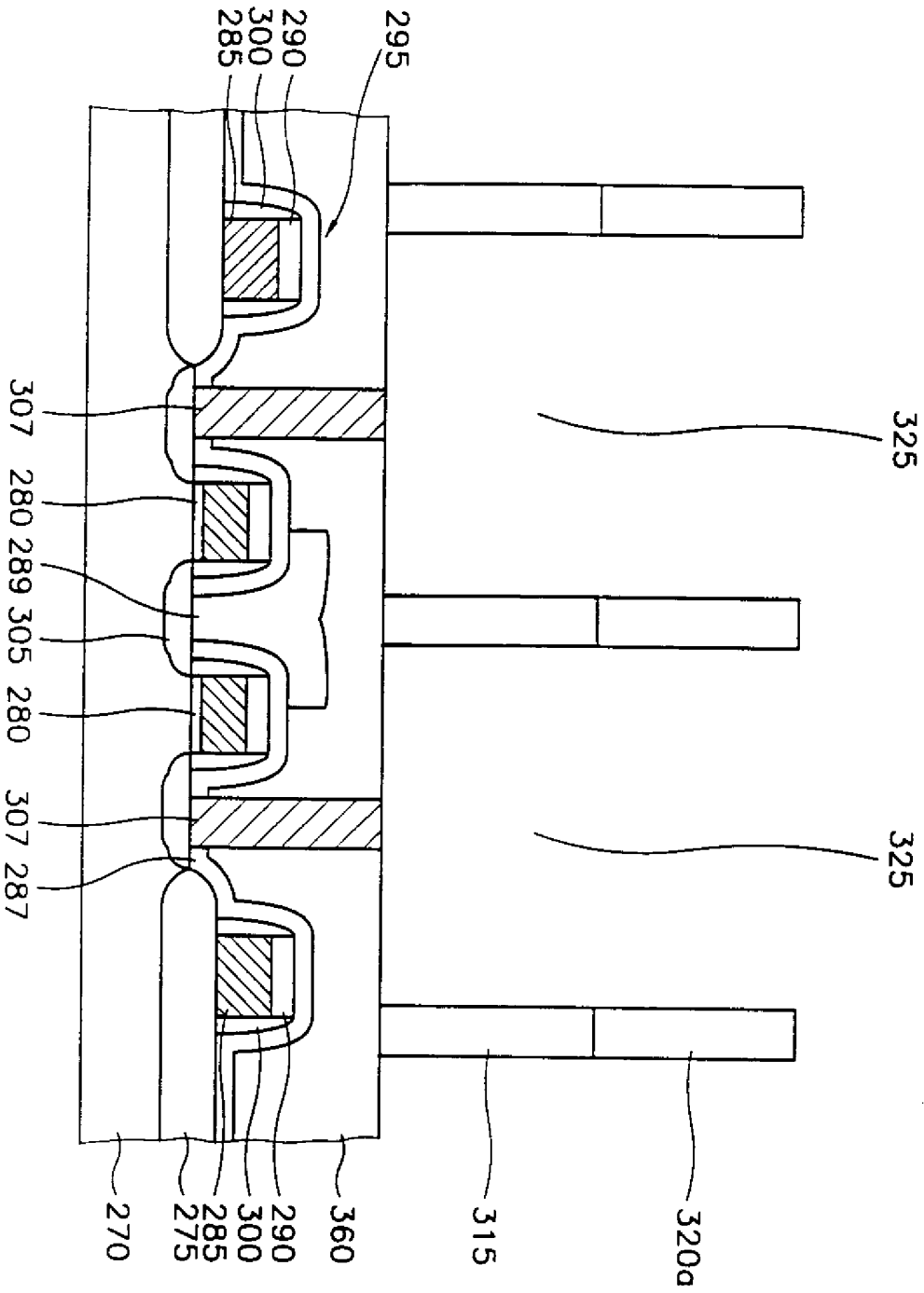


第 4A 圖

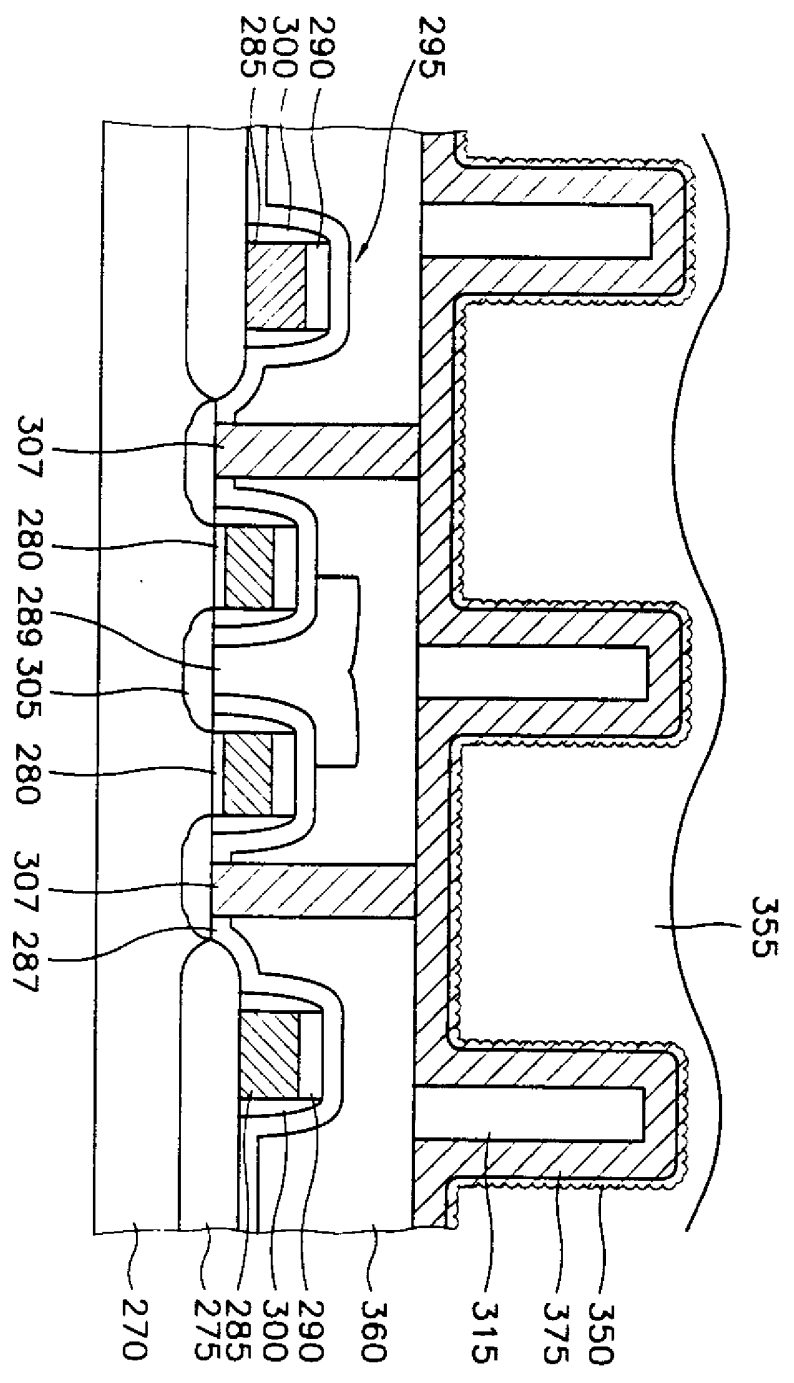
第 4D 圖



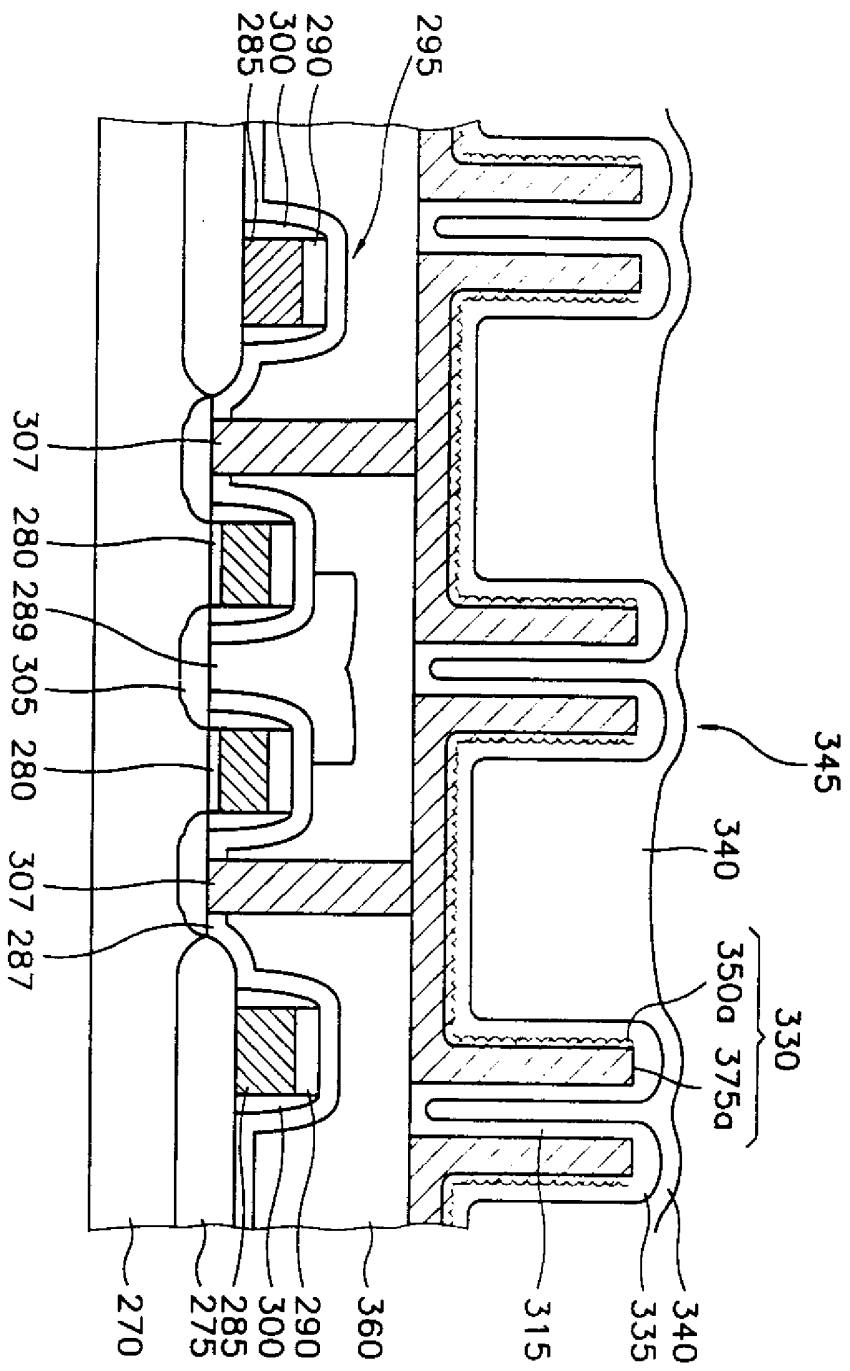
第4E圖

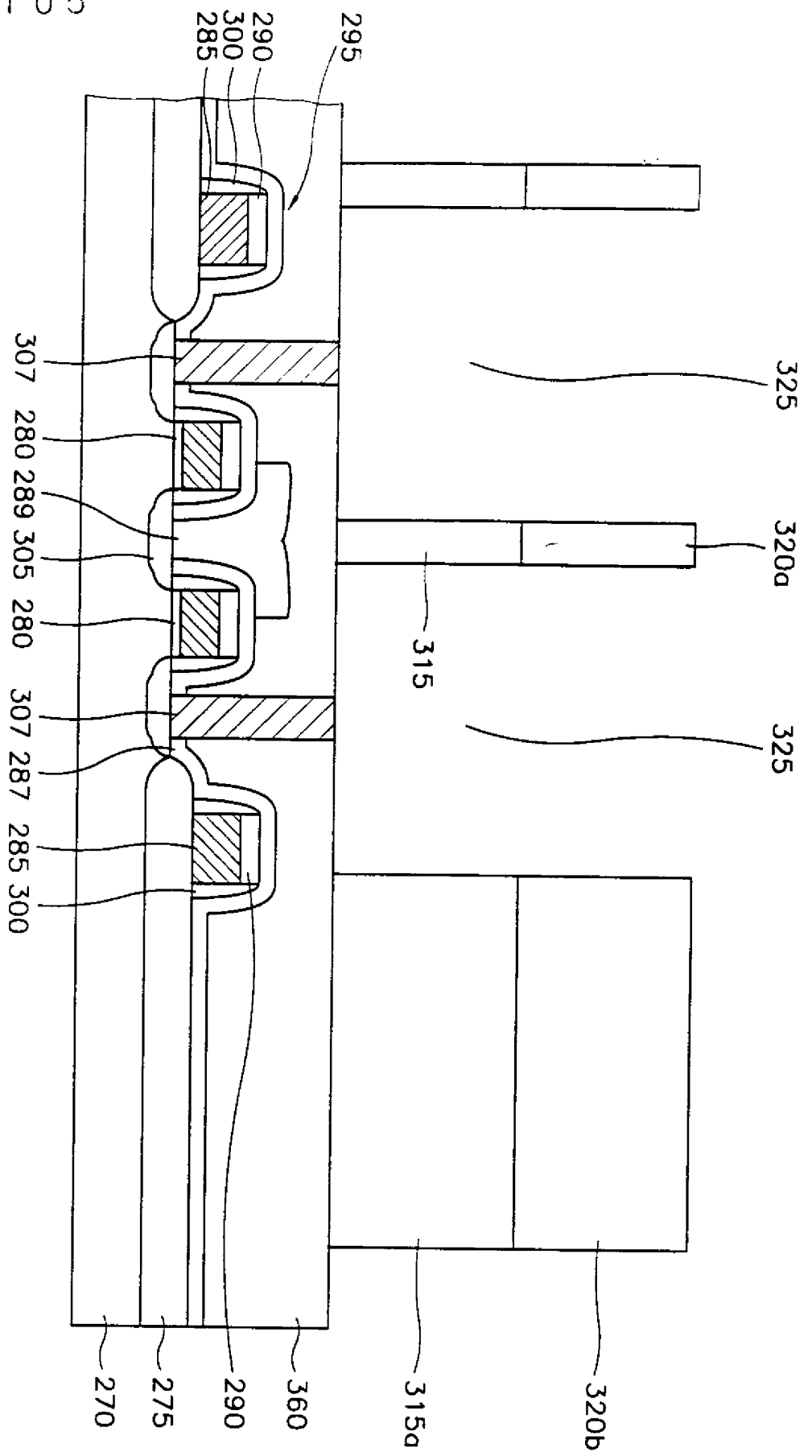


第 4G 圖



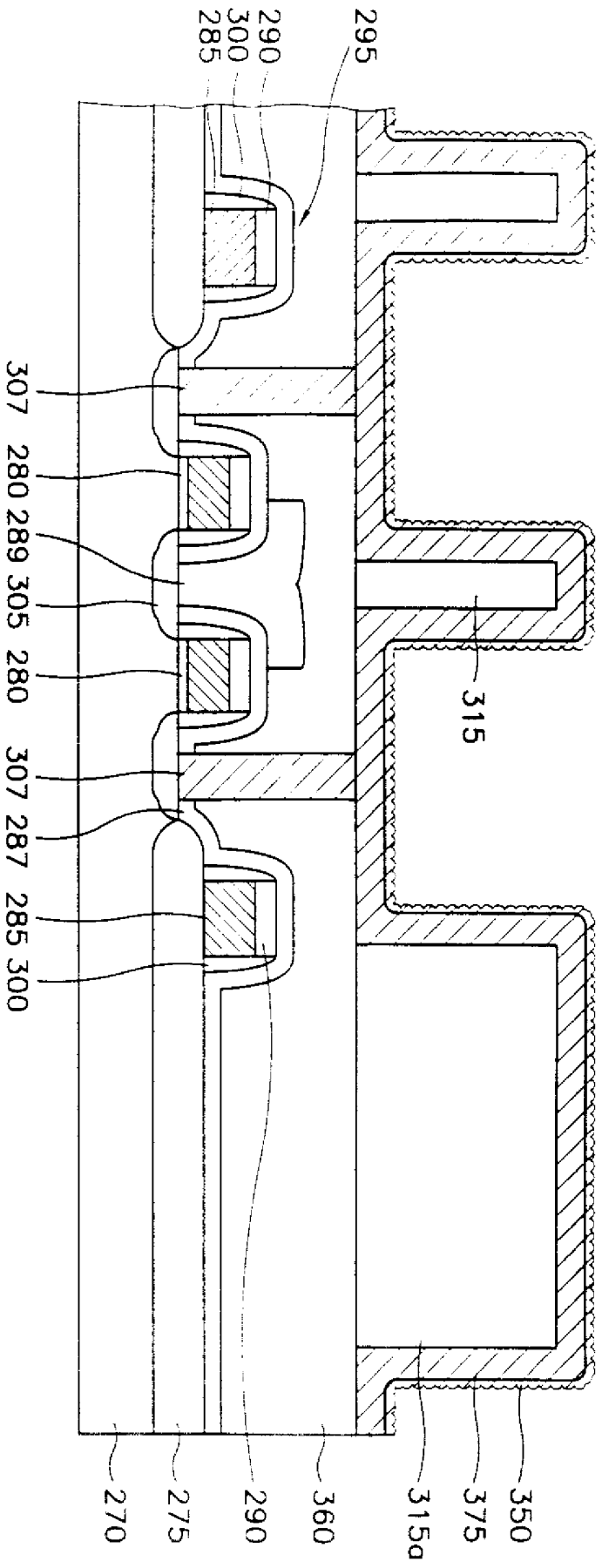
第 41 圖

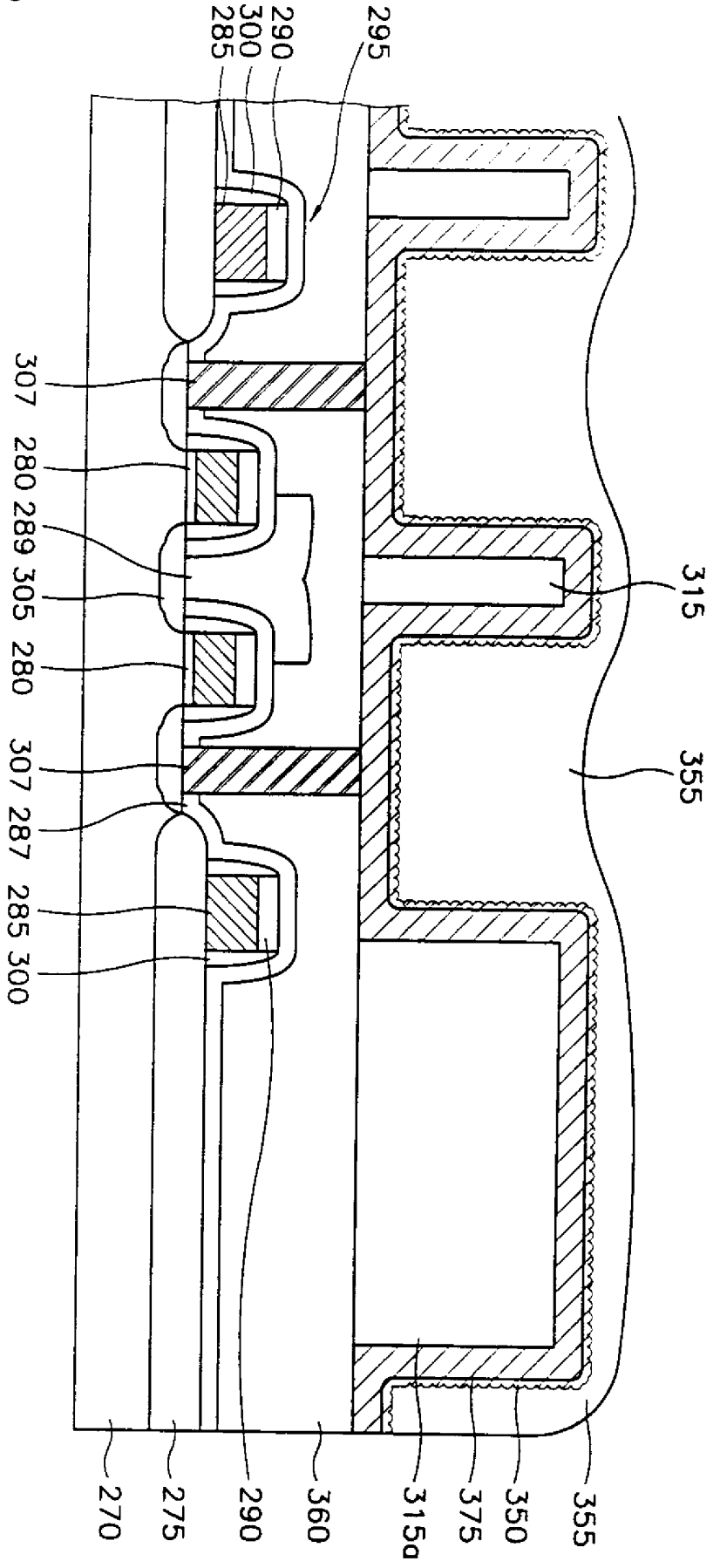




第 5B 圖

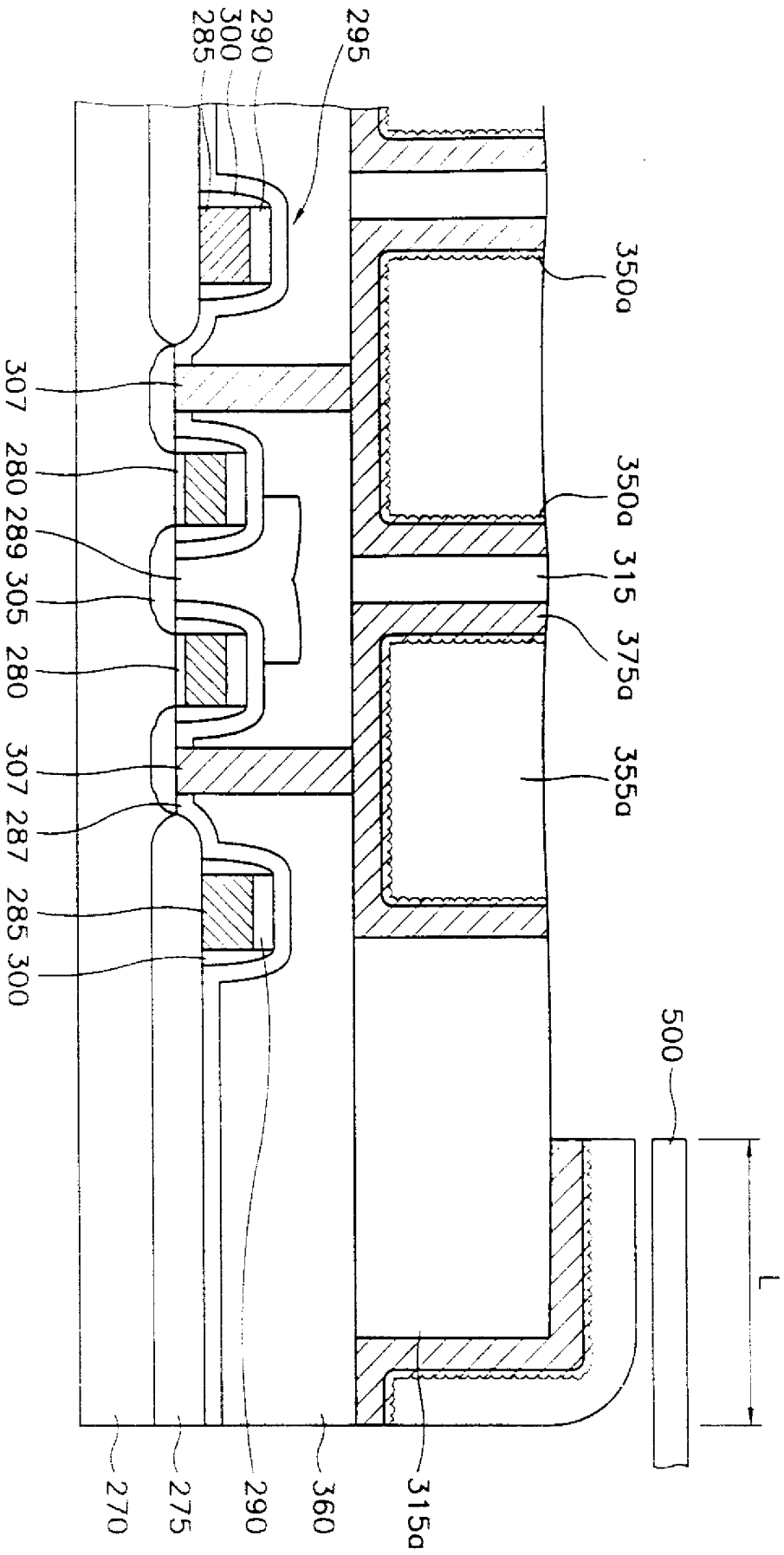
第 5C 圖

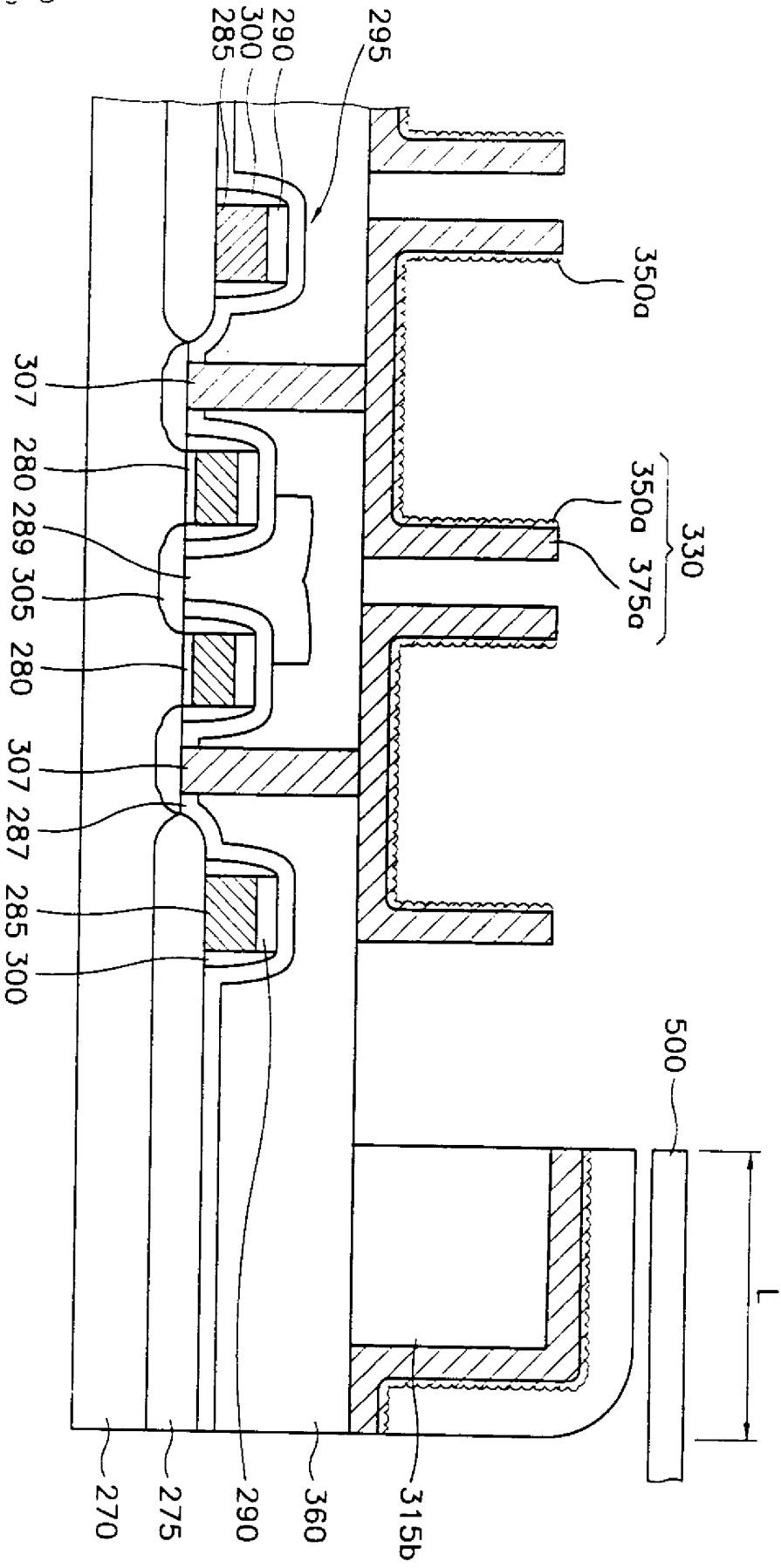




第 5D 圖

第 5E 圖





第 5F 圖

六、申請專利範圍

第89103398號專利申請案申請專利範圍修正本

修正日期：90年8月

1. 一種乾式蝕刻氣體蝕刻劑組成物，其係包含四氯化碳氣體與氮氣並用以在回蝕程序期間同時地蝕刻聚矽與氧化矽，其中四氯化碳氣體與氮氣之體積混合比約為25-40：1。
2. 如申請專利範圍第1項之乾式蝕刻氣體蝕刻劑組成物，其中聚矽與氧化矽之蝕刻率比約為0.8-1.2：1。
3. 一種用以蝕刻聚矽與氧化物材料之蝕刻方法，其中在一基材上被形成聚矽與近處的氧化矽藉由使用相同的氣體蝕刻劑組成物被同時地蝕刻，其中該氣體蝕刻劑組成物含有呈一為約25-40：1之混合比例的四氯化碳氣體與氮氣。
4. 如申請專利範圍第3項之用以蝕刻聚矽與氧化矽材料之蝕刻方法，其中聚矽與氧化矽之蝕刻率比約為0.8-1.2：1。
5. 如申請專利範圍第3項之用以蝕刻聚矽與氧化矽材料之蝕刻方法，其中包含四氯化碳與氮氣之混合氣體蝕刻劑在約5-20 mTorr的壓力下被使用。
6. 如申請專利範圍第3項之用以蝕刻聚矽與氧化矽材料之蝕刻方法，其中聚矽具有一層在該層上被形成有HSG聚矽層之重複似齒狀的突起與凹入處結構。
7. 如申請專利範圍第6項之用以蝕刻聚矽與氧化矽材料之蝕刻方法，其中氧化矽填滿凹入處以得到一平坦化

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

表面。

8. 一種製造電容器之方法，係包含下列步驟：

一在半導體基材上形成一絕緣層，其中該絕緣層具有一欲被界定成一晶胞單元之開口；

在該絕緣層之一表面、該開口之一內部表面、及被該開口暴露出來之一底層之一表面上形成一在該開口上被形成有一井並具有一連續聚矽結構之第一導電層；

形成一由氧化矽所組成之保護層以填滿該第一導電層之井；

藉由以大致相似的蝕刻率同時地回蝕該保護層與該第一導電層直到該絕緣層之一上部部分被暴露出來後才形成一以晶胞單元所界定之第一導電圖案；

移除該絕緣層與在該回蝕程序之後來自該保護層的殘餘物；以及

在該第一導電層上形成一介電薄膜與一第二導電層以形成一電容器。

9. 如申請專利範圍第8項之製造電容器之方法，其中該第一導電層與該保護層在約5-20 mTorr的壓力下被包含四氯化碳氣體與氮氣之混合氣體蝕刻劑蝕刻。
10. 如申請專利範圍第9項之製造電容器之方法，其中四氯化碳氣體與氮氣之混合比約為25-40：1。
11. 如申請專利範圍第8項之製造電容器之方法，其係進一步包含在該第一導電層之一表面上形成HSG聚矽層之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

步驟。

12. 如申請專利範圍第8項之製造電容器之方法，其係進一步包含物理覆蓋該半導體基材之一邊緣以保護在該等邊緣上被形成之該第一導電層與該保護層在回蝕程序期間免於被氣體蝕刻劑蝕刻之步驟。

13. 如申請專利範圍第12項之製造電容器之方法，其中該物理覆蓋該半導體邊緣之步驟藉由提供一壓板而被實現。

14. 一種製造電容器之方法，其係包含下列步驟：

在一半導體基材上形成一絕緣層，其中該絕緣層具有一欲被界定成晶胞單元之開口；

在該絕緣層之一表面、該開口之一內部表面、及被該開口暴露出來之一底層之一表面上形成一在該開口上被形成有一井並具有一連續聚矽結構之第一導電層；

形成一由氧化矽所組成之保護層以填滿在該第一導電層中之井；

藉由回蝕該保護層與該第一導電層直到該絕緣層之一上部部分被暴露出來後才形成一以晶胞單元所界定之第一導電圖案，並同時物理覆蓋該半導體基材之一邊緣；

移除該絕緣層與在該回蝕程序之後來自該保護層的殘餘物；以及

在該第一導電層上形成一介電薄膜與一第二導電

(請先閱讀背面之注意事項再填寫本頁)

表
訂
線

六、申請專利範圍

層以形成一電容器。

15. 如申請專利範圍第14項之製造電容器之方法，其中該第一導電層與該保護層被包含四氯化碳氣體與氮氣之混合氣體蝕刻劑組成物，以大致相似的蝕刻率同時地蝕刻。
16. 如申請專利範圍第14項之製造電容器之方法，其係進一步包含在該第一導電層之一表面上形成一HSG聚矽之步驟。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線