

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6227010号
(P6227010)

(45) 発行日 平成29年11月8日(2017.11.8)

(24) 登録日 平成29年10月20日(2017.10.20)

(51) Int.Cl.

F 1

HO1L 27/146	(2006.01)	HO1L 27/146	A
HO1L 27/06	(2006.01)	HO1L 27/06	F
HO1L 21/8232	(2006.01)	HO1L 21/265	F
HO1L 21/265	(2006.01)	HO4N 5/369	
HO4N 5/369	(2011.01)	HO1L 29/80	C

請求項の数 12 (全 21 頁) 最終頁に続く

(21) 出願番号	特願2015-554350 (P2015-554350)
(86) (22) 出願日	平成25年12月25日 (2013.12.25)
(86) 国際出願番号	PCT/JP2013/084566
(87) 国際公開番号	W02015/097771
(87) 国際公開日	平成27年7月2日 (2015.7.2)
審査請求日	平成28年12月16日 (2016.12.16)

(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(74) 代理人	100126240 弁理士 阿部 琢磨
(74) 代理人	100124442 弁理士 黒岩 創吾
(72) 発明者	篠原 真人 東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内
(72) 発明者	小林 昌弘 東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内

最終頁に続く

(54) 【発明の名称】撮像装置、撮像システム、および、撮像装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板に配された接合型電界効果トランジスタをそれぞれが含む複数の画素を備える撮像装置の製造方法であって、

第1の開口を規定する第1のマスクを用いて前記半導体基板に不純物を導入することにより、前記接合型電界効果トランジスタのゲート領域を形成する工程と、

第2の開口を規定する第2のマスクを用いて前記半導体基板に不純物を導入することにより、前記接合型電界効果トランジスタのチャネル領域を形成する工程と、を有し、

前記第2の開口は、前記チャネル領域のソース側の部分に対応するソース側部分と前記チャネル領域のドレイン側の部分に対応するドレイン側部分とを含み、

前記半導体基板の表面と平行な面への前記第1の開口の正射影と、前記面への前記第2の開口の正射影とが交差し、

前記面への前記ソース側部分の正射影、および、前記面への前記ドレイン側部分の正射影が、それぞれ、前記第1のマスクの前記面への正射影と重なり、

前記ゲート領域は、互いに異なる深さに形成される表面ゲート領域と埋め込みゲート領域とを含み、

前記ゲート領域を形成する工程は、それぞれが前記第1のマスクを用い、かつ、イオン注入エネルギーが互いに異なる複数のイオン注入工程を含み、

前記表面ゲート領域と前記埋め込みゲート領域との中間の深さに前記チャネル領域を形成し、

10

20

前記第1の開口は、前記第1のマスクによって分割された複数の開口を含み、
前記面への前記複数の開口の正射影のそれぞれが、前記第2の開口の正射影と交差し、
前記ソース側部分の正射影は、前記第1のマスクのうち、前記複数の開口の間にある部分の前記面への正射影と重なり、

前記複数の開口に対応して形成される複数の前記埋め込みゲート領域の間の空乏層によつて、前記チャネル領域の前記ソース側の部分と前記埋め込みゲート領域の下の半導体領域との間にポテンシャルバリアが形成されるように、前記複数の開口の間隔が定められる

、
ことを特徴とする撮像装置の製造方法。

【請求項2】

10

前記表面ゲート領域と前記埋め込みゲート領域とが互いに電気的に接続される深さに形成されるように、前記イオン注入エネルギーを選択する、

ことを特徴とする請求項1に記載の撮像装置の製造方法。

【請求項3】

前記表面ゲート領域と前記埋め込みゲート領域とを電気的に接続する第1の半導体領域を形成する工程をさらに有する、

ことを特徴とする請求項1に記載の撮像装置の製造方法。

【請求項4】

前記ゲート領域を形成する工程において、前記複数の開口に対応する複数のゲート領域を形成し、

20

前記複数のゲート領域を互いに電気的に接続する第2の半導体領域を形成する工程をさらに有する、

ことを特徴とする請求項1乃至請求項3のいずれか一項に記載の撮像装置の製造方法。

【請求項5】

前記第2の半導体領域を形成する工程は、第3の開口を規定する第3のマスクを用いて行われ、

前記第1の開口の正射影が、前記面への前記第3の開口の正射影と部分的に重なり、

前記第2の開口の正射影の全体が、前記第3のマスクの前記面への正射影と重なる、

ことを特徴とする請求項4に記載の撮像装置の製造方法。

【請求項6】

30

前記チャネル領域のソース側の部分と電気的に接続されるソース領域を形成する工程をさらに含む、

ことを特徴とする請求項1乃至請求項5のいずれか一項に記載の撮像装置の製造方法。

【請求項7】

前記半導体基板の表面と平行な面への前記第1の開口の正射影と、前記面への前記第2の開口の正射影との重なった部分によって、前記接合型電界効果トランジスタのチャネル長およびチャネル幅を規定する、

ことを特徴とする請求項1乃至請求項6のいずれか一項に記載の撮像装置の製造方法。

【請求項8】

前記第1の開口の正射影の外縁は互いに平行な2つの線分を含み、

40

前記第2の開口の正射影の外縁は互いに平行な2つの線分を含む、

ことを特徴とする請求項1乃至請求項7のいずれか一項に記載の撮像装置の製造方法。

【請求項9】

半導体基板に配された接合型電界効果トランジスタをそれぞれが含む複数の画素を備える撮像装置の形成方法であつて、

前記半導体基板に前記接合型電界効果トランジスタのゲート領域を形成する工程と、

前記半導体基板に前記接合型電界効果トランジスタのチャネル領域を形成する工程と、
を有し、

前記半導体基板の表面と平行な面への、前記ゲート領域を形成する工程において不純物が導入される第1領域の正射影と、前記面への、前記チャネル領域を形成する工程におい

50

て不純物が導入される第2領域の正射影とが交差し、

前記面において、前記第2領域の正射影のソース側の部分、および、ドレイン側の部分が、それぞれ、前記第1領域の正射影から突出し、

前記ゲート領域は、互いに異なる深さに形成される表面ゲート領域と埋め込みゲート領域とを含み、

前記表面ゲート領域と前記埋め込みゲート領域との中間の深さに前記チャネル領域を形成し、

前記第1領域の正射影は、間隔をおいて配された複数の部分を含み、

前記第2領域の正射影の前記ソース側部分は、前記複数の部分の間にあり、

前記複数の部分に対応して形成される複数の前記埋め込みゲート領域の間の空乏層によって、前記チャネル領域の前記ソース側の部分と前記埋め込みゲート領域の下の半導体領域との間にポテンシャルバリアが形成されるように、前記複数の部分の間隔が定められる、

ことを特徴とする撮像装置の形成方法。

【請求項10】

半導体基板に配された接合型電界効果トランジスタをそれぞれが含む複数の画素を備える撮像装置であって、

前記接合型電界効果トランジスタは、それぞれ異なる深さに配された、表面ゲート領域と埋め込みゲート領域とチャネル領域とを含み、

前記チャネル領域は、前記表面ゲート領域と前記埋め込みゲート領域との中間の深さに配され、

前記半導体基板の表面と平行な面への前記表面ゲート領域の正射影、および、前記埋め込みゲート領域の正射影が、それぞれ、前記面への前記チャネル領域の正射影と交差し、

前記表面ゲート領域および前記埋め込みゲート領域のそれぞれが、前記接合型電界効果トランジスタのソース領域を挟むように配され、かつ、互いに電気的に接続された複数の領域を含み、

前記面への前記複数の領域の正射影のそれぞれが、前記チャネル領域の正射影と交差し、

前記埋め込みゲート領域の前記複数の領域の間の空乏層によって、前記ソース領域と前記埋め込みゲート領域の下の半導体領域との間にポテンシャルバリアが形成される、

ことを特徴とする撮像装置。

【請求項11】

請求項10に記載の撮像装置と、

被写体の光学像を前記撮像装置に結像させるレンズと、

を備えた撮像システム。

【請求項12】

請求項10に記載の撮像装置と、

前記撮像装置から出力される信号を処理する信号処理装置と、

を備えた撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置、撮像システム、および、撮像装置の製造方法に関する。

【背景技術】

【0002】

接合型電界効果トランジスタを用いた撮像装置が提案されている。特許文献1には、複数の画素を備える撮像装置が記載されている。それぞれの画素が接合型電界効果トランジスタを有する。特許文献1に記載の接合型電界効果トランジスタにおいては、チャネル領域が、表面ゲート領域と埋め込みゲート領域とに挟まれている。そして、埋め込みゲート領域が途切れる場所で、チャネル領域がドレイン領域とつながっている。

10

20

30

40

50

【 0 0 0 3 】

特許文献 2 には、接合型電界効果トランジスタを形成する方法が記載されている。特許文献 1 に記載の方法によれば、接合型電界効果トランジスタの表面ゲート領域、チャネル領域、および、ソース・ドレイン領域は、互いに異なるレジストパターンをマスクに用いたイオン注入によって形成される。

【先行技術文献】**【特許文献】****【 0 0 0 4 】**

【特許文献 1】 特開 2007 - 165736 号公報

【特許文献 2】 特開 2006 - 196789 号公報

10

【発明の概要】**【発明が解決しようとする課題】****【 0 0 0 5 】**

特許文献 1 に記載の接合型電界効果トランジスタにおいて、チャネル領域のドレイン側の端は埋め込みゲート領域の端の位置によって決まる。一方で、チャネル領域のソース側の端はソース領域の位置によって決まる。したがって、ソース領域の形成に用いられるマスクと埋め込みゲート領域の形成に用いられるマスクとの間でアライメントずれが生じると、チャネル長が変化する可能性がある。そのため、接合型電界効果トランジスタの特性にはばらつきが生じるという課題がある。

【 0 0 0 6 】

20

特許文献 2 に記載の方法において、表面ゲート領域の形成に用いられるマスクとチャネル領域の形成に用いられるマスクとの間でアライメントずれが生じると、チャネル幅が変化する可能性がある。そのため、接合型電界効果トランジスタの特性にはばらつきが生じるという課題がある。

【 0 0 0 7 】

上記の課題に鑑み、本発明は、接合型電界効果トランジスタの特性のばらつきが低減された撮像装置を提供することを目的とする。

【課題を解決するための手段】**【 0 0 0 8 】**

本発明の 1 つの側面に係る実施形態は、半導体基板に配された接合型電界効果トランジスタをそれぞれが含む複数の画素を備える撮像装置の製造方法であつて、第 1 の開口を規定する第 1 のマスクを用いて前記半導体基板に不純物を導入することにより、前記接合型電界効果トランジスタのゲート領域を形成する工程と、第 2 の開口を規定する第 2 のマスクを用いて前記半導体基板に不純物を導入することにより、前記接合型電界効果トランジスタのチャネル領域を形成する工程と、を有し、前記第 2 の開口は、前記チャネル領域のソース側の部分に対応するソース側部分と前記チャネル領域のドレイン側の部分に対応するドレイン側部分とを含み、前記半導体基板の表面と平行な面への前記第 1 の開口の正射影と、前記面への前記第 2 の開口の正射影とが交差し、前記面への前記ソース側部分の正射影、および、前記面への前記ドレイン側部分の正射影が、それぞれ、前記第 1 のマスクの前記面への正射影と重なり、前記ゲート領域は、互いに異なる深さに形成される表面ゲート領域と埋め込みゲート領域とを含み、前記ゲート領域を形成する工程は、それぞれが前記第 1 のマスクを用い、かつ、イオン注入エネルギーが互いに異なる複数のイオン注入工程を含み、前記表面ゲート領域と前記埋め込みゲート領域との中間の深さに前記チャネル領域を形成し、前記第 1 の開口は、前記第 1 のマスクによって分割された複数の開口を含み、前記面への前記複数の開口の正射影のそれぞれが、前記第 2 の開口の正射影と交差し、前記ソース側部分の正射影は、前記第 1 のマスクのうち、前記複数の開口の間にある部分の前記面への正射影と重なり、前記複数の開口に対応して形成される複数の前記埋め込みゲート領域の間の空乏層によって、前記チャネル領域の前記ソース側の部分と前記埋め込みゲート領域の下の半導体領域との間にポテンシャルバリアが形成されるように、前記複数の開口の間隔が定められる、ことを特徴とする。

30

40

50

【0009】

本発明の別の側面に係る実施形態は、半導体基板に配された接合型電界効果トランジスタをそれが含む複数の画素を備える撮像装置の形成方法であって、前記半導体基板に前記接合型電界効果トランジスタのゲート領域を形成する工程と、前記半導体基板に前記接合型電界効果トランジスタのチャネル領域を形成する工程と、を有し、前記半導体基板の表面と平行な面への、前記ゲート領域を形成する工程において不純物が導入される第1領域の正射影と、前記面への、前記チャネル領域を形成する工程において不純物が導入される第2領域の正射影とが交差し、前記面において、前記第2領域の正射影のソース側の部分、および、ドレイン側の部分が、それぞれ、前記第1領域の正射影から突出し、前記ゲート領域は、互いに異なる深さに形成される表面ゲート領域と埋め込みゲート領域とを含み、前記表面ゲート領域と前記埋め込みゲート領域との中間の深さに前記チャネル領域を形成し、前記第1領域の正射影は、間隔をもいて配された複数の部分を含み、前記第2領域の正射影の前記ソース側部分は、前記複数の部分の間にあり、前記複数の部分に対応して形成される複数の前記埋め込みゲート領域の間の空乏層によって、前記チャネル領域の前記ソース側の部分と前記埋め込みゲート領域の下の半導体領域との間にポテンシャルバリアが形成されるように、前記複数の部分の間隔が定められる、ことを特徴とする。

10

【0010】

本発明のさらに別の側面に係る実施形態は、半導体基板に配された接合型電界効果トランジスタと光電変換部と前記光電変換部からの電荷を受けるフローティングディフュージョン領域とをそれが含む複数の画素を備える撮像装置であって、前記接合型電界効果トランジスタはゲート領域とチャネル領域とを含み、前記半導体基板の表面と平行な面への前記ゲート領域の正射影と、前記面への前記チャネル領域の正射影とが交差し、前記面において、チャネル領域の正射影のソース側の部分、および、ドレイン側の部分が、それぞれ、前記ゲート領域の正射影から突出し、前記ゲート領域は、前記接合型電界効果トランジスタのソース領域を挟むように配され、かつ、互いに電気的に接続された複数の領域を含み、前記面への前記複数の領域の正射影のそれぞれが、前記チャネル領域の正射影と交差し、前記フローティングディフュージョン領域が、前記複数のゲート領域を互いに電気的に接続する、ことを特徴とする。

20

【0011】

本発明のさらに別の側面に係る実施形態は、半導体基板に配された接合型電界効果トランジスタをそれが含む複数の画素を備える撮像装置であって、前記接合型電界効果トランジスタは、それ異なる深さに配された、表面ゲート領域と埋め込みゲート領域とチャネル領域とを含み、前記チャネル領域は、前記表面ゲート領域と前記埋め込みゲート領域との中間の深さに配され、前記半導体基板の表面と平行な面への前記表面ゲート領域の正射影、および、前記埋め込みゲート領域の正射影が、それぞれ、前記面への前記チャネル領域の正射影と交差し、前記表面ゲート領域および前記埋め込みゲート領域のそれぞれが、前記接合型電界効果トランジスタのソース領域を挟むように配され、かつ、互いに電気的に接続された複数の領域を含み、前記面への前記複数の領域の正射影のそれぞれが、前記チャネル領域の正射影と交差し、前記埋め込みゲート領域の前記複数の領域の間の空乏層によって、前記ソース領域と前記埋め込みゲート領域の下の半導体領域との間にポテンシャルバリアが形成される、ことを特徴とする。

30

【発明の効果】

【0012】

本発明によれば、接合型電界効果トランジスタの特性のばらつきを低減することができる。

【図面の簡単な説明】

【0013】

【図1】撮像装置の平面構造を模式的に表す図である。

【図2】撮像装置の断面構造を模式的に表す図である。

【図3】撮像装置の断面構造を模式的に表す図である。

40

50

【図4】撮像装置の製造方法を説明するための図である。

【図5】撮像装置の製造に用いられるマスクを模式的に表す図である。

【図6】撮像装置の平面構造、および、断面構造を模式的に表す図である。

【図7】撮像装置の平面構造を模式的に表す図である。

【図8】撮像装置の断面構造を模式的に表す図である。

【図9】撮像装置の製造方法を説明するための図である。

【図10】撮像システムのブロック図である。

【発明を実施するための形態】

【0014】

本発明に係る1つの実施例は、複数の画素を有する撮像装置である。それぞれの画素が
接合型電界効果トランジスタ（以下、J F E Tと呼ぶ）を含む。J F E Tは、それぞれ
半導体基板に形成された、ゲート領域、チャネル領域、ドレイン領域、および、ソース領域
を含む。J F E Tにおいては、ゲート領域の導電型は、チャネル領域、ドレイン領域、
および、ソース領域の導電型と異なる。本実施例では、チャネル電流の方向が半導体基板
の表面と平行である横型J F E Tが用いられる。10

【0015】

本発明に係る実施例においては、ゲート領域、および、チャネル領域の構造、あるいは
それらの製造方法に特徴がある。具体的には、平面視において、ゲート領域とチャネル
領域とが互いに交差するように形成される。本明細書において、平面視における部品の配
置、あるいは、形状に言及する場合は、当該部品を半導体基板の表面と平行な面への正射
影したときの、当該面における配置、あるいは、形状のことを意味する。つまり、ゲート
領域の半導体基板の表面に平行な面への正射影と、チャネル領域の半導体基板の表面に平行
な面への正射影とが、当該面において交差する。半導体基板の表面は、半導体領域と絶
縁体との界面である。20

【0016】

2つの領域が交差するとは、それぞれの領域が互いを横断するように配置されることで
ある。言い換えると、2つの領域が交差するとは、一方の領域の少なくとも2つの部分が
他方の領域から突出しており、かつ、他方の領域の少なくとも2つの部分が一方の領域
から突出していることである。一方の領域が他方の領域を内包する場合には、両者は交差
していない。30

【0017】

また、本発明に係る実施例の製造方法では、複数のマスクを用いてゲート領域とチャネ
ル領域とを形成する。そして、当該複数のマスクは、平面視において、互いに交差する開
口を有する。

【0018】

このような構成によれば、ゲート領域を形成するために用いられるマスクと、チャネル
領域を形成するために用いられるマスクとの間で、アライメントずれが生じても、ゲート
領域とチャネル領域との交差部分の形状はほとんど変化しない。つまり、J F E Tのチャ
ネル長、および、チャネル幅の変動を小さくすることができる。その結果、J F E Tの特
性のばらつきを低減することができる。40

【0019】

以下、本発明の実施例について図面を用いて説明する。以下に説明される実施例では、
ゲート領域がP型であり、チャネル領域、ドレイン領域、および、ソース領域がN型である。
もちろん、本発明に係る実施例は、以下に説明される実施例のみに限定されない。例
えば、各半導体領域の導電型を逆にしてもよい。また、以下のいずれかの実施例の一部の
構成を、他の実施例に追加した例、あるいは他の実施例の一部の構成と置換した例も本発
明の実施例である。

【実施例1】

【0020】

図1は、本実施例の撮像装置の平面構造を模式的に表す図である。図1には、1つの画50

素が示されている。画素は、フォトダイオードなどの光電変換部、転送トランジスタ、リセットトランジスタ、J F E Tを含む。本実施例の撮像装置は、図1に示された画素を複数備える。

【0021】

本実施例の光電変換部は、フォトダイオードである。フォトダイオードは、半導体基板の表面に形成されたN型半導体領域1、および、N型半導体領域1の下に配されたP型半導体領域2を含む。N型半導体領域1とP型半導体領域2とは、P N接合を構成する。入射光によって発生したホールが、信号電荷として、P型半導体領域2に蓄積される。P型半導体領域2に蓄積された信号電荷は、フローティングディフュージョン領域3（以下、F D領域3）に転送される。F D領域3はP型の半導体領域である。転送ゲート電極4は、P型半導体領域2からF D領域3へ信号電荷を転送する。10

【0022】

J F E Tは、P型のゲート領域9、N型のチャネル領域10、N型のソース領域11を含む。N型のチャネル領域10の少なくとも一部に、ゲート領域9の電圧によって制御されるチャネルが形成される。本実施例のJ F E Tは、複数のゲート領域9を有する。チャネル領域10は、平面視において、複数のゲート領域9のそれぞれと交差する。チャネル領域10は、ソース側からドレイン側に渡ってゲート領域9を横断するように配される。チャネル領域10の一部（図1の領域10d）が、J F E Tのドレイン領域を構成する。ゲート領域9とチャネル領域10との交差部分にJ F E Tのチャネルが形成される。ソース領域11の不純物濃度は、チャネル領域10の不純物濃度より高い。ソース領域11は、コンタクトプラグ12を介して、出力線14に電気的に接続される。F D領域3は、ゲート領域9と電気的に接続される。このような構成により、J F E TはF D領域3の電圧に応じた信号を出力線14に出力する。20

【0023】

リセットM O Sトランジスタは、P型のドレイン領域5、P型のソース領域7、ゲート電極8を含む。ドレイン領域5は、コンタクトプラグ6を介して、リセットドレイン配線13に電気的に接続される。リセットM O Sトランジスタのソース領域7は、J F E Tのゲート領域9に電気的に接続される。このような構成により、リセットM O Sトランジスタは、J F E Tのゲートの電圧をリセットする。リセット用のトランジスタとして、M O Sトランジスタを用いるのが簡単である。なお、リセット用のトランジスタには、J F E Tなど他のトランジスタを用いてもよい。30

【0024】

本実施例のJ F E Tは、平面視において、複数のゲート領域9を備える。平面視において、ソース領域11を挟むように複数のゲート領域9が配される。つまり、ソース領域11の半導体基板の表面と平行な面への正射影が、複数のゲート領域9の当該面への正射影の間に位置する。また、本実施例のJ F E Tは複数のドレイン領域を含む。より詳細には、チャネル領域10が複数のドレイン側の部分10dを有する。複数のドレイン領域のそれぞれは、複数のゲート領域9の対応する1つに対して、ソース領域11とは反対側に配される。そして、複数のゲート領域9のそれぞれに対応してチャネルが形成される。平面視において、複数のゲート領域9が互いに平行に配置されることが好ましい。複数のゲート領域9は、同導電型の半導体領域によって互いに電気的に接続される。本実施例では、F D領域3およびリセットM O Sトランジスタのソース領域7が、複数のゲート領域9を互いに電気的に接続する。40

【0025】

このような構成により、J F E Tの実効的なチャネル幅を大きくすることができます。つまり、J F E Tの駆動力を高くすることができるため、撮像装置を高速に駆動することができる。なお、J F E Tの備えるゲート領域は1つだけでもよい。具体的には、図1に示された2つのゲート領域9のうちいずれか一方と、それに対応するドレイン領域を削除してもよい。

【0026】

図2は、本実施例の撮像装置の断面構造を模式的に表す図である。図2は、図1における直線A-Bに沿った断面構造を模式的に示している。図1と同じ部分には、同じ符号を付してある。

【0027】

図2には半導体基板100が示されている。半導体基板100の上には、不図示の絶縁膜が配される。半導体基板100の表面SRは、半導体基板100と不図示の絶縁膜との界面である。図2の紙面に平行であり、かつ、表面SRに平行な方向が、チャネル長方向である。

【0028】

N型半導体領域15にフォトダイオードおよびJFETが形成される。JFETのドレイン電流はN型半導体領域15を介して供給される。図示されていないが、N型半導体領域15にドレイン電流を供給するためのドレイン電流供給部が、画素エリアの外部、または、画素エリア内的一部に形成されている。ドレイン電流供給部は、例えば半導体基板と配線とを接続するコントラクトプラグである。

10

【0029】

N型半導体領域15の下には、N型半導体領域15よりも不純物濃度の高いN型半導体領域16が配される。N型半導体領域16により、半導体基板の抵抗を下げることができる。そのため、このような構成によれば、JFETへ供給するドレイン電流による半導体基板の電圧降下を低減できる。そのため、半導体基板の電圧が場所ごとに異なるために生じるシェーディングなどのノイズを抑制することができる。結果として、画質を向上させることができる。また、JFETのドレイン電流を大きくすることができる。結果として、撮像装置の高速駆動が可能になる。

20

【0030】

なお、チャネル領域10の一部10dが省略され、N型半導体領域15の一部がドレイン領域を構成してもよい。平面視において、チャネルが形成される領域と隣り合って配されたN型の半導体領域がドレイン領域である。

【0031】

本実施例のJFETのゲート領域9は、表面ゲート領域9-1と、埋め込みゲート領域9-2とを含む。表面ゲート領域9-1と、埋め込みゲート領域9-2とはいずれもP型である。表面ゲート領域9-1と、埋め込みゲート領域9-2とは、互いに異なる深さに配される。チャネル領域10が、表面ゲート領域9-1と、埋め込みゲート領域9-2との中間の深さに配される。このような構成によって、横型JFETが構成される。横型JFETにおいては、図2に示されるように、チャネル長方向が半導体基板の表面と平行である。

30

【0032】

表面ゲート領域9-1と埋め込みゲート領域9-2とは互いに電気的に接続される。両者の接続部は、平面視においてチャネル領域10と重ならないように配される。このような構成によれば、JFETのチャネルを両方のゲート領域から制御することが可能になる。

【0033】

40

平面視において、表面ゲート領域9-1と、埋め込みゲート領域9-2とは互いに重なっている。つまり、半導体基板の表面に平行な面への表面ゲート領域9-1の正射影と、当該面への埋め込みゲート領域9-2の正射影とが一致する。このような構成によれば、表面ゲート領域9-1と、埋め込みゲート領域9-2とを同一のマスクで形成することができる。そのため、JFETの特性のばらつきを抑えるのに有利である。

【0034】

なお、表面ゲート領域9-1の正射影と、埋め込みゲート領域9-2の正射影とが一致していないてもよい。例えば、平面視において表面ゲート領域9-1とチャネル領域10とが交差し、一方で、埋め込みゲート領域はチャネル領域10を内包するように、これらの領域が配置されてもよい。このような場合には、表面ゲート領域と埋め込みゲート領域

50

とは別々のマスクを用いて形成される。

【0035】

なお、表面ゲート領域9-1、あるいは、埋め込みゲート領域9-2のいずれか一方が省略されてもよい。また、本実施例では、平面視における複数のゲート領域9のそれぞれが、表面ゲート領域9-1と埋め込みゲート領域9-2とを含む。しかし、少なくとも1つのゲート領域9が表面ゲート領域9-1と埋め込みゲート領域9-2とを含む構成でもよい。

【0036】

図3(a)は、本実施例の撮像装置の断面構造を模式的に表す図である。図3(a)は、図1における直線C-Dに沿った断面構造を模式的に示している。図1および図2と同じ部分には、同じ符号を付してある。図3(a)の紙面に平行であり、かつ、表面SRに平行な方向が、チャネル幅方向である。10

【0037】

図3(a)が示すように、ソース領域11の下において、チャネル領域10とN型半導体領域15との間にはP型半導体領域が配されていない。しかし、チャネル領域10とN型半導体領域15とは、電気的に分離されている。具体的に、図2に示された2つの埋め込みゲート領域9-2とN型半導体領域15との間に形成される空乏層によって、チャネル領域10とN型半導体領域15との間にはポテンシャルバリアが形成される。これにより、両者の間のオーミックな導通は防がれる。実際には、JFETのチャネル領域10とN型半導体領域15との間の、表面SRに対して垂直な方向の電気的抵抗が、JFETのソースとドレインと間のチャネル長方向の電気的抵抗よりも十分に大きくなるように、ポテンシャル設計がなされることが好ましい。20

【0038】

図3(b)は、本実施例の撮像装置の断面構造を模式的に表す図である。図3(b)は、図1における直線E-Fに沿った断面構造を模式的に示している。図1乃至図3(a)と同じ部分には、同じ符号を付してある。図3(b)の紙面に平行であり、かつ、表面SRに平行な方向が、チャネル幅方向である。

【0039】

先述の通り、表面ゲート領域9-1と埋め込みゲート領域9-2とは互いに電気的に接続される。本実施例においては、同導電型の半導体領域が、表面ゲート領域9-1と埋め込みゲート領域9-2とを電気的に接続する。例えば、図3(b)において、FD領域3、および、リセットMOSトランジスタのソース領域7が、表面ゲート領域9-1と埋め込みゲート領域9-2とを電気的に接続するように、基板の深い位置にまで延在してもよい。また、図3(b)では表面ゲート領域9-1と埋め込みゲート領域9-2とが離間して配されているが、表面ゲート領域9-1と埋め込みゲート領域9-2とが、表面SRに垂直な方向の不純物の拡散により連続して形成されてもよい。30

【0040】

本実施例においては、図1に示される平面構造において、ゲート領域9とチャネル領域10とが交差している。換言すると、半導体基板の表面と平行な面へのゲート領域9の正射影と、半導体基板の表面と平行な面へのチャネル領域10の正射影とが交差している。40

【0041】

ゲート領域9とチャネル領域10とが交差するとは、それぞれの領域が互いを横断するように配置されることである。言い換えると、ゲート領域9の少なくとも2つの部分が、チャネル領域10から突出しており、かつ、チャネル領域10の少なくとも2つの部分がゲート領域9から突出していることである。

【0042】

また、図1の平面視において、チャネル領域10のうち、2つのゲート領域9の間に配された部分が、チャネル領域10のソース側の部分10sである。ゲート領域9に対してソース側の部分10sとは反対側に配された部分が、チャネル領域10のドレイン側の部分10dである。図2においても、ソース側の部分10s、および、ドレイン側の部分10d

0 d が、それぞれ示されている。そして、チャネル領域 1 0 のソース側の部分 1 0 s、および、ドレイン側の部分 1 0 d は、いずれも、ゲート領域 9 と重なっていない。換言すると、チャネル領域 1 0 の正射影のソース側の部分 1 0 s と、同じくドレイン側の部分 1 0 d とが、それぞれ、ゲート領域 9 の正射影から突出している。そのため、図 2 が示すように、J F E T のチャネル長はゲート領域 9 の端によって規定される。そして、図 3 (b) が示すように、J F E T のチャネル幅はチャネル領域 1 0 の端によって規定される。

【 0 0 4 3 】

このような構成によれば、ゲート領域 9 を形成するために用いられるマスクと、チャネル領域 1 0 を形成するために用いられるマスクとの間で、アライメントずれが生じても、J F E T のチャネルの形状はほとんど変化しない。つまり、J F E T のチャネル長、および、チャネル幅の変動を小さくすることができる。その結果、J F E T の特性のばらつきを低減することができる。10

【 0 0 4 4 】

図 2において、J F E T のソース領域 1 1 からの電子は、表面ゲート領域 9 - 1 と埋め込みゲート領域 9 - 2 との間に形成されるチャネルを図 2 のチャネル長方向に沿って流れ、最終的に N 型半導体領域 1 5 に流れ出す。このチャネル電流の大きさは、基本的には、ソース領域 1 1 の電圧、ゲート領域 9 の電圧、ドレイン領域である N 型半導体領域 1 5 の電圧、ならびに、チャネル長、および、チャネル幅によって決まる。

【 0 0 4 5 】

本実施例においては、J F E T のチャネル長、および、チャネル幅は、図 1 におけるゲート領域 9 とチャネル領域 1 0 との交差部分である 2 つの長方形によって決まる。交差部分の長方形のチャネル長方向の辺の長さがチャネル長である。チャネル電流は双方に流れるので、交差部分の長方形のチャネル幅方向の辺の長さの 2 倍がチャネル幅となる。20

【 0 0 4 6 】

本実施例では、ゲート領域 9 は互いに平行な 2 つの長方形であり、チャネル領域 1 0 も長方形である。ゲート領域 9 とチャネル領域 1 0 とはお互いにオーバーサイズで重なりあうように配置される。つまり、ゲート領域 9 は図 1 のチャネル幅方向においてチャネル領域 1 0 に対してオーバーサイズであり、一方、チャネル領域 1 0 は図 1 のチャネル長方向においてゲート領域 9 に対してオーバーサイズである。そのため、ゲート領域 9 とチャネル領域 1 0 とを形成する時に用いられるマスクにアライメントずれが生じたとしても、交差部分の長方形の形状はほとんど変わらない。したがって、J F E T を形成するプロセスにおいて、アライメントずれに起因する、J F E T の電気的特性の変動を低減することができる。30

【 0 0 4 7 】

電気的特性の変動を低減できる効果は、ゲート領域 9 、および、チャネル領域 1 0 の形状に依存しない。この効果は、平面視において、ゲート領域 9 とチャネル領域 1 0 とが交差していることによって得られるものである。好適には、図 1 が示すように、平面視におけるゲート領域 9 の外縁が、それぞれチャネル幅方向に沿った、2 本の平行な線分を含むとよい。このような構成により、電気的特性の変動をより低減することができる。また、好適には、図 1 が示すように、平面視におけるチャネル領域 1 0 の外縁は、それぞれチャネル長方向に沿った、2 本の平行な線分を含むとよい。このような構成により、電気的特性の変動をより低減することができる。さらに、ゲート領域 9 、および、チャネル領域 1 0 が矩形であれば、これらを形成する時に用いるマスクの形成が容易になる。また、平面視におけるゲート領域 9 およびチャネル領域 1 0 の外縁が、曲線を含んでいてもよい。このような構成によれば、マスクのローテーションによるアライメントずれに対して、特性の変動を低減することができる。40

【 0 0 4 8 】

J F E T のチャネル長は、ドレイン側の端とソース側の端との距離で決まる。そのため、平面視において、ゲート領域 9 の両側に、チャネル領域 1 0 のドレイン側の部分およびソース側の部分が分かれて配されることで、電気的特性の変動を低減できる効果が得られ50

る。つまり、チャネル領域 10 の正射影のソース側の部分と、同じくドレイン側の部分とが、それぞれ、ゲート領域の正射影から突出していることにより、上述の電気的特性の変動を低減できる効果が得られるのである。

【 0 0 4 9 】

続いて、本実施例の撮像装置の製造方法の例を説明する。図 4 は、撮像装置の製造方法を説明するための図である。図 4 (a) ~ (c) は、それぞれ、図 1 の直線 A - B に沿った断面構造を模式的に示している。図 1 乃至図 3 と同じ部分には、同じ符号を付してある。

【 0 0 5 0 】

図 4 (a) に示される工程では、J F E T のゲート領域 9 を形成する。この工程では、第 1 の開口 209 を規定する第 1 のマスク 17 が用いられる。第 1 のマスク 17 は、例えば、フォトリソグラフィ法を用いてフォトレジストをパターニングすることによって得られる。

【 0 0 5 1 】

ボロンなど、アクセプタとなる不純物を、第 1 の開口 209 を通して半導体基板 100 へ導入する。これにより、半導体基板 100 の第 1 の開口 209 に対応した領域に、ゲート領域 9 が形成される。例えば、第 1 のマスク 17 を用いたイオン注入によりゲート領域 9 を形成できる。イオン注入エネルギーの互いに異なる複数回のイオン注入を行うことにより、表面ゲート領域 9 - 1 と、埋め込みゲート領域 9 - 2 とを互いに異なる深さに形成する。イオン注入エネルギーが高いほど、半導体基板 100 の深くに半導体領域を形成できる。所定のイオン注入エネルギーを選択することにより、表面ゲート領域 9 - 1 と埋め込みゲート領域 9 - 2 とが、半導体基板 100 の表面 S R に垂直な方向の不純物の拡散によって互いに電気的に接続されるように形成される。

【 0 0 5 2 】

なお、半導体基板 100 への不純物の導入には、イオン注入の他にも、熱拡散などの半導体プロセスを用いることができる。ゲート領域 9 を形成した後、第 1 のマスク 17 を除去する。

【 0 0 5 3 】

図 4 (b) に示される工程では、J F E T のチャネル領域 10 を形成する。この工程では、第 2 の開口 210 を規定する第 2 のマスク 18 が用いられる。第 2 のマスク 18 は、例えば、フォトリソグラフィ法を用いてフォトレジストをパターニングすることによって得られる。

【 0 0 5 4 】

リンやヒ素など、ドナーとなる不純物を、第 2 の開口 210 を通して半導体基板 100 へ導入する。これにより、半導体基板 100 の第 2 の開口 210 に対応した領域に、チャネル領域 10 が形成される。例えば、第 2 のマスク 18 を用いたイオン注入によりチャネル領域 10 を形成できる。この場合、イオン注入エネルギーを調整することにより、チャネル領域 10 を、表面ゲート領域 9 - 1 と、埋め込みゲート領域 9 - 2 との中間の深さに形成することができる。チャネル領域 10 を形成した後、第 2 のマスク 18 を除去する。

【 0 0 5 5 】

図 4 では図示されていないが、第 3 の開口 203、207 を規定する第 3 のマスク 19 を用いて、複数のゲート領域 9 を互いに電気的に接続する P 型の半導体領域を形成してもよい。第 3 のマスク 19 は、例えば、フォトリソグラフィ法を用いてフォトレジストをパターニングすることによって得られる。

【 0 0 5 6 】

本実施例では、F D 領域 3、および、リセットM O S ロジックのソース領域 7 が、第 3 のマスク 19 を用いて形成される。そして、これらの領域が複数のゲート領域 9 を互いに電気的に接続する。複数のゲート領域 9 を互いに電気的に接続する P 型の半導体領域を形成した後、第 3 のマスク 19 を除去する。

【 0 0 5 7 】

10

20

30

40

50

図4(c)に示される工程では、チャネル領域10のソース側の部分と電気的に接続されるソース領域11を形成する。この工程では、開口211を規定するマスク20が用いられる。このマスク20はハードマスクである。つまり、マスク20は、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜等の無機材料で構成された絶縁膜である。

【0058】

リンやヒ素など、ドナーとなる不純物を、開口211を通して半導体基板100へ導入する。これにより、半導体基板100の開口211に対応した領域に、ソース領域11が形成される。

【0059】

上述のように、マスク20としてハードマスクを用いることで、当該マスクを層間絶縁膜として用いることができる。具体的には、ソース領域11を形成した後にマスク20を除去せず、開口211にソース領域11と電気的に接続されるコンタクトプラグ12を埋め込む。そして、マスク20の上に、コンタクトプラグ12と接続される出力線14を形成する。

【0060】

次に、上述の第1乃至第3のマスク17～19の平面的な構造、および、相互の位置関係について説明する。図5(a)、(b)は、図4に示される工程で用いられる第1乃至第3のマスク17～19を模式的に表す図である。図4と同じ部分には同じ番号を付してある。

【0061】

図5(a)、(b)は、第1の開口209と、第2の開口210と、第3の開口203、207とを示している。図5(b)は、第2の開口210の各部分を示している。本実施例において、第1の開口209と、第2の開口210と、第3の開口203、207とは、いずれも長方形である。第1の開口209の外側が、第1の開口209を規定する第1のマスク17である。第2の開口210の外側が、第2の開口210を規定する第2のマスク18である。第3の開口203、207の外側が、第3の開口203、207を規定する第3のマスク19である。

【0062】

図5(a)、(b)は、説明のため、第1乃至第3の開口209、210、203、207を重ね合わせて示している。これにより、図5(a)、(b)は、複数のマスクのアライメントを示している。実際には、各工程において所定の半導体領域を形成した後に、マスクが除去される。そのため、2つ以上のマスクが必ずしも同時に存在するわけではない。

【0063】

平面視において、第1の開口209と、第2の開口210とは互いに交差する。つまり、半導体基板100の表面と平行な面への第1の開口209の正射影と、当該面への第2の開口210の正射影とが交差する。

【0064】

図5(b)が示す通り、第2の開口210は、チャネル領域10のソース側の部分に対応するソース側部分210sと、チャネル領域10のドレイン側の部分に対応するドレイン側部分210dとを含む。図5(b)において、第2の開口210のうち、2つの第1の開口209の間にある部分が、第2の開口210のソース側部分210sである。図5(b)において、左側の第1の開口209Lの左にある部分、および、右側の第1の開口209Rの右にある部分が、第2の開口210のドレイン側部分210dである。

【0065】

平面視において、第2の開口210のソース側部分210sとドレイン側部分210dとは、それぞれ、第1のマスク17と重なっている。つまり、半導体基板100の表面と平行な面へのソース側部分210sの正射影、および、当該面へのドレイン側部分210dの正射影が、それぞれ、第1のマスク17の当該面への正射影と重なっている。そのため、図5が示すように、JFETのチャネル長は第1の開口209の端によって規定され

10

20

30

40

50

る。そして、J F E Tのチャネル幅は第2の開口210の端によって規定される。

【0066】

このような構成によれば、ゲート領域9を形成するために用いられる第1のマスク17と、チャネル領域10を形成するために用いられる第2のマスク18との間で、アライメントずれが生じても、J F E Tのチャネルの形状はほとんど変化しない。つまり、J F E Tのチャネル長、および、チャネル幅の変動を小さくすることができる。その結果、J F E Tの特性のばらつきを低減することができる。

【0067】

本実施例において、第1の開口209は、第1のマスク17によって分割された複数の開口209L、209Rを含む。平面視において、複数の開口209L、209Rのそれぞれが、第2の開口210と交差する。つまり、半導体基板100の表面と平行な面への複数の開口209L、209Rの正射影のそれぞれが、当該面への第2の開口210の正射影と交差する。そして、平面視において、第2の開口210のソース側部分は、第1のマスク17のうち、2つの開口209L、209Rの間にある部分と重なる。

10

【0068】

そして、平面視において、第1の開口209が、第3の開口203、207と部分的に重なる。つまり、半導体基板100の表面と平行な面への第1の開口210の正射影が、当該面への第3の開口203、207の正射影と部分的に重なる。

【0069】

このような構成により、J F E Tの実効的なチャネル幅を大きくすることができる。つまり、J F E Tの駆動力を高くすることができるため、撮像装置を高速に駆動することができる。

20

【0070】

また、平面視において、第2の開口210の全体が、第3のマスク19と重なる。このような構成によれば、第3のマスク19を用いて半導体基板100に不純物を導入する時に、チャネル領域10に導入される不純物の量を低減できる。したがって、複数のゲート領域9を電気的に接続する半導体領域を形成した場合でも、J F E Tの電気的特性の変動を小さくすることができる。

【0071】

本実施例の変形例について説明する。図6(a)は、本実施例の撮像装置の平面構造を模式的に表す図である。図6(a)には、J F E Tが示されている。図1と同じ部分には同じ符号を付してある。以下に説明する部分を除き、本実施例の構成は、実施例1と同様である。

30

【0072】

本実施例では、平面視におけるJ F E Tのゲート領域61の形状が特徴である。具体的には、平面視において、ゲート領域61が、チャネル領域10のソース側の部分を囲んでいる。そして、平面視において、ゲート領域61の2つの部分とチャネル領域10とが交差している。そして、チャネル領域10のソース側の部分と、ドレイン側の部分とが、ゲート領域61と重なっていない。チャネル領域10のソース側の部分と、同じくドレイン側の部分とが、それぞれ、ゲート領域61から突出している。そのため、J F E Tのチャネル長はゲート領域61の端によって規定される。そして、J F E Tのチャネル幅はチャネル領域10の端によって規定される。

40

【0073】

このような構成によれば、ゲート領域61を形成するために用いられるマスクと、チャネル領域10を形成するために用いられるマスクとの間で、アライメントずれが生じても、J F E Tのチャネルの形状はほとんど変化しない。つまり、J F E Tのチャネル長、および、チャネル幅の変動を小さくすることができる。その結果、J F E Tの特性のばらつきを低減することができる。

【0074】

図6(a)に示された変形例では、ゲート領域61は平面的に連続していて、かつ、表

50

面ゲート領域と埋め込みゲート領域とは、チャネル領域 10 と重ならない部分において、電気的に導通している。そのため、2つのゲート領域を接続する同導電型の半導体領域を形成する工程を省略しつつ、J F E T の実効的なチャネル幅を大きくすることができる。例えば、図 1 に示された実施例における F D 領域 3 を形成する工程を省くことができる。

【 0 0 7 5 】

別の変形例について説明する。図 6 (b) は、本実施例の撮像装置の断面構造を模式的に表す図である。図 6 (b) には、J F E T が示されている。図 1 と同じ部分には同じ符号を付してある。以下に説明する部分を除き、本実施例の構成は、実施例 1 と同様である。

【 0 0 7 6 】

図 6 (b) に示された J F E T では、ゲート領域 9 が表面ゲート領域 9 - 1 と埋め込みゲート領域 9 - 3 を含む。埋め込みゲート領域 9 - 3 は、平面視において表面ゲート領域 9 - 1 とは異なる形状を有する P 型の半導体領域である。埋め込みゲート領域 9 - 3 は、表面ゲート領域 9 - 1 と電気的に接続される。図 6 (b) では、埋め込みゲート領域 9 - 3 がチャネル領域 10 と平面視において一致している。なお、埋め込みゲート領域 9 - 3 がチャネル領域 10 を内包するように配置されてもよい。

【 0 0 7 7 】

さらに別の変形例について説明する。図 6 (c) は、本実施例の撮像装置の断面構造を模式的に表す図である。図 6 (c) には、J F E T が示されている。図 1 と同じ部分には同じ符号を付してある。以下に説明する部分を除き、本実施例の構成は、実施例 1 と同様である。図 6 (c) に示された J F E T では、ゲート領域 9 が埋め込みゲート領域 9 - 2 のみを含む。

【 0 0 7 8 】

これらの変形例においても、平面視においてゲート領域 9 とチャネル領域 10 とが交差する。したがって、J F E T の電気的特性のばらつきを低減することができる。

【 0 0 7 9 】

以上に説明した通り、いくつかの実施例では、J F E T の特性のばらつきを低減することができる。

【 実施例 2 】

【 0 0 8 0 】

別の実施例を説明する。実施例 1 との相違は、J F E T のソース領域の下に、寄生 J F E T 電流を低減する構造を設けた点である。そこで、実施例 1 と異なる点のみを説明し、実施例 1 と同様の部分についての説明は省略する。

【 0 0 8 1 】

図 7 は、本実施例の撮像装置の平面構造を模式的に表す図である。図 7 には、J F E T が示されている。図 7 においては、画素の他の構成は図示されていない。実施例 1 と同様の機能を有する部分には、同じ符号を付してある。

【 0 0 8 2 】

本実施例の画素は P 型半導体領域 21 を備える。P 型半導体領域 21 は、平面視においてソース領域 11 と重なっている。つまり、半導体基板の表面と平行な面への P 型半導体領域 21 の正射影は、当該面へのソース領域 11 と重なる。また、P 型半導体領域 21 は、平面視において、2つのゲート領域 9 の間に位置する。つまり、半導体基板の表面と平行な面への P 型半導体領域 21 の正射影は、2つのゲート領域 9 の当該面への正射影の間に位置する。

【 0 0 8 3 】

図 8 (a) は、本実施例の撮像装置の断面構造を模式的に表す図である。図 8 (a) は、図 7 における直線 G - H に沿った断面構造を模式的に示している。実施例 1 、または、図 7 と同じ部分には、同じ符号を付してある。

【 0 0 8 4 】

図 8 (a) が示す通り、P 型半導体領域 21 は、チャネル領域 10 より深い位置に配さ

10

20

30

40

50

れている。P型半導体領域21、および、チャネル領域10がイオン注入によって形成される場合には、P型半導体領域21の深さ方向の不純物濃度のピークが、チャネル領域10の同じくピークよりも深くに位置する。深さ方向とは、表面SRに垂直な方向である。

【0085】

本実施例では、P型半導体領域21の全体が、埋め込みゲート領域9-2と同じ深さに配される。図8(a)では、P型半導体領域21と埋め込みゲート領域9-2とは互いに電気的に接続されている。なお、P型半導体領域21と埋め込みゲート領域9-2とが連続していてもよい。

【0086】

図8(b)は、本実施例の撮像装置の断面構造を模式的に表す図である。図8(b)は、図7における直線I-Jに沿った断面構造を模式的に示している。実施例1、または、図7と同じ部分には、同じ符号を付してある。

【0087】

図8(b)が示す通り、チャネル幅方向において、P型半導体領域21はチャネル領域10の幅よりも広く延在している。本実施例では、P型半導体領域21が、リセットMOSトランジスタのソース領域7の下、および、FD領域3の下に到達している。

【0088】

なお、本実施例において、図7における直線K-Lに沿った断面構造は、実施例1と同じである。つまり、図3(b)が、本実施例の断面構造を模式的に示している。

【0089】

このような構造によれば、チャネル領域10とN型半導体領域15との電気的抵抗を高くすることができます。その結果、ゲート領域9とチャネル領域10で規定されるチャネル以外の領域を流れる寄生電流を低減することができる。このような寄生電流のゲート電圧に対する依存性は小さいため、寄生電流が大きいとJFETの電流電圧特性が低下する。つまり、寄生電流を低減することで、JFETの電流電圧特性を向上させることができる。

【0090】

P型半導体領域21の不純物濃度は、埋め込みゲート領域9-2の不純物濃度より低いことが好ましい。このような不純物濃度の関係であれば、P型半導体領域21を形成するときに、マスクのアライメントずれが生じても、JFETの電気的特性の変動を小さく抑えることができる。

【0091】

本実施例の製造方法は、実施例1の製造方法に、P型半導体領域21を形成する工程を追加すればよい。P型半導体領域21は、たとえば、図7に示されるようなマスクを用いて形成することができる。

【0092】

以上に説明した通り、本実施例においては、実施例1の効果に加えて、寄生JFET電流を低減することができるという効果が得られる。

【実施例3】

【0093】

別の実施例を説明する。実施例1、あるいは、実施例2との相違は、JFETがLDD構造を有する点である。そこで、実施例1、あるいは、実施例2と異なる点のみを説明し、実施例1、あるいは、実施例2と同様の部分についての説明は省略する。

【0094】

本実施例の撮像装置の平面構造は、実施例1、または、実施例2と同じである。つまり、図1、または、図7が本実施例の撮像装置の平面構造を模式的に表している。ただし、本実施例においては、図1、および、図7においてゲート領域として示された領域に、N型半導体領域が配される。

【0095】

図9は、本実施例の撮像装置の製造方法を説明するための図である。図9(a)～(c)

10

20

30

40

50

)は、それぞれ、図1の直線A-Bに沿った断面構造を模式的に示している。すなわち、J F E Tのチャネル長方向を含む断面を模式的に示している。なお、図9に示された構成に、実施例2のようにP型半導体領域21を付加してもよい。

【0096】

図9(a)に示された工程では、表面ゲート領域9-1と埋め込みゲート領域9-2とを形成する。表面ゲート領域9-1、および、埋め込みゲート領域9-2の形成方法は、実施例1の図4(a)に示される工程と同様である。実施例1の説明で述べた通り、この工程では、第1の開口209を規定する第1のマスク17が用いられる。

【0097】

本実施例では、表面ゲート領域9-1、および、埋め込みゲート領域9-2を形成するときに用いられた第1のマスク17を使って、N型半導体領域22を形成する。たとえば、リンやヒ素などのドナーを第1の開口209を通して半導体基板100にイオン注入する。これにより、半導体基板100の第1の開口209に対応した領域に、N型半導体領域22が形成される。

10

【0098】

実施例1と同様に、第1のマスク17は、例えば、フォトリソグラフィ法を用いてフォトレジストをパターニングすることによって得られる。あるいは、第1のマスク17がハードマスクであってもよい。

【0099】

N型半導体領域22は、平面視において、ゲート領域9と重なる。つまり、半導体基板100の表面と平行な面へのN型半導体領域22の正射影と、当該面へのゲート領域9の正射影とが一致する。また、N型半導体領域22は、表面ゲート領域9-1と、埋め込みゲート領域9-2との中間の深さに配される。表面ゲート領域9-1、埋め込みゲート領域9-2、および、N型半導体領域22の形成にイオン注入を用いる場合は、イオン注入エネルギーを制御することによって、N型半導体領域22を、表面ゲート領域9-1と埋め込みゲート領域9-2との中間の深さに形成することができる。

20

【0100】

図9(b)に示される工程では、実施例1の図4(b)に示される工程と同様に、チャネル領域10が形成される。チャネル領域10を形成する工程は、実施例1と同様であるため、詳細な説明は省略する。

30

【0101】

図9(c)に示される工程では、ソース領域11を形成する。ソース領域11を形成する工程は、実施例1と同様であるため、詳細な説明は省略する。

【0102】

チャネル領域10のうち、図9(a)の工程では不純物が導入されなかった部分は、電界緩和領域として機能する。N型の半導体領域であるチャネル領域10とN型半導体領域22とが重なった領域にチャネルが形成される。当該重なった領域には、チャネル領域10の形成時とN型半導体領域22の形成時の2回の工程で不純物が導入される。そのため、チャネル領域10の他の部分、つまり、N型半導体領域22の形成時に不純物が導入されなかった部分は、相対的に低い不純物濃度を有する。つまり、チャネル領域10のうち、ゲート領域9に対して突出した部分の不純物濃度を下げることができる。

40

【0103】

このようなドレイン領域の不純物濃度が低い構成によれば、J F E Tのドレイン近傍での電界を緩和することができる。J F E Tのドレイン近傍に強い電界が生じると、チャネル電流がドレイン近傍においてインパクトイオン化を起こしてキャリアを発生させる。発生したキャリアがJ F E Tのゲートや信号電荷を蓄積しているゲート領域9に流れ込むことによって、画素のノイズ成分となる。J F E Tのドレイン近傍での電界を緩和することで、このようなノイズの原因となるインパクトイオン化が生じることを防止できる。その結果、画素のノイズを低減することができる。

【0104】

50

一般に J F E T のチャネル電流がインパクトイオン化を起こすのは、ドレイン領域に近いピンチオフ領域である。この部分の電界を低減してインパクトイオン化を防止するためには、ドレイン領域の不純物濃度を薄くすることが好適である。

【 0 1 0 5 】

なお、本実施例において、N型半導体領域 2 2 のみで J F E T のチャネルを形成し、チャネル領域 1 0 を形成しないことも可能である。この場合、N型半導体領域 1 5 の一部がドレイン領域を構成する。また、チャネル領域 1 0 が形成されないので、J F E T のチャネル幅は、F D 領域 3 とリセットトランジスタのP型のソース領域 7 とのチャネル幅方向の距離で規定される。

【 0 1 0 6 】

以上説明したように、本実施例によれば、実施例 1 の効果に加えて、ノイズを低減することができるという効果が得られる。

【 実施例 4 】

【 0 1 0 7 】

本発明に係る撮像システムの実施例について説明する。撮像システムとして、デジタルスチルカメラ、デジタルカムコーダ、複写機、ファックス、携帯電話、車載カメラ、観測衛星などがあげられる。また、レンズなどの光学系と撮像装置とを備えるカメラモジュールも、撮像システムに含まれる。図 1 0 に、撮像システムの例としてデジタルスチルカメラのブロック図を示す。

【 0 1 0 8 】

図 1 0 において、1 0 0 1 はレンズの保護のためのバリア、1 0 0 2 は被写体の光学像を撮像装置 1 0 0 4 に結像させるレンズ、1 0 0 3 はレンズ 1 0 0 2 を通った光量を可変するための絞りである。1 0 0 4 は上述の各実施例で説明した撮像装置であって、レンズ 1 0 0 2 により結像された光学像を画像データとして変換する。ここで、撮像装置 1 0 0 4 の半導体基板には A D 変換部が形成されているものとする。1 0 0 7 は撮像装置 1 0 0 4 より出力された撮像データに各種の補正やデータを圧縮する信号処理部である。そして、図 1 0 において、1 0 0 8 は撮像装置 1 0 0 4 および信号処理部 1 0 0 7 に、各種タイミング信号を出力するタイミング発生部、1 0 0 9 はデジタルスチルカメラ全体を制御する全体制御部である。1 0 1 0 は画像データを一時的に記憶する為のフレームメモリ部、1 0 1 1 は記録媒体に記録または読み出しを行うためのインターフェース部、1 0 1 2 は撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体である。そして、1 0 1 3 は外部コンピュータ等と通信する為のインターフェース部である。ここで、タイミング信号などは撮像システムの外部から入力されてもよく、撮像システムは少なくとも撮像装置 1 0 0 4 と、撮像装置 1 0 0 4 から出力された撮像信号を処理する信号処理部 1 0 0 7 とを有すればよい。

【 0 1 0 9 】

本実施例では、撮像装置 1 0 0 4 と A D 変換部とが同一の半導体基板に形成された構成を説明した。しかし、撮像装置 1 0 0 4 と A D 変換部とが別の半導体基板に設けられてもよい。また、撮像装置 1 0 0 4 と信号処理部 1 0 0 7 とが同一の半導体基板に形成されていてもよい。

【 0 1 1 0 】

撮像システムの実施例において、撮像装置 1 0 0 4 には、実施例 1 ~ 3 のいずれかの撮像装置が用いられる。

【 0 1 1 1 】

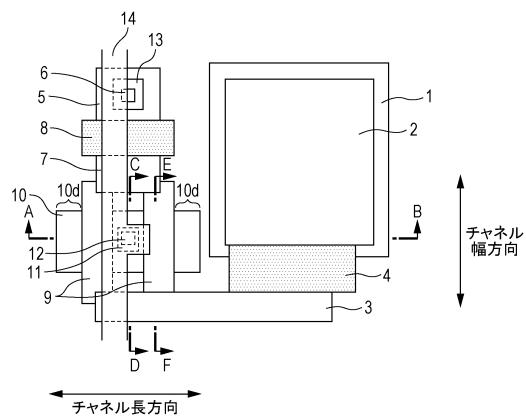
本発明は上記実施の形態に制限されるものではなく、本発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、本発明の範囲を公にするために以下の請求項を添付する。

【 符号の説明 】

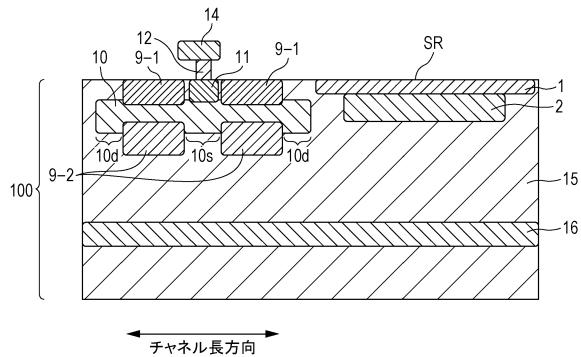
【 0 1 1 2 】

- 1 N型半導体領域(光電変換部)
- 2 P型半導体領域(光電変換部)
- 9 ゲート領域
- 10 チャネル領域
- 17 第1のマスク
- 18 第2のマスク
- 209 第1の開口
- 210 第2の開口

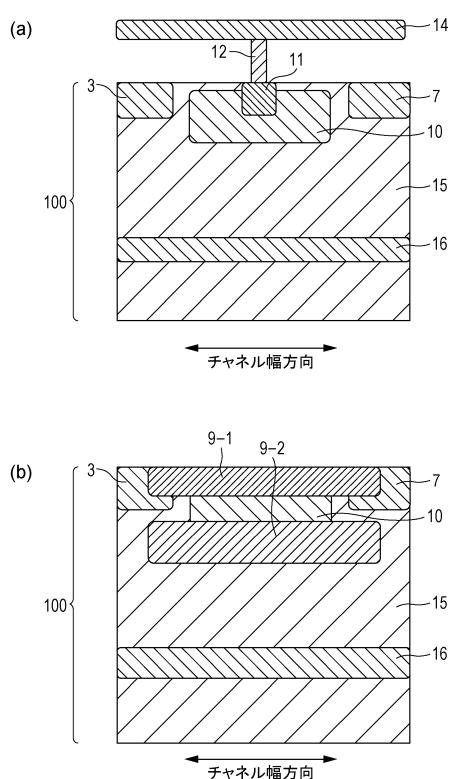
【図1】



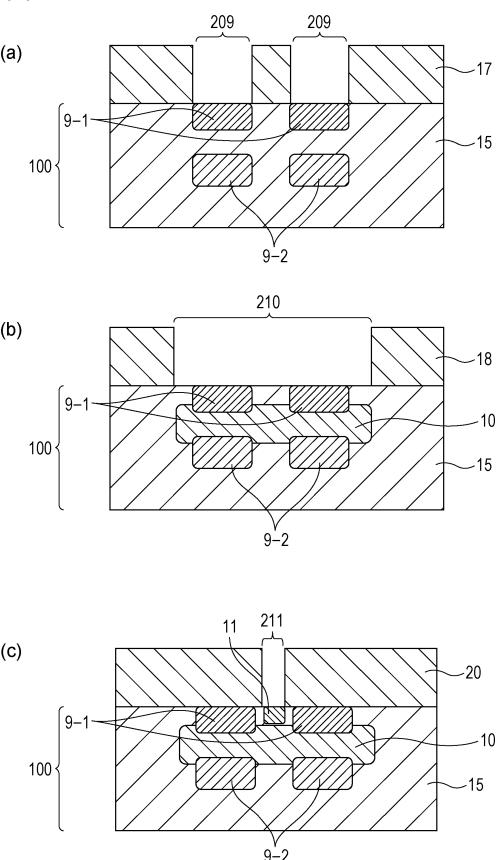
【図2】



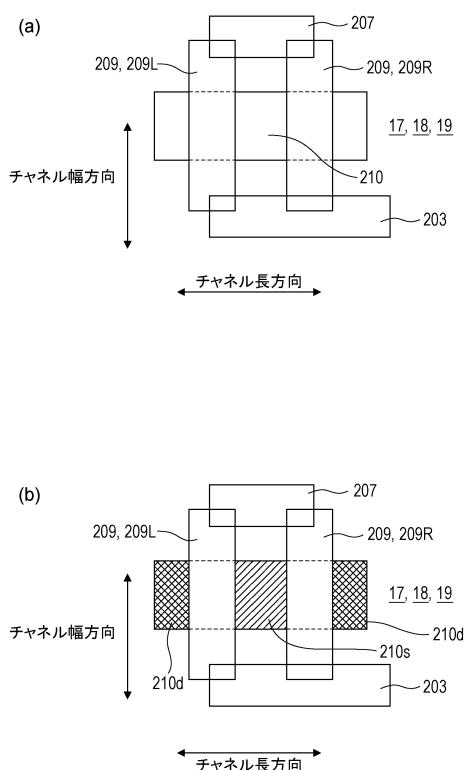
【図3】



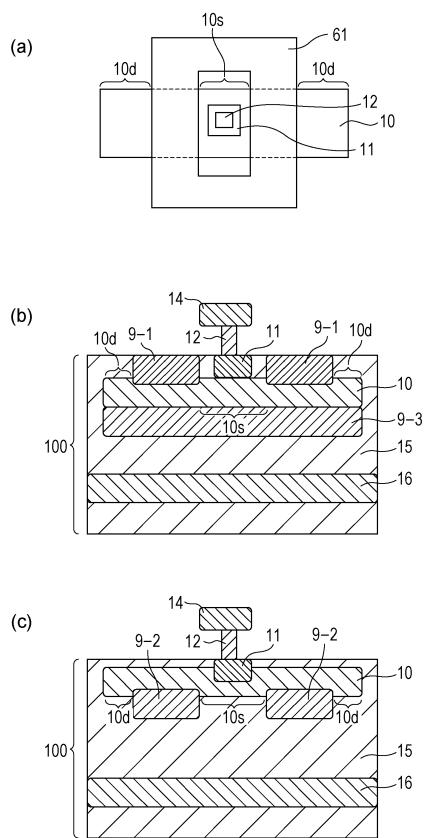
【図4】



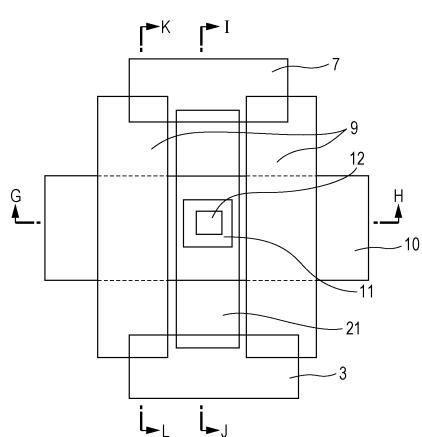
【図5】



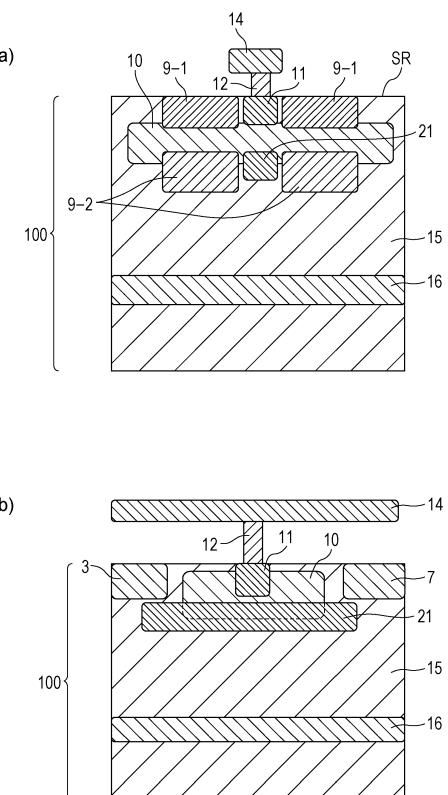
【図6】



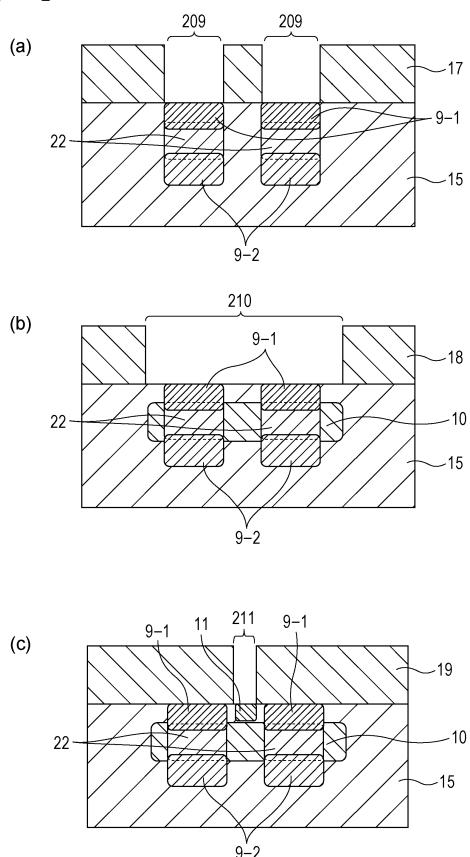
【図7】



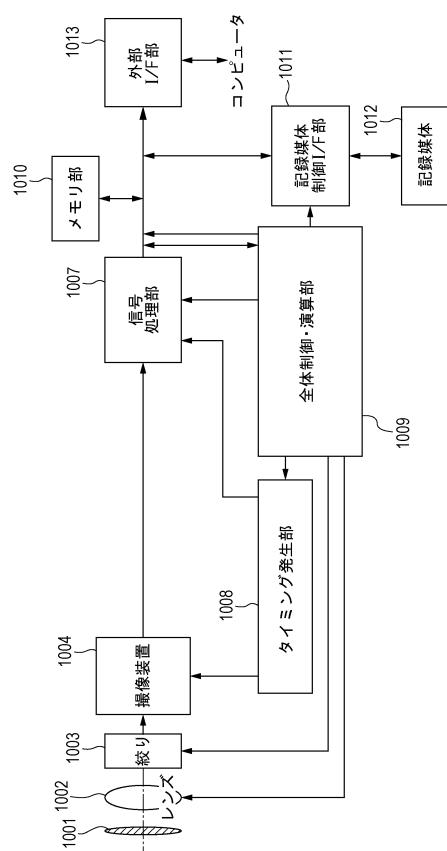
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl. F I

H 01L 29/808 (2006.01)
H 01L 21/337 (2006.01)

(72)発明者 板橋 政次

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 梶尾 誠哉

(56)参考文献 特開平6 - 84948 (JP, A)

特開2010 - 45292 (JP, A)

特開2006 - 351729 (JP, A)

特開2009 - 43923 (JP, A)

特開昭59 - 41871 (JP, A)

特開2006 - 179825 (JP, A)

特開2005 - 252083 (JP, A)

米国特許出願公開第2008 / 0272414 (US, A1)

特開2002 - 231730 (JP, A)

特開昭56 - 64470 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01L 27 / 146

H 01L 21 / 265

H 01L 21 / 337

H 01L 21 / 8232

H 01L 27 / 06

H 01L 29 / 808

H 04N 5 / 369