СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1124286 A

3 (51) G 06 F 7/49

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ВСЕСОЮЗНАЯ ПАТЕНТНО-ТЕХНИЧЕСКАЯ БИБЛИОТЕКА

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3546085/24-24
(22) 31.01.83
(46) 15.11.84. Бюл. № 42
(72) В.Е.Золотовский и Р.В.Коробков
(71) Таганрогский радиотехнический институт им. В.Д.Калмыкова
(53) 681.325(088.8)
(56) 1. Карцев М.А. Арифметика цифровых машин. М., "Наука", 1969, с. 350.

2. Авторское свидетельство СССР № 752335, кл. G 06 F 7/52, 1978.

3. Авторское свидетельство СССР № 860062, кл. G 06 F 7/49, 1979 (прототип).

(54)(57) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ В ИЗБЫТОЧНОЙ СИСТЕМЕ СЧИСЛЕНИЯ, содержащее два регистра, коммутатор и накапливающий сумматор, причем информационные входы регистров соединены с входами соответствующих операндов устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия и упрощения устройства, оно содержит блок удвоения кода, блок инверсии, элемент ИЛИ, четыре элемента И, три элемента НЕ, причем выходы разрядов первого регистра соединены с входами блока удвоения кода и первой группой информационных входов коммутатора, вторая группа информационных входов которого соединена с выходами блока удвоения кода, выходы коммутатора подключены к информационным входам блока инверсии, выходы блока инверсии подключены к входам разрядов накапливающего сумматора, выходы разрядов младшей тетрады которого подключены к входам разрядов старшей тетрады второго регистра, выход первого разряда младшей тетрады второго регистра соединен с первым входом первого элемента И и через элемент НЕ - с первым входом второго элемента И, выход второго разряда младшей тетрады второго регистра соединен с первым входом третьего элемента И и через элемент НЕ - с первым входом четвертого элемента И, выход третьего разряда младшей тетрады второго регистра соединен с вторыми входами второго и четвертого элементов И, выход четвертого разряда младшей тетрады второго регистра соединен с управляющим входом блока инверсии, с входами младших разрядов всех тетрад накапливающего сумматора и через элемент НЕ - с вторым входом третьего элемента И, второй вход первого элемента И и третий вход второго элемента И соединены с первым тактовым входом устройства, третьи входы третьего и четвертого элементов И соединены с вторым тактовым входом устройства, выходы первого элемента И и элемента ИЛИ соединены с управляющими входами коммутатора, входы управления сдвигом второго регистра и накапливающего сумматора соединены с третьим тактовым входом устройства, выходы разрядов второго регистра и накапливающего сумматора являются выходами устройства.

(19) SU (11) 1124286 A

Изобретение относится к вычислительной технике и предназначено для использования в цифровых вычислительных машинах различного назначения.

Известно устройство, предназначенное для реализации операции умножения в параллельном двоичном коде, содержащее два регистра, сумматор и формирователь частичных произведений с входом сумматора, выход второго регистра соединен с вторым входом формирования частичных произведений [1].

Однако известное устройство имеет малое быстродействие. Для повышения быстродействия увеличивают число разрядов множителя, отрабатываемых за один шаг умножения.

Известно устройство умножения, основанное на обработке за один шаг умножения четырех разрядов множителя, содержащее четыре регистра, сумматор, два запоминающих устройства, счетчик, устройство управления, причем выход первого запоминающего устройства через первый регистр соединен с входом сумматора, выход третьего регистра соединен с входом четвертого регистра и через второй регистр - с входом сумматора, выход сумматора соединен с входами первого запоминающего устройства и входами третьего и четвертого регистров, второй выход первого запоминающего устройства соединен с входом второго запоминающего устройства, выход второго запоминающего устройства соединен с входом счетчика и устройства управления [2].

Однако для формирования кратных множимого в таком устройстве требуется выполнение 7 операций сложения, операция умножения ускоряется лишь в 2-3 раза (в зависимости от длины разрядной сетки), при малой разрядной сетке (2 и менее байта) ускорения операции нет. Кроме того, известное устройство требует очень большого расхода оборудования.

Для ускорения операции умножения используют и методы, позволяющие существенно сократить время выполнения операции суммирования. Сокращение времени выполнения операции суммирования возможно при использовании избыточных кодов.

Наиболее близким к изобретению по технической сущности является устройство для умножения в избыточной двоичной системе, содержащее четыре регистра, схему анализа знака, коммутатор, схему умножения, сумматор, причем входы первого и второго регистров и схема анализа знака соединены с входами устройства, выходы первого и второго регистров через схему умножения и коммутатор соединены с входами сумматора, выход схемы анализа знака соединен с вторым входом коммутатора, выход сумматора соединен с входом третьего регистра, выходы третьего регистра соединены с входом четвертого регистра, входом сумматора и выходом устройства [3].

Однако указанное устройство предназначено для обработки последовательных кодов, имеющих ограниченное применение, за один цикл умножения обрабатывается один двоичный разряд множителя, что приводит к малому быстродействию устройства, а кроме того, данное устройство требует большого расхода оборудования.

Целью изобретения является повышение быстродействия и упрощение устройства.

Эта цель достигается тем, что устройство для умножения в избыточной системе счисления, содержащее два регистра, коммутатор и накапливающий сумматор, причем информационные входы регистров соединены с входами соответствующих операндов устройства, содержит блок удвоения кода, блок инверсии, элемент ИЛИ, четыре элемента И, три элемента НЕ, причем выходы разрядов первого регистра соединены с входами блока удвоения кода и первой группой информационных входов коммутатора, вторая группа информационных входов которого соединена с выходами блока удвоения кода, выходы коммутатора подключены к информационным входам блока инверсии, выходы блока инверсии подключены к входам разрядов накапливающего сумматора, выходы разрядов младшей тетрады которого подключены к входам разрядов старшей тетрады второго регистра, выход первого разряда младшей тетрады второго регистра соединен с первым входом первого элемента И и через элемент НЕ - с первым входом второго элемента И, выход второго разряда младшей тетрады второго регистра соединен с первым входом третьего элемента И и через элемент

НЕ - с первым входом четвертого элемента И, выход третьего разряда младшей тетрады второго регистра соединен с вторыми входами второго и четвертого элементов И, выход четвертого разряда младшей тетрады второго регистра соединен с управляющим входом блока инверсии, с входами младших разрядов всех тетрад накапливающего сумматора и через элемент НЕ с вторым входом третьего элемента И, второй вход первого элемента И и третий вход второго элемента И соединены с первым тактовым входом устройства, третьи входы третьего и четвертого элементов И соединены с вторым тактовым входом устройства, выходы первого элемента И и элемента ИЛИ соединены с управляющими входами коммутатора, входы управления сдвигом второго регистра и накапливающего сумматора соединены с третьим тактовым входом устройства, выходы разрядов второго регистра и накапливающего сумматора являются выходами устройства.

На фиг. 1 приведена схема устройства для умножения в избыточной системе счисления, на фиг. 2 - одна тетрада блока удвоения кода, на фиг. 3 - тетрада блока инверсии.

Устройство содержит регистр 1, вход 2 первого операнда, блок 3 удвоения кода, коммутатор 4, блок 5 инверсии, накапливающий сумматор 6, регистр 7, вход 8 второго операнда элемент ИЛИ 9, элемент И 10, элемент НЕ 11, элементы И 12, 13, элемент НЕ 14, элемент И 15, элемент НЕ 16, тактовые входы 17-19, выходы 20 и 21.

Тетрада блока 3 удвоения кода содержит элементы И 22-31, элементы ИЛИ 32-37, элементы НЕ 38-41.

Тетрада блока 5 инверсии содержит элементы И 42-49, элементы ИЛИ 50-53, элементы НЕ 54-58.

Информационный вход регистра 1 соединен с входом 2 устройства, выходы его разрядов соединены с входами блока 3 и коммутатора 4. Выход коммутатора 4 через блок 5 соединен с входом накапливающего сумматора 6. Выход коммутатора 4 через блок 5 соединен с входом накапливающего сумматора 6. Выходы младшей тетрады накапливающего сумматора 6 соединены с входами старшей тетрады регистра 7. Информационные входы регистра 7 соединены с входом 8 устройства. Входы управления сдвигом сумматора 6 и регистра 7 соединены с тактовым входом 19. Младший разряд младшей тетрады регистра 7 соединен с входом элемента И 10 и через элемент НЕ 11 - с входом элемента И 12. Второй разряд младшей тетрады регистра 7 соединен с входом элемента И 13 и через элемент НЕ 14 - с входом элемента И 15. Третий разряд младшей тетрады регистра 7 соединен с вторыми входами элементов И 12 и 15. Четвертый разряд младшей тетрады регистра 7 соединен с управляющим входом блока 5 и через элемент НЕ 16 - с вторым входом элемента И 13. Второй вход элемента И 10 и третий вход элемента И 12 соединены с тактовым входом 17. Третьи входы элементов И 13 и 15 соединены с тактовым входом 18. Выход элемента И 10 соединен с первым управляющим входом коммутатора 4. Выходы элементов И 12, 13, 15 через элемент ИЛИ 9 соединены с вторым управляющим входом коммутатора 4. Выходы накапливающего сумматора 6 и регистра 7 соединены с выходами 20 и 21 устройства соответственно, четвертый разряд тетрады регистра 7 соединен с входами младших разрядов всех тетрад сумматора 6. Элемент ИЛИ 32 (фиг. 2), соединенный с входами блока 3, на которые поступают переносы $П^{+}_{мл\,i}$, $П^{-}_{мл\,i}$ из младшей тетрады регистра 1, формирует младший разряд удвоенной тетрады $в_{1i}$, на элементах НЕ 38-41 формируются инверсии $\overline{П^{-}_{мл\,i}}$, $\bar{а}_{1i}$, $\bar{а}_{2i}$, $\bar{а}_{4i}$, соответственно. С помощью элементов И 22, 23 и элемента ИЛИ 33 формируется второй разряд удвоенной тетрады $в_{2i}$, с помощью элементов И 24-26 и элемента ИЛИ 34 - третий разряд $в_{3i}$, с помощью элемента ИЛИ 35 и элемента И 27 - четвертый разряд $в_{4i}$. Аналогично элементы И 28, 29 и элемент ИЛИ 36 формируют перенос в старшую тетраду $П^{+}_{ст\,i}$, элементы И 30, 31 и элемент ИЛИ 37 - перенос $П^{-}_{ст\,i}$. Множимое и его удвоенное значение поступают на информационные входы коммутатора 4. Коммутатор 4 управляется схемой анализа кода, состоящей из элементов И 10, 12, 13, 15, элементов НЕ 11, 14, 16 и элемента ИЛИ 9. На входы этой схемы поступает очередная тетрада

множителя. Очередная тетрада множителя отрабатывается за два такта. Если обозначить управляющий сигнал первого такта, поступающий на вход 17, как C_1, сигнал второго такта, поступающий на вход 18, как C_2, разряды очередной тетрады множителя d_{4j}, d_{3j}, d_{2j}, d_{1j}, сигнал на входе коммутатора 4, управляющий передачей множимого, как $У_1$ и сигнал на входе коммутатора 4, управляющей передачей удвоенного множимого, как $У_2$, то управление коммутатора 4 опишется следующими булевыми выражениями:

$$Y_1 = c_1 d_{1j} ;$$

$$Y_2 = c_2 d_{3j} \bar{d}_{1j} + c_2 \bar{d}_{4j} d_{2j} + c_2 d_{3j} \bar{d}_{2j} .$$

Сформированные в коммутаторе 4 частичные произведения поступают на блок инверсии 5. Блок инверсии 5 управляется знаковым разрядом очередной тетрады множителя d_{4j}. Если $d_{4j} = 0$, частичное произведение проходит на вход сумматора 6 без изменений. Если $d_{4j} = 1$ на вход сумматора 6 поступает двоичная инверсия частичного произведения и одновременно в младший разряд каждой тетрады сумматора 6 поступает единица. На входы блока 5 (фиг. 3) поступает тетрада частичного произведения, сформированная в коммутаторе. В элементах НЕ 54-57 формируется ее инверсия. Знаковый разряд тетрады множителя f_{4j} инвертируется в элементе НЕ 58. Если $d_{4j} = 0$, то $\bar{d}_{4j} = 1$, и через элементы И 42-45 и элементы ИЛИ 50-53 проходит тетрада частичного произведения без изменения. Если $d_{4j} = 1$, то через элементы И 46-49 и элементы ИЛИ 50-53 проходит инверсия тетрады частичного произведения. На выходах формируется тетрада частичного произведения с присвоенным знаком. Так как тетрады кодируются в дополнительном коде, то при $d_{4j} = 1$ содержимое каждой тетрады сумматора 6 должно быть увеличено на единицу младшего разряда. С этой целью выход d_{4j} подключается к свободному входу младшего разряда тетрады сумматора.

Устройство работает следующим образом.

Множимое с входа 2 записывается в регистр 1, множитель с входа 8 - в регистр 7. Сомножители представлены в избыточном восьмеричном коде, цифры которого кодируются следующим образом:

0 - 0000
+1 - 0001
+2 - 0010
+3 - 0011
+4 - 0100
-1 - 1111
-2 - 1110
-3 - 1101

т.е. одна восьмеричная цифра представляется в виде тетрады, старший разряд тетрады кодирует знак цифры, три последующих разряда - саму цифру.

С выхода регистра 1 множимое поступает на вход удвоителя 3, который формирует удвоенное значение множимого. Удвоитель 3 представлет собой комбинационное устройство, состоящее из однотипных блоков-тетрад. Если обозначить:

$a_{4i}, a_{3i}, a_{2i}, a_{1i}$ - разряды i- й тетрады множимого,

$b_{4i}, b_{3i}, b_{2i}, b_{1i}$ - разряды i-й тетрады удвоенного множимого,

$\Pi^{+}_{ст\,i}, \Pi^{-}_{ст\,i}$ - положительный и отрицательный переносы, формирующиеся в i-й тетраде и поступающие в соседнюю тетраду,

$\Pi^{+}_{мл\,i}, \Pi^{-}_{мл\,i}$ - положительный и отрицательный переносы, поступающие в i-ю тетраду из соседней младшей тетрады,

то одна тетрада удвоителя описывается следующей системой выражений:

$$b_{4i} = b_{3i}(b_{2i} + b_{1i}) ;$$

$$b_{3i} = a_{2i} \bar{\Pi}^{-}_{мл\,i} + a_{1i} a_{2i} + \bar{a}_{1i} a_{2i} \Pi^{-}_{мл\,i} ;$$

$$b_{2i} = a_{1i} \bar{\Pi}^{-}_{мл\,i} + \bar{a}_{1i} \Pi^{-}_{мл\,i} ;$$

$$b_{1i} = \Pi^{+}_{мл\,i} + \Pi^{-}_{мл\,i} ;$$

$$\Pi^{+}_{ст\,i} = \bar{a}_{4i} a_{3i} + a_{1i} a_{2i} + \Pi^{+}_{мл\,i} a_{4i} a_{2i} ;$$

$$\Pi^{-}_{ст\,i} = a_{4i} \bar{a}_{2i} + \Pi^{-}_{мл\,i} a_{4i} \bar{a}_{1i} .$$

В коммутаторе 4 блока инверсии 5 формируется произведение множимого на восьмеричный (с учетом знака) разряд множителя. Это произведение

поступает на вход сумматора 7, работающего в избыточных кодах, и суммируется в нем с ранее накопленной суммой. По завершении отработки тетрады множителя на вход 19 поступает сигнал сдвига, содержимое сумматора 6 и регистра 7 сдвигается на одну тетраду в сторону младших разрядов Умножение завершается после отработки последней тетрады, множителя. Старшие тетрады произведения из сумматора 6 поступают на выход 20 устройства. Младшие тетрады из регистра 7 поступают на выход 21 устройства.

В отличие от прототипа данное устройство позволяет обрабатывать параллельные коды, используемые практически повсеместно. Для представления числа 2^n в прототипе требуется n избыточных двоичных разрядов. Операция умножения занимает $2n$ тактов. В предлагаемом устройстве для представления чисел такого же диапазона потребуется К тетрад, где К находится из выражения

$$4 \cdot 8^{k-1} \geq 2^n ,$$

откуда

$$K = \frac{n+1}{3} .$$

Отработка одной тетрады требует три такта и время умножения составляет $(n+1)$ тактов. Следовательно, время умножения сокращается примерно в 2 раза. Сравним прототип с данным устройством по расходу оборудования.

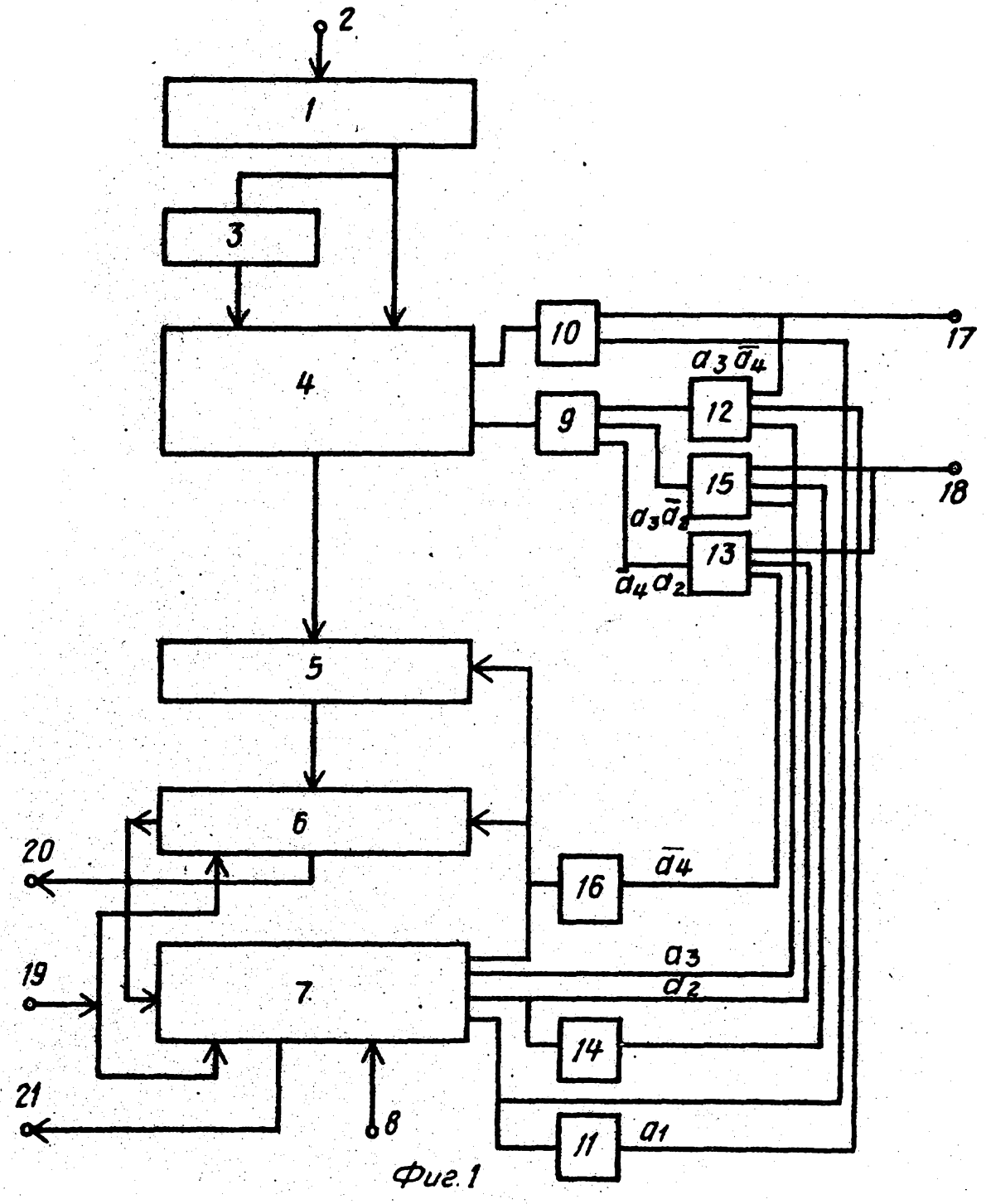
Прототип содержит четыре регистра, причем два из них (для сомножителей) предназначены для приема двоичного избыточного кода, т.е. представляют собой по два двоичных регистра и два для результата (эквивалентные обычным двоичным регистрам). В результате все регистры 6_nП триггеров. Данное устройство для построения регистров сомножителей требует $\frac{8}{3}(n+1)$ триггеров (при равном диапазоне изменения чисел).

В результате экономия составляет $(\frac{10}{3}n - 3)$ триггера. Коммутаторы и сумматоры прототипа и данного устройства примерно эквивалентны.

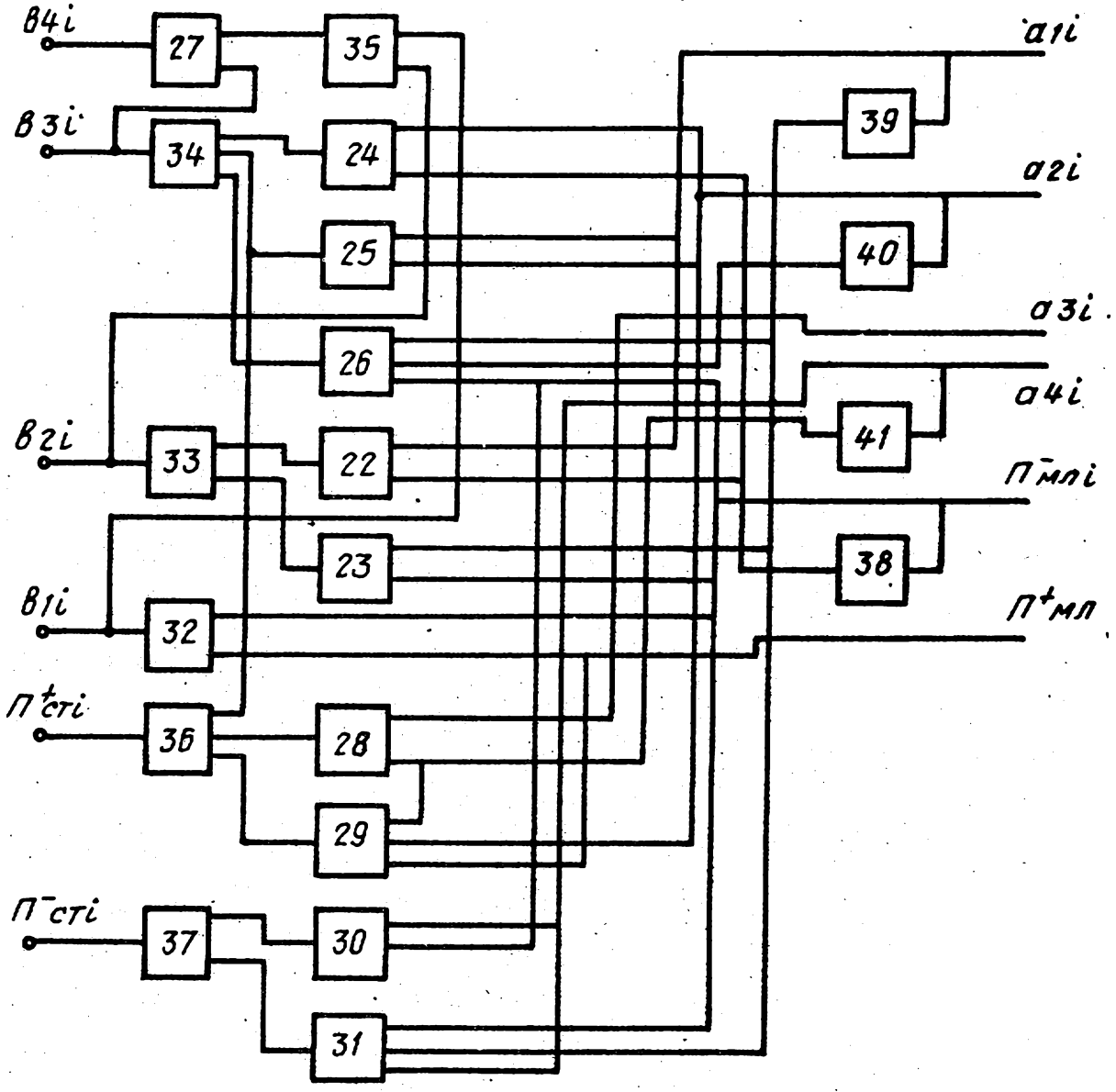
Схема анализа знака прототипа примерно эквивалентна четырем элементам И, трем элементам НЕ и одному элементу ИЛИ.

Схема умножения прототипа примерно эквивалентна блоку инверсии прилагаемого устройства.

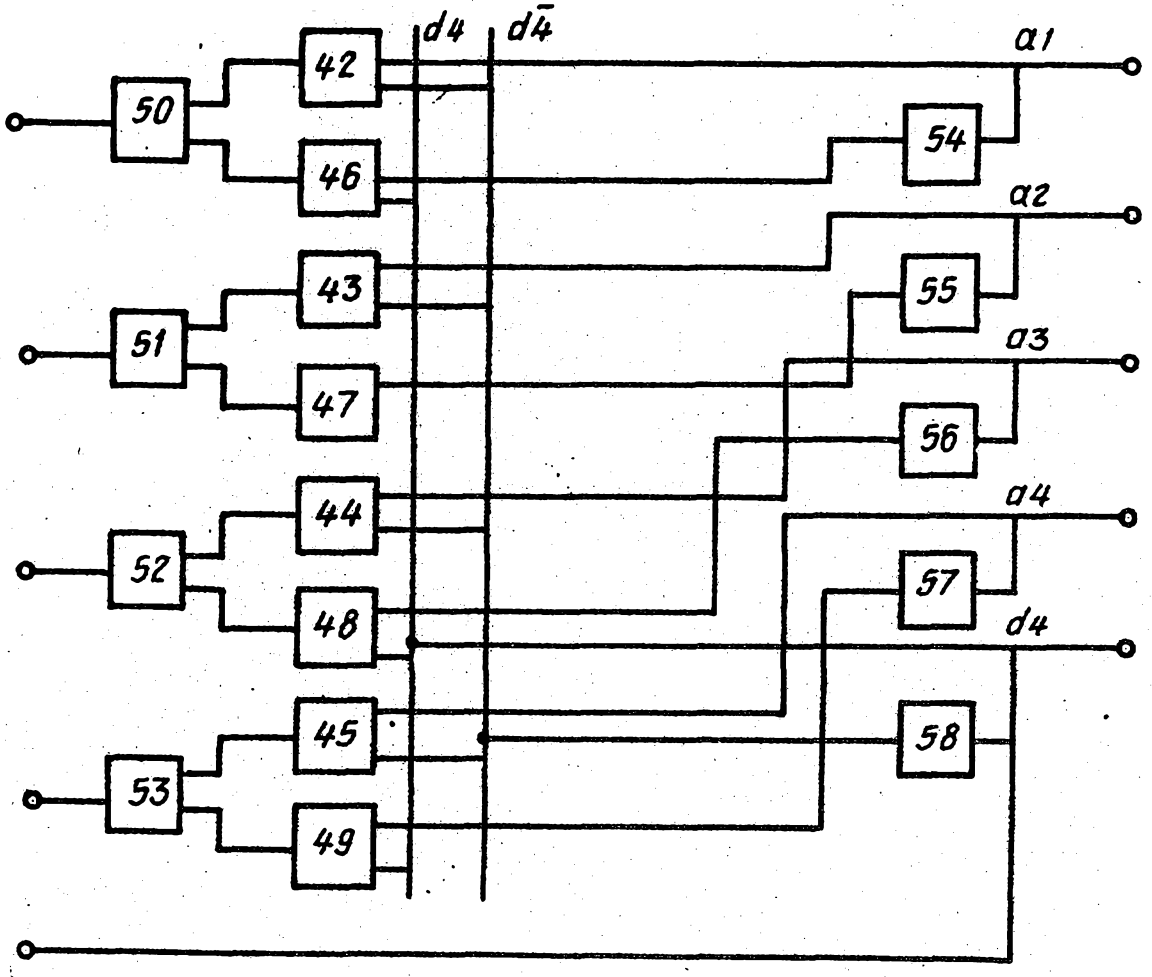
В результате данное устройство оказывается экономичнее прототипа почти на 30%.


2
1
3
4
10
9
12
15
13
5
6
16
7
14
11
17
18
20
19
21
8
$a_3\bar{a}_4$
$a_3\bar{a}_2$
a_4a_2
$\bar{a}_4$
a_3
a_2
a_1

Фиг. 1


в4і
27
35
а1і
в3і
34
24
39
а2і
25
40
а3і
26
а4і
в2і
33
22
41
П⁻млі
23
38
в1і
32
П⁺мл
П⁺сті
36
28
29
П⁻сті
37
30
31

Фиг. 2



Фиг. 3

Составитель В,Березкин
Редактор Н.Швыдкая Техред М.Надь Корректор М.Розман

Заказ 8280/37 Тираж 699 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП"Патент", г. Ужгород, ул. Проектная, 4