

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-109343

(P2015-109343A)

(43) 公開日 平成27年6月11日(2015.6.11)

(51) Int.Cl.	F 1	テーマコード (参考)		
HO1L 21/336 (2006.01)	HO1L 29/78	301N	4M118	
HO1L 29/78 (2006.01)	HO1L 27/08	102D	5FO33	
HO1L 21/8234 (2006.01)	HO1L 27/14	A	5FO48	
HO1L 27/088 (2006.01)	HO1L 27/06	102A	5F140	
HO1L 27/146 (2006.01)	HO1L 21/90	K		
審査請求 未請求 請求項の数 17 O.L. (全 20 頁) 最終頁に続く				
(21) 出願番号	特願2013-251386 (P2013-251386)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号	
(22) 出願日	平成25年12月4日 (2013.12.4)	(74) 代理人	100126240 弁理士 阿部 琢磨	
		(74) 代理人	100124442 弁理士 黒岩 創吾	
		(72) 発明者	廣田 克範 東京都大田区下丸子3丁目30番2号キヤ ノン株式会社内	
		F ターム (参考) 4M118 AA10 AB01 BA14 CA04 CA34 FA06 FA08 FA26 FA28 GA02 GC07 GD04		
最終頁に続く				

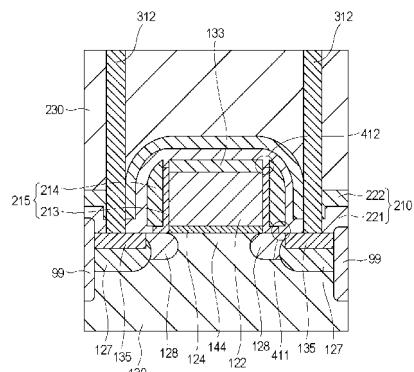
(54) 【発明の名称】半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】信頼性の高い半導体装置を提供する。

【解決手段】第一絶縁体膜210をエッティングすることで
ゲート電極122の側面を覆うサイドウォールスペーサ215
を形成する第一工程と、ゲート電極の上面とサイドウォ
ールスペーサとソース・ドレイン領域とを覆う、酸化シリ
コン層と窒化シリコン層の積層膜である第二絶縁体膜
を形成する第二工程と、を有し、第二工程は、酸化シリ
コン層をサイドウォールスペーサに接するように熱CVD
法により形成する段階と、窒化シリコン層を第二絶縁
体膜の酸化シリコン層に接するようにプラズマCVD法
により形成する段階とを含む。

【選択図】図3



【特許請求の範囲】

【請求項 1】

絶縁ゲート型電界効果トランジスタを備える半導体装置の製造方法であって、シリコン基板の上に設けられた前記トランジスタのゲート電極の上面および側面と前記トランジスタのソース・ドレイン領域とを覆う第一絶縁体膜を形成し、前記第一絶縁体膜をエッティングすることで前記ゲート電極の前記側面を覆うサイドウォールスペーサを形成する第一工程と、

前記ゲート電極の前記上面と前記サイドウォールスペーサと前記ソース・ドレイン領域とを覆う、酸化シリコン層と窒化シリコン層の積層膜である第二絶縁体膜を形成する第二工程と、を有し、

前記第二工程は、前記第二絶縁体膜の前記酸化シリコン層を前記サイドウォールスペーサに接するように熱CVD法により形成する段階と、前記第二絶縁体膜の前記窒化シリコン層を前記第二絶縁体膜の前記酸化シリコン層に接するようにプラズマCVD法により形成する段階とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】

前記熱CVD法は、プロセスガスの圧力が200Pa以上600Pa以下の範囲で行う、請求項1に記載の半導体装置の製造方法。

【請求項 3】

前記第二工程では、前記サイドウォールスペーサと前記シリコン基板との間に存在する隙間を前記第二絶縁体膜の前記酸化シリコン層で埋めるように前記第二絶縁体膜の前記酸化シリコン層を形成する、請求項1または2に記載の半導体装置の製造方法。

【請求項 4】

前記シリコン基板には、前記トランジスタを有する周辺回路部と、光電変換素子を有する画素回路部とが設けられており、

前記第一工程では、前記光電変換素子の受光領域を覆うように前記第一絶縁体膜を形成し、前記第一絶縁体膜の前記受光領域の上に位置する部分を残存させつつ前記サイドウォールスペーサを形成する、請求項1乃至3のいずれか1項に記載の半導体装置の製造方法。

【請求項 5】

前記画素回路部は、前記光電変換素子で生じた電荷の量に基づく信号を生成する増幅素子を有し、

前記第一工程では、前記増幅素子のチャネル領域を覆うように前記第一絶縁体膜を形成し、前記第一絶縁体膜の前記チャネル領域の上に位置する部分を残存させつつ前記サイドウォールスペーサを形成する、請求項4に記載の半導体装置の製造方法。

【請求項 6】

前記第一工程と前記第二工程との間に、前記ソース・ドレイン領域にシリサイド層を形成する工程を有する、請求項1乃至5のいずれか1項に記載の半導体装置の製造方法。

【請求項 7】

前記ソース・ドレイン領域を覆う保護膜を形成し、前記保護膜の前記ソース・ドレイン領域とは別の領域の上に位置する部分を残存させつつ、前記保護膜の前記ソース・ドレイン領域の上に位置する部分をエッティングにより除去する段階と、

前記ソース・ドレイン領域および前記保護膜の前記別の領域の上に残存させた前記部分を覆う金属膜を形成し、前記金属膜と前記ソース・ドレイン領域とを反応させることで前記シリサイド層を形成する段階とを含む、請求項6に記載の半導体装置の製造方法。

【請求項 8】

前記第一工程の前に、前記ソース・ドレイン領域に不純物領域を形成し、前記第一工程と前記第二工程の間であって前記シリサイド層を形成する前に、前記ソース・ドレイン領域および前記別の領域に、前記不純物領域よりも不純物濃度が高い不純物領域を形成する、請求項7に記載の半導体装置の製造方法。

【請求項 9】

10

20

30

40

50

前記別の領域には前記保護膜の下に抵抗素子が位置する、請求項 7 または 8 に記載の半導体装置の製造方法。

【請求項 1 0】

前記第一絶縁体膜は酸化シリコン層と窒化シリコン層の積層膜であり、

前記第一工程は、前記第一絶縁体膜の前記酸化シリコン層を熱 CVD 法により形成する段階と、前記第一絶縁体膜の前記窒化シリコン層を前記第一絶縁体膜の前記酸化シリコン層に接するように熱 CVD 法により形成する段階とを含む、請求項 1 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 1】

前記第二絶縁体膜の前記酸化シリコン層を形成する段階における熱 CVD 法のプロセスガスの圧力は、前記第一絶縁体膜の前記酸化シリコン層を形成する段階における熱 CVD 法のプロセスガスの圧力よりも高い、請求項 1 0 に記載の半導体装置の製造方法。

【請求項 1 2】

前記第二絶縁体膜を貫通して前記ソース・ドレイン領域に接続する導電体部材を形成する第三工程と、を備える、請求項 1 乃至 1 1 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 1 3】

前記第三工程は、前記第二絶縁体膜および前記第二絶縁体膜を覆う第三絶縁体膜に、前記ソース・ドレイン領域の上に位置するコンタクトホールを形成する段階を含み、前記第三絶縁体膜に前記コンタクトホールを形成する際に、前記第二絶縁体膜をエッチングストップとして用いる、請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】

前記第三絶縁体膜を平坦化する段階を有する、請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】

前記シリコン基板の上には、前記トランジスタを有する周辺回路部と、光電変換素子および前記光電変換素子をリセットするリセット素子を有する画素回路部とが設けられており、

前記リセット素子は前記第一絶縁体膜で覆われてあり、

前記第二絶縁体膜の前記窒化シリコン層の前記リセット素子の上に位置する部分を除去する段階と、

前記第一絶縁体膜および前記第三絶縁体膜に、前記リセット素子の不純物領域の上に位置するコンタクトホールを形成する段階と、を含み、

前記リセット素子の前記不純物領域の上の前記コンタクトホールを形成する際に、前記第一絶縁体膜をエッチングストップとして用いる、請求項 1 3 または 1 4 に記載の半導体装置の製造方法。

【請求項 1 6】

前記リセット素子の前記不純物領域の上に位置する前記コンタクトホールと、前記ソース・ドレイン領域の上に位置する前記コンタクトホールとを異なるタイミングで形成する、請求項 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】

前記第二工程の後に、前記トランジスタが前記第二絶縁体膜で覆われた状態で、水素雰囲気中にて前記シリコン基板を加熱する工程を有する、請求項 1 乃至 1 6 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、絶縁ゲート型電界効果トランジスタを備える半導体装置に関する。

【背景技術】

【0 0 0 2】

10

20

30

40

50

特許文献1には、水素供給膜として機能する、紫外線光源によるプラズマCVD法で成膜したシリコン窒化膜(UV-SiN)で覆われたトランジスタが記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-252032号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に記載されたトランジスタについて詳細に検討したところ、信頼性に課題があることが分かった。ここでいう信頼性とはノイズ特性やゲート絶縁膜の長期信頼性である。長期信頼性の検討項目としては、絶縁膜経時破壊(TDDDB: Time Dependent Dielectric Breakdown)が挙げられる。また、負バイアス温度不安定性(NBTI: Negative Bias Temperature Instability)が挙げられる。

10

【課題を解決するための手段】

【0005】

上記課題を解決するための手段は、絶縁ゲート型電界効果トランジスタを備える半導体装置の製造方法であって、シリコン基板の上に設けられた前記トランジスタのゲート電極の上面および側面と前記トランジスタのソース・ドレイン領域とを覆う第一絶縁体膜を形成し、前記第一絶縁体膜をエッチングすることで前記ゲート電極の前記側面を覆うサイドウォールスペーサを形成する第一工程と、前記ゲート電極の前記上面と前記サイドウォールスペーサと前記ソース・ドレイン領域とを覆う、酸化シリコン層と窒化シリコン層の積層膜である第二絶縁体膜を形成する第二工程と、を有し、前記第二工程は、前記第二絶縁体膜の前記酸化シリコン層を前記サイドウォールスペーサに接するように熱CVD法により形成する段階と、前記第二絶縁体膜の前記窒化シリコン層を前記第二絶縁体膜の前記酸化シリコン層に接するようにプラズマCVD法により形成する段階とを含むことを特徴とする。

20

【発明の効果】

【0006】

30

本発明によれば、信頼性の高い半導体装置を提供することができる。

【図面の簡単な説明】

【0007】

【図1】半導体装置の一例の(a)平面模式図、(b)回路図。

【図2】半導体装置の一例の(a)平面模式図、(b)断面模式図。

【図3】半導体装置の一例の断面模式図。

【図4】半導体装置の製造方法の一例の断面模式図。

【図5】半導体装置の製造方法の一例の断面模式図。

【図6】半導体装置の製造方法の一例の断面模式図。

40

【発明を実施するための形態】

【0008】

以下、図面を参照して、本発明を実施するための形態を説明する。なお、以下の説明および図面において、共通の構成については共通の符号を付している。そのため、複数の図面を相互に参照して共通する構成を説明し、共通の符号を付した構成については適宜説明を省略する。

【0009】

本発明を実施するための形態の1つとして半導体装置の一種である撮像装置ISを例に挙げて説明する。

【0010】

図1(a)に示した半導体装置1000は、画素回路10が配された画素回路部1と周

50

辺回路が配された周辺回路部2とを備える。画素回路部1と周辺回路部2は单一のシリコン基板100上に共通に設けられる。図1(a)において一点鎖線で囲まれた領域が画素回路部1であり、一点鎖線と二点鎖線の間の領域が周辺回路部2である。周辺回路部2は、画素回路部1の周囲、つまり、画素回路部1とシリコン基板100の縁との間に位置する。図1(a)では複数の画素回路10を2次元状に配列したエリアセンサの例を示すが、複数の画素回路10を1次元状に配列したリニアセンサとしてもよい。

【0011】

図1(b)は画素回路10の回路図である。画素回路10は、光電変換素子11と転送素子12と容量部13と増幅素子15とリセット素子16と選択素子17とを備える。本例では、光電変換素子11はフォトダイオードであり、増幅素子15、リセット素子16および選択素子17はトランジスタである。

10

【0012】

画素回路を構成するトランジスタを画素トランジスタと称する。増幅素子15、リセット素子16および選択素子17は絶縁ゲート型電界効果トランジスタである。絶縁ゲート型電界効果トランジスタはMISFET(Metal-Insulator-Semiconductor Field-Effect Transistor)と同義である。本例では、ゲート絶縁膜に酸化膜を用いたMOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)を用いているがゲート絶縁膜の種類は酸化膜に限らない。ゲート絶縁膜は、純粋な酸化シリコンであってもよいし、純粋な窒化シリコンであってもよい。また、ゲート絶縁膜は酸化ハフニウムなどのいわゆる高誘電率(high-k)ゲート絶縁膜であってもよい。転送素子12はMOS型ゲートであり、転送素子12をゲート、光電変換素子11をソース、容量部13をドレインとするトランジスタとみなすことができる。

20

【0013】

本例では全ての画素トランジスタはチャネル(反転層)がn型のMOSFET(nMOSFET)であるが、pMOSFETを含んでいてもよい。画素回路10の各素子は絶縁ゲート型電界効果トランジスタ以外のトランジスタを含んでいてもよく、例えば増幅素子15は、接合型電界効果トランジスタ(JFET: Junction FET)であってもよいし、バイポーラトランジスタであってもよい。以下の説明では、画素回路において信号電荷として取り扱う電荷を多数キャリアとする導電型に一致する導電型を第一導電型とし、信号電荷として取り扱う電荷を少数キャリアとする導電型に一致する導電型を第二導電型とする。信号電荷として電子を用いる場合にはn型が第一導電型、p型が第二導電型となる。

30

【0014】

転送素子12は光電変換素子11で生じた信号電荷を容量部13へ転送する。容量部13はその容量と信号電荷の量に応じた電圧をノード14に生じる。増幅素子15のゲートはノード14を介して容量部13に接続されており、増幅素子15のドレインは選択素子17を介して電源線21に接続されており、増幅素子15のソースは選択素子17を介して出力線22に接続されている。容量部13および増幅素子15のゲートはリセット素子16を介して電源線21に接続されている。リセット素子16をONにすることでノード14の電位が電源電位に応じた電位にリセットされる。選択素子17をONにすることでノード14の電位に応じた信号が増幅素子15から出力線22に出力される。画素回路部1の構成は適宜変更することができる。

40

【0015】

図1(a)に示す様に、周辺回路部2には、画素回路10で生成された電気信号を処理する信号処理ユニット40を設けることができる。また、周辺回路部2には、信号処理ユニット40に加えて、信号処理ユニット40で処理された信号を外部に出力するための出力ユニット50や、画素回路10や信号処理ユニット40を制御するための制御ユニット60も備えることができる。これら信号処理ユニット40や出力ユニット50、制御ユニット60を構成する回路を周辺回路と総称する。

50

【0016】

本例では、信号処理ユニット40は、複数の列アンプを有する増幅回路41と、複数の列A/Dコンバータを有する変換回路42と、変換回路42からの出力を選択して出力ユニット50へ出力するための水平走査回路43を有している。信号処理ユニット40は、CDS(相関二重サンプリング)処理や、パラレル・シリアル変換処理、アナログ・デジタル変換処理などを行うように設計することができる。出力ユニット50は電極パッドや保護回路を有し、制御ユニット60は、垂直走査回路61やタイミング生成回路62等を有する。周辺回路部2の構成は適宜変更することができる。

【0017】

周辺回路は複数の絶縁ゲート型電界効果トランジスタで構成することができ、特に、nMOSFETとpMOSFETを有するCMOS(Complementary MOS)回路で構成することができる。周辺回路を構成するトランジスタを周辺トランジスタと称し、導電型を特定する場合には周辺nMOSFET、周辺pMOSFETなどと称する。また、周辺回路には、トランジスタやダイオードのような能動素子だけでなく、抵抗素子や容量素子などの受動素子が含まれる。

10

【0018】

図2を用いてより詳細な構成を説明する。図2(a)は画素回路部1の画素回路10および周辺回路部2の一部の平面模式図である。

【0019】

図2(a)には、光電変換素子11の受光領域101、容量部13が設けられ、電荷を検出する検出領域103、リセット素子16のドレイン領域106を示している。また、図2(a)には、増幅素子15のドレイン領域105、増幅素子15のソース領域104、選択素子17のソース領域107を示している。なお、検出領域103はリセット素子16のソース領域を兼ね、増幅素子15のソース領域104は選択素子17のドレイン領域を兼ねている。以下、絶縁ゲート型電界効果トランジスタのソース領域およびドレイン領域の一方に該当する領域をソース・ドレイン領域と総称する。図2(a)には、周辺nMOSFETのソース・ドレイン領域108、周辺pMOSFETのソース・ドレイン領域109を示している。

20

【0020】

図2(a)には、転送素子12のゲート電極111、リセット素子16のゲート電極120、増幅素子15のゲート電極112、選択素子17のゲート電極131を示している。また、図2(a)には、周辺nMOSFETのゲート電極121、周辺pMOSFETのゲート電極122を示している。各ゲート電極は、ポリシリコン(多結晶硅素)からなるポリシリコン層材である。なお、本例のゲート電極121とゲート電極122は1つのポリシリコン層材で一体的に設けられているが、別体にしてもよい。

30

【0021】

図2(a)には、画素回路10の基準コンタクト領域102を示している。基準コンタクト領域102は、配線を介して画素回路10の基準電位(例えば接地電位)を供給するための基準コンタクトが設けられる。画素回路部1に複数の基準コンタクト領域102を設けることで、画素回路部1において基準電位がばらつくことを抑制し、画像に生じるシエーディングを抑制できる。

40

【0022】

図2(a)には、周辺回路の抵抗素子110を示している。抵抗素子135の不純物領域の両端にコンタクトを設けることで、コンタクト間の距離に応じた抵抗を得ることができる。本例では抵抗素子110の不純物領域はn型であるが、p型であってもよく、n型の不純物領域を有する抵抗素子110と、p型の不純物領域を有する抵抗素子が混在していてもよい。周辺回路部2には、他の受動素子を設けることができる。例えばポリシリコン層材で構成されたMOS構造を有する容量部や、ポリシリコン層材で構成された抵抗素子である。

【0023】

50

受光領域 101 や検出領域 103 、画素トランジスタのソース領域、ドレイン領域、周辺 nMOSFET のソース・ドレイン領域 108 はいずれも n 型の不純物領域である。周辺 pMOSFET のソース・ドレイン領域 109 は p 型の不純物領域である。

【0024】

図 2 (b) は図 2 (a) の A - B 線における断面模式図である。シリコンなどの半導体からなるシリコン基板 100 は、素子分離領域によって複数の活性領域に区分されている。素子分離領域は、シャロートレンチアイソレーション法 (STI) または選択酸化法 (LOCOS) などにより形成された素子分離用の絶縁物 99 によって構成される。各々の活性領域には不純物領域が設けられており、不純物領域が半導体素子を構成する。素子分離領域には PN 接合分離を成すための p 型の不純物領域 (不図示) を設けることもできる。

10

【0025】

シリコン基板 100 の活性領域には、素子の導電型に応じた導電型を有するウェルが設けられる。画素回路部 1 には p 型のウェル 118 が、周辺回路部 2 には p 型のウェル 129 と n 型のウェル 130 がそれぞれ設けられている。図 2 (a)、(b) に示した基準コンタクト領域 102 には、p 型のウェル 118 よりも不純物濃度が高い p 型の不純物領域 (不図示) が設けられている。基準コンタクト領域 102 の不純物領域に接続された配線から、この不純物領域を介して p 型のウェル 118 に基準電位が供給される。

【0026】

まず、画素回路部 1 の断面構造について説明する。受光領域 101 には光電変換素子 1 の n 型の蓄積領域 115 が設けられており、蓄積領域 115 とシリコン基板 100 の表面との間には、光電変換素子を埋め込みフォトダイオードとするための p 型の表面領域 119 が設けられている。検出領域 103 には容量部 13 を構成する不純物領域 116 が設けられている。不純物領域 116 は浮遊拡散領域となっている。增幅素子 15 、リセット素子 16 および選択素子 17 のソース・ドレイン領域には、それぞれ n 型の不純物領域 117 が設けられている。なお、図 2 (b) には、增幅素子 15 の断面を示しているが、リセット素子 16 と選択素子 17 でも同様である。

20

【0027】

ゲート絶縁膜 113 あるいはゲート絶縁膜 114 を介してシリコン基板 100 の上に設けられたゲート電極 111 、 112 の上面は、酸化シリコンあるいは窒化シリコンからなる絶縁体部材 201 、 202 でそれぞれ覆われている。本例のゲート絶縁膜 113 、 114 および画素回路 10 の他の素子のゲート絶縁膜は、酸化シリコンを主たる材料とするがプラズマ窒化法や熱酸窒化法などにより微量 (10 % 未満) の窒素を含有する酸化シリコンである。窒素を含有する酸化シリコンは誘電率が純粋な酸化シリコンに比べて高いため、トランジスタの駆動能力が向上する。もちろんゲート絶縁膜は、純粋な酸化シリコンであってもよいし、純粋な窒化シリコンであってもよい。また、ゲート絶縁膜は酸化ハフニウムなどのいわゆる高誘電率 (high-k) ゲート絶縁膜であってもよい。

30

【0028】

第一絶縁体膜 210 は、絶縁体部材 201 、 202 を介してゲート電極 111 、 112 の上面を覆い、さらに、ゲート電極 111 、 112 の側面を覆っている。また、第一絶縁体膜 210 は、ゲート電極 120 、 131 の上面を覆う絶縁体部材を介してゲート電極 120 、 131 の上面を覆っており、さらに、ゲート電極 120 、 131 の側面を覆っている。また、第一絶縁体膜 210 は、受光領域 101 と検出領域 103 、さらには、增幅素子 15 、リセット素子 16 および選択素子 17 のソース・ドレイン領域を覆っている。

40

【0029】

第一絶縁体膜 210 は、下層の第一酸化シリコン層 211 と、上層の第一窒化シリコン層 212 とを含む複層膜 (積層膜) である。第一酸化シリコン層 211 と第一窒化シリコン層 212 とが接して界面を成している。本例では、第一酸化シリコン層 211 は、ゲート電極 111 、 112 、 120 、 131 の側面に接しているが、第一酸化シリコン層 211 とゲート電極 111 、 112 、 120 、 131 との間に別の層が介在していてもよい。

50

本例では、第一酸化シリコン層211は、受光領域101と検出領域103、さらには、增幅素子15、リセット素子16および選択素子17のソース・ドレイン領域に接して、シリコン基板100と界面を成している。しかし、第一酸化シリコン層211とシリコン基板100との間に別の層が介在してもよい。

【0030】

屈折率が約1.5である第一酸化シリコン層211と屈折率が約2.0である第一窒化シリコン層212との積層膜である第一絶縁体膜210が受光領域101を覆うことで、第一絶縁体膜210を受光領域101への入射光の反射防止膜として用いることができる。より良好な反射防止特性を得る上で、第一窒化シリコン層212の厚みは第一酸化シリコン層211の厚みよりも大きいことが好ましい。窒化シリコンは酸化シリコンより高い屈折率を有するからである。

10

【0031】

第一絶縁体膜210の上には、第一絶縁体膜210を覆う保護膜240が設けられている。保護膜240は、酸化シリコン層や窒化シリコン層を含む絶縁体の単層膜あるいは複層膜である。保護膜240の上には、保護膜240を覆う第二酸化シリコン層221が設けられている。第二酸化シリコン層221の上には、第二酸化シリコン層221を覆う第三絶縁体膜230が設けられている。第三絶縁体膜230の材料は、例えばBPSG、B20
SG、PSG等のケイ酸塩ガラスや酸化シリコンである。第三絶縁体膜230の上面はその下地層となる第二酸化シリコン層221の表面の凹凸を実質的に反映しない平坦面となっている。

【0032】

第三絶縁体膜230、第二酸化シリコン層221、保護膜240および第一絶縁体膜210を貫通して增幅素子15、リセット素子16および選択素子17のソース・ドレイン領域に接続する導電体部材311が設けられている。導電体部材311は、例えばタンゲステンを主として構成されるコンタクトプラグである。このほか、ゲート電極111、112、120、131にそれぞれ接続する導電体部材313(図2(a)参照)も設けられる。導電体部材313は第三絶縁体膜230、第二酸化シリコン層221、保護膜240、第一絶縁体膜210および絶縁体部材201、202を貫通してゲート電極111、112に接触する。

【0033】

次に、周辺回路部2の断面構造について説明する。なお、図3は周辺pMOSFETの拡大図であり、図2と図3を合わせて説明する。周辺nMOSFETのソース・ドレイン領域108には、n型の高濃度の不純物領域125と、n型の低濃度の不純物領域126と、シリサイド層などのシリサイド層134が設けられている。シリサイド層134は不純物領域125を覆っている。不純物領域125は不純物領域126よりも不純物濃度が高い。周辺pMOSFETのソース・ドレイン領域109には、p型の高濃度の不純物領域127と、p型の低濃度の不純物領域128と、シリサイド層などのシリサイド層135が設けられている。不純物領域127は不純物領域128よりも不純物濃度が高い。シリサイド層135は不純物領域127をそれぞれ覆っている。このように、周辺トランジスタは、高濃度の不純物領域125、127と、低濃度の不純物領域126、128によるLDD(Lightly Doped Drain)構造を有することができる。

30

【0034】

ゲート電極121、122は、ゲート絶縁膜123あるいはゲート絶縁膜124を介してシリコン基板100の上に設けられている。本例のゲート絶縁膜123、124は、画素回路10の画素トランジスタと同様に、酸化シリコンを主たる材料とするがプラズマ窒化法や熱酸窒化法などにより微量(10%未満)の窒素を含有する酸化シリコンである。また、本例の周辺トランジスタに用いられるゲート絶縁膜123、124の厚みは、画素トランジスタに用いられるゲート絶縁膜113、114よりも厚みよりも小さい。例えば、ゲート絶縁膜113、114の厚みは5.0nm以上10nm以下であり、ゲート絶縁膜123、124の厚みは1.0nm以上5.0nm未満である。このようにすることで

40

50

、画素MOSFETの耐圧向上と周辺MOSFETの駆動速度向上とを両立できる。ゲート電極121、122の上面は、ゲート電極121、122の一部を成す、シリサイド層132、134でそれぞれ構成されている。

【0035】

このように、周辺トランジスタは、シリサイド層132、133、134、135が形成されたシリサイド(Se1f ALigned silicIDE)構造を有することができる。シリサイド構造におけるシリサイド層の金属成分としては、チタン、ニッケル、コバルト、タングステン、モリブデン、タンタル、クロム、パラジウム、プラチナを挙げることができる。

【0036】

周辺トランジスタのゲート電極121、122の側面は、絶縁体からなるサイドウォールスペーサ215でそれぞれ覆われている。また、サイドウォールスペーサ215はソース・ドレイン領域108、109の、低濃度の不純物領域126、128を覆っている。サイドウォールスペーサ215は酸化シリコン層213と窒化シリコン層214を含む積層体である。酸化シリコン層213は、窒化シリコン層214とゲート電極121、122の間および窒化シリコン層214とソース・ドレイン領域108、109の間に位置する。酸化シリコン層213と窒化シリコン層214とが互いに接して界面を成している。

【0037】

第二絶縁体膜220は、ゲート電極121、122の上面と、サイドウォールスペーサ215とソース・ドレイン領域108、109とを覆う。第二絶縁体膜220は第二酸化シリコン層221と第二窒化シリコン層222を含む積層膜である。第二酸化シリコン層221と第二窒化シリコン層222とが互いに接して界面を成している。

【0038】

第二酸化シリコン層221は窒化シリコン層214と第二窒化シリコン層222の間に位置する。第一窒化シリコン層212と第二酸化シリコン層221とが互いに接して界面を成している。つまり、サイドウォールスペーサ215と第二絶縁体膜220は界面を成している。

【0039】

第二絶縁体膜220は、ソース・ドレイン領域108、109の高濃度の不純物領域125、127を覆っている。また、第二絶縁体膜220は、ソース・ドレイン領域108、109のシリサイド層134、135を覆っている。ここでは、第二絶縁体膜220は、その第二酸化シリコン層221がシリサイド層134、135と界面を成すが、シリサイド層134、135は無くてもよく、その場合には、第二酸化シリコン層221が不純物領域125、127と界面を成してもよい。

【0040】

詳細は後述するが、第一窒化シリコン層212は熱CVD法により形成されており、第二窒化シリコン層222はプラズマCVD法により形成されている。そして、第一窒化シリコン層212は第二窒化シリコン層222に比べて密な窒化シリコンで構成されている。第一窒化シリコン層212に比べて粗な第二窒化シリコン層222は、水素の透過率が第一窒化シリコン層212よりも高い。第二窒化シリコン層222の水素濃度は、第一窒化シリコン層212の水素濃度よりも高い。水素を豊富に含む第二窒化シリコン層222は水素供給膜として機能しうる。

【0041】

第三絶縁体膜230および第二絶縁体膜220を貫通して周辺トランジスタのソース・ドレイン領域108、109に接続する導電体部材312が設けられている。導電体部材312は、例えはタングステンを主として構成されるコンタクトプラグである。このほか、ゲート電極121、122にそれぞれ接続する導電体部材314(図2(a)参照)も設けられる。

【0042】

導電体部材311、312、313、314に接続する、アルミニウムや銅を主成分と

する配線層（不図示）が第三絶縁体膜230の上に配される。複数の配線層は層間絶縁層を介して積層することができる。

【0043】

シリコン基板100の受光面の側には複数の配線層の上方にマイクロレンズアレイやカラーフィルタアレイなどが設けられる。半導体装置1000は、シリコン基板100を含むチップと、チップを収容するパッケージを備えることができる。撮像装置としての半導体装置1000を組み込んだカメラや情報端末などの撮像システムを構築することができる。

【0044】

本実施形態の撮像装置ISとしての半導体装置1000は、シリコン基板100のゲート電極111、112、121、122や配線層（不図示）の側の主面が受光面となる表面照射型であってもよい。また、シリコン基板100のゲート電極111、112、121、122や配線層（不図示）の側とは反対側の主面が受光面となる裏面照射型であってもよい。しかし、本発明は表面照射型の撮像装置に好適である。なぜなら、受光領域101上の複数層は、反射防止構造を構成するのに適しているからである。

【0045】

周辺pMOSFETの拡大図である図3に示すように、サイドウォールスペーサ215の下端部には、ソース・ドレイン領域109と窒化シリコン層214との間に酸化シリコン層213が延在しない欠損領域411が存在している場合がある。詳細には、この欠損領域411は窒化シリコン層214と低濃度の不純物領域128との間あるいは窒化シリコン層214とシリサイド層134、135との間に形成されている場合が多い。この欠損領域411においては図3に示すように、ソース・ドレイン領域109と窒化シリコン層214との間には第二絶縁体膜220の第二酸化シリコン層221が位置している。また、サイドウォールスペーサ215の上端部には、ゲート電極122と窒化シリコン層214との間に酸化シリコン層221が延在しない欠損領域412が存在している場合がある。この欠損領域412には図3に示すように、第二絶縁体膜220の第二酸化シリコン層221が位置している。このような隙間は、周辺pMOSFETだけでなく周辺nMOSFETの近傍にも存在する。すなわち、サイドウォールスペーサ215とソース・ドレイン領域108との間や、サイドウォールスペーサ215とゲート電極121との間に隙間が存在し、これらの隙間を第二絶縁体膜220の第二酸化シリコン層221が埋めている。

【0046】

以上のような構成を採用することで、半導体装置1000（半導体装置）の信頼性を向上することができる。その理由を説明する。

【0047】

欠損領域411に空隙が存在したり窒化シリコン層が存在したりすることは、周辺nMOSFETおよび周辺pMOSFETのゲート絶縁膜のTDDB特性の低下を引き起こす要因である。また、シリコン基板100の表面のダンギングボンドによって生じる界面準位は、界面準位とチャネル間の電荷のやり取りによりノイズが発生するため、周辺nMOSFETおよび周辺pMOSFETのノイズ特性の低下を招く。さらに、界面準位は、周辺pMOSFETに生じるNBTIの要因である。特に、ゲート絶縁膜が窒素を含有する酸化シリコン膜や窒化シリコン膜であると、窒素によってゲート絶縁膜のエネルギー・ギヤップに準位が発生するため、界面準位の影響は大きくなる。

【0048】

第二酸化シリコン層221が欠損領域411を埋めることで、TDDB特性が向上する。また、第二窒化シリコン層222自体から、あるいは第二窒化シリコン層222を透過してシリコン基板100の表面に水素を供給して、ダンギングボンドを終端することで、ノイズ特性やNBTIが改善する。酸化シリコン層は窒化シリコンに比べて水素の透過率が高く、水素供給の障害にはなりにくいのである。また、酸化シリコン層213に比べて水素を透過しにくい窒化シリコン層214が水素の拡散障壁となることで、水素供給経

10

20

30

40

50

路を、酸化シリコン層 213 に制限して、チャネル領域 143、144 への水素供給を効率化することもできる。さらに、第二酸化シリコン層 221 を第二窒化シリコン層 222 とソース・ドレイン領域 108、109 との間に設けることで、シリコンと窒化シリコンあるいはシリサイドと窒化シリコンとの間に生じる応力を緩和できる。

【0049】

このような半導体装置 1000 の製造方法について、図 4～図 6 を用いて説明する。図 4～図 6 は図 2 (b) に示した半導体装置 1000 の断面図に至るまでの過程を示した断面図である。なお、説明のため図 4～図 6 では画素回路部 1 と周辺回路部 2 を隣接させて描いている。

【0050】

まず、図 4 (a) を用いて工程 A を説明する。工程 A では、トランジスタを形成する。

【0051】

工程 A の段階 A-1 では、シリコンなどのシリコン基板 100 に STI または選択酸化法 (LOCOS) などにより形成された素子分離用の絶縁物 99 を形成する。シリコン基板 100 はシリコンインゴットから切り出したシリコンウエハでもよいし、シリコンウエハの上に単結晶シリコン層をエピタキシャル成長したものを用いてもよい。

【0052】

次の段階 A-2 では、第二導電型 (p 型) のウェル 118、第二導電型 (p 型) のウェル 129、および、第一導電型 (n 型) のウェル 130 を形成する。

【0053】

次の段階 A-3 では、シリコン基板 100 の上にゲート絶縁膜を介して形成したポリシリコン膜を形成し、対応するトランジスタの導電型に合わせてポリシリコン膜の各部分に不純物を注入する。さらに、ポリシリコン膜の上にハードマスクとなる絶縁体部材 201、202、203、204 を形成し、絶縁体部材 201、202、203、204 をマスクとして用いてポリシリコン膜をパターニングする。これにより、n 型のゲート電極 111、112、121、p 型のゲート電極 122 を形成する。

【0054】

次の段階 A-4 では n 型の蓄積領域 115 および p 型の表面領域 119 を形成する。また、段階 A-4 では、検出領域の不純物領域 116、画素回路部 1 のシングルドレイン構造となる n 型の不純物領域 117 をソース・ドレイン領域に形成する。また、段階 A-4 では、周辺回路部 2 の LDD 構造の低濃度の不純物領域 126、128 を形成する。画素回路 10 の不純物領域 116、117 を形成する際のドーズ量の適当な範囲は、 $5 \times 10^{12} \sim 5 \times 10^{14}$ [ions/cm²] であり、好ましくは $1 \times 10^{13} \sim 1 \times 10^{14}$ [ions/cm²] である。また、LDD 構造を成す低濃度の不純物領域 126 を形成する際のドーズ量の適当な範囲は、 $5 \times 10^{12} \sim 5 \times 10^{14}$ [ions/cm²] であり、好ましくは $1 \times 10^{13} \sim 1 \times 10^{14}$ [ions/cm²] である。n 型の不純物領域 116、117 のイオン注入と n 型の不純物領域 126 のイオン注入を同じマスクで並行して行うことができる。

【0055】

次に、図 4 (b) を用いて工程 B を説明する。工程 B では、図 4 (b) に示すように第一絶縁体膜 210 を形成する。第一絶縁体膜 210 はゲート電極 111、112、121、122 の上面および側面とソース・ドレイン領域 (103、104、105、108、109) と受光領域 101 を覆う。ソース・ドレイン領域には、工程 A で不純物領域 116、117、126、128 が形成されており、第一絶縁体膜 210 は不純物領域 116、117、126、128 を覆うことになる。

【0056】

第一絶縁体膜 210 は第一酸化シリコン層 211 および第一窒化シリコン層 212 の積層膜である。第一窒化シリコン層 212 は第一酸化シリコン層 211 に接するように形成される。第一絶縁体膜 210 の形成は、第一酸化シリコン層 211 を熱 CVD (化学気相成長: Chemical Vapor Deposition) 法により形成する段階 B

10

20

30

40

50

- 1 と、第一窒化シリコン層 212 を形成する段階 B - 2 とを含む。後に形成される第一窒化シリコン層 212 の厚みは、先に形成される第一酸化シリコン層 211 の厚みよりも大きいことが好ましい。第一窒化シリコン層 212 の厚みは、第一酸化シリコン層 211 の厚みの 2 倍以上でありうる。第一酸化シリコン層 211 の厚みは例えば 5 nm 以上 20 nm 以下であり、第一窒化シリコン層 212 の厚みは例えば 20 nm 以上 100 nm 以下である。段階 B - 1 においては、例えば TEOS などのソースガスを含むプロセスガスの圧力（生成圧力）を 20 Pa 以上 200 Pa 以下の範囲とした熱 CVD 法、いわゆる LP-CVD（低圧 CVD）法により成膜することで、第一酸化シリコン層 211 を形成する。なお、ここでいうプロセスガスとは、少なくともソースガスを含み必要に応じて添加されたキャリアガスを含むチャンバー内のガス全体を意味し、生成圧力とは、プロセスガスの圧力（全圧）を意味する。この時の成膜温度（基板温度）は、例えば 500 以上 800 以下の範囲とすることができます。段階 B - 2 においては、例えば NH₃ と SiH₂C₁₂ などのソースガスを含むプロセスガスの圧力（生成圧力）を 20 Pa 以上 200 Pa 以下の範囲とした熱 CVD 法、いわゆる LP-CVD 法により成膜することで、第一窒化シリコン層 212 を形成する。この時の成膜温度（基板温度）は、例えば 500 以上 800 以下の範囲とすることができます。
10

【0057】

次に、図 4 (b)、(c) を用いて工程 C を説明する。工程 C では、図 4 (c) に示すようにサイドウォールスペーサ 215 を形成する。段階 C - 1 では、図 4 (b) に示すように、第一絶縁体膜 210 の上にレジスト 410 を形成する。レジスト 410 は画素回路部 1 の少なくとも受光領域 101 を覆い、周辺回路部 2 を開口する。レジスト 410 はさらにソース・ドレイン領域 103、104、105 を覆う。
20

【0058】

次の段階 C - 2 では、レジスト 410 をマスクとして、第一絶縁体膜 210 をエッティング（エッチバック）する。こうして図 4 (c) に示すように、周辺回路部 2 のゲート電極 121、122 の側面を覆う、サイドウォールスペーサ 215 を形成する。サイドウォールスペーサ 215 は、酸化シリコン層 213 および窒化シリコン層 214 の積層体である。酸化シリコン層 213 は、第一酸化シリコン層 211 の残存した一部であり、窒化シリコン層 214 は第一窒化シリコン層 212 の残存した一部である。第一絶縁体膜 210 のエッティングによって不純物領域 126、128 を露出させる。
30

【0059】

このエッティングを行う際に、シリコン基板 100 の全ての周辺トランジスタにおいて確実に不純物領域 126、128 を露出させるために、第一窒化シリコン層 212 および第一酸化シリコン層 211 にオーバーエッティングを行うとよい。その際、サイドウォールスペーサ 215 の窒化シリコン層 214 の下端部には、ゲート絶縁膜や第一酸化シリコン層 211 がサイドエッチされることで、隙間 401 が形成されうる。この隙間 401 が上述した欠損領域 411 となる。窒化シリコン層 214 とゲート電極との間にも同様に欠損領域 412 となる隙間が形成される場合がある。なお、エッティング条件を調整することにより、第一絶縁体膜 210 のエッティングによって不純物領域 126、128 を露出させる際に隙間 401 が形成されないようにすることも可能である。
40

【0060】

なお、段階 C - 2 では、図 2 (a) に示した抵抗素子 110 が形成される、ソース・ドレイン領域 108、109 とは別の領域（抵抗形成領域）においても第一絶縁体膜 210 をエッティングして、これを除去する。

【0061】

フォトレジスト 410 が受光領域 101 を覆うことで、段階 C - 2 では、第一絶縁体膜 210 の受光領域 101 の上に位置する部分を残存させる。これにより、光電変換素子 1 へのダメージが抑制され、光電変換素子 1 で生じるノイズを低減することができる。また、フォトレジスト 410 がゲート電極 111、112 を覆うことで、段階 C - 2 では、第一絶縁体膜 210 のチャネル領域 141、142 の上に位置する部分を残存させる。
50

これにより、増幅素子 15 へのダメージが抑制され、転送素子 12 や増幅素子 15 で生じるノイズを低減することができる。

【0062】

さらに図 4 (c) を用いて工程 A を説明する。段階 A - 5、A - 6 を経てサイドウォールスペーサ 215 の側面に自己整合した高濃度の不純物領域 125、127 を形成する。段階 A - 5 では、画素回路部 1 および周辺 pMOSFET を覆うレジストを形成して、ゲート電極 121 とサイドウォールスペーサ 215 をイオン注入のマスクにして n 型不純物を導入する。これにより、周辺 nMOSFET の不純物領域 125 を形成する。また、段階 A - 6 では、画素回路部 1 および周辺 nMOSFET を覆うレジストを形成して、ゲート電極 122 とサイドウォールスペーサ 215 をイオン注入のマスクにして p 型不純物を導入する。これにより、周辺 pMOSFET の不純物領域 127 を形成する。段階 A - 5 と段階 A - 6 の順序は任意である。LDD 構造を成す高濃度の不純物領域 125、127 を形成する際のドーズ量の適当な範囲は $5 \times 10^{14} \sim 5 \times 10^{16}$ [ions/cm²] であり、好ましくは、 $1 \times 10^{15} \sim 1 \times 10^{16}$ [ions/cm²] である。このように、同一導電型の不純物領域の比較において、不純物領域 125、127 を形成する際のドーズ量は、不純物領域 126、128 を形成する際のドーズ量よりも高い。そして、同一導電型の不純物領域の比較において、不純物領域 125、127 の不純物濃度は、不純物領域 126、128 の不純物濃度よりも高い。

10

【0063】

段階 A - 5 および段階 A - 6 の少なくとも一方では、不純物領域 125、127 の形成のためのイオン注入と並行して、上述した抵抗形成領域に、不純物が注入され、拡散抵抗としての抵抗素子 110 を形成できる。上記した不純物領域 125、127 の形成時のドーズ量は、抵抗素子 110 の不純物領域を形成するのに好適である。一方、不純物領域 126、128 の形成時のドーズ量では、抵抗素子 110 の抵抗値を実用的な範囲まで低くするには、不純物濃度が低いのである。上述した段階 C - 5 で抵抗形成領域上の第一絶縁体膜 210 を除去することで、段階 A - 5、A - 6 でのイオン注入を可能にするのである。

20

【0064】

次に、図 5 (d)、(e) を用いて工程 D を説明する。工程 D では、保護膜 240 を形成する。

30

【0065】

まず、段階 D - 1 では、図 5 (d) に示すように、ソース・ドレイン領域 108、109 とゲート電極 121、122 と画素回路部 1 を覆う保護膜 240 を形成する。保護膜 240 の厚みは、例えば 30 nm 以上 130 nm 以下である。次の段階 D - 2 では、保護膜 240 の上に画素回路部 1 を覆うレジスト 420 を形成する。

40

【0066】

次の段階 E - 3 では、レジスト 420 をマスクとして保護膜 240 をエッチングすることにより、保護膜 240 のソース・ドレイン領域 108、109 の上に位置する部分とゲート電極 121、122 の上に位置する部分を除去する。この時、保護膜 240 の画素回路部 1 の上に位置する部分を残存させる。また、保護膜 240 の抵抗形成領域の上に位置する部分を残存させる。保護膜 240 をエッチングに続いて、ゲート電極 121、122 の上面を覆う絶縁体部材 203、204 は除去される。保護膜 240 が酸化シリコンからなる場合、保護膜 240 のエッチングに伴ってサイドウォールスペーサの酸化シリコン層 213 のエッチングが進行し、隙間 401 が拡大する場合がある。また、酸化シリコンからなる絶縁体部材 203、204 を除去するためにさらにエッチングを長くすることも隙間 401 が拡大する要因となる場合がある。保護膜 240 のエッチングが終わるとレジスト 420 を除去する。

【0067】

次に、図 5 (e) を用いて工程 E を説明する。工程 E では、図 5 (e) に示すように、ソース・ドレイン領域 108、109 やゲート電極 121、122 の上面を覆う金属膜 2

50

50を形成する。金属膜250はシリサイド化する金属からなる金属層を含み、この金属層は、ソース・ドレイン領域108、109やゲート電極121、122の上面に接するように形成される。また、金属層は保護膜240に接するように形成される。金属膜250は、保護膜240の画素回路部1や抵抗形成領域の上に残存させた部分を覆う。金属膜250は、上記金属層の酸化を防止するための金属化合物層をさらに有する複層膜であつてもよい。金属層は例えばコバルト層であり、金属化合物層は例えば窒化チタン層である。

【0068】

次に、図5(f)を用いて工程Fを説明する。工程Fでは、シリサイド層134、135、132、133を形成する。工程Fは段階F-1～F-4を含むことができる。

10

【0069】

段階F-1では、シリコン基板100を500程度に加熱することで、金属膜250とこれに接するソース・ドレイン領域108、109やゲート電極121、122とを反応させる。これにより、モノシリサイド状態のシリサイド層132、133、134、135を形成する。段階F-2では保護膜240の上に位置する未反応の金属層や、金属膜250の金属化合物層を除去する。段階F-3ではシリコン基板100を段階F-1より高温の800程度に加熱することで、モノシリサイド状態のシリサイド層132、133、134、135を反応させてダイシリサイド状態のシリサイド層132、133、134、135を形成する。

【0070】

段階F-1において、保護膜240を残存させた画素回路部1や抵抗形成領域では、保護膜240に阻まれて金属膜250とシリコン基板100やゲート電極が接しないため、シリサイド層が形成されない。このように保護膜240はシリサイドブロックとして機能する。シリサイド層は画素回路部1においてノイズの原因となるため、画素回路部1、特に受光領域101、検出領域103、增幅素子15のソース領域104やドレイン領域105にはシリサイド層を形成しないことが好ましい。また、抵抗形成領域にシリサイド層が形成されると抵抗が低くなりすぎてしまうため、抵抗形成領域も保護膜240で保護することが好ましい。シリサイド層132、133、134、135を形成した後は、保護膜240を除去することもできるが、画素回路10への不要なダメージを避けるため、保護膜240を残存させる。

20

【0071】

次に、図6(g)を用いて工程Gを説明する。工程Gでは、図6(g)に示すように第二絶縁体膜220を形成する。第二絶縁体膜220はゲート電極111、112、121、122の上面とサイドウォールスペーサ215とソース・ドレイン領域108、109を覆う。第二絶縁体膜220は画素回路部1において第一絶縁体膜210を覆う。

30

【0072】

第二絶縁体膜220は第二酸化シリコン層221および第二窒化シリコン層222の積層膜である。第二窒化シリコン層222は第二酸化シリコン層221に接するように形成される。第二絶縁体膜220の形成は、第二酸化シリコン層221を熱CVD法により形成する段階G-1と、第二窒化シリコン層222をプラズマCVD法により形成する段階G-2とを含む。後の段階G-2で形成される第二窒化シリコン層222の厚みは、先の段階G-1で形成される第二酸化シリコン層221の厚みよりも大きいことが好ましい。第二窒化シリコン層222の厚みは、第二酸化シリコン層221の厚みの2倍以上である。第二酸化シリコン層221の厚みは例えば10nm以上40nm以下である。第二窒化シリコン層212の厚みは例えば30nm以上100nm以下である。段階G-1においては、例えばTEOSなどのソースガスを含むプロセスガスの圧力(生成圧力)を200Pa以上600Pa以下の範囲とした熱CVD法、いわゆるSA-CVD(準常圧CVD)法により成膜することで、第二酸化シリコン層221を形成する。この時の成膜温度(基板温度)は、例えば400以上500以下の範囲とすることができます。このように、第一酸化シリコン層211と第二酸化シリコン層221を共に熱CVD法で形成す

40

50

ことができる。ただし、第二酸化シリコン層221の熱CVD法による成膜時の生成圧力は、第一酸化シリコン層211の熱CVD法による成膜時の生成圧力よりも高いことが好ましい。また、第二酸化シリコン層221の熱CVD法による成膜時の成膜温度は、第一酸化シリコン層211の熱CVD法による成膜時の成膜温度よりも低いことが好ましい。このような条件を採用することで、隙間401への第二酸化シリコン層221のより良好な埋め込みが達成できる。

【0073】

段階G-2においては、例えばSiH₄とNH₃などのソースガスを含むプロセスガスを用いたプラズマCVD法により成膜することで、第二窒化シリコン層222を形成することで、第二窒化シリコン層222を形成する。この時のプラズマのRFパワーを100W以上300W以下の範囲とすることができます。この時の成膜温度（基板温度）は、例えば350以上450以下の範囲とすることができます。この時のプロセスガスの全圧は、例えば30Pa以上500Pa以下とすることができます。

10

【0074】

第二窒化シリコン層222は周辺トランジスタに対して水素を安定的に供給する水素供給膜としても機能する。厚い第二窒化シリコン層222は水素を豊富に含むことができ、薄い第二酸化シリコン層221は水素を適切に透過させることができる。

また、後述する水素アニール処理において第二窒化シリコン層222は水素を透過する水素透過膜としても機能する。そのため、ノイズ特性のすぐれたMOSFETを製造することが可能となる。なお、第二窒化シリコン層222の下に配置された第二酸化シリコン層221は水素を通しやすく、第一導電型（n型）および第二導電型（p型）のMOSFETに対する水素供給を阻害しにくい。

20

【0075】

画素回路部1上の第二酸化シリコン層221と周辺回路部2上の第二酸化シリコン層221は同一工程で形成することが可能であるため工程数を抑えることができる。また、第二酸化シリコン層221を熱CVD法によって形成することで、サイドウォールスペーサ215とソース・ドレイン領域108、109との間に生じる隙間401を容易に埋め込むことが可能となる。そのため、信頼性の高い半導体装置を製造することが可能となる。

【0076】

図6（g）、（h）を用いて工程Hを説明する。工程Hでは第三絶縁体膜230を形成する。

30

【0077】

段階H-1では、図6（g）に示すように、第二絶縁体膜220の周辺回路部2に位置する部分を覆うレジスト430を形成する。次の段階H-2では、レジスト430をマスクにして第二絶縁体膜220の第二窒化シリコン層222の画素回路部1に位置する部分をエッティングにより除去する。第二窒化シリコン層222の画素回路部1に位置する部分には、光電変換素子11、転送素子12、容量部13、增幅素子15、リセット素子16、選択素子17の上に位置する部分が含まれる。この際、第二酸化シリコン層221は画素回路部1を覆う第二窒化シリコン層222をエッティングにより除去するためのエッティングストップとして機能する。また、第二酸化シリコン層221は画素回路部1をエッティングダメージから保護する保護層としての役割を果たす。

40

【0078】

次の段階H-2では、図6（h）に示すように、画素回路部1および周辺回路部2を覆うように第三絶縁体膜230を形成する。この第三絶縁体膜230は、例えばHDP（High Density Plasma）-CVD法などのプラズマCVD法によって形成された酸化シリコン層の単層膜である。第三絶縁体膜230は、BPSG膜、BSG膜、PSG膜等の任意の材料から形成可能であり、複層膜であってもよい。

【0079】

次の段階H-3では、第三絶縁体膜230を平坦化する。図6（h）は段階H-3の後の状態を示している。平坦化の手法としてはCMP法やリフロー法、エッチバック法、お

50

よびこれらの組み合わせを採用できる。平坦化前の第三絶縁体膜230の厚みは例えば200nm以上1700nm以下である。平坦化後の第三絶縁体膜230の厚みを第一絶縁体膜210および第二絶縁体膜220よりも大きくすることができる。本例では、第二窒化シリコン層222の画素回路部1に位置する部分が除去されており、画素回路部1と周辺回路部2と第三絶縁体膜230の下地の高低差が小さい。そのため、平坦化後の第三絶縁体膜230の厚みを1000nm以下(例えば450nm以上850nm以下)とすることができ、抵抗の低減や感度の向上を図ることができる。

【0080】

図6(i)を用いて工程Iを説明する。工程Iでは、図2(a)、(b)に示したように、第二絶縁体膜220を貫通してソース・ドレイン領域108、109に接続する導電体部材312を形成する。また、第一絶縁体膜210を貫通して、画素回路部1のソース・ドレイン領域に接続する導電体部材311を形成する。このほか、ゲート電極111、112、126、127に接続する導電体部材313やゲート電極121、122に接続する導電体部材314を形成する。

10

【0081】

段階I-1では、第三絶縁体膜230を覆うレジストを用いて、第三絶縁体膜230を異方性ドライエッチングにより開口して、導電体部材311を設けるためのコンタクトホール301を形成する。コンタクトホール301の内、第三絶縁体膜230を貫通する部分を形成する際に、画素回路部1において第一絶縁体膜210の第一窒化シリコン層212をエッチングストップとして用いて、コンタクトホール301を形成することが好ましい。コンタクトホール301は第三絶縁体膜230、第二酸化シリコン層221、保護膜240、第一窒化シリコン層212および第一酸化シリコン層211を貫通して設けられる。そして、コンタクトホール301は、容量部13、增幅素子15、リセット素子16、選択素子17のソース・ドレイン領域や基準コンタクト領域102を露出する。コンタクトホール301の形成に並行して、容量部13、增幅素子15、リセット素子16、選択素子17のゲート電極を露出するコンタクトホール303を形成する。導電体部材313を設けるためのコンタクトホール(不図示)も同様に第三絶縁体膜230、第二酸化シリコン層221、保護膜240、第一窒化シリコン層212および第一酸化シリコン層211を貫通する。さらに導電体部材313を設けるためのコンタクトホール(不図示)は絶縁体部材201、202も貫通する。コンタクトプラグの接触抵抗を向上させるために、コンタクトホールを介してシリコン基板100の不純物領域に不純物を注入してもよい。上述したように段階H-2において、画素回路部1から第二窒化シリコン層222を除去している。そのため、エッチングストップとして用いる第一窒化シリコン層212より上に窒化シリコン層が存在しない。したがって、コンタクトホール301を形成する際に、窒化シリコン層でコンタクトホールの形成が妨げられることを抑制できる。

20

【0082】

次の段階I-2では、第三絶縁体膜230およびコンタクトホール302を覆うレジスト440を用いて、第三絶縁体膜230を異方性ドライエッチングにより開口する。これにより、導電体部材312、314を設けるためのコンタクトホール302を形成する。コンタクトホール302の内、第三絶縁体膜230を貫通する部分を形成する際に、周辺回路部2において第二絶縁体膜220の第二窒化シリコン層222をエッチングストップとして用いて、コンタクトホール302を形成することが好ましい。コンタクトホール302、304は第三絶縁体膜230、第二窒化シリコン層222、および第二酸化シリコン層221を貫通して設けられる。そして、コンタクトホール302は、周辺トランジスタのソース・ドレイン領域108、109に位置するシリサイド層134、135を露出する。コンタクトホール302の形成に並行して、導電体部材314を設けるためのゲート電極121、122のシリサイド層132、133を露出するコンタクトホール(不図示)を形成する。

30

【0083】

続く段階I-3では、コンタクトホール301、302、303、304の中に導電体

40

50

を充填してコンタクトプラグとしての導電体部材 311、312、313、314を形成する。なお、コンタクトホール301、302、303、304への導電体の充填を一括して行うことができる。

【0084】

このように、画素回路部1にコンタクトホール301、303を形成する段階I-1と、周辺回路部2にコンタクトホール302、304を形成する段階I-2と別々に有し、これらを異なるタイミングで行うことができる。これにより、シリサイド層132、133、134、135の金属による、コンタクトホール301、303を介した画素回路部1の不純物領域の金属汚染を抑制できる。なお、段階I-1と段階I-2との順序を逆にしてもよい。コンタクトホール301、303へ導電体を充填して導電体部材311、313を形成した後に、コンタクトホール302、304を形成してもよい。もちろん、コンタクトホール301、302、303、304を一括して形成してもよい。

10

【0085】

こうして図2(a)、(b)に示すような構造が得られる。その後、金属配線形成、カラーフィルタ、マイクロレンズなどを形成し、撮像装置とする。また、周辺トランジスタが第二絶縁体膜220で覆われた状態で、MOSFETへの水素供給を促進させるための水素アニール処理を追加してもよい。水素アニール処理とは、水素雰囲気中にシリコン基板100を加熱することで、シリコン基板100の表面を水素終端することを意味する。水素アニール処理は、導電体部材311、312、313、314の形成の後、さらに金属配線を形成してから行うことが好ましい。プラズマCVD法で第二窒化シリコン層222を形成することで、水素が第二窒化シリコン層222を透過しやすくし、水素をシリコン基板100の表面へ供給を促進する。また、水素雰囲気中でなくてもシリコン基板100を加熱することで、第二窒化シリコン層222に含まれる水素をシリコン基板100の表面へ供給することもできる。

20

【0086】

以上、本発明を実施するための形態の1つとして半導体装置の一種である撮像装置を例に挙げて説明した。しかし本発明は、絶縁ゲート型電界効果トランジスタを備える半導体装置であれば、撮像装置に限らず、演算装置や記憶装置、制御装置、信号処理装置、検知装置、表示装置などに適用することができる。

30

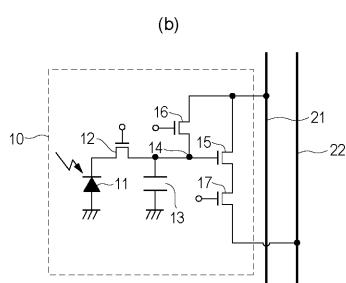
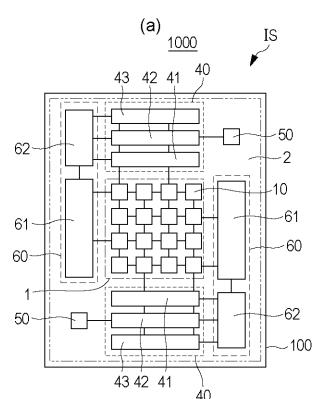
【符号の説明】

【0087】

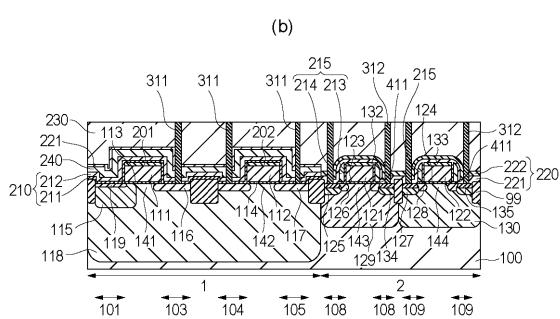
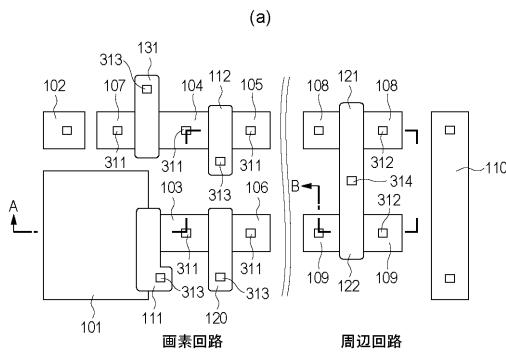
- 100 シリコン基板
- 122 ゲート電極
- 210 第一絶縁体膜
- 211 第一酸化シリコン層
- 212 第一窒化シリコン層
- 213 酸化シリコン層
- 214 窒化シリコン層
- 215 サイドウォールスペーサ
- 220 第二絶縁体膜
- 221 第二酸化シリコン層
- 222 第二窒化シリコン層

40

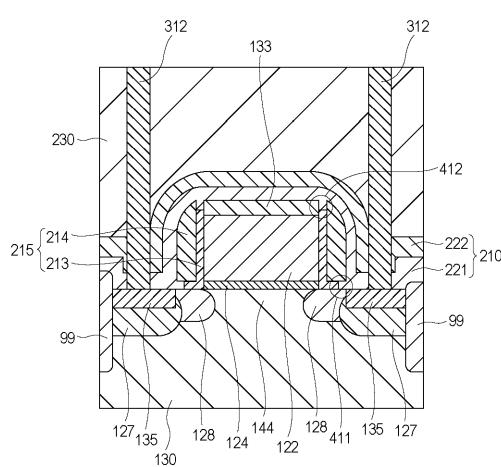
【 図 1 】



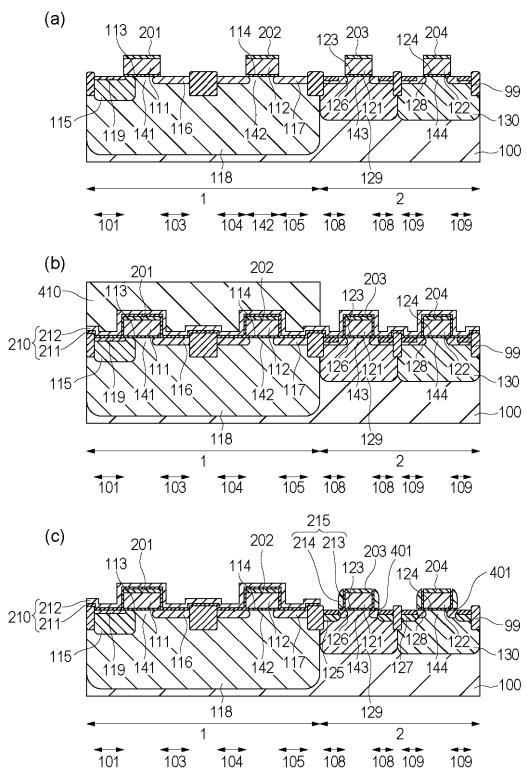
【 図 2 】



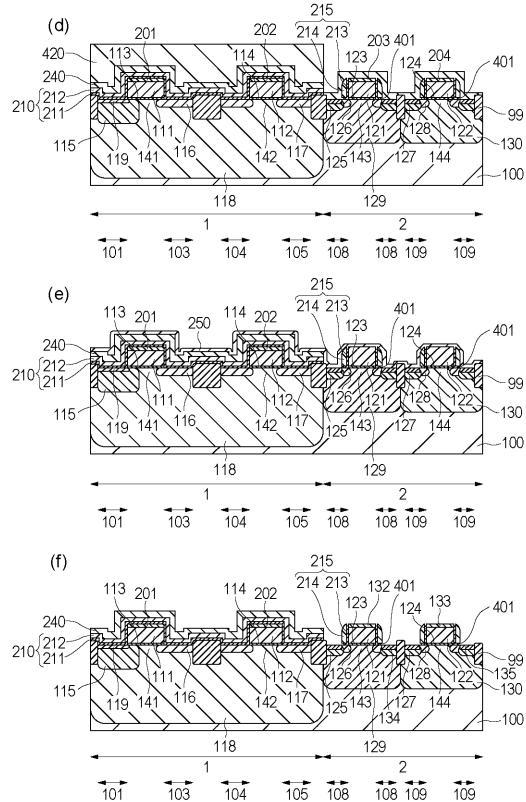
【 図 3 】



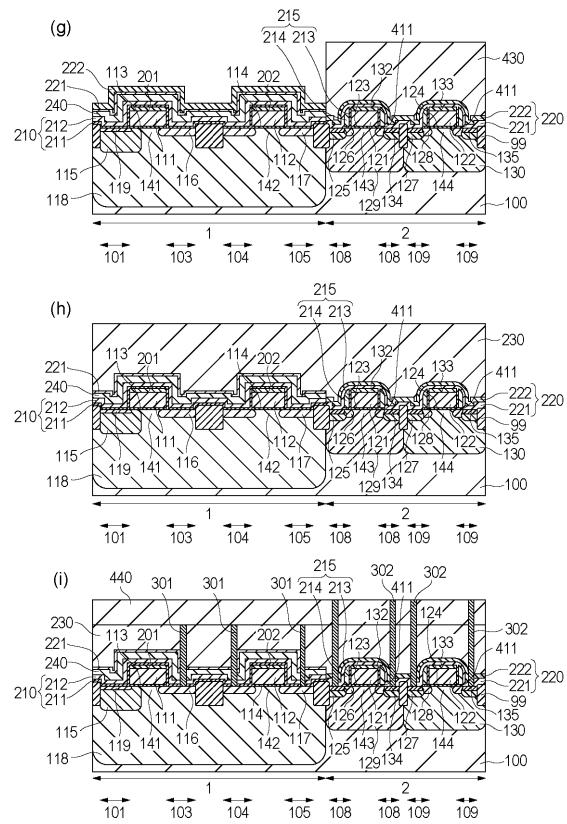
【 図 4 】



【図5】



【図6】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 01 L 27/06	(2006.01)	
H 01 L 21/768	(2006.01)	
H 01 L 23/532	(2006.01)	

F ターム(参考) 5F033 HH04 KK25 QQ09 QQ16 QQ25 QQ31 QQ37 QQ48 QQ70 QQ73											
QQ74	QQ75	RR04	RR06	RR13	RR14	RR15	SS01	SS02	SS04		
SS11	SS12	SS15	TT02	TT08	VV06						
5F048	AA05	AA07	AB10	AC01	AC03	AC10	BA01	BA02	BB06	BB07	
BB08	BB11	BB12	BB16	BC03	BC06	BC18	BE03	BE04	BE05		
BE09	BF02	BF06	BF07	BF15	BF16	BF17	BF18	BG12	BG13		
BH02	DA25	DA27	DA30								
5F140	AA03	AB01	AB03	AB06	AB07	AB08	AB10	BA01	BA16	BD07	
BD09	BD11	BE07	BE08	BF04	BF58	BG09	BG12	BG14	BG52		
BG53	BH15	BJ01	BJ07	BJ08	BJ11	BJ17	BK02	BK13	BK34		
CA03	CB01	CB04	CB08	CC01	CC03	CC05	CC06	CC07	CC08		
CC12	CC13	CE06	CE07								