

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 3 月 5 日(05.03.2015)

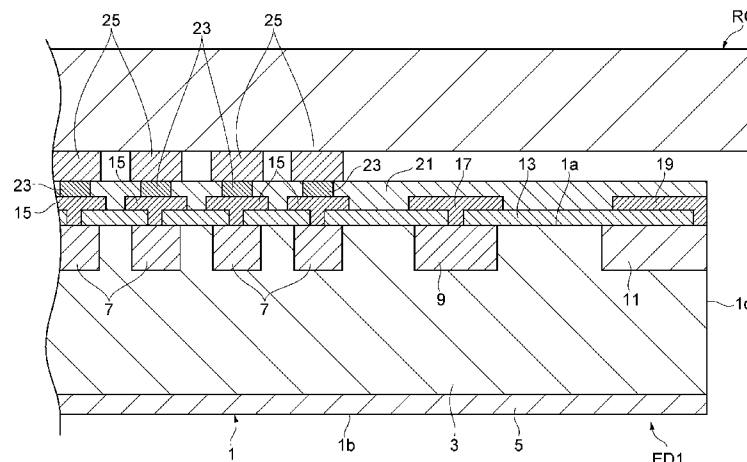


(10) 国際公開番号
WO 2015/029705 A1

- (51) 国際特許分類:
H01L 31/10 (2006.01) *G01T 1/24* (2006.01)
- (21) 国際出願番号: PCT/JP2014/070482
- (22) 国際出願日: 2014 年 8 月 4 日(04.08.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-179147 2013 年 8 月 30 日(30.08.2013) JP
- (71) 出願人: 浜松ホトニクス株式会社(HAMAMATSU PHOTONICS K.K.) [JP/JP]; 〒4358558 静岡県浜松市東区市野町 1 1 2 6 番地の 1 Shizuoka (JP).
- (72) 発明者: 山村 和久(YAMAMURA Kazuhisa); 〒4358558 静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内 Shizuoka (JP).
鎌田 真太郎(KAMADA Shintaro); 〒4358558 静岡県浜松市東区市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外(HASEGAWA Yoshiki et al.); 〒1000005 東京都千代田区丸の内二丁目 1 番 1 号丸の内 M Y P L A Z A (明治安田生命ビル) 9 階 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR ENERGY BEAM DETECTION ELEMENT

(54) 発明の名称: 半導体エネルギー線検出素子



(57) Abstract: A semiconductor energy beam detection element (ED1) is provided with a semiconductor substrate (1) having a main surface (1a) and a main surface (1b) which face each other. The semiconductor substrate (1) has: a first semiconductor region (3) of a first conductivity type, the first semiconductor region (3) being positioned on the main surface (1a)-side; a second semiconductor region (5) of the first conductivity type having a higher concentration of impurity than the first semiconductor region (3), the second semiconductor region (5) being positioned on the main surface (1b)-side; a third semiconductor region (7) of a second conductivity type and constituting an energy-beam-sensitive region with the first semiconductor region (3), the third semiconductor region (7) being positioned on the main surface (1a)-side; a fourth semiconductor region (9) of the second conductivity type, the fourth semiconductor region (9) being positioned on the main surface (1a)-side so as to surround the region in which the third semiconductor region (7) is positioned; and a fifth semiconductor region (11) of the second conductivity type, the fifth semiconductor region (11) being positioned on the main surface (1a)-side so as to follow the outer edge of the semiconductor substrate (1).

(57) 要約:

[続葉有]

WO 2015/029705 A1



半導体エネルギー線検出素子ED1は、互いに対向する主面1aと主面1bとを有する半導体基板1を備えている。半導体基板1は、主面1a側に位置する第一導電型の第一半導体領域3と、主面1b側に位置し、第一半導体領域3よりも不純物濃度が高い第一導電型の第二半導体領域5と、主面1a側に位置し、第一半導体領域3とでエネルギー線感応領域を構成する、第二導電型の第三半導体領域7と、主面1a側において第三半導体領域7が位置する領域の周囲を囲むように位置する、第二導電型の第四半導体領域9と、主面1a側において半導体基板1の外縁に沿うように位置する、第二導電型の第五半導体領域11と、を有している。

明 細 書

発明の名称：半導体エネルギー線検出素子

技術分野

[0001] 本発明は、 γ 線もしくはX線などの高エネルギー放射線、紫外線、可視光、又は赤外線などを含むエネルギー線を検出する半導体エネルギー線検出素子に関する。

背景技術

[0002] 互いに対向する第一主面と第二主面とを有する半導体基板を備え、当該半導体基板が、第一主面側に位置する第一導電型の第一半導体領域と、第二主面側に位置し、第一半導体領域よりも高い不純物濃度を有する第一導電型の第二半導体領域と、第一主面側に位置し、第一半導体領域とでエネルギー線感応領域を構成する、第二導電型の第三半導体領域と、を有する半導体エネルギー線検出素子が知られている（たとえば、特許文献1参照）。

[0003] 半導体エネルギー線検出素子では、半導体基板をダイシングしたときに発生する結晶欠陥などにより、空乏層が半導体基板の側面に到達すると、リーク電流が増加する恐れがある。このため、半導体基板は、第一主面側において半導体基板の外縁に沿うように位置し、第一半導体領域よりも不純物濃度が高い第一導電型の外縁半導体領域を更に有している。外縁半導体領域は、空乏層が上記側面に到達するのを抑制している。

先行技術文献

特許文献

[0004] 特許文献1：特開2001-291892号公報

発明の概要

発明が解決しようとする課題

[0005] 半導体エネルギー線検出素子を動作させるために、半導体エネルギー線検出素子に高いバイアス電圧（たとえば、数百～一千V程度）が印加される。この場合、第一半導体領域は、第三半導体領域から拡がる空乏層が第一主面

側から第二半導体領域との界面まで到達した完全空乏化状態とされる必要がある。しかしながら、半導体エネルギー線検出素子に高いバイアス電圧が印加される場合、以下のような問題点が生じる恐れがある。

[0006] 半導体エネルギー線検出素子には、一般に、半導体エネルギー線検出素子からの信号を読み出すROIC (Read-out IC) チップが接続される。半導体エネルギー線検出素子とROICチップとは、対応する電極同士がバンプ接続されるため、互いに近接して配置される。半導体エネルギー線検出素子に高いバイアス電圧が印加されると、上記外縁半導体領域が、第一半導体領域と同じ導電型であるため、外縁半導体領域の電位が第一半導体領域と同程度の高電位となる。このため、ROICチップと外縁半導体領域との間の電位差が大きく、当該外縁半導体領域とROICチップとの間で放電が生じやすい。外縁半導体領域は、半導体基板の外縁の形状（角形状）に起因して電界が集中し易く、放電が生じやすい。ROICチップとの間で放電が生じると、半導体エネルギー線検出素子が破壊されてしまう恐れがある。

[0007] 本発明は、放電の発生を抑制することが可能な半導体エネルギー線検出素子を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の一態様は、半導体エネルギー線検出素子であって、互いに対向する第一主面と第二主面とを有する半導体基板を備え、半導体基板は、第一主面側に位置する第一導電型の第一半導体領域と、第二主面側に位置し、第一半導体領域よりも不純物濃度が高い第一導電型の第二半導体領域と、第一主面側に位置し、第一半導体領域とでエネルギー線感応領域を構成する、第二導電型の第三半導体領域と、第一主面側において第三半導体領域が位置する領域の周囲を囲むように位置する、第二導電型の第四半導体領域と、第一主面側において半導体基板の外縁に沿うように位置する、第二導電型の第五半導体領域と、を有している。

[0009] 本態様では、半導体基板は、第一主面側において半導体基板の外縁に沿うように位置する第五半導体領域を有する。第五半導体領域は、第一半導体領

域の導電型と異なる、第二導電型であるため、第一半導体領域と第五半導体領域との間で、PN障壁が形成される。半導体エネルギー線検出素子に高いバイアス電圧が印加される場合、第一半導体領域と第五半導体領域との間で形成されるPN障壁により、電圧降下が生じ、第五半導体領域の電位が第一半導体領域の電位よりも下がる。したがって、半導体基板（第五半導体領域）とROICチップとの電位差が小さく、半導体基板とROICチップとの間で放電が生じにくい。

[0010] 半導体基板の形状に起因して、放電は、半導体基板の外縁で生じやすく、半導体基板の側面に沿って放電経路（電流経路）が形成されやすい。本態様では、この電流経路上に、第一半導体領域と第五半導体領域との間で形成されるPN障壁が位置することから、当該電流経路を電流が流れ難い。これによっても、半導体基板とROICチップとの間で放電が生じにくい。

[0011] 本態様では、半導体基板は、第一主面側において第四半導体領域の周囲を囲むように第四半導体領域と第五半導体領域との間に位置し、第一半導体領域よりも不純物濃度が高い第一導電型の半導体領域を更に有していてもよい。この場合、第一半導体領域が完全空乏化された状態で、空乏層が半導体基板の側面に到達するのが抑制される。

[0012] 本態様では、半導体基板は、半導体基板の側面に第一半導体領域が露出しないように側面側に位置し、第一半導体領域よりも不純物濃度が高い第一導電型の半導体領域を更に有していてもよい。この場合、第一半導体領域が完全空乏化された状態で、空乏層が半導体基板の側面に到達するのが抑制される。

[0013] 本態様では、半導体エネルギー線検出素子は、半導体基板の側面として露出する第一半導体領域の表面を覆うように配置され、覆われた第一半導体領域の表面側に所定の極性の固定電荷を存在させるためのパッシベーション材料からなる膜を更に備えていてもよい。この場合、上記パッシベーション材料からなる膜で覆われた第一半導体領域の表面側に、所定の極性の固定電荷が存在する。所定の極性の固定電荷が存在している第一半導体領域の上記表

面側の領域は、アキュムレーション層として機能する。上記パッシベーション材料からなる膜は、側面側において第一半導体領域が側面に露出しないように位置しているため、空乏層が半導体基板の側面に到達するのが確実に抑制される。

[0014] 本態様では、第一導電型がP型であると共に、第二導電型がN型であり、パッシベーション材料が、 Al_2O_3 であってもよい。この場合、上記パッシベーション材料からなる膜で覆われた第一半導体領域の表面側に、正の固定電荷が存在する。

[0015] 本態様では、半導体エネルギー線検出素子は、半導体基板の第一主面として第二半導体領域と第三半導体領域との間の領域において露出する第一半導体領域の表面を覆うように配置され、覆われた第一半導体領域の表面側に所定の極性の固定電荷を存在させるためのパッシベーション材料からなる膜を更に備えていてもよい。この場合、上記パッシベーション材料からなる膜で覆われた第一半導体領域の表面側に、所定の極性の固定電荷が存在する。所定の極性の固定電荷が存在している第一半導体領域の上記表面側の領域は、アキュムレーション層として機能する。上記パッシベーション材料からなる膜は、第二半導体領域と第三半導体領域との間の領域において露出する第一半導体領域の表面を覆うように配置されているため、空乏層が半導体基板の側面に到達するのが抑制される。

[0016] 本態様では、第一導電型がN型であると共に、第二導電型がP型であり、パッシベーション材料が、 SiO_2 又は Si_3N_4 であってもよい。この場合、上記パッシベーション材料からなる膜で覆われた第一半導体領域の表面側に、負の固定電荷が存在する。

発明の効果

[0017] 本発明の上記一態様によれば、放電の発生を抑制することが可能な半導体エネルギー線検出素子を提供することができる。

図面の簡単な説明

[0018] [図1]図1は、一実施形態に係る半導体エネルギー線検出素子の断面構成を説

明するための図である。

[図2]図2は、本実施形態に係る半導体エネルギー線検出素子の平面図である。

[図3]図3は、本実施形態の第一変形例に係る半導体エネルギー線検出素子の断面構成を説明するための図である。

[図4]図4は、本実施形態の第二変形例に係る半導体エネルギー線検出素子の断面構成を説明するための図である。

[図5]図5は、本第二変形例に係る半導体エネルギー線検出素子の平面図である。

[図6]図6は、本実施形態の第三変形例に係る半導体エネルギー線検出素子の断面構成を説明するための図である。

[図7]図7は、本実施形態の第四変形例に係る半導体エネルギー線検出素子の断面構成を説明するための図である。

[図8]図8は、本実施形態の第五変形例に係る半導体エネルギー線検出素子の断面構成を説明するための図である。

発明を実施するための形態

[0019] 以下、添付図面を参照して、本発明の実施形態について詳細に説明する。

なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

[0020] 図1及び図2を参照して、本実施形態に係る半導体エネルギー線検出素子ED1の構成を説明する。図1は、本実施形態に係る半導体エネルギー線検出素子の断面構成を説明するための図である。図2は、本実施形態に係る半導体エネルギー線検出素子の平面図である。図2では、後述する絶縁膜13、電極15、17、19、パッシベーション膜21、及びバンプ電極23の図示を省略している。

[0021] 半導体エネルギー線検出素子ED1は、図1に示されるように、半導体基板1を備える。半導体基板1は、互いに対向する一对の主面1a、1bと、側面1cと、を有する、第一導電型（たとえば、P型）のシリコン基板であ

る。側面 1 c は、一对の主面 1 a, 1 b 間を連結するように一对の主面 1 a, 1 b の対向方向に延びている。本実施形態では、半導体基板 1 は、図 2 に示されるように、平面視で矩形形状を呈しており、4 つの側面 1 c を有する。

[0022] 半導体基板 1 は、主面 1 a 側に位置する第一導電型（たとえば、P 型）の第一半導体領域 3 と、主面 1 b 側に位置する第一導電型（たとえば、P 型）の第二半導体領域 5 と、を有している。第二半導体領域 5 は、第一導電型の不純物（硼素など）が添加された領域であり、第一半導体領域 3 よりも不純物濃度が高い。第二半導体領域 5 は、たとえば、イオン注入法又は拡散法により、第一導電型の不純物を主面 1 b 側から半導体基板 1 に添加することにより形成される。

[0023] 半導体基板 1 は、半導体基板 1（第一半導体領域 3）の主面 1 a 側に、複数の第二導電型（たとえば、N 型）の第三半導体領域 7 を有している。各第三半導体領域 7 の間には、第一半導体領域 3 の一部領域が介在している。すなわち、第三半導体領域 7 同士は、離隔している。各第三半導体領域 7 は、第二導電型の不純物（アンチモン、砒素、又はリンなど）が添加された領域であり、第一半導体領域 3 よりも不純物濃度が高い。半導体エネルギー線検出素子 E D 1 では、第一半導体領域 3 と各第三半導体領域 7 とで P N 接合が形成されている。すなわち、各第三半導体領域 7 は、第一半導体領域 3 とでエネルギー線感応領域を構成している。

[0024] 半導体基板 1 は、半導体基板 1（第一半導体領域 3）の主面 1 a 側に、第二導電型（たとえば、N 型）の第四及び第五半導体領域 9, 11 を有している。第四及び第五半導体領域 9, 11 も、第二導電型の不純物（アンチモン、砒素、又はリンなど）が添加された領域であり、第一半導体領域 3 よりも不純物濃度が高い。

[0025] 第四半導体領域 9 は、図 2 に示されるように、主面 1 a と主面 1 b との対向方向から見て、複数の第三半導体領域 7 が位置する領域の周囲を囲むように位置している。第四半導体領域 9 は、ガードリングとして機能する。第三

半導体領域 7 と第四半導体領域 9 との間には、第一半導体領域 3 の一部領域が介在している。すなわち、第三半導体領域 7 と第四半導体領域 9 とは、離隔している。

[0026] 第五半導体領域 11 は、図 2 に示されるように、主面 1a 側において半導体基板 1 の外縁に沿うように位置している。第四半導体領域 9 は、複数の第三半導体領域 7 が位置する領域と、第五半導体領域 11 と、の間に位置している。すなわち、第五半導体領域 11 は、主面 1a と主面 1b との対向方向から見て、第四半導体領域 9 の周囲を囲むように位置している。第四半導体領域 9 と第五半導体領域 11 との間には、第一半導体領域 3 の一部領域が介在している。すなわち、第四半導体領域 9 と第五半導体領域 11 とは、離隔している。

[0027] 第三、第四、及び第五半導体領域 7, 9, 11 は、たとえば、イオン注入法又は拡散法により、第二導電型の不純物を主面 1a 側から半導体基板 1 に添加することにより形成される。

[0028] 半導体基板 1 には、図 1 に示されるように、絶縁膜 13 及び電極 15, 17, 19 が配置されている。絶縁膜 13 は、半導体基板 1 の主面 1a 側に、半導体基板 1 の主面 1a を覆うように、配置されている。絶縁膜 13 は、たとえば SiO_2 からなる。絶縁膜 13 は、たとえば、熱酸化法、スパッタ法、又は PECVD (Plasma-enhanced Chemical Vapor Deposition) 法などにより形成される。電極 15, 17, 19 は、半導体領域 7, 9, 11 上に形成された絶縁膜 13 の一部を除去した後、対応する半導体領域 7, 9, 11 毎に形成される。これにより、電極 15 は第三半導体領域 7 に接続され、電極 17 は第四半導体領域 9 に接続され、電極 19 は第五半導体領域 11 に接続される。電極 15, 17, 19 は、たとえば、アルミニウムなどの電極材料からなる。図示は省略するが、半導体基板 1 の主面 1b 側にも、第二半導体領域 5 に接続される電極が形成される。

[0029] 半導体基板 1 には、更に、パッシベーション膜 21 及びバンプ電極 23 が配置されている。パッシベーション膜 21 は、半導体基板 1 の主面 1a 側に

、絶縁膜 13 及び電極 15, 17, 19 覆うように、配置されている。パッシベーション膜 21 は、たとえば SiN からなる。パッシベーション膜 21 は、たとえば CVD (Chemical Vapor Deposition) 法により形成される。バンプ電極 23 は、第三半導体領域 7 上に形成されたパッシベーション膜 21 の一部を除去した後、対応する第三半導体領域 7 毎に形成される。バンプ電極 23 は、対応する電極 15 とそれぞれ電氣的に接続されている。バンプ電極 23 は、たとえば Sn-Ag からなる。バンプ電極 23 の形成方法は、ハンダボールを搭載する手法又は印刷法を用いることができる。電極 17, 19 は、パッシベーション膜 21 に覆われている。

[0030] 半導体エネルギー線検出素子 ED1 は、図 1 に示されるように、ROIC チップ RC に実装されている。具体的には、半導体エネルギー線検出素子 ED1 は、ROIC チップ RC にバンプ接続される。ROIC チップ RC は、複数のパッド電極 25 を備えており、対応するパッド電極 25 とバンプ電極 23 とが接続される。半導体エネルギー線検出素子 ED1 と ROIC チップ RC とは、互いに近接して配置される。半導体基板 1 の主面 1a が、ROIC チップ RC に対向している。

[0031] 半導体エネルギー線検出素子 ED1 では、第二半導体領域 5 と第三半導体領域 7 との間にバイアス電圧（逆バイアス電圧）が印加されることにより、第三半導体領域 7 から第一半導体領域 3 に空乏層が広がる。空乏層が第二半導体領域 5 に到達した状態が、完全空乏化状態である。

[0032] 以上のように、本実施形態では、半導体基板 1 は、主面 1a 側において半導体基板 1 の外縁に沿うように位置する第五半導体領域 11 を有する。第五半導体領域 11 は、第一半導体領域 3 の導電型と異なる、第二導電型であるため、第一半導体領域 3 と第五半導体領域との間で、PN 障壁が形成される。半導体エネルギー線検出素子 ED1 に高いバイアス電圧（たとえば、数百〜一千 V 程度）が印加される場合、第一半導体領域 3 と第五半導体領域 11 との間に形成される PN 障壁により、電圧降下が生じ、第五半導体領域 11 の電位が第一半導体領域 3 の電位よりも下がる。したがって、半導体基板 1

(第五半導体領域 11) と ROIC チップ RC との電位差が小さく、半導体基板 1 と ROIC チップ RC との間で放電が生じにくい。

[0033] 半導体基板 1 の形状に起因して、放電は、半導体基板 1 の外縁で生じやすく、半導体基板 1 の側面 1c に沿って放電経路（電流経路）が形成されやすい。半導体エネルギー線検出素子 ED1 では、この電流経路上に、第一半導体領域 3 と第五半導体領域 11 との間で形成される PN 障壁が位置することから、当該電流経路を電流が流れ難い。これによっても、半導体基板 1 と ROIC チップ RC との間で放電が生じにくい。

[0034] これらの結果、半導体エネルギー線検出素子 ED1 では、放電の発生を抑制することができる。なお、第四半導体領域 9 と第五半導体領域 11 の間隔を所定の値に設定することにより、空乏層が側面 1c に到達することを抑制することは可能である。

[0035] 半導体基板と ROIC チップとの間の放電を抑制する構成として、半導体基板と ROIC チップとの電位差が小さくする構成が考えられる。具体的には、半導体基板の端部において、一对の主面側の電位を ROIC チップの電位と同程度とする両面構造を半導体エネルギー線検出素子に採用することが考えられる。しかしながら、この場合、半導体エネルギー線検出素子を製造するために両面プロセス (Double sided process) を実施する必要があるため、製造プロセスの煩雑化及び高コスト化を招く恐れがある。

[0036] 片面プロセス (Single sided process) により半導体エネルギー線検出素子を製造する場合、上述した製造プロセスの煩雑化及び高コスト化を防ぐことができる。片面プロセスにより製造された半導体エネルギー線検出素子では、放電対策として、半導体基板の端部と ROIC チップとの間に絶縁樹脂を充填する構成が考えられる。しかしながら、この場合には、絶縁樹脂を充填する工程を、半導体エネルギー線検出を ROIC チップに実装する際に、又は、実装後に、追加する必要があるため、結果的に、製造プロセスの煩雑化は避けられない。

[0037] これらに対して、本実施形態の半導体エネルギー線検出素子 ED1 では、

半導体基板 1 が、上記第五半導体領域 11 を有することにより、放電の発生が抑制されるため、製造プロセスの煩雑化及び高コスト化を招くことはない。

[0038] 次に、図 3 を参照して、本実施形態の第一変形例に係る半導体エネルギー線検出素子 ED2 の構成を説明する。図 3 は、本実施形態の第一変形例に係る半導体エネルギー線検出素子の断面構成を説明するための図である。

[0039] 半導体エネルギー線検出素子 ED2 では、半導体基板 1 は、半導体基板 1（第一半導体領域 3）の主面 1a 側に、第一導電型（たとえば、P 型）の半導体領域 31 を有している。半導体領域 31 は、主面 1a と主面 1b との対向方向から見て、第四半導体領域 9 の周囲を囲むように第四半導体領域 9 と第五半導体領域 11 との間に位置している。半導体領域 31 は、第一導電型の不純物（硼素など）が添加された領域であり、第一半導体領域 3 よりも不純物濃度が高い。

[0040] 半導体領域 31 は、第四半導体領域 9 と第五半導体領域 11 とに接触している。このため、半導体領域 31 における不純物濃度は、第三、第四、及び第五半導体領域 7, 9, 11 における不純物濃度より低いことが好ましい。半導体領域 31 の厚みは、第三、第四、及び第五半導体領域 7, 9, 11 の厚みよりも小さい。

[0041] 半導体領域 31 は、たとえばイオン注入法により形成される。半導体領域 31 が、所定の開口が形成されたマスクを用いることなくイオン注入法により形成される場合、半導体基板 1 の主面 1a として露出している第一半導体領域 3 の表面側に、第一導電型（たとえば、P 型）の半導体領域 33 も形成される。半導体領域 33 は、第三半導体領域 7 同士の間、及び、第三半導体領域 7 と第四半導体領域 9 との間に、それぞれ形成される。半導体基板 1 の主面 1a として露出している第三、第四、及び第五半導体領域 7, 9, 11 の表面側にも、第一導電型（たとえば、P 型）の不純物が存在する領域 35 が形成される。この場合でも、半導体領域 31, 33 における不純物濃度が、第三、第四、及び第五半導体領域 7, 9, 11 における不純物濃度より低

く設定されることにより、第三、第四、及び第五半導体領域 7, 9, 11 の機能に支障が生じるのを抑制できる。

[0042] 本変形例では、半導体基板 1 が、主面 1 a 側において第四半導体領域 9 の周囲を囲むように第四半導体領域 9 と第五半導体領域 11 との間に位置し、第一半導体領域 3 よりも不純物濃度が高い第一導電型の半導体領域 31 を有している。これにより、第一半導体領域 3 が完全空乏化された状態で、空乏層が半導体基板 1 の側面 1 c に到達するのが抑制される。

[0043] 次に、図 4 及び図 5 を参照して、本実施形態の第二変形例に係る半導体エネルギー線検出素子 ED3 の構成を説明する。図 4 は、本実施形態の第二変形例に係る半導体エネルギー線検出素子の断面構成を説明するための図である。図 5 は、本第二変形例に係る半導体エネルギー線検出素子の平面図である。図 5 では、図 2 と同様に、絶縁膜 13、電極 15, 17, 19、パッシベーション膜 21、及びバンプ電極 23 の図示を省略している。

[0044] 半導体エネルギー線検出素子 ED3 では、半導体基板 1 は、半導体基板 1 (第一半導体領域 3) の主面 1 a 側に、第一導電型 (たとえば、P 型) の半導体領域 37 を有している。半導体領域 37 は、主面 1 a と主面 1 b との対向方向から見て、第四半導体領域 9 の周囲を囲むように第四半導体領域 9 と第五半導体領域 11 との間に位置している。半導体領域 37 は、第一導電型の不純物 (硼素など) が添加された領域であり、第一半導体領域 3 よりも不純物濃度が高い。半導体領域 37 は、たとえば、イオン注入法又は拡散法により、第一導電型の不純物を主面 1 a 側から半導体基板 1 に添加することにより形成される。

[0045] 第四半導体領域 9 と半導体領域 37 との間には、第一半導体領域 3 の一部領域が介在しており、第五半導体領域 11 と半導体領域 37 との間にも、第一半導体領域 3 の一部領域が介在している。すなわち、第四半導体領域 9 と半導体領域 37 とは離隔していると共に、第五半導体領域 11 と半導体領域 37 とは離隔している。したがって、半導体領域 37 の不純物濃度は、上述した半導体領域 31 の不純物濃度よりも高く設定することができる。半導体

領域 3 7 における不純物濃度は、第三、第四、及び第五半導体領域 7, 9, 1 1 における不純物濃度と同程度であってもよい。半導体領域 3 7 の厚みは、第三、第四、及び第五半導体領域 7, 9, 1 1 の厚みよりも小さい。

[0046] 本変形例では、半導体基板 1 が、主面 1 a 側において第四半導体領域 9 の周囲を囲むように第四半導体領域 9 と第五半導体領域 1 1 との間に位置し、第一半導体領域 3 よりも不純物濃度が高い第一導電型の半導体領域 3 7 を有している。これにより、第一半導体領域 3 が完全空乏化された状態で、空乏層が半導体基板 1 の側面 1 c に到達するのが抑制される。

[0047] 次に、図 6 を参照して、本実施形態の第三変形例に係る半導体エネルギー線検出素子 E D 4 の構成を説明する。図 6 は、本実施形態の第三変形例に係る半導体エネルギー線検出素子の断面構成を説明するための図である。

[0048] 半導体エネルギー線検出素子 E D 4 では、半導体基板 1 は、第一半導体領域 3 が側面 1 c に露出しないように側面 1 c 側に位置する半導体領域 3 9 を有している。半導体領域 3 9 は、第一半導体領域 3 が側面 1 c に露出しないように、一对の主面 1 a, 1 b の対向方向に延びている。半導体領域 3 9 における主面 1 a 側の縁は、第五半導体領域 1 1 に接触している。半導体領域 3 9 における主面 1 b 側の縁は、第二半導体領域 5 に接触している。半導体領域 3 9 は、第一導電型の不純物（硼素など）が添加された領域であり、第一半導体領域 3 よりも不純物濃度が高い。半導体領域 3 9 は、第五半導体領域 1 1 と接触しているため、半導体領域 3 9 における不純物濃度は、第五半導体領域 1 1 における不純物濃度より低いことが好ましい。半導体領域 3 9 は、たとえばイオン注入法により形成される。

[0049] 本変形例では、半導体基板 1 が、第一半導体領域 3 が側面 1 c に露出しないように側面 1 c 側に位置し、第一半導体領域 3 よりも不純物濃度が高い第一導電型の半導体領域 3 9 を有している。これにより、第一半導体領域 3 が完全空乏化された状態で、空乏層が半導体基板 1 の側面 1 c に到達するのが抑制される。

[0050] 本変形例では、半導体基板 1 は、必ずしも半導体領域 3 7 を有している必

要はない。しかしながら、上述したように、半導体領域 39 の不純物濃度が比較的 low に設定されるので、空乏層が半導体基板 1 の側面 1c に到達するのを確実に抑制するためには、半導体基板 1 は、半導体領域 37 を有していることが好ましい。

[0051] 次に、図 7 を参照して、本実施形態の第四変形例に係る半導体エネルギー線検出素子 ED5 の構成を説明する。図 7 は、本実施形態の第四変形例に係る半導体エネルギー線検出素子の断面構成を説明するための図である。

[0052] 半導体エネルギー線検出素子 ED5 は、 Al_2O_3 からなる膜 41 を備えている。膜 41 は、半導体基板 1 の側面 1c として露出する第一半導体領域 3 の表面を覆うように配置されている。 Al_2O_3 は、覆われた第一半導体領域 3 の表面側に正の固定電荷を存在させるためのパッシベーション材料である。膜 41 は、半導体基板 1 の側面 1c 上に形成され、側面 1c が膜 41 で覆われる。すなわち、第一半導体領域 3 だけでなく、半導体基板 1 の側面 1c として露出する第二半導体領域 5 及び第五半導体領域 11 の表面も、膜 41 で覆われている。膜 41 は、たとえば、ALD (Atomic Layer Deposition) 法により成膜される。

[0053] 半導体エネルギー線検出素子 ED5 では、 Al_2O_3 からなる膜 41 で覆われた第一半導体領域 3 の表面側には、所定の極性の固定電荷（正の固定電荷）が存在する。正の固定電荷が存在している第一半導体領域 3 の上記表面側の領域は、アキュムレーション層 43 として機能する。膜 41 は、第一半導体領域 3 の表面上において、第五半導体領域 11 との界面と、第二半導体領域 5 との界面と、にわたって半導体基板 1 の厚み方向に延びている。これにより、第一半導体領域 3 が完全空乏化された状態で、空乏層が半導体基板 1 の側面 1c に到達するのが抑制される。

[0054] 膜 41 は、半導体基板 1 の側面 1c において、第一半導体領域 3 の表面だけでなく、第二半導体領域 5 及び第五半導体領域 11 の表面も覆っている。これにより、第一半導体領域 3 の上記表面が、膜 41 で確実に覆われるため、空乏層が第一半導体領域 3 の上記表面（半導体基板 1 の側面 1c）に到達

するのをより一層確実に抑制することができる。

[0055] 本変形例においても、半導体基板 1 は、必ずしも半導体領域 3 7 を有している必要はない。しかしながら、空乏層が半導体基板 1 の側面 1 c に到達するのを確実に抑制するためには、半導体基板 1 は、半導体領域 3 7 を有していることが好ましい。

[0056] 以上、本発明の実施形態について説明してきたが、本発明は必ずしも上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲で様々な変更が可能である。

[0057] 第一導電型が N 型であると共に、第二導電型が P 型であってもよい。この場合には、絶縁膜 1 3 が、上述した SiO_2 、又は Si_3N_4 からなることが好ましい。 SiO_2 又は Si_3N_4 は、覆われた N 型の第一半導体領域 3 の表面側に負の固定電荷を存在させるためのパッシベーション材料である。

[0058] 絶縁膜 1 3 は、半導体基板 1 の主面 1 a として露出する第一半導体領域 3 の表面を覆うように配置されている。したがって、絶縁膜 1 3 が、 SiO_2 又は Si_3N_4 からなる場合、絶縁膜 1 3 で覆われた第一半導体領域 3 の表面側には、所定の極性の固定電荷（負の固定電荷）が存在する。負の固定電荷が存在している第一半導体領域 3 の上記表面側の領域は、図 8 に示されるように、アキュムレーション層 4 5 として機能する。アキュムレーション層 4 5 のうち、第四半導体領域 9 と第五半導体領域 1 1 との間に位置する領域は、第四半導体領域 9 と第五半導体領域 1 1 とを電氣的に分離する。これにより、第一半導体領域 3 が完全空乏化された状態で、空乏層が半導体基板 1 の側面 1 c に到達するのが抑制される。

[0059] 半導体基板 1 の形状、第三半導体領域 7 の数及び形状、並びに、第四及び第五半導体領域 9, 1 1 の形状は、上述した実施形態及び変形例に限られない。

産業上の利用可能性

[0060] 本発明は、本発明は、 γ 線もしくは X 線などの高エネルギー放射線、紫外線、可視光、又は赤外線などを含むエネルギー線を検出する半導体エネルギー

一線検出素子に利用できる。

符号の説明

[0061] 1…半導体基板、1 a, 1 b…主面、1 c…側面、3…第一半導体領域、5…第二半導体領域、7…第三半導体領域、9…第四半導体領域、11…第五半導体領域、13…絶縁膜、31, 37, 39…半導体領域、41…膜、43, 45…アキュムレーション層、ED1, ED2, ED3, ED4, ED5…半導体エネルギー線検出素子。

請求の範囲

- [請求項1] 半導体エネルギー線検出素子であって、
互いに対向する第一主面と第二主面とを有する半導体基板を備え、
前記半導体基板は、
前記第一主面側に位置する第一導電型の第一半導体領域と、
前記第二主面側に位置し、前記第一半導体領域よりも不純物濃度が高い第一導電型の第二半導体領域と、
前記第一主面側に位置し、前記第一半導体領域とでエネルギー線感応領域を構成する、第二導電型の第三半導体領域と、
前記第一主面側において前記第三半導体領域が位置する領域の周囲を囲むように位置する、第二導電型の第四半導体領域と、
前記第一主面側において前記半導体基板の外縁に沿うように位置する、第二導電型の第五半導体領域と、を有している。
- [請求項2] 請求項1に記載の半導体エネルギー線検出素子であって、
前記半導体基板は、前記第一主面側において前記第四半導体領域の周囲を囲むように前記第四半導体領域と前記第五半導体領域との間に位置し、前記第一半導体領域よりも不純物濃度が高い第一導電型の半導体領域を更に有している。
- [請求項3] 請求項1又は2に記載の半導体エネルギー線検出素子であって、
前記半導体基板は、前記半導体基板の側面に前記第一半導体領域が露出しないように前記側面側に位置し、前記第一半導体領域よりも不純物濃度が高い第一導電型の半導体領域を更に有している。
- [請求項4] 請求項1又は2に記載の半導体エネルギー線検出素子であって、
前記半導体基板の側面として露出する前記第一半導体領域の表面を覆うように配置され、覆われた前記第一半導体領域の前記表面側に所定の極性の固定電荷を存在させるためのパッシベーション材料からなる膜を更に備えている。
- [請求項5] 請求項4に記載の半導体エネルギー線検出素子であって、

第一導電型がP型であると共に、第二導電型がN型であり、
前記パッシベーション材料が、 Al_2O_3 である。

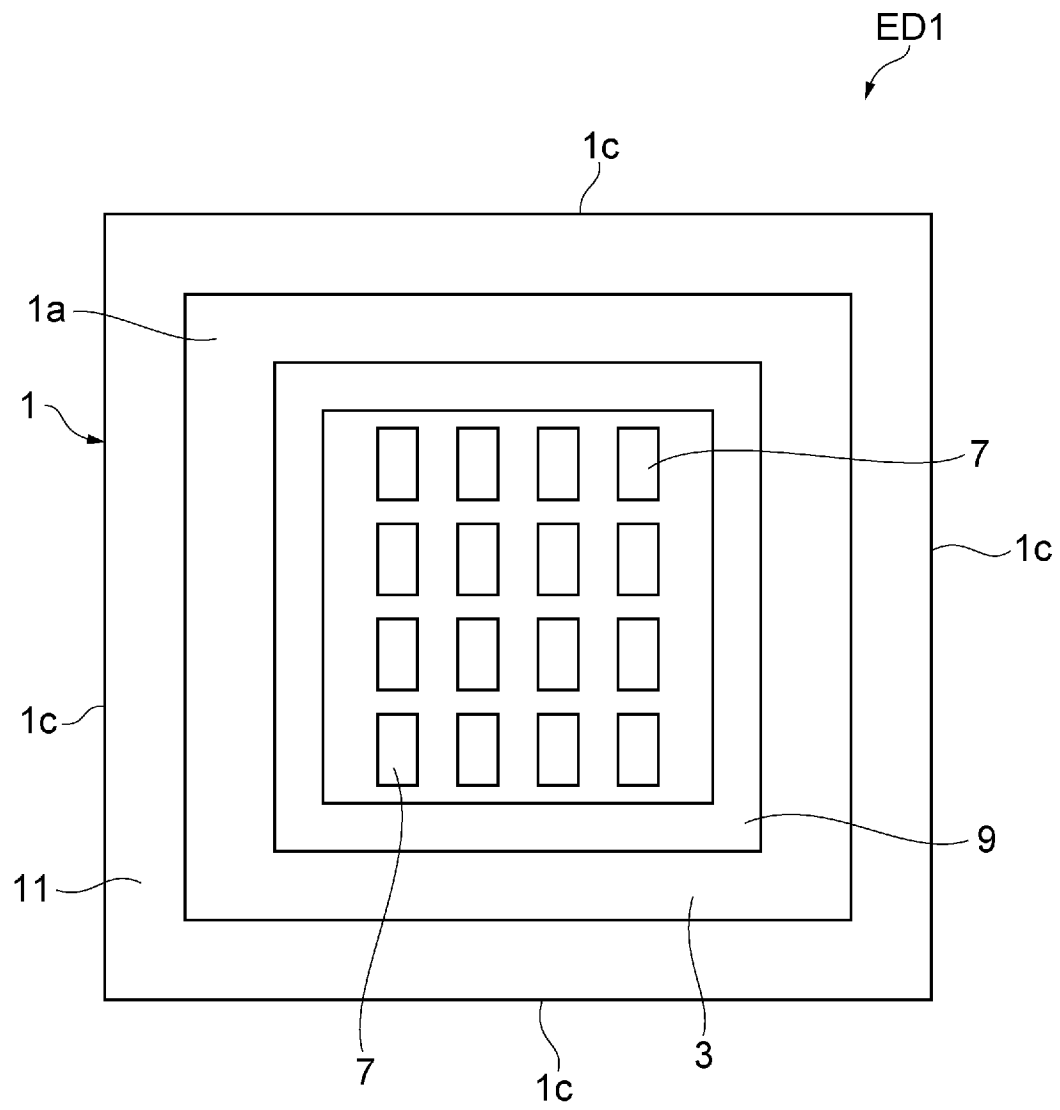
[請求項6]

請求項1に記載の半導体エネルギー線検出素子であって、
前記半導体基板の前記第一主面として前記第二半導体領域と前記第三半導体領域との間の領域において露出する前記第一半導体領域の表面を覆うように配置され、覆われた前記第一半導体領域の前記表面側に所定の極性の固定電荷を存在させるためのパッシベーション材料からなる膜を更に備えている。

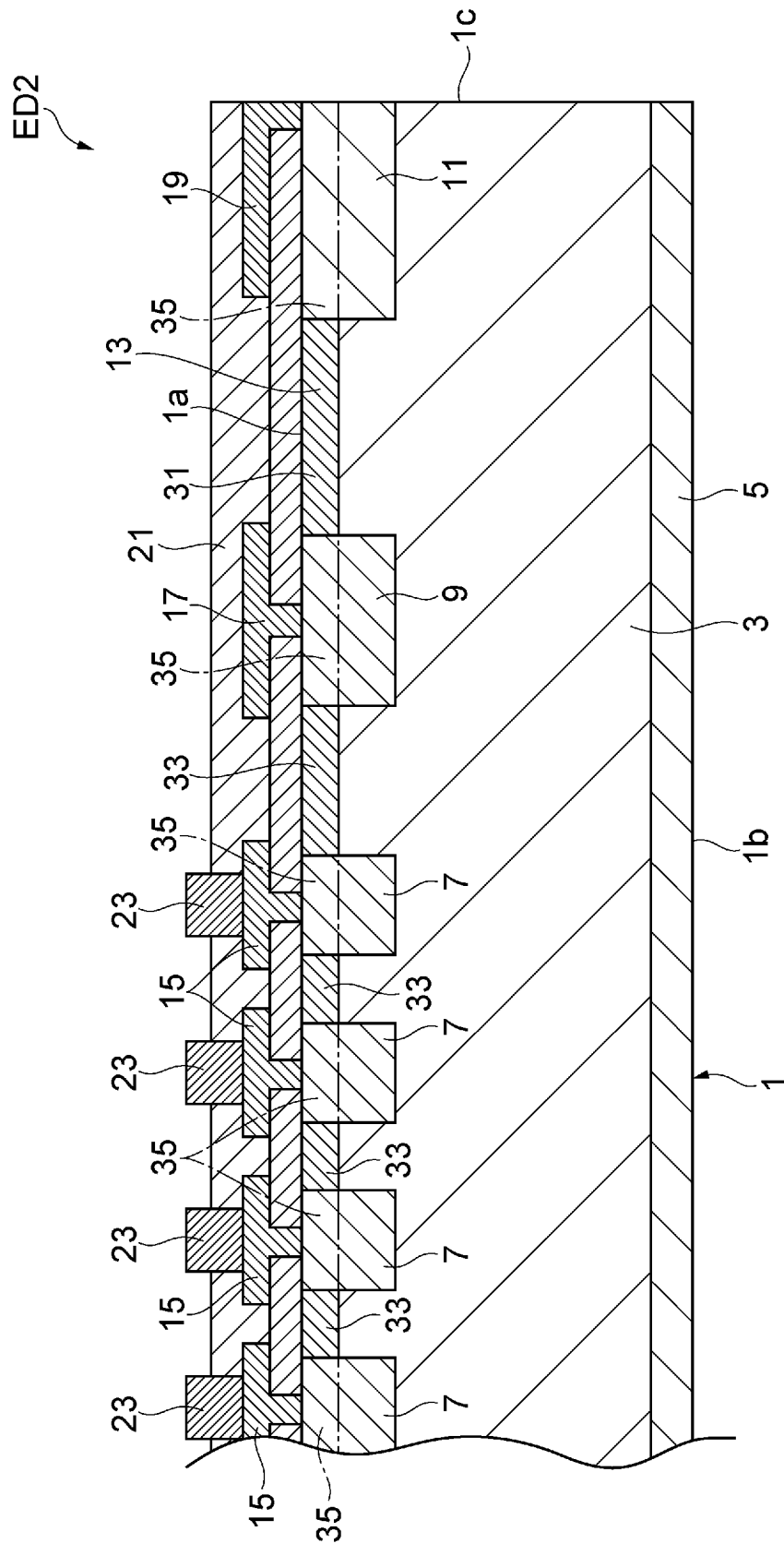
[請求項7]

請求項6に記載の半導体エネルギー線検出素子であって、
第一導電型がN型であると共に、第二導電型がP型であり、
前記パッシベーション材料が、 SiO_2 又は Si_3N_4 である。

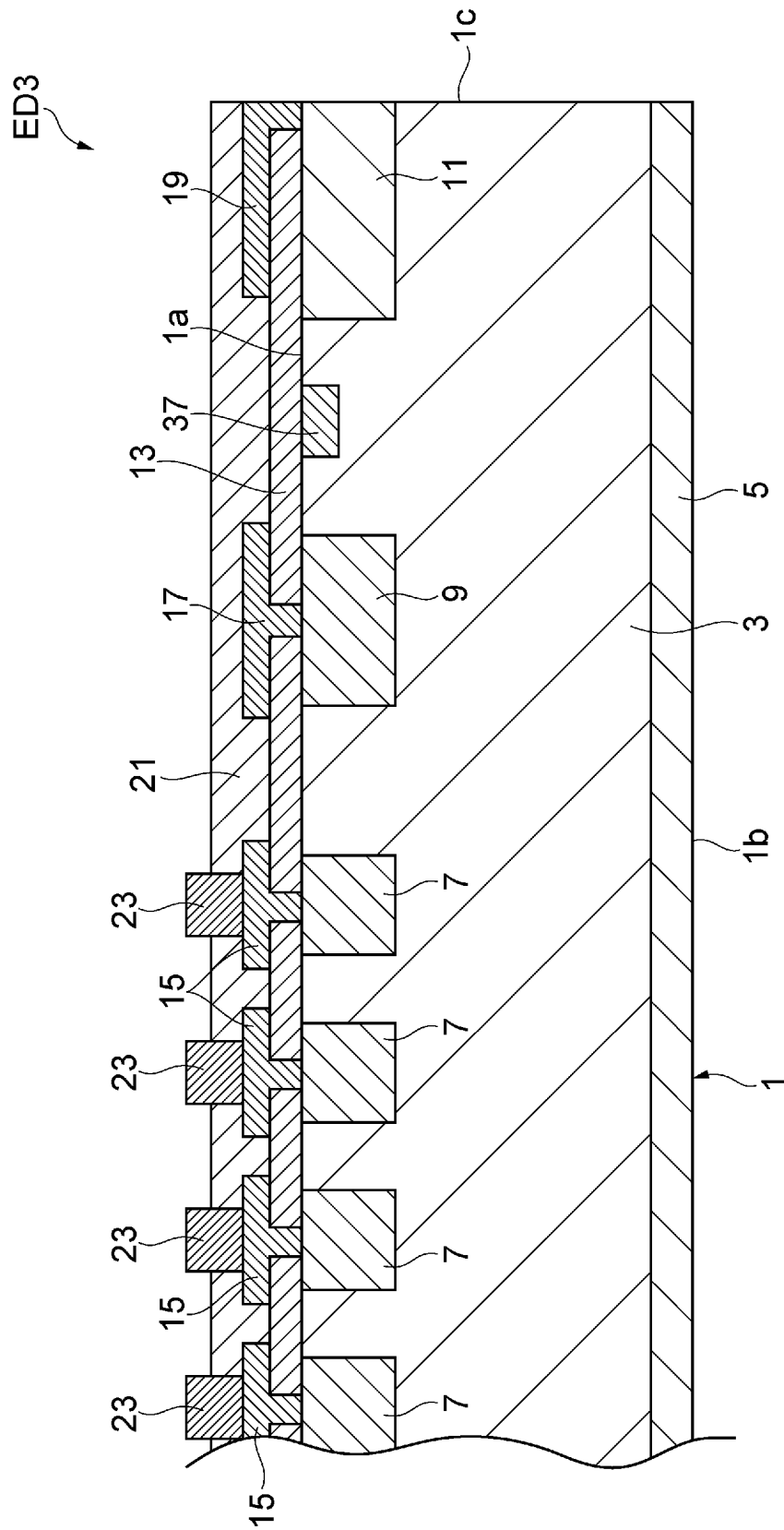
[図2]



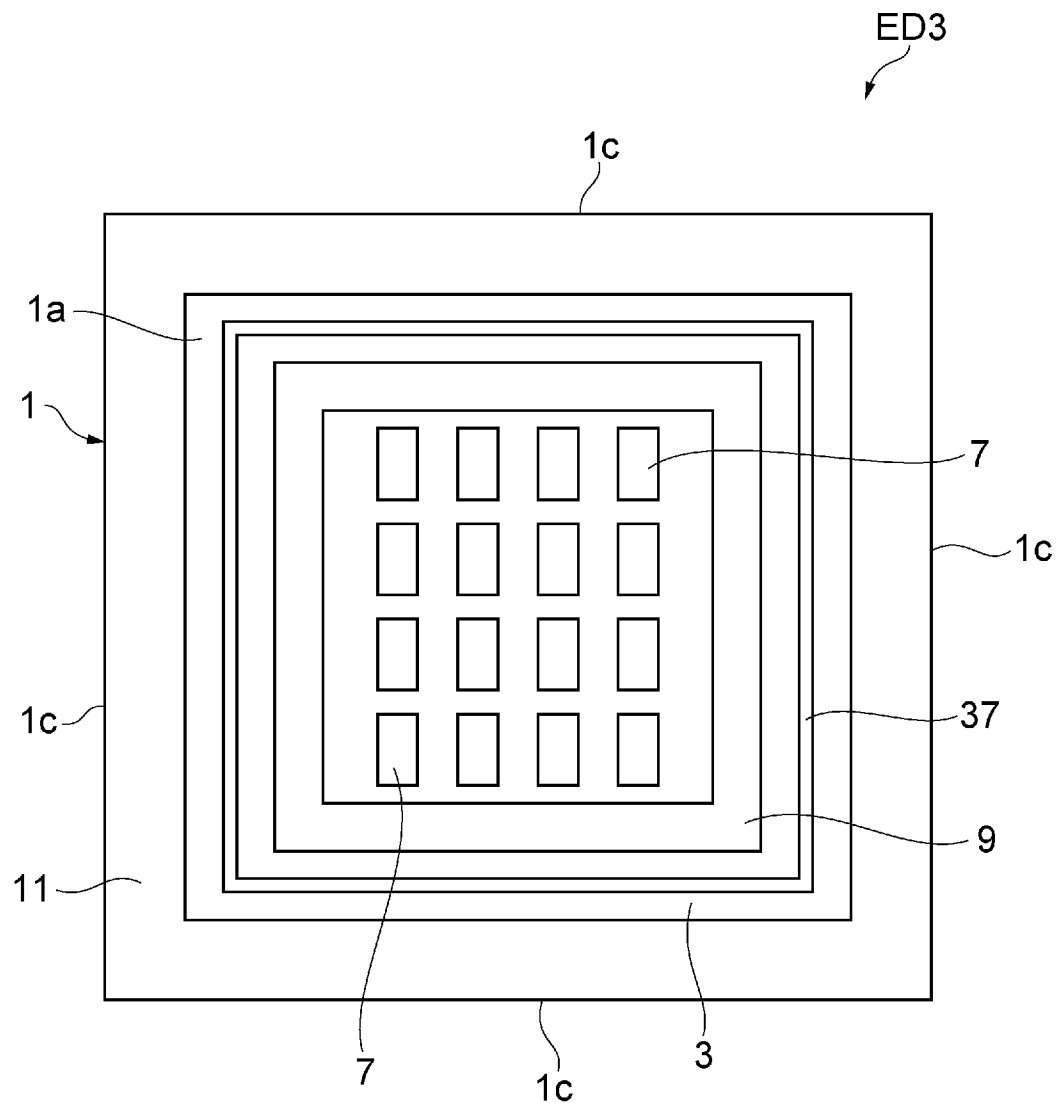
[図3]



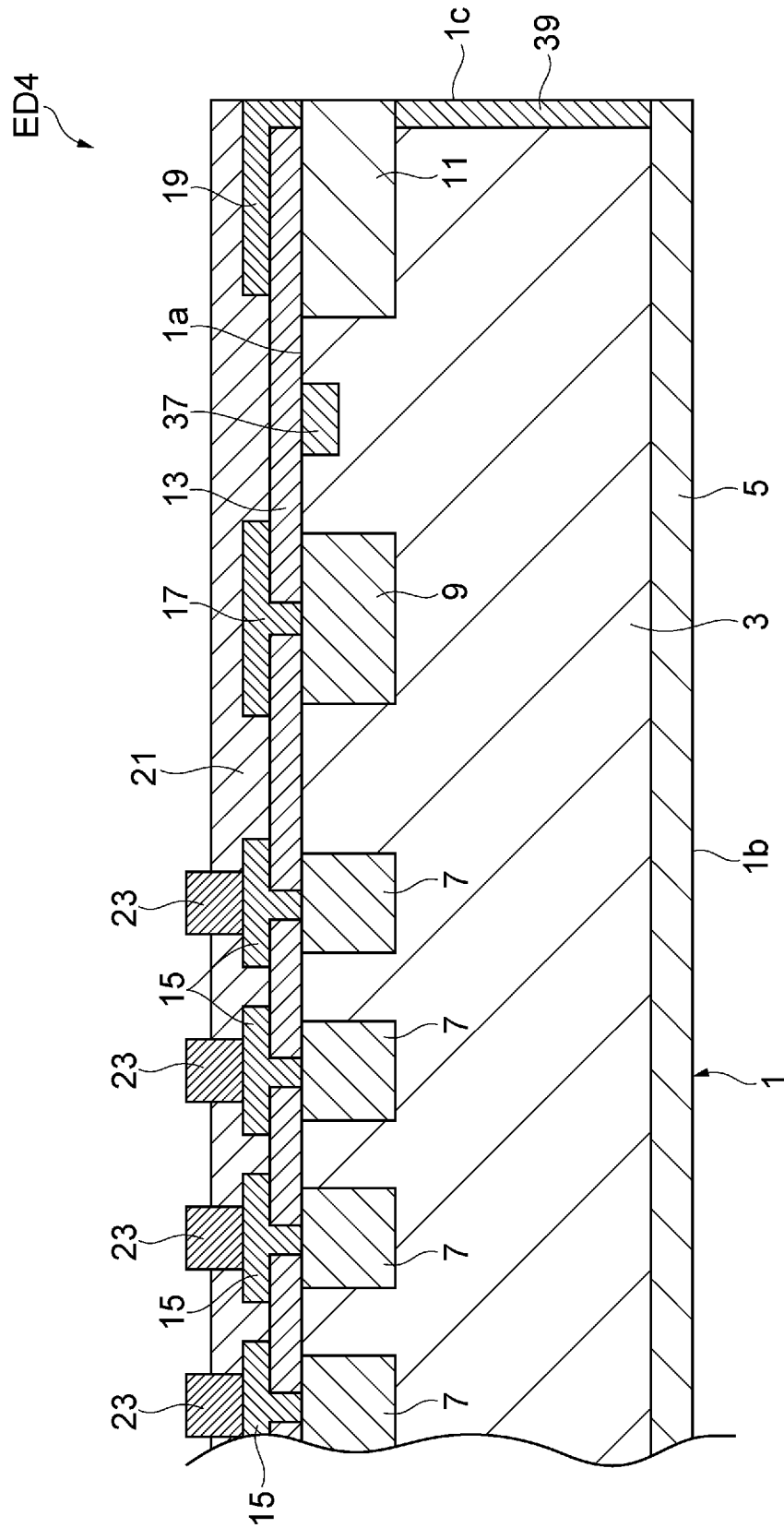
[図4]



[図5]



[図6]



[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/070482

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/10(2006.01)i, G01T1/24(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/00-31/0392, 31/08-31/119, G01T1/24

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-275731 A (Sharp Corp.), 22 October 1993 (22.10.1993), paragraph [0009]; fig. 1 (Family: none)	1-7
Y	JP 2007-335596 A (Hamamatsu Photonics Kabushiki Kaisha), 27 December 2007 (27.12.2007), paragraphs [0015] to [0018]; fig. 1 to 2 (Family: none)	1-7
Y	JP 2002-314120 A (Hamamatsu Photonics Kabushiki Kaisha), 25 October 2002 (25.10.2002), paragraphs [0016] to [0020]; fig. 1 (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 September, 2014 (02.09.14)

Date of mailing of the international search report
16 September, 2014 (16.09.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/070482

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-239005 A (Kinki University), 21 October 2010 (21.10.2010), paragraphs [0026] to [0030]; fig. 1 (Family: none)	3
Y	WO 2012/117931 A1 (Sony Corp.), 07 September 2012 (07.09.2012), paragraphs [0026], [0036] to [0038]; fig. 2 & JP 2013-175494 A & US 2014/0054662 A1 & CN 103403869 A & KR 10-2014-0015326 A	4, 5
Y	JP 2011-138905 A (Toshiba Corp.), 14 July 2011 (14.07.2011), paragraphs [0036] to [0037]; fig. 3 & US 2011/0156186 A1	4, 5
A	JP 1-216581 A (Fuji Electric Co., Ltd.), 30 August 1989 (30.08.1989), page 2, lower left column, line 5 to lower right column, line 6; fig. 1 (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L31/10(2006.01)i, G01T1/24(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L31/00-31/0392, 31/08-31/119, G01T1/24

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 5-275731 A（シャープ株式会社）1993. 10. 22, 段落【0009】，第1図（ファミリーなし）	1-7
Y	JP 2007-335596 A（浜松ホトニクス株式会社）2007. 12. 27, 段落【0015】 - 【0018】，第1-2図（ファミリーなし）	1-7
Y	JP 2002-314120 A（浜松ホトニクス株式会社）2002. 10. 25, 段落【0016】 - 【0020】，第1図（ファミリーなし）	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 9 . 2 0 1 4

国際調査報告の発送日

1 6 . 0 9 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

山本 元彦

2 K

3 9 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-239005 A (学校法人近畿大学) 2010. 10. 21, 段落【0026】 - 【0030】, 第 1 図 (ファミリーなし)	3
Y	WO 2012/117931 A1 (ソニー株式会社) 2012. 09. 07, 段落 [0026], [0036] - [0038], 第 2 図 & JP 2013-175494 A & US 2014/0054662 A1 & CN 103403869 A & KR 10-2014-0015326 A	4, 5
Y	JP 2011-138905 A (株式会社東芝) 2011. 07. 14, 段落【0036】-【0037】, 第 3 図 & US 2011/0156186 A1	4, 5
A	JP 1-216581 A (富士電機株式会社) 1989. 08. 30, 第 2 頁左下欄第 5 行-右下欄第 6 行, 第 1 図 (ファミリーなし)	1-7