



(12)发明专利申请

(10)申请公布号 CN 107408557 A

(43)申请公布日 2017. 11. 28

(21)申请号 201680013626.3

(22)申请日 2016.03.02

(30)优先权数据

62/128322 2015.03.04 US

15/057590 2016.03.01 US

(85)PCT国际申请进入国家阶段日

2017.09.04

(86)PCT国际申请的申请数据

PCT/US2016/020455 2016.03.02

(87)PCT国际申请的公布数据

W02016/141060 EN 2016.09.09

(71)申请人 硅存储技术公司

地址 美国加利福尼亚州

(72)发明人 C-M.陈 J-W.杨 C-S.苏 M-T.吴

N.杜

(74)专利代理机构 中国专利代理(香港)有限公司 72001

代理人 申屠伟进 郑冀之

(51)Int.Cl.

H01L 27/11534(2017.01)

H01L 29/423(2006.01)

H01L 21/336(2006.01)

H01L 21/28(2006.01)

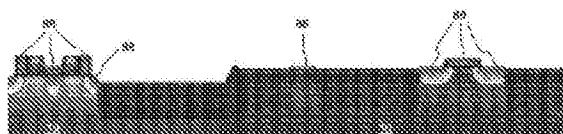
权利要求书3页 说明书6页 附图32页

(54)发明名称

分裂栅闪存阵列和逻辑器件的集成

(57)摘要

本发明公开了一种存储器设备,所述存储器设备包括具有存储器区域(16)和逻辑器件区域(18)的半导体衬底。多个存储器单元形成于所述存储器区域中,每个存储器单元包括第一源极区和第一漏极区,其间具有第一沟道区;设置在所述第一沟道区的第一部分上方的浮栅;设置在所述浮栅上方的控制栅;设置在所述第一沟道区的第二部分上方的选择栅;以及设置在所述源极区上方的擦除栅。多个逻辑器件形成于所述逻辑器件区域中,每个逻辑器件包括第二源极区和第二漏极区,其间具有第二沟道区;以及设置在所述第二沟道区上方的逻辑门。所述衬底上表面在所述存储器区域中比在所述逻辑器件区域中凹陷得更低,使得所述更高的存储器单元具有与所述逻辑器件类似的上部高度。



1. 一种存储器设备,包括:

具有存储器区域和逻辑器件区域的半导体衬底,其中所述存储器区域中的所述衬底的上表面凹陷得低于所述逻辑器件区域中的所述衬底的上表面;

形成于所述衬底的所述存储器区域中的多个存储器单元,其中所述存储器单元中的每一个包括:

形成于所述衬底中的第一源极区,

形成于所述衬底中的第一漏极区,其中第一沟道区限定在所述衬底中在所述第一源极区和所述第一漏极区之间,

设置在所述第一沟道区的与所述源极区相邻的第一部分上方并且与其绝缘的浮栅,

设置在所述浮栅上方并且与其绝缘的控制栅,

设置在所述第一沟道区的与所述漏极区相邻的第二部分上方并且与其绝缘的选择栅,和

设置在所述源极区上方并且与其绝缘的擦除栅;

形成于所述衬底的所述逻辑器件区域中的多个逻辑器件,其中所述逻辑器件中的每一个包括:

形成于所述衬底中的第二源极区,

形成于所述衬底中的第二漏极区,其中第二沟道区限定在所述衬底中在所述第二源极区和所述第二漏极区之间,和

设置在所述第二沟道区上方并且与其绝缘的逻辑门。

2. 根据权利要求1所述的存储器设备,其中所述选择栅的顶部表面相对于所述衬底与所述逻辑门的顶部表面齐平。

3. 根据权利要求2所述的存储器设备,还包括:

设置在所述控制栅中的每一个上方的绝缘材料块,其中所述绝缘块的顶部表面相对于所述衬底与所述选择栅的所述顶部表面并且与所述逻辑门的所述顶部表面齐平。

4. 根据权利要求1所述的存储器设备,其中:

所述浮栅、所述擦除栅和所述控制栅由多晶硅形成;并且

所述选择栅和所述逻辑门由金属材料形成。

5. 根据权利要求4所述的存储器设备,其中所述选择栅通过至少氧化物层和高K材料层与所述衬底绝缘。

6. 根据权利要求1所述的存储器设备,还包括:

所述擦除栅中的每一个的上表面上的硅化物层;

在所述衬底表面的在所述第一漏极区上方的部分上的硅化物层;和

在所述衬底表面的在所述第二源极区和所述第二漏极区上方的部分上的硅化物层。

7. 一种形成存储器设备的方法,包括:

在具有存储器区域和逻辑器件区域的半导体衬底的表面上形成一个或多个保护层;

从所述衬底的所述存储器设备区域移除所述一个或多个保护层,同时将所述一个或多个保护层保留在所述衬底的所述逻辑器件区域中;

执行在所述存储器区域中的所述衬底表面上形成氧化物层的氧化工艺,其中所述氧化工艺消耗并降低所述存储器区域中的所述衬底表面的高度,使得所述存储器区域中的所述

衬底的所述表面凹陷得低于所述逻辑器件区域中的所述衬底的所述表面；

从所述衬底的所述逻辑器件区域移除所述一个或多个保护层；

从所述衬底的所述存储器区域移除所述氧化物层；

在所述衬底的所述存储器区域中形成多个存储器单元，其中所述存储器单元中的每一个包括：

形成于所述衬底中的第一源极区，

形成于所述衬底中的第一漏极区，其中第一沟道区限定在所述衬底中在所述第一源极区和所述第一漏极区之间，

设置在所述第一沟道区的与所述源极区相邻的第一部分上方并且与其绝缘的浮栅，

设置在所述浮栅上方并且与其绝缘的控制栅，

设置在所述第一沟道区的与所述漏极区相邻的第二部分上方并且与其绝缘的选择栅，
和

设置在所述源极区上方并且与其绝缘的擦除栅；

在所述衬底的所述逻辑器件区域中形成多个逻辑器件，其中所述逻辑器件中的每一个包括：

形成于所述衬底中的第二源极区，

形成于所述衬底中的第二漏极区，其中第二沟道区限定在所述衬底中在所述第二源极区和所述第二漏极区之间，和

设置在所述第二沟道区上方并且与其绝缘的逻辑门。

8. 根据权利要求7所述的方法，其中所述选择栅的顶部表面相对于所述衬底与所述逻辑门的顶部表面齐平。

9. 根据权利要求8所述的方法，还包括：

在所述控制栅中的每一个上方形成绝缘材料块，其中所述绝缘块的顶部表面相对于所述衬底与所述选择栅的所述顶部表面并且与所述逻辑门的所述顶部表面齐平。

10. 根据权利要求7所述的方法，其中：

所述浮栅、所述擦除栅和所述控制栅由多晶硅形成；并且

所述选择栅和所述逻辑门由金属材料形成。

11. 根据权利要求10所述的方法，其中所述选择栅通过至少氧化物层和高K材料层与所述衬底绝缘。

12. 根据权利要求7所述的方法，还包括：

在所述擦除栅中的每一个的上表面上形成硅化物层；

在所述衬底表面的在所述第一漏极区上方的部分上形成硅化物层；以及

在所述衬底表面的在所述第二源极区和所述第二漏极区上方的部分上形成硅化物层。

13. 一种形成存储器设备的方法，包括：

在具有存储器区域和逻辑器件区域的半导体衬底的表面上形成一个或多个保护层；

从所述衬底的所述逻辑器件区域移除所述一个或多个保护层，同时将所述一个或多个保护层保留在所述衬底的所述存储器区域中；

执行在所述逻辑区域中的所述衬底表面上使硅生长的外延生长工艺，其中所述外延生长工艺提高了所述逻辑器件区域中的所述衬底表面的高度，使得所述逻辑器件区域中的所

述衬底的所述表面升高得高于所述存储器区域中的所述衬底的所述表面；

从所述衬底的所述存储器区域移除所述一个或多个保护层；

在所述衬底的所述存储器区域中形成多个存储器单元，其中所述存储器单元中的每一个包括：

形成于所述衬底中的第一源极区，

形成于所述衬底中的第一漏极区，其中第一沟道区限定在所述衬底中在所述第一源极区和所述第一漏极区之间，

设置在所述第一沟道区的与所述源极区相邻的第一部分上方并且与其绝缘的浮栅，

设置在所述浮栅上方并且与其绝缘的控制栅，

设置在所述第一沟道区的与所述漏极区相邻的第二部分上方并且与其绝缘的选择栅，
和

设置在所述源极区上方并且与其绝缘的擦除栅；

在所述衬底的所述逻辑器件区域中形成多个逻辑器件，其中所述逻辑器件中的每一个包括：

形成于所述衬底中的第二源极区，

形成于所述衬底中的第二漏极区，其中第二沟道区限定在所述衬底中在所述第二源极区和所述第二漏极区之间，和

设置在所述第二沟道区上方并且与其绝缘的逻辑门。

14. 根据权利要求13所述的方法，其中所述选择栅的顶部表面相对于所述衬底与所述逻辑门的顶部表面齐平。

15. 根据权利要求14所述的方法，还包括：

在所述控制栅中的每一个上方形成绝缘材料块，其中所述绝缘块的顶部表面相对于所述衬底与所述选择栅的所述顶部表面并且与所述逻辑门的所述顶部表面齐平。

16. 根据权利要求13所述的方法，其中：

所述浮栅、所述擦除栅和所述控制栅由多晶硅形成；并且

所述选择栅和所述逻辑门由金属材料形成。

17. 根据权利要求16所述的方法，其中所述选择栅通过至少氧化物层和高K材料层与所述衬底绝缘。

18. 根据权利要求13所述的方法，还包括：

在所述擦除栅中的每一个的上表面上形成硅化物层；

在所述衬底表面的在所述第一漏极区上方的部分上形成硅化物层；以及

在所述衬底表面的在所述第二源极区和所述第二漏极区上方的部分上形成硅化物层。

分裂栅闪存阵列和逻辑器件的集成

[0001] 相关专利申请

[0002] 本申请要求2015年3月4日提交的美国临时申请62/128,322的权益,并且该申请以引用方式并入本文。

技术领域

[0003] 本发明涉及闪存单元阵列,并且更具体地讲,涉及闪存阵列在与逻辑器件相同的晶圆上的集成。

背景技术

[0004] 已知将核心逻辑器件(诸如高电压、输入/输出和/或模拟设备)在相同衬底上形成为非易失性存储器设备(即,通常称为嵌入式存储器设备)。这对于分裂栅非易失性存储器设备尤其如此,其中存储器单元架构包括部分或完全地堆叠在其他栅极上方的栅极。然而,随着逻辑器件的器件几何形状不断缩小,在衬底表面上方的闪存单元的高度变得远远大于在相同衬底上形成的逻辑器件的高度。尝试以与逻辑器件相同的速率缩小衬底表面上方的存储器单元的高度可能导致泄漏或其他不利影响。

发明内容

[0005] 上述问题由存储器设备解决,该存储器设备具有包括存储器区域和逻辑器件区域的半导体衬底,其中存储器区域中的衬底的上表面凹陷得低于逻辑器件区域中的衬底的上表面;形成于衬底的存储器区域中的多个存储器单元;以及形成于衬底的逻辑器件区域中的多个逻辑器件。存储器单元中的每一个包括形成于衬底中的第一源极区,形成于衬底中的第一漏极区,其中第一沟道区限定在衬底中在第一源极区和第一漏极区之间,设置在第一沟道区的与源极区相邻的第一部分上方并且与其绝缘的浮栅,设置在浮栅上方并且与其绝缘的控制栅,设置在第一沟道区的与漏极区相邻的第二部分上方并且与其绝缘的选择栅,以及设置在源极区上方并且与其绝缘的擦除栅。逻辑器件中的每一个包括形成于衬底中的第二源极区,形成于衬底中的第二漏极区,其中第二沟道区限定在衬底中在第二源极区和第二漏极区之间,以及设置在第二沟道区上方并且与其绝缘的逻辑门。

[0006] 形成存储器设备的方法包括在具有存储器区域和逻辑器件区域的半导体衬底的表面上形成一个或多个保护层;从衬底的存储器设备区域移除一个或多个保护层,同时将一个或多个保护层保留在衬底的逻辑器件区域中;执行在存储器区域中的衬底表面上形成氧化物层的氧化工艺,其中氧化工艺消耗并降低存储器区域中的衬底表面的高度,使得存储器区域中的衬底的表面凹陷得低于逻辑器件区域中的衬底的表面;从衬底的逻辑器件区域移除一个或多个保护层;从衬底的存储器区域移除氧化物层;在衬底的存储器区域中形成多个存储器单元;以及在衬底的逻辑器件区域中形成多个逻辑器件。存储器单元中的每一个包括形成于衬底中的第一源极区;形成于衬底中的第一漏极区,其中第一沟道区限定在衬底中在第一源极区和第一漏极区之间;设置在第一沟道区的与源极区相邻的第一部分

上方并且与其绝缘的浮栅;设置在浮栅上方并且与其绝缘的控制栅;设置在第一沟道区的与漏极区相邻的第二部分上方并且与其绝缘的选择栅;以及设置在源极区上方并且与其绝缘的擦除栅。逻辑器件中的每一个包括形成于衬底中的第二源极区,形成于衬底中的第二漏极区,其中第二沟道区限定在衬底中在第二源极区和第二漏极区之间,以及设置在第二沟道区上方并且与其绝缘的逻辑门。

[0007] 形成存储器设备的方法包括在具有存储器区域和逻辑器件区域的半导体衬底的表面上形成一个或多个保护层;从衬底的逻辑器件区域移除一个或多个保护层,同时将一个或多个保护层保留在衬底的存储器区域中;执行在逻辑区域中的衬底表面上使硅生长的外延生长工艺,其中外延生长工艺提高了逻辑器件区域中的衬底表面的高度,使得逻辑器件区域中的衬底的表面升高得高于存储器区域中的衬底的表面;从衬底的存储器区域移除一个或多个保护层;在衬底的存储器区域中形成多个存储器单元;以及在衬底的逻辑器件区域中形成多个逻辑器件。存储器单元中的每一个包括形成于衬底中的第一源极区,形成于衬底中的第一漏极区,其中第一沟道区限定在衬底中在第一源极区和第一漏极区之间,设置在第一沟道区的与源极区相邻的第一部分上方并且与其绝缘的浮栅,设置在浮栅上方并且与其绝缘的控制栅,设置在第一沟道区的与漏极区相邻的第二部分上方并且与其绝缘的选择栅,以及设置在源极区上方并且与其绝缘的擦除栅。逻辑器件中的每一个包括形成于衬底中的第二源极区,形成于衬底中的第二漏极区,其中第二沟道区限定在衬底中在第二源极区和第二漏极区之间,以及设置在第二沟道区上方并且与其绝缘的逻辑门。

[0008] 通过查看说明书、权利要求书和附图,本发明的其他目的和特征将变得显而易见。

附图说明

[0009] 图1-图30为示出形成本发明的存储器设备的步骤的侧剖视图。

[0010] 图31-图32为示出形成本发明的存储器设备的步骤的替代实施方案的侧剖视图。

具体实施方式

[0011] 本发明是在相同衬底上形成存储器单元和逻辑器件以使得存储器单元的顶部高度与逻辑器件的顶部高度相当的技术。

[0012] 图1-图30示出在相同衬底上形成存储器单元和逻辑器件的工艺。该工艺开始于在硅衬底10上形成二氧化硅(氧化物)层12。氮化物层14形成在氧化物层12上,如图1所示。执行光刻法和氮化物蚀刻工艺以选择性地移除衬底的存储器单元区域(MCEL区域)16中的氮化物层14,同时将氮化物层14维持在衬底的逻辑器件区域(外围区域)18中。然后执行LOCOS氧化以在MCEL区域16中产生厚的氧化物层20,如图2所示。这种氧化消耗衬底的暴露部分,从而相对于外围区域18的高度减小MCEL区域16中的衬底的上表面的高度。执行氮化物蚀刻以移除氮化物层14,然后执行氧化物蚀刻以移除氧化物20。所得结构示于图3中,其中MCEL区域16中的衬底上表面相对于外围区域18中的衬底上表面凹陷(例如,深度D,诸如700Å)。

[0013] 执行氧化物形成工艺以在衬底上形成氧化物层22(焊盘氧化物)。氮化物层24然后形成在焊盘氧化物层22上。光致抗蚀剂26然后形成在结构上方,并且使用光刻法选择性地曝光和蚀刻,以使氮化物层24的所选部分暴露。执行氮化物、氧化物和硅蚀刻以穿过氮化物和氧化物层形成沟槽28,并且进入衬底,如图4所示。执行氧化物沉积,随后执行氧化物化学

机械抛光 (CMP) 蚀刻, 以用 STI 氧化物 30 填充沟槽。通过使用外围区域中的焊盘氮化物作为 CMP 蚀刻停止层, 在 MCEL 区域中的氮化物层上留下氧化物层 32, 如图 5 所示 (在移除光致抗蚀剂之后)。

[0014] 光致抗蚀剂形成在结构上方并且从 MCEL 区域 16 移除。氧化物蚀刻用于移除氧化物 32 (并且降低 MCEL 区域 16 中的 STI 氧化物 30 的部分的上表面)。在光致抗蚀剂被移除之后, 氮化物蚀刻用于移除氮化物层 24。多晶硅层 34 沉积在结构上方, 然后注入到该多晶硅层 (称为 FG 多晶硅层, 因为这是最终将形成存储器单元的浮栅的多晶硅) 中, 如图 6 所示。接下来执行多晶硅 CMP 蚀刻, 这将在多晶硅 34 的选择性部分留在 MCEL 和外围区域中。执行多晶硅蚀刻以移除 STI 氧化物 30 上方的多晶硅层 34, 但将焊盘氧化物层 22 上方的薄层留在 MCEL 和外围区域中。光致抗蚀剂 36 沉积在结构上方, 并且使用光刻工艺选择性地移除以暴露 MCEL 区域 16。氧化物蚀刻用于降低 (回蚀刻) STI 氧化物 30。所得结构示于图 7 中。

[0015] 在光致抗蚀剂 36 被移除之后, 在结构上方形成 ONO 层 38 (即, 氧化物、氮化物、氧化物子层), 随后在 ONO 层 38 上方形成多晶硅层 40, 并且在多晶硅层 40 上方形成氮化物层 42, 如图 8 所示。结构覆盖有光致抗蚀剂, 该光致抗蚀剂被选择性地移除以暴露除了 MCEL 区域 16 中的所选部分之外的氮化物层 42。执行氮化物、多晶硅、氧化物、氮化物和氧化物蚀刻以从结构移除除了由光致抗蚀剂保护的那些部分之外的氮化物、多晶硅和 ONO 层, 从而将此类层的成对堆叠 S1 和 S2 留在 MCEL 区域 16 中。所得结构示于图 9 中 (在移除光致抗蚀剂之后)。堆叠 S1 和 S2 之间的区域被称为 SL (源极线) 侧, 并且堆叠 S1 和 S2 之外的区域被称为 WL (字线) 侧。虽然仅示出了一对堆叠 S1 和 S2, 但是在 MCEL 区域 16 中存在此类堆叠对的阵列。

[0016] 然后沿着堆叠 S1 和 S2 的侧壁形成间隔物。间隔物的形成是本领域中众所周知的, 并且涉及将材料层沉积在结构上方, 然后进行各向异性蚀刻以从结构的水平部分移除材料, 但使材料沿着结构的垂直表面保持完整 (具有弯曲的上表面)。沿着堆叠 S1 和 S2 的间隔物通过以下方式形成: 沉积氧化物层和氮化物层, 然后进行各向异性氮化物蚀刻, 留下氮化物间隔物 44。通过氧化物沉积和蚀刻沿着氮化物间隔物 44 形成附加的牺牲氧化物间隔物 (SAC 间隔物) 46。所得结构示于图 10 中。

[0017] 光致抗蚀剂形成在结构上方, 并且使用光刻工艺选择性地曝光并蚀刻掉, 从而使光致抗蚀剂 48 留在外围区域以及 MCEL 区域中的堆叠 S1 和 S2 的 SL 侧上方, 如图 11 所示。然后在堆叠 S1 和 S2 的暴露 WL 侧上执行 Vt 注入。然后执行氧化物蚀刻以从堆叠 S1 和 S2 的 WL 侧移除牺牲氧化物间隔物 46。在光致抗蚀剂被移除之后, 使用多晶硅蚀刻来移除多晶硅层 34 的暴露部分 (留下多晶硅层 34 (FG 多晶硅) 仅作为堆叠 S1 和 S2 的一部分)。所得结构示于图 12 中。

[0018] 然后通过氧化物形成和蚀刻沿着堆叠 S1 和 S2 的侧壁形成氧化物间隔物 50, 如图 13 所示。光致抗蚀剂 52 然后形成在结构上方, 并且通过仅在堆叠 S1 和 S2 的 SL 侧上的光刻曝光和蚀刻来移除, 如图 14 所示。然后执行高电压注入和退火, 以在堆叠 S1 和 S2 之间在衬底中形成源极区 54。使用氧化物蚀刻来移除堆叠 S1 和 S2 的 SL 侧上的氧化物 22。然后使用氧化物沉积在衬底和多晶硅层 34 的暴露部分上方 (并且沿着氮化物间隔物的侧面) 形成薄的氧化物层 56 (适用于隧穿)。所得结构示于图 15 中 (在移除光致抗蚀剂之后)。

[0019] 光致抗蚀剂形成在结构上方, 并且使用光刻工艺选择性地曝光并蚀刻掉, 从而使光致抗蚀剂 58 留在外围区域以及 MCEL 区域中的堆叠 S1 和 S2 的 SL 侧上方。然后执行氧化物蚀刻以移除氧化物的暴露部分 (包括使氧化物间隔物 50 变薄), 如图 16 所示。在光致抗蚀剂材

料58被移除之后,绝缘层形成在结构上方。优选地,绝缘层包括作为界面层的第一薄氧化物层60以及第二高K材料(即,介电常数K大于氧化物诸如HfO₂、ZrO₂、TiO₂、Ta₂O₅或其他适当的材料等的介电常数)层62。可以改变氧化物层60的厚度以实现用于分裂栅闪存单元的选择栅的不同阈值电压。可进行任选的热处理以增强对栅极电介质的水分控制。封盖层64,诸如TiN、TaN、TiSiN可沉积在结构上以在随后的处理步骤中保护高K材料62免受损坏。可使用光刻蚀刻(形成光致抗蚀剂66,该光致抗蚀剂从堆叠S1和S2的SL侧移除,然后进行蚀刻,然而,这是任选的)从堆叠S1和S2的SL侧移除封盖层64、高K材料层62和氧化物层60。所得结构示于图17中。

[0020] 多晶硅层68沉积在结构上,随后将封盖氧化物层70沉积在多晶硅68上。然后通过光刻蚀刻将封盖氧化物层70从MCEL区域移除。附加多晶硅沉积在MCEL区域中的多晶硅层上(增厚多晶硅68)以及在外围区域中的封盖氧化物层上作为多晶硅层72。所得结构示于图18中。使用封盖氧化物70作为蚀刻停止层来执行多晶硅CMP蚀刻,以移除封盖氧化物70上方的多晶硅层72,如图19所示。使用氧化物蚀刻来移除封盖氧化物70。然后,使用光刻法将多晶硅层68图案化,从而在堆叠S1和S2之间留下多晶硅块(EG多晶硅68a),在堆叠S1和S2的任一侧上留下多晶硅块(WL多晶硅68b),并且在外围区域中留下多晶硅块和68c(逻辑多晶硅)。所得结构示于图20中(在移除光刻抗蚀剂之后)。

[0021] 可执行任选的N⁺多晶硅预注入。之后进行光致抗蚀剂涂覆、掩模曝光和选择性移除,以留下被光致抗蚀剂74覆盖的外围区域以及被光致抗蚀剂曝光的MCEL区域,如图21所示。在衬底10的与WL多晶硅块68b相邻的暴露部分中执行电池光晕和LDD注入。相对较厚的EG多晶硅68a保护隧道氧化物56免受电池光晕和LDD注入的损坏。移除光致抗蚀剂74,并形成新的光致抗蚀剂78,并且对其进行选择性的蚀刻以暴露堆叠S1和S2之间的区域。然后使用多晶硅蚀刻来降低EG多晶硅块68a的高度,如图22所示。

[0022] 在移除光致抗蚀剂78之后,执行氧化物和氮化物沉积和蚀刻以在WL多晶硅块68b和逻辑多晶硅块68c旁边形成氧化物和氮化物的绝缘间隔物80。可将LDD注入施加到衬底的与逻辑多晶硅块68c和存储器单元堆叠S1/S2相邻的暴露部分,如图23所示。将光致抗蚀剂形成并且图案化以覆盖衬底的不邻近存储器单元堆叠S1/S2和逻辑多晶硅块的暴露区域。然后,执行N⁺/P⁺注入和退火,以在衬底中邻近MCEL区域中的WL多晶硅块68b形成漏极区82,并且在衬底中邻近外围区域中的逻辑多晶硅块68c形成源极区/漏极区84/86,如图24所示(在移除光致抗蚀剂之后)。

[0023] 执行金属化工艺以在衬底和多晶硅块的暴露部分上形成硅化物88,如图25所示。氮化物层90形成在结构上方,随后是层间电介质(ILD)材料92。然后执行CMP蚀刻以移除氮化物90和ILD 92的在WL多晶硅块68b上方的部分(这也移除那些多晶硅块上的硅化物88),并且降低堆叠S1和S2以及多晶硅块68b的高度,使得它们与外围区域中的逻辑多晶硅块68c齐平,如图26所示。

[0024] 然后执行多晶硅蚀刻以移除WL多晶硅块68b和逻辑多晶硅块68c,留下开放的沟槽94,如图27所示。在结构上沉积功函数金属栅极材料层96,诸如TiAlN_{1-x}。可通过改变氧空位或氮浓度来进一步调节其功函数。栅极阈值电压可通过调节功函数来进行调整。将厚的金属(例如,铝、Ti、TiAlN、TaSiN等)层沉积在结构上,然后进行CMP回蚀刻,留下填充部分地在MCEL区域中的漏极区82上方的沟槽的金属块98,以及填充在外围区域中的源极区/漏极

区之间的区域中的沟槽的金属块100。可应用后金属热处理来优化存储器单元和/或逻辑器件的性能。所得结构示于图28中。

[0025] 绝缘层(例如,ILD)102形成在结构上方,并且使用CMP蚀刻进行平坦化。使用适当的光致抗蚀剂涂覆、掩膜曝光、选择性光致抗蚀剂蚀刻和ILD蚀刻,通过使ILD层下至并且暴露在MCEL区域中的漏极区82上方的硅化物来形成接触开口。接触开口使用适当的沉积和CMP蚀刻用导电材料(例如,钨)填充以形成电触点104。金属接触线(例如,铜)106然后形成在ILD层102上方并且与电触点104接触,如图29所示。

[0026] 如图30所示,成对地形成共享公共源极区54和公共擦除栅68a的存储器单元。每个存储器单元包括在源极区54和漏极区82之间延伸的沟道区108,并且具有设置在浮栅34下方的第一部分和设置在选择栅98(也称为字线栅WL)下方的第二部分。控制栅40设置在浮栅34上方。通过具有由金属形成的选择栅98,以及将触点104与漏极区82连接的硅化物88,连同在选择栅98下方的由氧化物60和高K膜62形成的绝缘层,存储器单元的速度和性能增强超过具有常规多晶硅栅极和常规氧化物作为选择栅之下的栅极电介质的存储器单元。此外,因为存储器单元对形成在衬底表面的与包含逻辑器件的外围区域相比凹陷的一部分上,而每个存储器单元的底部不彼此对准(即,存储器单元的底部低于逻辑器件的底部),每个存储器单元的顶部相对于衬底在高度上大致齐平,从而使存储器单元和逻辑器件更好地集成在相同芯片上。应当注意,虽然上文仅示出和描述了一对存储器单元和一个逻辑器件,但是本领域技术人员将理解,此类存储器单元对的阵列和多个此类逻辑器件将同时形成。

[0027] 图31-图32示出形成衬底的阶梯状上表面以补偿比逻辑器件更高的存储器单元的替代实施方案。具体地讲,代替在MCEL区域中蚀刻衬底的上表面以便使其凹陷,硅衬底的高度可通过外延生长而在外围区域中升高,以有效地实现相同的结果。这通过以下方式实现:在结构上方形成氧化物层110并且在氧化物层110上形成光致抗蚀剂112,然后对光致抗蚀剂112和氧化物层110进行图案化,使得仅有衬底的外围区域18被暴露,如图31所示。然后,硅114在外围区域18中的暴露衬底表面上外延生长,从而使衬底表面的该区域高于MCEL区域中的衬底表面,如图34所示(在光致抗蚀剂112和氧化物110被移除之后)。

[0028] 应当理解,本发明不限于上述和本文所示的一个或多个实施方案。例如,本文中对本发明的提及并不旨在限制任何权利要求或权利要求术语的范围,而是仅参考可由一项或多项权利要求涵盖的一个或多个特征。上文所述的材料、工艺和数值的示例仅为示例性的,而不应视为限制任何权利要求。另外,并非所有方法步骤都需要按所示的准确顺序执行。材料的单个层可形成为此类材料或类似材料的多个层,并且反之亦然。最后,虽然关于特定的四个栅极、分裂栅、存储器单元配置来描述本发明,但它同样适用于总体高度大于所附逻辑器件的总体高度的任何存储器单元配置。

[0029] 应该指出的是,如本文所用,术语“在…上方”和“在…上”两者包容地包含“直接在…上”(之间未设置中间材料、元件或空间)和“间接在…上”(之间设置有中间材料、元件或空间)。类似地,术语“相邻”包括“直接相邻”(之间没有设置中间材料、元件或空间)和“间接相邻”(之间设置有中间材料、元件或空间)，“被安装到”包括“被直接安装到”(之间没有设置中间材料、元件或空间)和“被间接安装到”(之间设置有中间材料、元件或空间),并且“被电耦合至”包括“被直接电耦合至”(之间没有将元件电连接在一起的中间材料或元件)和“被间接电耦合至”(之间有将元件电连接在一起的中间材料或元件)。例如,“在衬底上

方”形成元件可包括在之间没有中间材料/元件的情况下在衬底上直接形成元件,以及在之间有一个或多个中间材料/元件的情况下在衬底上间接形成元件。

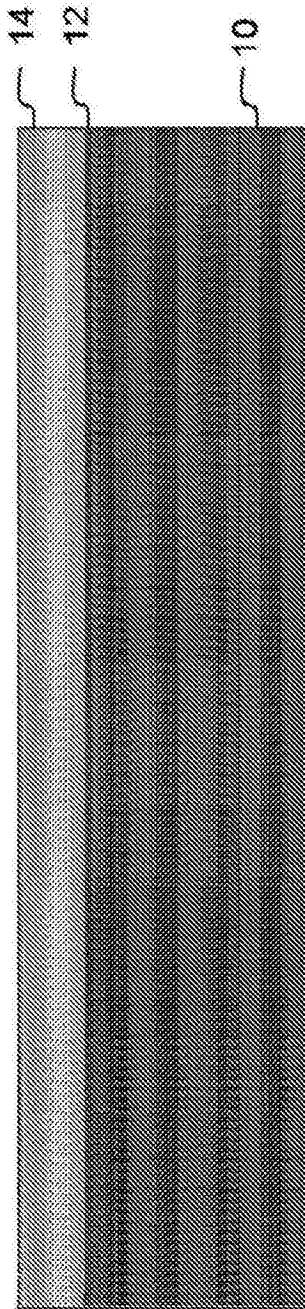


图1

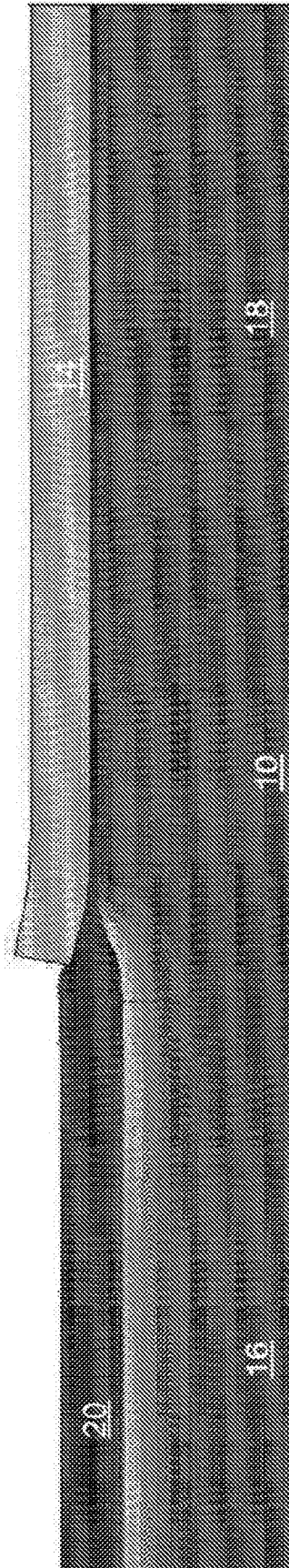


图2

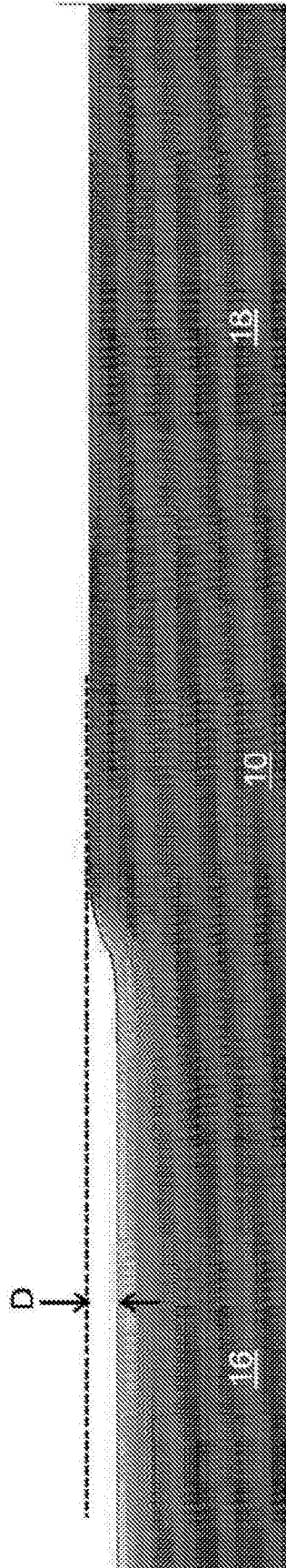


图3

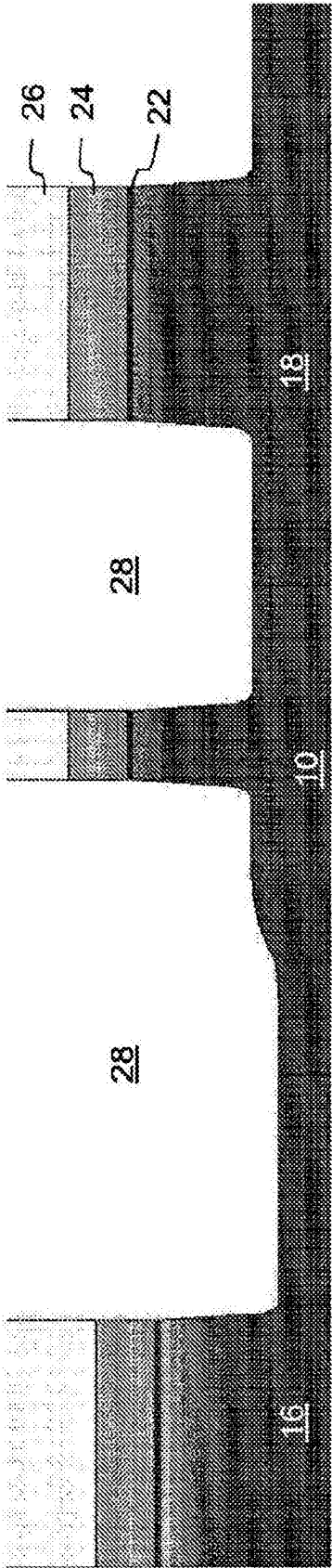


图4

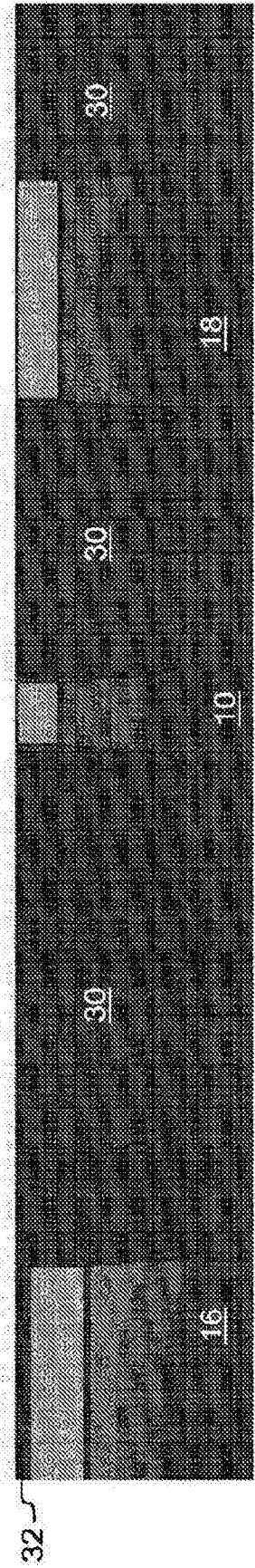


图5

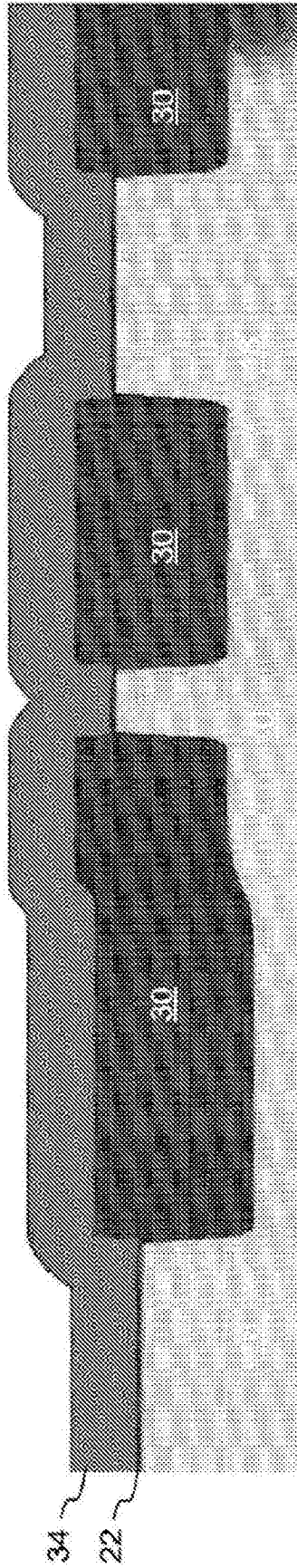


图6

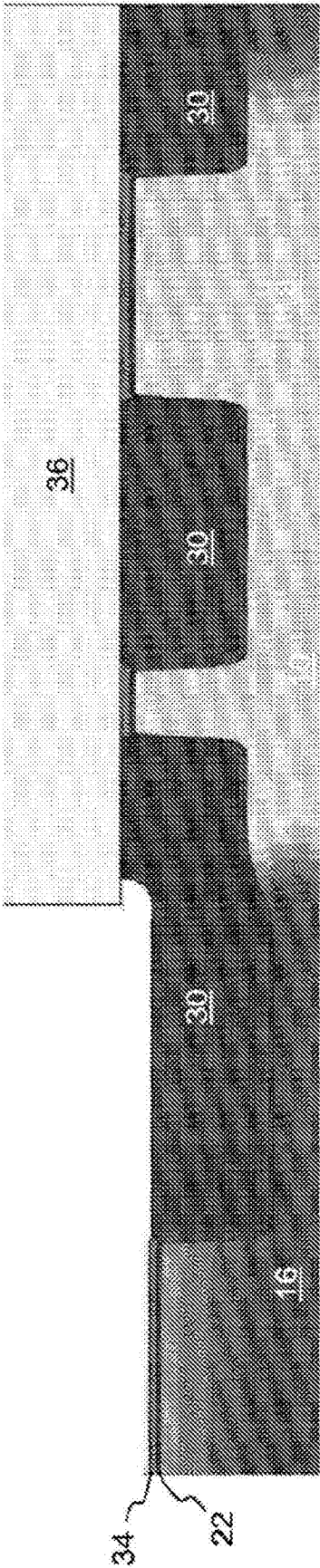


图7

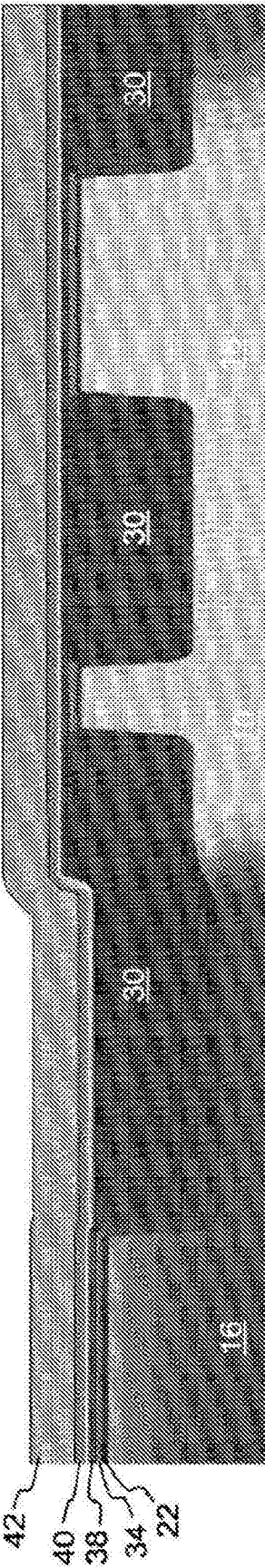


图8

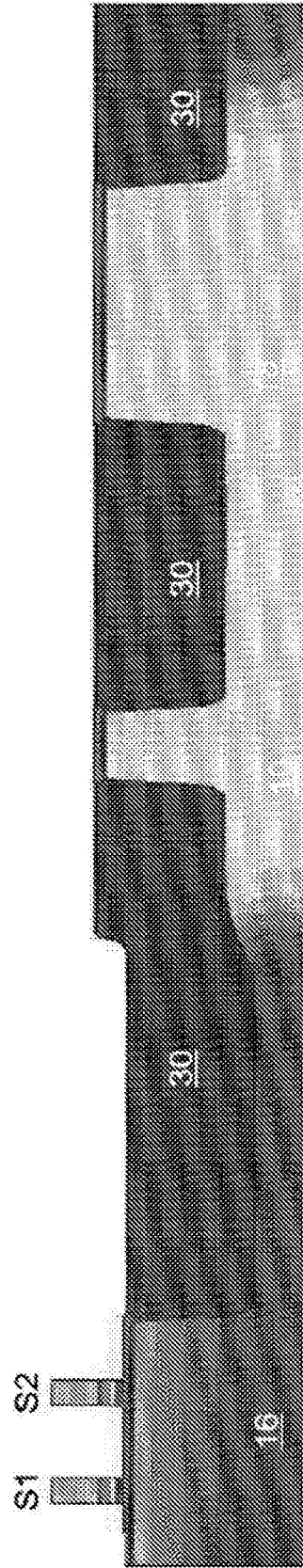


图9

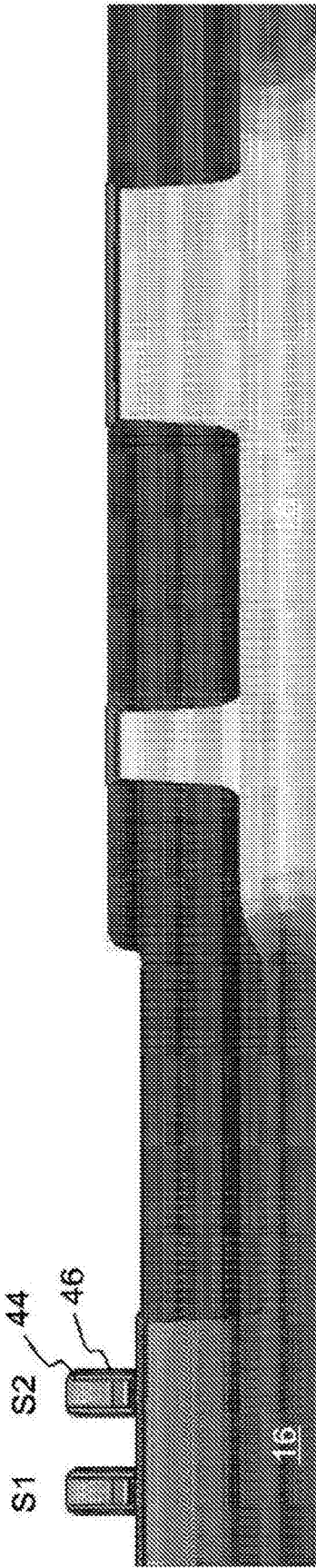


图10

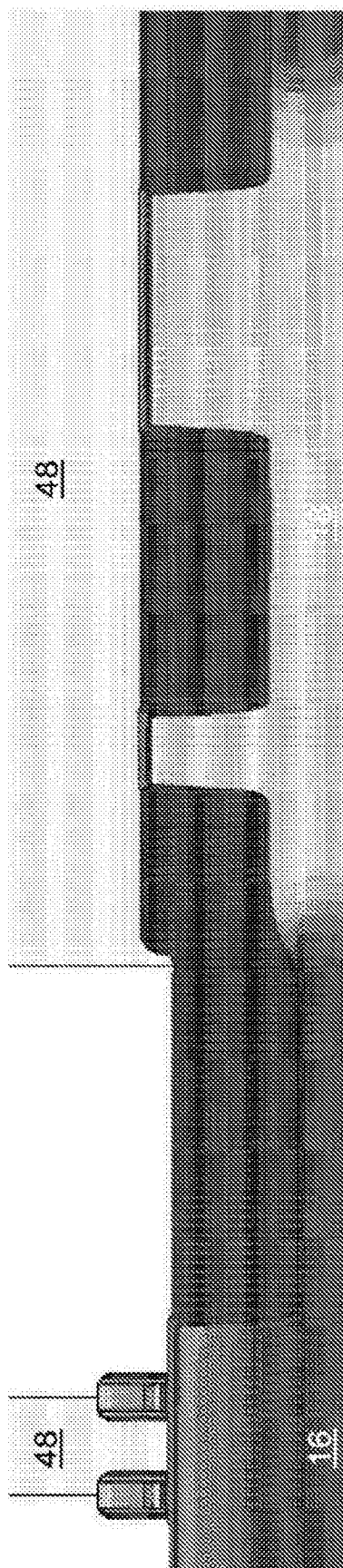


图 11

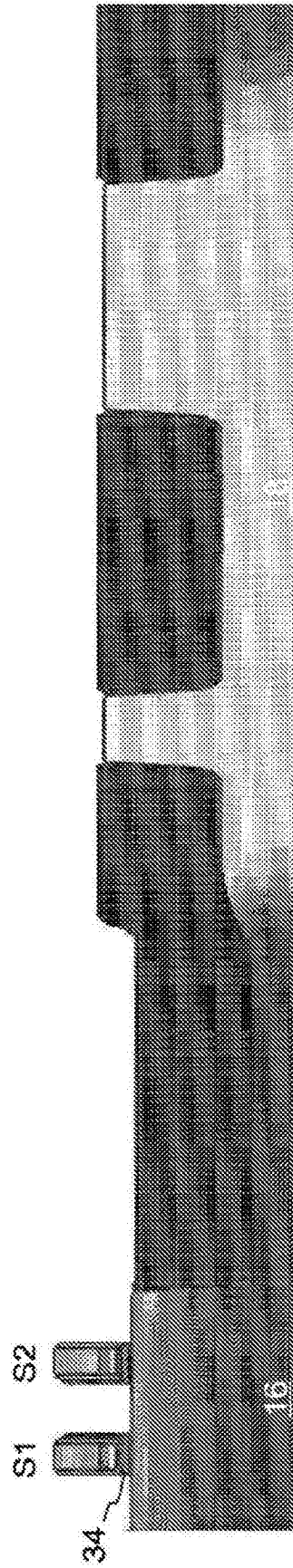


图12

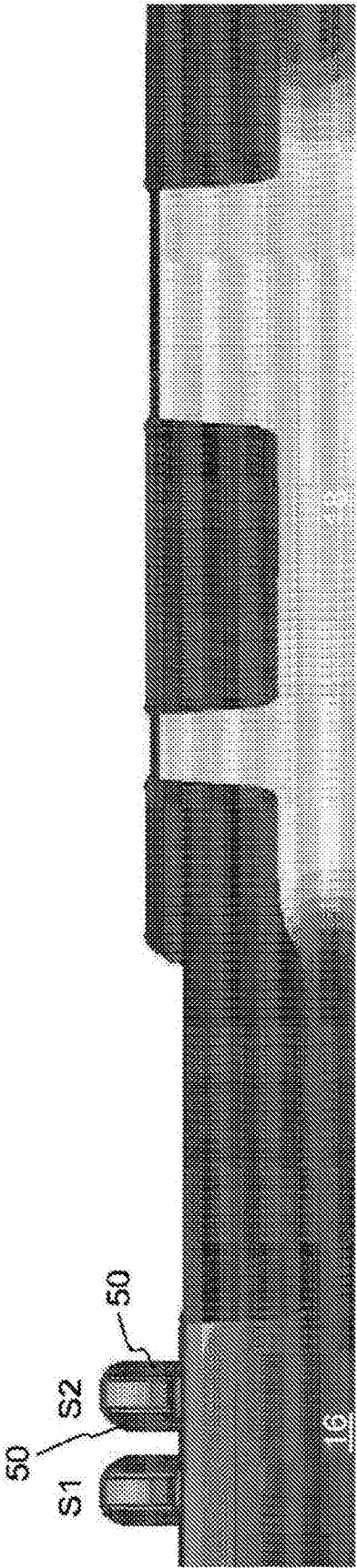


图13

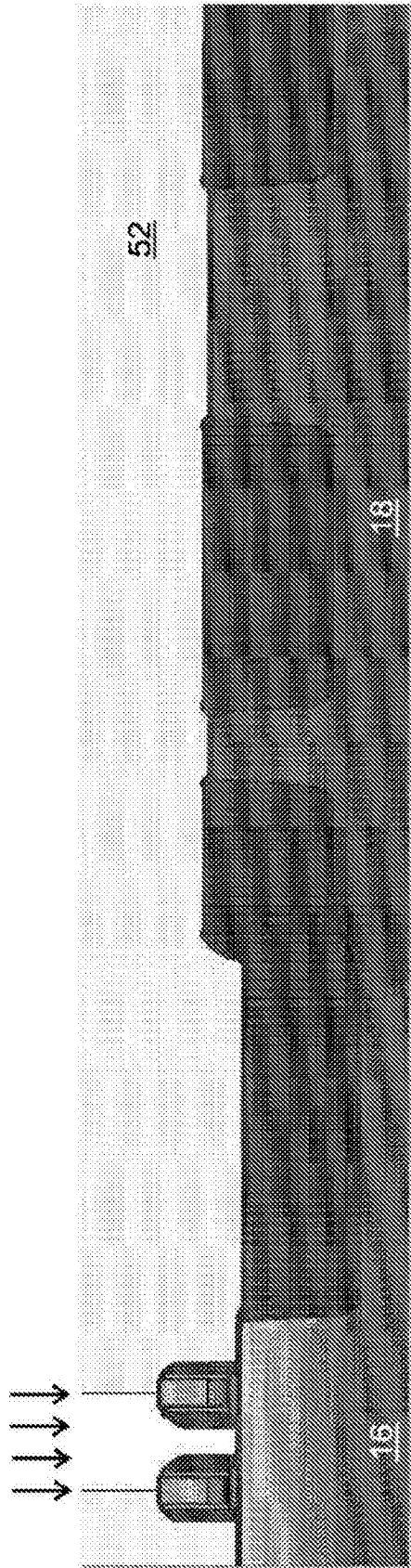


图14

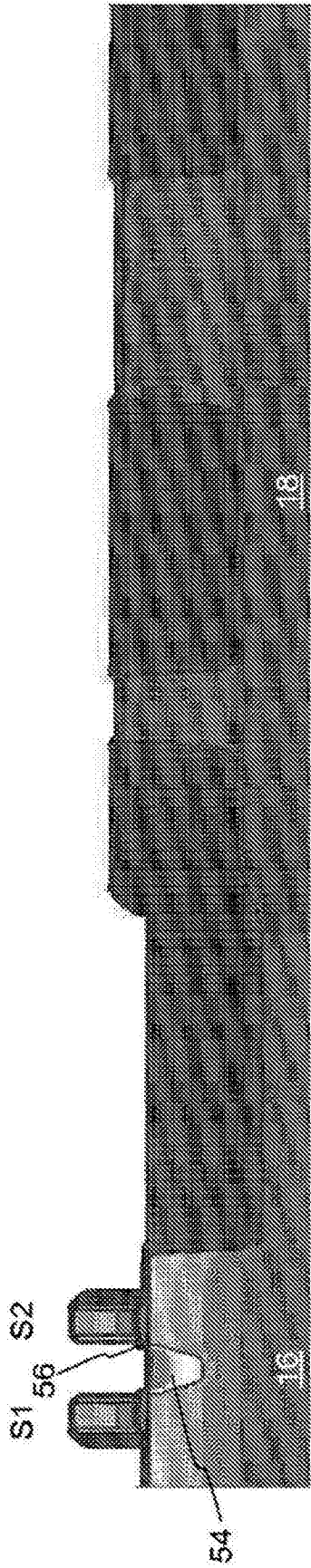


图15

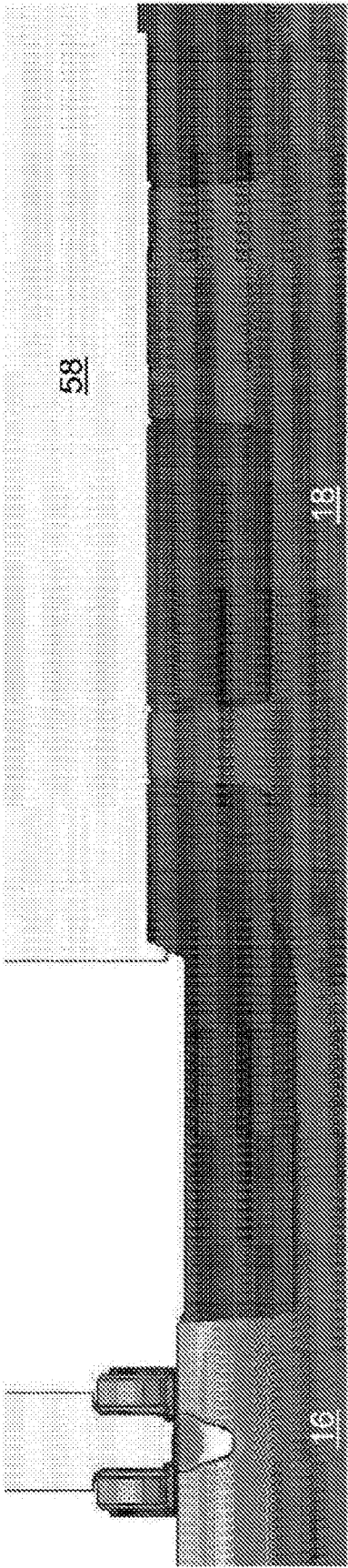


图16

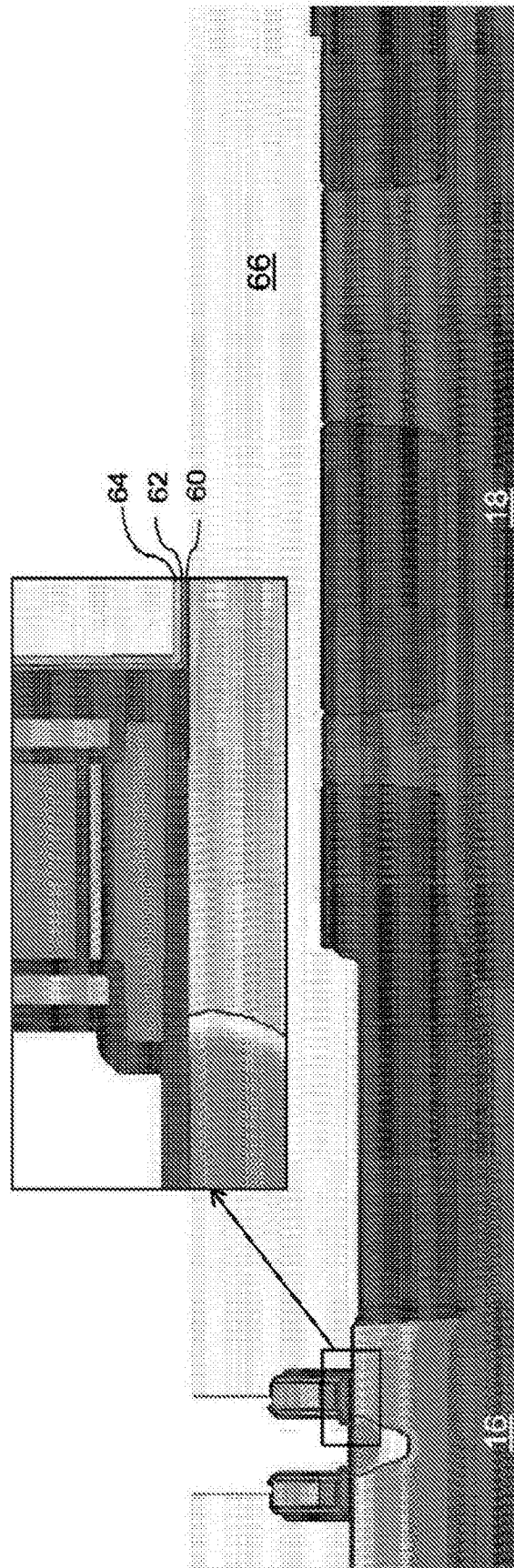


图17

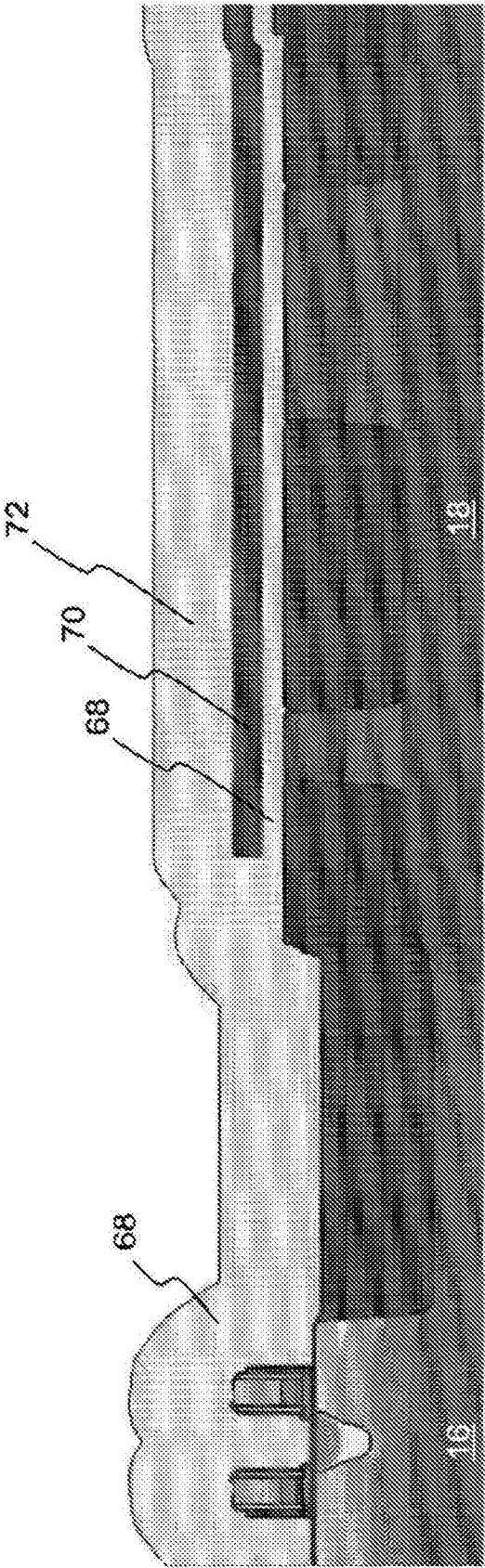


图18

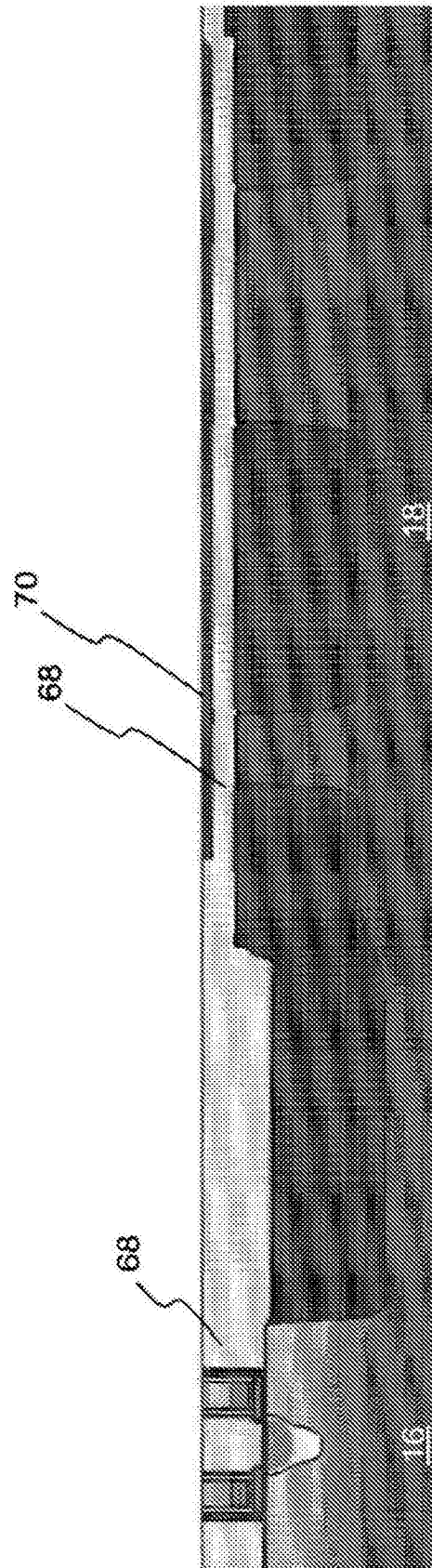


图19

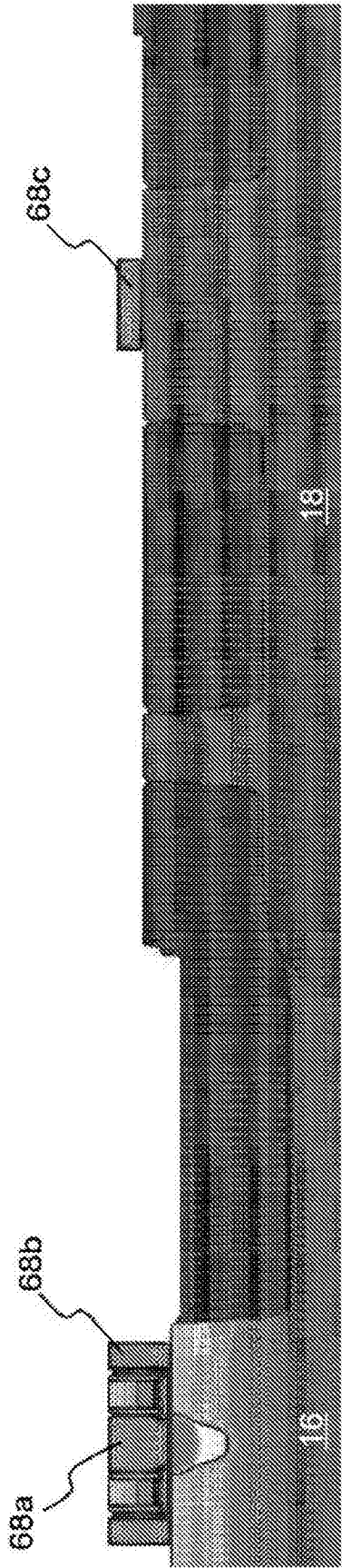


图20

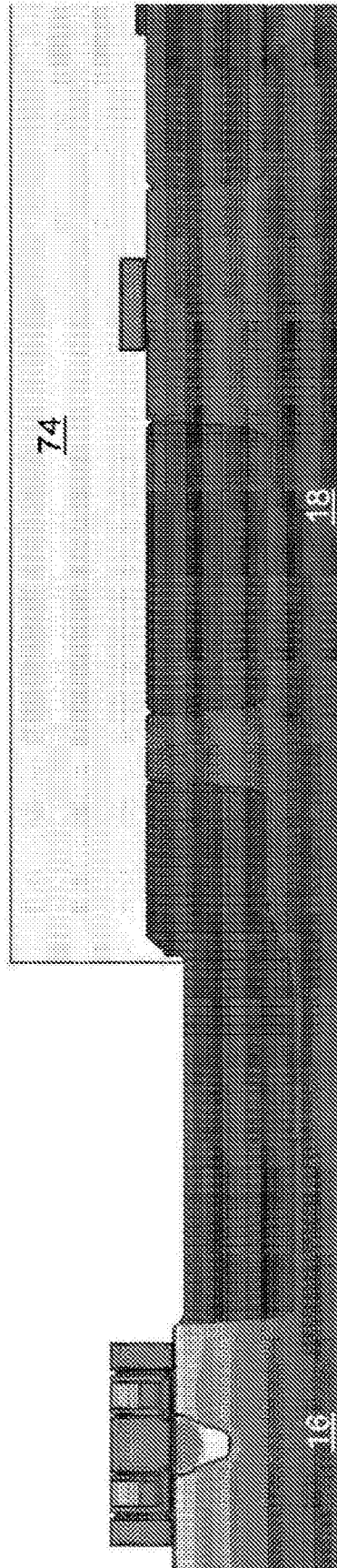


图21

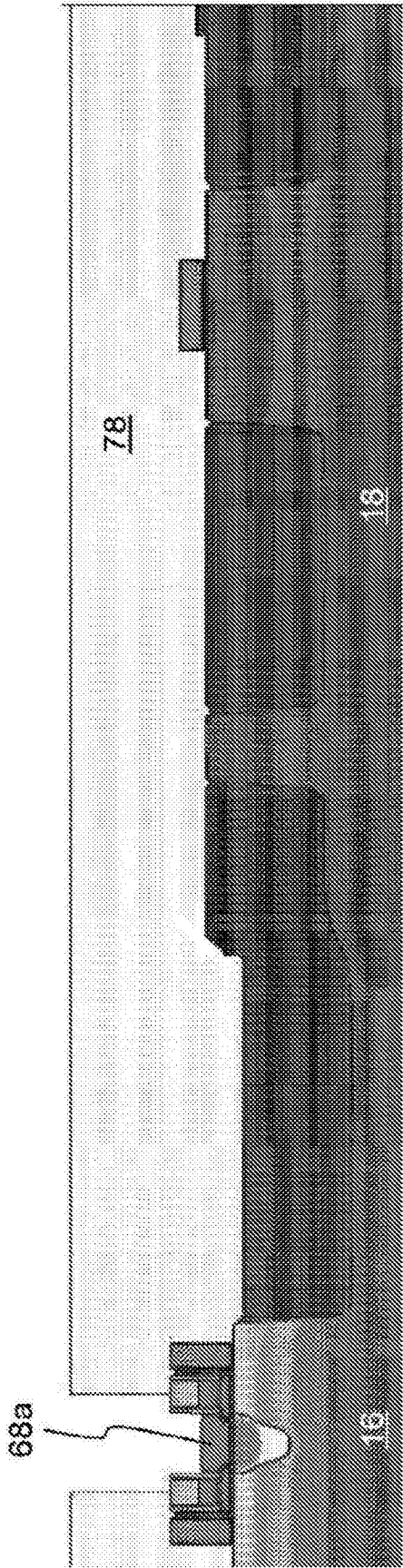


图22

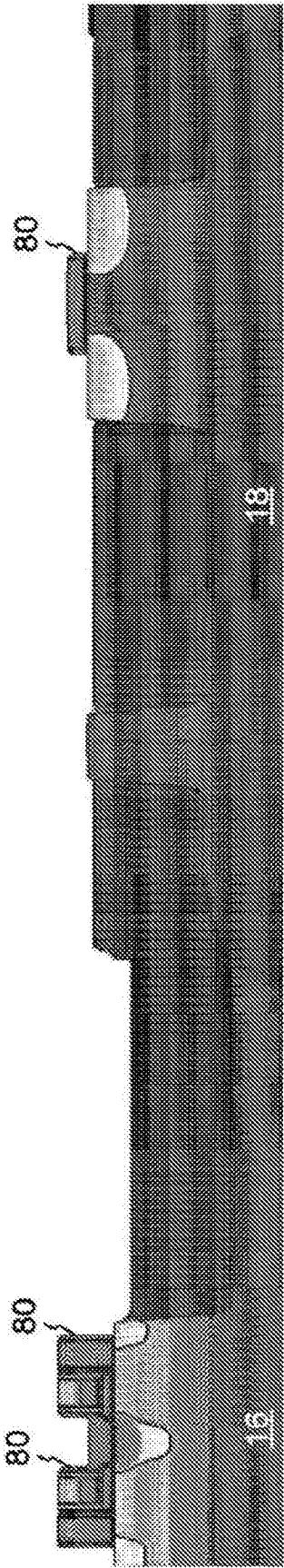


图23

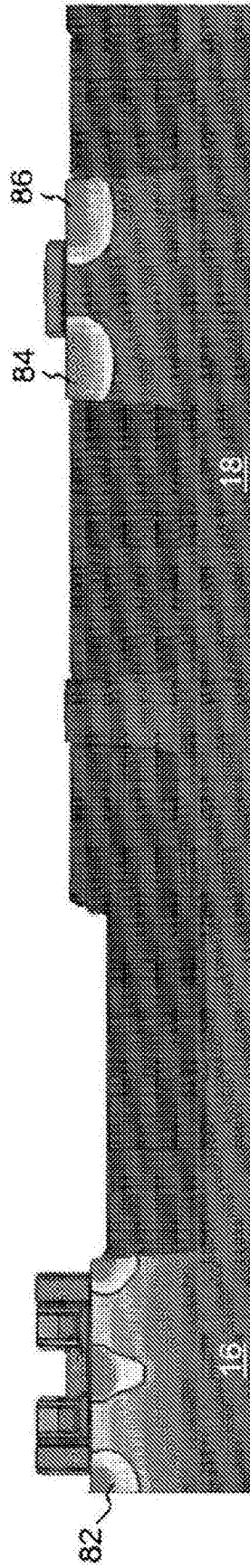


图24

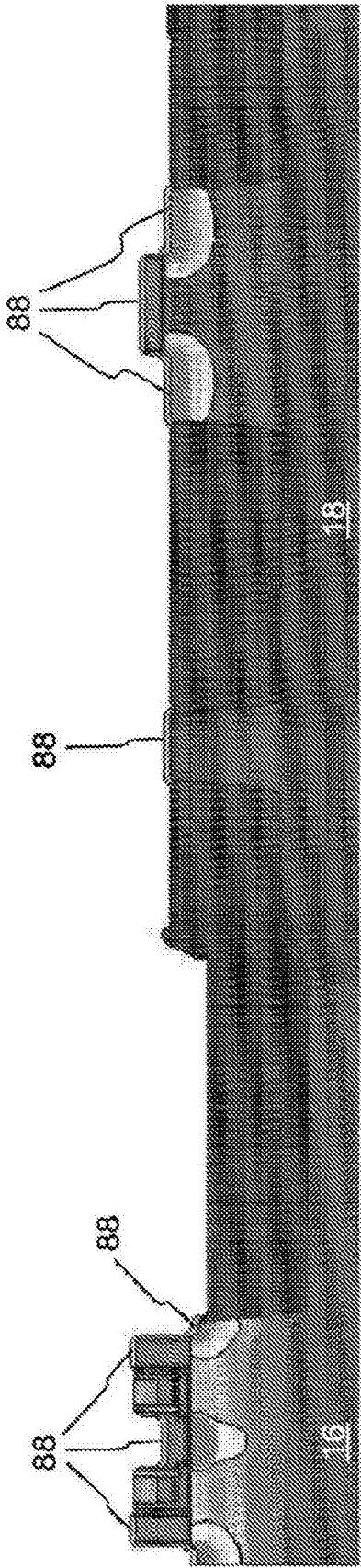


图25

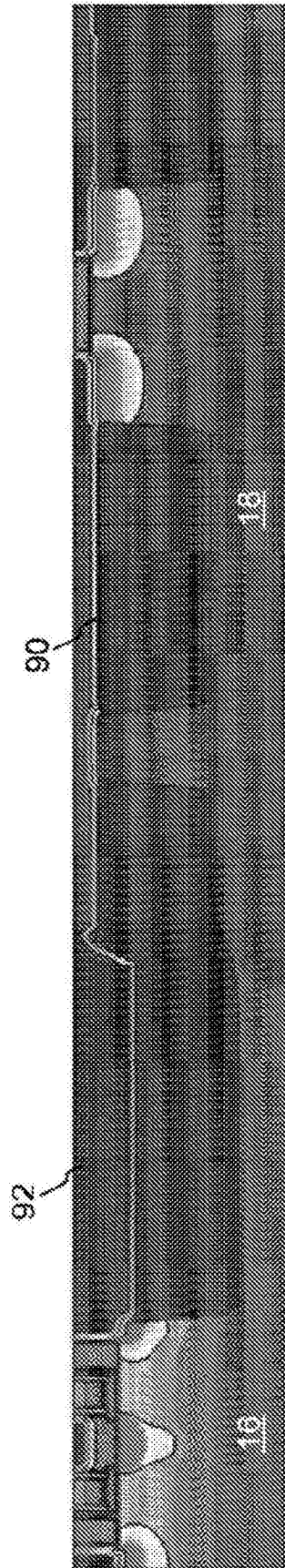


图26

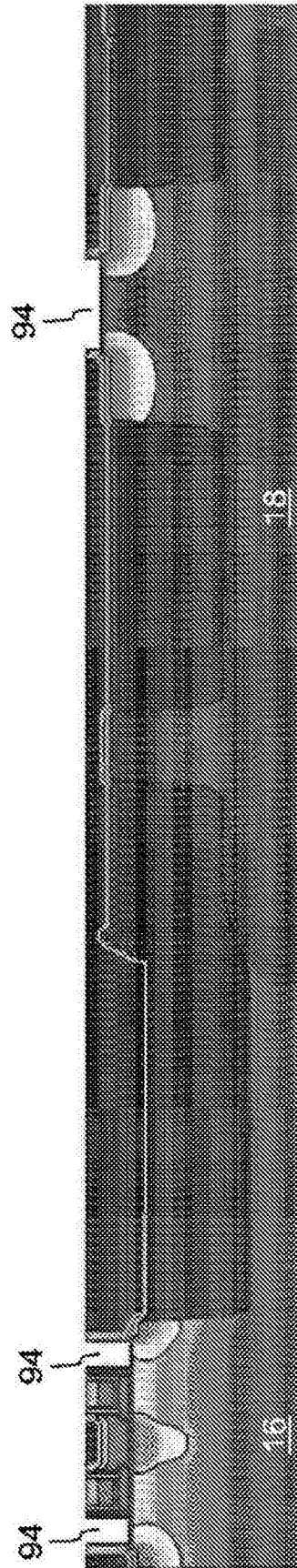


图27

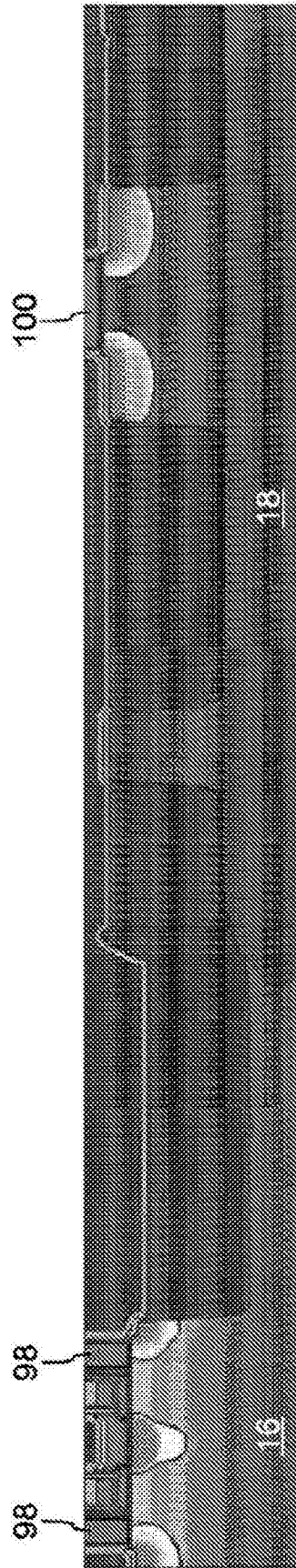


图28

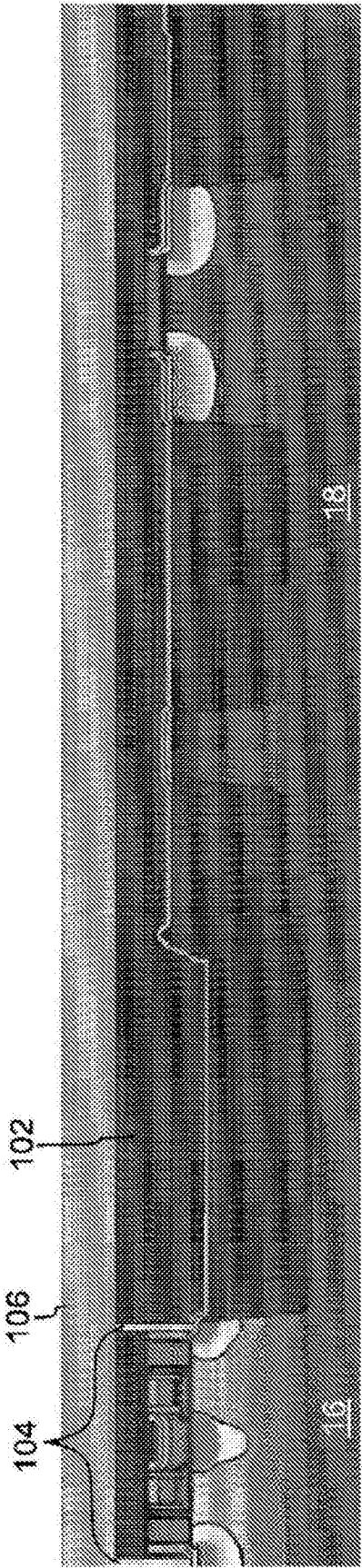


图29

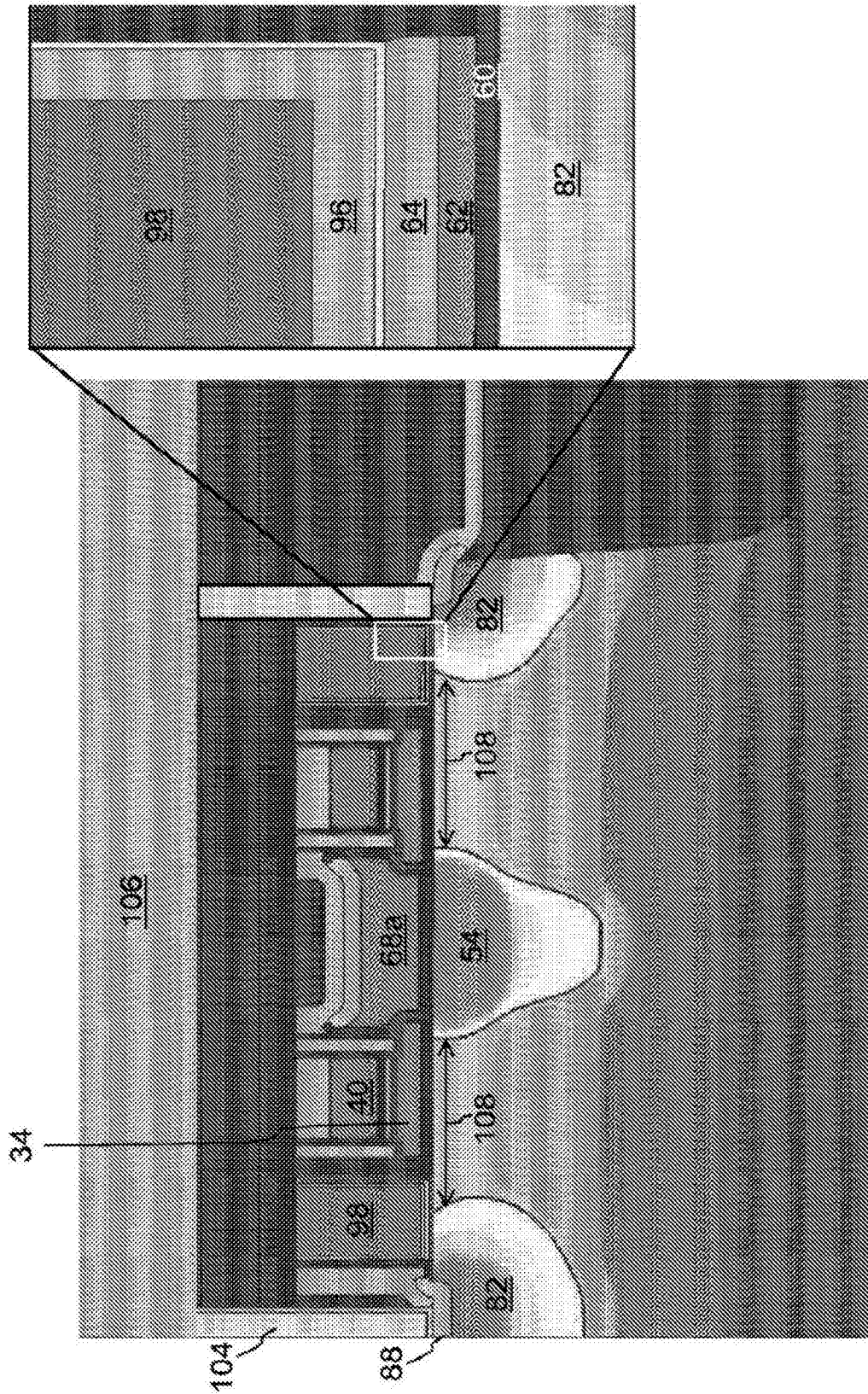


图30

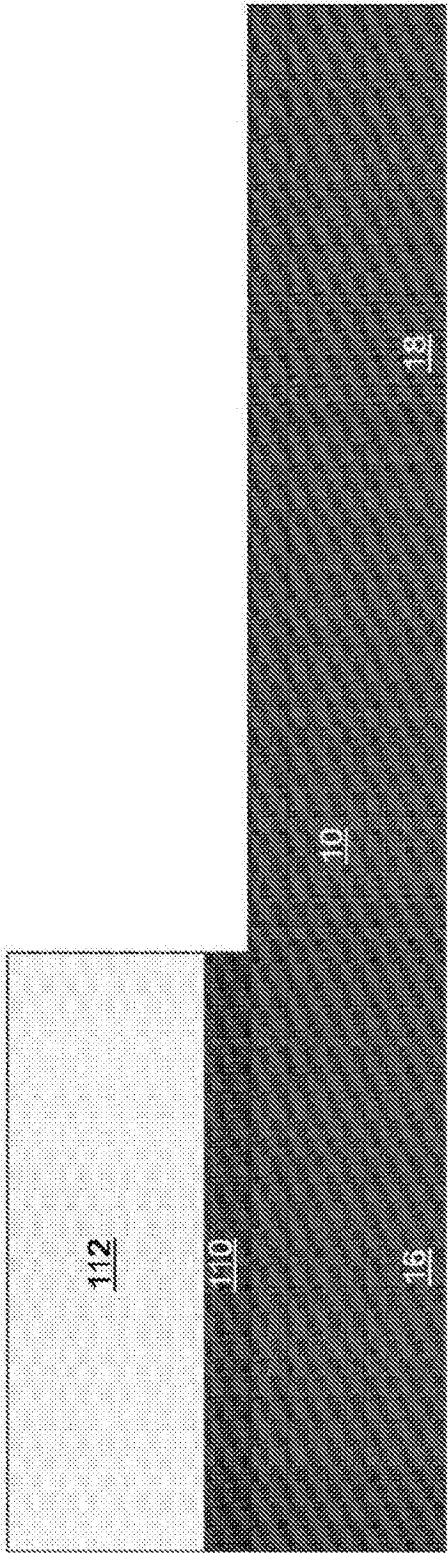


图31

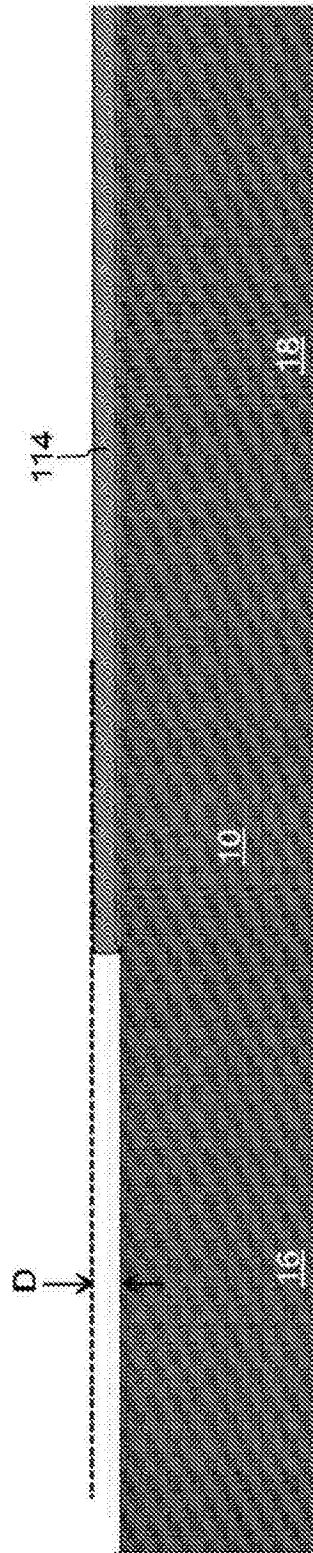


图32